

# 基于 Xilinx FPGA 的时钟管理设计与实现

封彦彪 刘兴春

(北京航空航天大学电子信息工程学院 北京 100083)

**摘要:** 介绍了时钟管理的各种实用方法。简要介绍了 Xilinx FPGA 的数字时钟管理模块(DCM)的组成和其在时钟倍频分频中的应用。重点分析了整数分频器和小数分频器的设计思想,对不同的分频方案进行了比较。在 ISE 9.1i 集成开发环境中,用 Verilog HDL 语言编程,对设计的电路进行了功能仿真,给出了仿真波形。给出的多种分频方法具有非常好的可移植性,只需修改参数就可应用于 FPGA 的实际开发中。

**关键词:** 倍频;分频;FPGA

**中图分类号:** TN79+1 **文献标识码:** A

## Design and implementation of clock management based on Xilinx FPGA

Feng Yanbiao Liu Xingchun

(School of Electronic and Information Engineering, Beijing University of Aeronautics and Astronautics, Beijing 100083)

**Abstract:** Practical methods for clock management are presented. The composition of Xilinx FPGA's digital clock management module and its application in clock frequency multiplication and division are described. The design ideas of integer and decimal frequency divider are analyzed, and different solutions are compared. In the integrated development environment of ISE 9.1i, Verilog language is used to realize the design goals. Also the function simulation of the design circuits is performed. The methods of frequency division design have excellent transportability, which can be easily used in the practical development of FPGA by altering the right parameter.

**Keywords:** frequency multiplication; frequency division; FPGA

## 0 引言

一个复杂电子系统,内部需要多个时钟源,并且各时钟源之间具有一定的比例关系,以共同完成系统的时序控制。这就需要经常用到倍频与分频电路。由于能够实现零时钟偏移,并且可以映射到 PCB 上用于同步外部芯片,将芯片内外的时钟控制一体化,目前在大部分设计中广泛使用了集成锁相环(如 Xilinx 的 DCM)来进行时钟的倍频、分频以及移相设计。而对于时钟输出超过集成锁相环可输出范围的情况,就需要自主设计时钟管理。

## 1 数字时钟管理模块(DCM)

### 1.1 DCM 的组成

数字时钟管理模块(DCM)是基于 Xilinx 的一系列器件所采用的数字延迟锁相环(DLL)模块,在时钟的管理与控制方面,DCM 与 DLL 相比,功能更强大,使用更灵活<sup>[1-2]</sup>。DCM 的功能包括消除时钟的延时、频率合成、时钟相位调整等系统方面的需求。DCM 共由 4 个部分组成。其中,最底层仍采用成熟的 DLL 模块,其次分别为数字频

率合成器(DFS)、数字移相器(DPS)和数字频谱扩展器(DSS)。

DLL 主要由 1 个延时线和控制逻辑组成。延时线对时钟输入端 CLKIN 产生 1 个延时,时钟分布网将该时钟分配到期间内的各个寄存器和时钟反馈端 CLKFB;控制逻辑在反馈时钟到达时采样输入时钟以调整二者之间的偏差,实现输入和输出的零延时。具体工作原理是:控制逻辑在比较输入时钟与反馈时钟的偏差后,调整延时参数,在输入时钟后不停地插入延时,直到输入时钟和反馈时钟的上升沿同步,锁定环路进入锁定状态,只要输入时钟不发生变化,输入时钟和反馈时钟就保持同步。DLL 可以用来实现一些电路以完善和简化系统及设计,如提供零传播延时,低时钟相位差和高级时钟相位控制等。

在 Xilinx 芯片中,典型的 DLL 标准原型如图 1 所示。

DFS 可以为系统产生丰富的频率合成信号,输出信号为 CLKFB 和 CLKFX180,可提供输入时钟频率分数倍或整数倍的时钟输出频率方案,输出频率范围基于不同的芯片不同。这些频率基于用户定义的两个整数比值,一个是乘因子(CLK\_MULTIPLY),另外一个除因子(CLK\_DIVIDE),

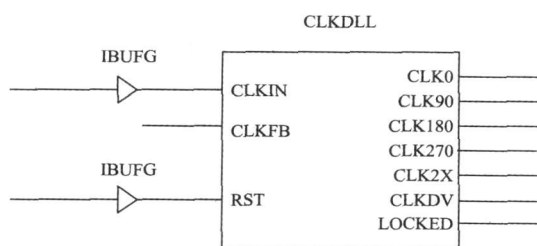


图1 Xilinx DLL的典型模型示意

输入频率和输出频率之间的关系为:

$$F_{CLKFX} = F_{CLKIN} \times \frac{CLK\_MULTIPLY}{CLK\_DIDIDE}$$

DFS的应用可以减少PCB板上的时钟路径,简化设计,提供更好的信号完整性。

DCM具有移动时钟信号相位的能力,因此能够调整I/O信号的建立和保持时间,能支持对其输出时钟进行 $0^\circ$ 、 $90^\circ$ 、 $180^\circ$ 、 $270^\circ$ 的相移粗调和相移细调。对于DCM输出时钟的相位调整,需要通过属性控制 $PHASE\_SHIFT$ 来设置,设置范围是 $-255 \sim +255$ 。比如输入时钟是100 MHz,需要将输出时钟调整 $+0.9$  ns,则 $PHASE\_SHIFT = (0.9 \text{ ns}/10 \text{ ns}) \times 256 = 23$ 。 $PHASE\_SHIFT$ 的正和负分别对应时钟输出相对于CLKIN向前和向后进行相位移动。移相用法只需要把CLK2X输出端的输出缓存移到CLK90、CLK180或者CLK270即可。

Xilinx公司首先提出了利用创新的扩频时钟技术来减少电磁干扰噪声辐射的可编程解决方案。数字扩频技术通过展宽输出时钟的频谱,来减少电磁干扰,这一特点可以使设计者极大地降低系统成本,使电路板重新设计的可能性降到最低,从而缩短了设计周期。

## 1.2 DCM模块应用于倍频分频

在Xilinx ISE中调用DCM模块,在IP Core向导中,通过设置输入时钟的频率和输出时钟的频率,或者设置手动计算的倍频分频比,可以实现精确的倍频分频功能。需要说明的是,输出频率需在所采用的Xilinx FPGA芯片的输出频率范围之内,目前Xilinx有DCM模块的FPGA芯片中可以实现的分频系数为1.5、2、2.5、3、3.5、4、4.5、5、5.5、6、6.5、7、7.5、8、9、10、11、12、13、14、15、16。

以下以输入50 MHz的时钟为例,分别实现2.5倍频以及2分频输出。图2所示为2.5倍频的仿真波形。

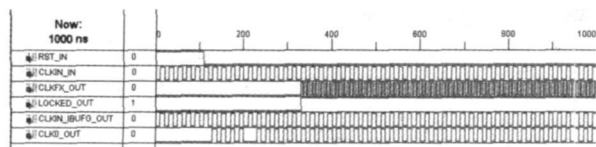


图2 DCM实现2.5倍频的仿真结果示意

局部放大如图3所示。从中可以看出当LOCKED\_OUT信号变高时,DCM模块稳定工作,输出时钟频率

CLKFX\_OUT为输入时钟CLK\_IN频率的2.5倍,完成了预定功能。其中复位信号RST\_IN是电平有效。

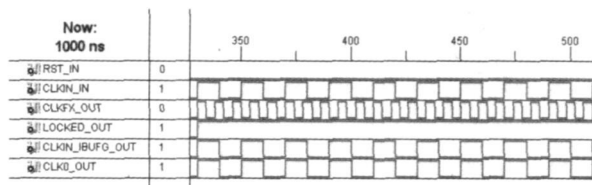
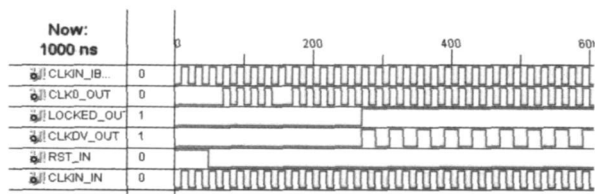
图3 DCM实现2.5倍频仿真结果局部放大  
用DCM实现2分频的仿真波形如图4所示。

图4 DCM模块实现2分频的仿真波形

从图4中可以看出当LOCKED\_OUT信号变高时,DCM模块稳定工作,输出时钟频率CLKDV\_OUT为输入时钟CLK\_IN频率的1/2。

## 2 整数分频器设计与实现

在目前的FPGA设计中,倍频电路大部分都是基于锁相环技术开发的,而分频系数超过DCM可分频范围的时候,需要自行设计分频方案。

### 2.1 偶数分频

偶数分频的实现比较简单,通过计数器计数就可以实现<sup>[3]</sup>。如进行N倍的偶数分频,对待分频的时钟进行上升沿计数,当计数器从0计数到 $N/2-1$ 的时候,就对输出的时钟信号进行翻转,同时给计数器1个复位信号,以便下一次待分频时钟到来时从0进行计数。这样就实现了对偶数的占空比为1/2的分频<sup>[4]</sup>。2分频最为简单,只需要在待分频时钟的上升沿到来时进行翻转就可以了<sup>[5]</sup>。偶数分频原理框图如图5所示。

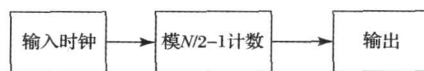


图5 偶数分频原理

在Xilinx ISE9.1i环境中实现的偶数分频仿真波形图如图6所示(以4分频为例)。

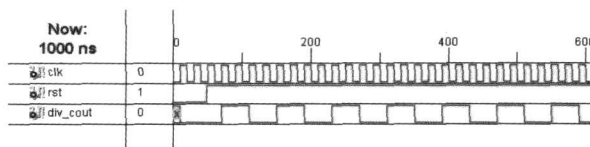


图6 占空比为1/2的4分频仿真波形

从图 6 中可以看出, 稳定工作后, 输出时钟  $div\_cout$  频率为输入时钟  $clk$  的  $1/4$ ,  $rst$  为低有效的复位信号。

## 2.2 奇数分频

奇数分频在这里介绍 3 种方法实现。

第一种方法: 对于  $N$  比较小的情况可以用状态机实现。考虑状态转换, 以 3 分频为例, 应该有 3 种状态: 0、0、1 (1、0、0) 或者 1、1、0 (0、1、1), (5 分频或者更大奇数的分频, 采取此种方法可选取的状态更多), 在待分频时钟的作用下, 状态机不停的在所选取的状态下转换, 输出仅仅依赖于当前的状态, 即可实现奇数倍的分频。这种分频方法的缺点是占空比非  $1/2$ , 另外状态转换容易出毛刺;

第二种方法: 对待分频时钟进行奇数倍  $N$  分频, 首先进行  $N/2$  分频 (即带有 0.5 的分频), 之后再行 2 分频, 即可得到占空比为  $1/2$  的奇数倍分频。含 0.5 倍分频的设计方法参见小数分频;

第三种方法: 用计数器实现。如进行  $N$  分频 ( $N$  为奇数), 首先对待分频时钟进行模  $N$  计数, 在计数器值为  $(N-1)/2$  时对输出时钟进行翻转, 然后在计数器继续计数达到  $N-1$  时, 输出时钟再次翻转并且给计数器 1 个复位信号, 使之从 0 开始重新计数, 即可实现奇数倍的分频。其占空比为  $(N+1)/2N$  或者  $(N-1)/2N$ <sup>[7-8]</sup>。如要实现占空比为  $1/2$  的奇数分频, 则可以同时将计数器的两次输出时钟翻转分别在待分频时钟的上升沿与下降沿触发翻转, 然后对两路输出时钟进行逻辑或运算, 即可得到占空比为  $1/2$  的奇数倍分频时钟<sup>[7-8]</sup>。

奇数分频的原理框图如图 7 所示。

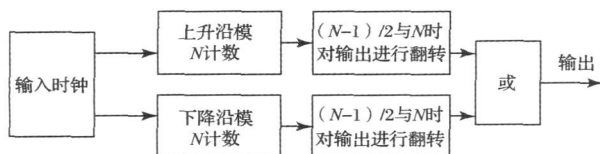


图 7 占空比 50% 奇数分频原理

在 Xilinx ISE9.1i 环境中实现的奇数分频的仿真波形如图 8 所示 (以 3 分频为例)。

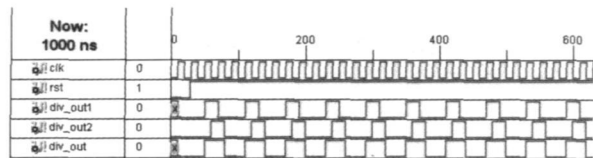


图 8 占空比为  $1/2$  的 3 分频仿真波形

从图 8 中可以看出,  $div\_out1$ ,  $div\_out2$  和  $div\_out$  频率均为输入信号  $clk$  的  $1/3$ , 其中  $div\_out1$  和  $div\_out2$  占空比不为 50%, 而输出时钟  $div\_out$  占空比为 50%, 实现了占空比为 50% 的奇数倍分频。图中  $rst$  为低有效的复位信号。

## 3 小数分频

### 3.1 半整数分频

$N-0.5$  的分频, 半整数分频需要对输入时钟进行操作, 其基本的设计思想是: 进行模  $N$  的计数, 在计数到  $N-1$  时, 输出时钟赋为 1, 回到计数 0 时, 又赋为 0, 由此, 当计数值为  $N-1$  时, 输出时钟才为 1, 因此只要保持计数值  $N-1$  为半个输入时钟周期, 即实现了  $N-0.5$  的分频<sup>[9]</sup>。而计数值  $N-1$  只保持了半个时钟周期, 由于时钟翻转下降沿变成上升沿, 因此计数值变为 0, 这个过程所要做的就是对分频时钟进行适当的变换, 使得每产生一个  $N-0.5$  分频时钟的周期触发时钟都要翻转一次。通过  $N-0.5$  分频信号的二分频与输入时钟相异或运算就可得到触发时钟, 其每过  $N-0.5$  个分频时钟周期就会产生一次时钟翻转, 对这个时钟进行模  $N$  计数即可实现  $N-0.5$  倍的分频。其分频原理框图如图 9 所示。

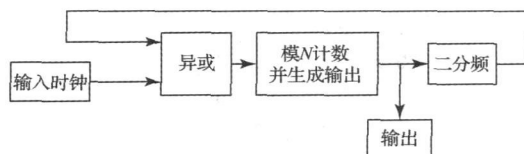


图 9  $N-0.5$  倍分频原理

图 10 所示为在 Xilinx ISE9.1i 环境中实现的分频系数为 3.5 的分频器仿真波形。

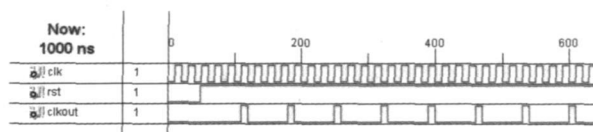


图 10 3.5 分频的仿真波形

从图 10 中可以看出, 输出时钟  $clkout$  频率为输入时钟  $clk$  的  $1/3.5$ , 实现了 3.5 倍的分频, 但是其占空比不为 50%, 图中  $rst$  为低有效的复位信号。

### 3.2 任意整数带小数的分频

任意整数带小数的分频, 一般来说可以通过不同的分频组合来实现。可先设计两个不同分频比的整数分频器, 然后通过控制单位时间内两种分频比出现的不同次数来获得所需要的小数分频值。即在若干个分频周期中采取方法是某几个周期多计或少计 1 个数, 从而在整个计数周期的总体平均意义上获得 1 个小数分频比<sup>[10]</sup>。一般而言,  $N+B/A$  分频 ( $A>B$ ) 可以用  $A-B$  次  $N$  分频加上  $B$  次  $N+1$  分频来实现。由于从  $N$  分频切换到  $N+1$  分频和从  $N+1$  分频切换到  $N$  分频都会产生一个随时间增长并且可以累加的相位差, 会产生比较大的相位波动。这样分频输出的时钟抖动很大, 并且难以消除, 所以在设计中使用非常少。

## 4 结 论

介绍了几种常用的基于 FPGA 的时钟管理设计方法, 并对其中大部分设计用 Verilog HDL 语言编程, 所有设计均在 ISE9.1i 下通过仿真验证, 并综合实现。

本文所介绍的方法可以应用在 FPGA 系统中, 用 Xilinx FPGA 内嵌的 DCM 来实现时钟的倍频、分频和移相, 其硬件结构简单, 且能使用 FPGA 厂商提供的免费 IP 核, 开发周期和难度都较小。

而对时钟要求超过分频范围的设计中, 可以采用本文所述的分频方法, 只需修改相关参数就可应用于 FPGA 的实际开发中。

### 参 考 文 献

- [1] 陈燕, 周东辉, 朱晓荣. DLL 在 FPGA 时钟设计中的应用[J]. 青岛大学学报: 工程技术版, 2004, 19(4): 90-93.
- [2] 王书娟, 张雅绮, 王飞飞. 数字时钟管理系统及其应用[J]. 电子测量技术, 2006, 29(5): 110-111.
- [3] 高培军. 基于 FPGA 的多种形式分频的设计与实现[J]. 今日电子, 2004(5): 30-31.
- [4] 陈英梅. 基于 FPGA 的多种分频设计与实现[J]. 电

子元器件应用, 2007(6): 47-52.

- [5] 白莹杰, 杜建铭, 罗一星. 基于 FPGA 的脉冲分频技术研究[J]. 微计算机应用, 2010, 31(3): 67-71.
- [6] 何静, 李清峰. 基于 FPGA/CPLD 的占空比为  $1:n$  的  $n$  分频器的设计[J]. 现代电子技术, 2006(8): 17-18.
- [7] 汪虹, 李宏. 基于 FPGA 的等占空比任意整数分频器的设计[J]. 现代电子技术, 2005(16): 8-9.
- [8] 杜刚, 孙超, 陈安军. 基于 FPGA 技术的 16 位数字分频器的设计[J]. 仪器仪表学报, 2006, 27(6): 875-876.
- [9] 吴玉昌, 胡荣强, 王文娟. 基于 CPLD/FPGA 的多功能分频器的设计与实现[J]. 世界电子器件, 2007(3): 42-44.
- [10] 刘亚海, 林争辉. 基于 FPGA 的小数分频器的实现[J]. 现代电子技术, 2005, 194(3): 113-114.

### 作 者 简 介

封彦彪, 男, 1984 年 8 月出生, 硕士研究生, 主要研究方向为数字系统设计, 光电信息处理等。

E-mail: fengyanbiao@gmail.com

(上接第 18 页)

- [2] 黄建, 尹志强, 王玉琳. 基于双极性桥式电路的两相制步进电机驱动器设计[J]. 控制与检测, 2007(1): 76-78.
- [3] 李宁. 基于 MDK 的 STM32 处理器开发应用[M]. 北京: 北京航空航天大学出版社, 2008.
- [4] 库少平, 刘晶. 基于 STM32F10X 和 MDK 的步进电机控制系统设计[J]. 武汉理工大学学报, 2009, 31(3): 107-110.
- [5] 王晨光, 孙运强, 许鸿鹰. 步进电机的单片机控制设计分析[J]. 国外电子测量技术, 2008, 27(9): 39-60.
- [6] 王美川, 王紫婷. 基于 FPGA 控制的步进电机驱动设计[J]. 电子测量技术, 2008, 31(6): 184-187.
- [7] 刘川, 刘景林. 基于 Simulink 仿真的步进电机闭环控制系统分析[J]. 测控技术, 2009, 28(1): 44-49.
- [8] ZHANG X D, HE J J, SHENG C H L. An Approach of Microstepping Control for the Step Motors Based on FPGA [M]. Shanghai: IEEE Proceeding of the 10th International Conference on Industrial

Technology, 2005.

- [9] CHAN K T, HU S H B, QIANG M, et al. Microstepping control of ultrasonic stepping motors[M]. IEEE Transactions on Industry Applications, 2006.
- [10] MASIA, CONTE G, LOSITO R, et al. DSP-based stepping motor drivers for the lhc collimators[J]. IEEE Transactions on Nuclear Science, 2008, 55(1): 341-348.

### 作 者 简 介

张团善, 男, 随州人, 副教授, 研究生导师, 主要从事智能测控理论与应用, 图像测量与模式识别, 电机控制, 嵌入式系统与智能仪器等方面的科学研究工作。

张娜, 女, 江苏徐州人, 硕士研究生, 主要研究方向为嵌入式与自动化装置。

E-mail: 597205110@qq.com