

基于 FPGA 的 UART 电路设计与仿真

Design and Simulation of UART Circuit Based on FPGA

(蚌埠中国人民解放军汽车管理学院)杨大柱

YANG DAZHU

摘要: 文章介绍了一种采基于 FPGA 实现 UART 电路的方法,并对系统结构进行了模块化分解以适应自顶向下的设计方法。采用有限状态机对接收器模块和发送器模块进行了设计,所有功能的实现全部采用 VHDL 进行描述,并在 Modelsim 环境下进行了仿真,结果表明了该设计的正确性和可靠性。

关键词: UART; FPGA; RS-232; 有限状态机

中图分类号: TP332

文献标识码: A

Abstract: This paper introduces a method to design UART circuit based on FPGA. and the system structure is divided into modularization to fit the design method of Top-Down. The receiver and transfer are designed by FSM (Finite State Machine). All functions are described by VHDL. We stimulate the functions under Modelsim environment, the result proves the validity and reliability of the design.

Keywords: UART; FPGA; RS-232; FSM

UART(通用异步收发器)是广泛使用的串行数据传输协议。UART 允许在串行链路上进行全双工的通信。专用的 UART 集成电路如 8250, 8251, NS16450 等已经相当复杂,有些含有许多辅助的模块(如 FIFO),在实际应用中,往往只需要用到 UART 的几个基本功能,使用专用芯片会造成资源浪费和成本提高,我们可以将所需要的 UART 功能集成到 FPGA 内部,从而简化了整个系统电路,提高了可靠性、稳定性和灵活性。

1 UART 简介

基本的 UART 通信只需要两条信号线(RXD, TXD)就可以完成数据的相互通信,接收与发送是全双工形式,其中 TXD 是 UART 发送端, RXD 是 UART 接收端。UART 的基本特点是:在信号线上有 2 种状态,可分别用逻辑 1(高电平)和逻辑 0(低电平)来区分。在发送器空闲时,数据线应保持在逻辑高电平状态。发送器是通过发送起始位而开始一个字符传送,起始位使数据线处于逻辑 0 状态,提示接收器数据传输即将开始。数据位一般为 8 位一个字节的的数据(也有 6 位、7 位的情况),低位(LSB)在前,高位(MSB)在后。校验位一般用来判断接收的数据位有无错误,一般是奇偶校验。停止位在最后,用以标志一个字符传送的结束,它对应于逻辑 1 状态。UART 数据帧格式如表 1 所示。

表 1 UART 数据帧格式

START	D0	D1	D2	D3	D4	D5	D6	D7	P	STOP
起始位	数据位							校验位	停止位	

2 UART 功能实现

基于 FPGA 的 UART 由 3 个子模块组成:波特率发生器模块;发送模块;接收模块。

杨大柱: 硕士

2.1 波特率发生器模块

波特率发生器实际上就是一个分频器。波特率发生器的功能是能产生和 RS-232 通信所采用的波特率同步的时钟,这样才能按照 RS-232 串行通信的时序要求进行数据接收或发送。实现波特率时钟的基本思路就是设计一个计数器,该计数器工作在速度很高的系统时钟下,当计数到某数值时将输出置为高电平,再计数一定数值后将输出置为低电平,如此反复就能得到所需的波特率时钟。例如 FPGA 的系统时钟为 50MHz, RS-232 通信的波特率为 9600,则波特率时钟的每个周期约相当于 5208 个系统时钟的周期。假如要得到占空比为 50%的波特率时钟,只要使计数器在计数到 5208 \times 50%=2604 时将输出置为高电平,之后在计数到 5208 时输出低电平并重新计数,就能得到和 9600 波特率同步的时钟。

波特率发生器 VHDL 实现的关键代码如下:

```
entity baud is
```

```
Port (clk,resetb:in std_logic;
```

```
      bclk:out std_logic);
```

```
end baud;
```

```
architecture Behavioral of baud is
```

```
begin
```

```
process(clk,resetb)
```

```
variable cnt:integer;
```

```
begin
```

```
if resetb = ' 1 ' then cnt:=0; bclk <= ' 0 ' ;
```

```
-- 复位
```

```
elsif rising_edge(clk) then
```

```
if cnt >=208 then cnt:=0; bclk <= ' 1 ' ;
```

```
-- 设置分频系数
```

```
else cnt:=cnt+1; bclk<=' 0 ' ;
```

```
end if;
```

```

end if;
end process;
end Behavioral;

```

Modelsim 下的仿真波形如图 1 所示。

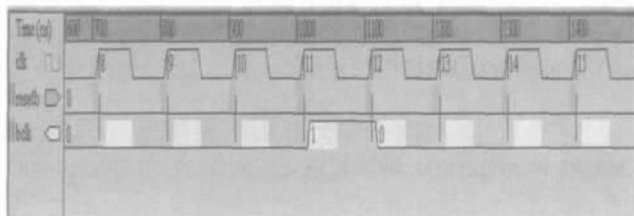


图 1 波特率发生器的仿真波形

2.2 发送模块

在发数据寄存器被写入一帧数据之后,发送过程被启动。发送过程启动后,发送串行移位寄存器被启动。同时发送使能标志被清空。首先发送的是起始位,同时启动发数据计数器,记录发送数据的个数。根据工作模式寄存器的要求,将要发送的一帧数据串行发送出去,如果需要校验,则产生校验位并发送出去。最后需要发送的是停止位,根据停止位个数的要求,发送停止位。最后设置发送完毕标志位。图 2 为发送模块状态示意图。

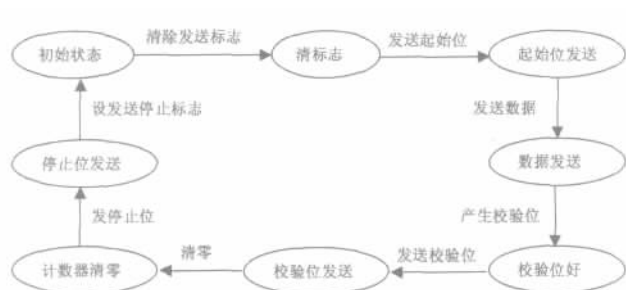


图 2 发送状态机示意图

发送模块 VHDL 程序关键代码如下:

```

architecture Behavioral of transfer is
    type states is (x_idle,x_start,x_wait,x_shift,x_stop);
-- 定义各子状态
    signal state:states:=x_idle;
    signal tcnt:integer:=0;
begin
    process(bclkt,reset,xmit_cmd_p,txdbuf)
-- 主控时序、组合进程
        variable xcnt16:std_logic_vector (4 downto 0):="00000";
-- 定义中间变量
        variable xbitcnt:integer:=0;
        variable txds:std_logic;
    begin
        if reset=' 1' then state<=x_idle; txd_done<=' 0' ; txds:=
' 1' ; -- 复位
        elsif rising_edge(bclkt) then
            case state is
                when x_idle=> -- 状态 1, 等待数据帧发送命令
                    if xmit_cmd_p=' 1' then state<=x_start;txd_done<=' 0' ;

```

```

else state<=x_idle;
end if;
when x_start=> -- 状态 2, 发送信号至起始位
    if xcnt16="01111" then state<=x_wait; xcnt16:="00000";
    else xcnt16:=xcnt16+1; txds:= ' 0' ; state<=x_start;
end if;
when x_wait=> -- 状态 3, 等待状态
    if xcnt16>="01110" then
        if xbitcnt=framlen then state<=x_stop; xbitcnt:=0;
        else state<=x_shift;
        end if;
        xcnt16:="00000";
        else xcnt16:=xcnt16+1; state<=x_wait;
    end if;
    when x_shift=>txds:=txdbuf (xbitcnt); xbitcnt:=xbitcnt+1;
state<=x_wait; -- 状态 4, 将待发数据进行并串转换
    when x_stop=> -- 状态 5, 停止位发送状态
        if xcnt16>="01111" then
            if xmit_cmd_p=' 0' then state<=x_idle; xcnt16:="
00000";
            else xcnt16:=xcnt16; state<=x_stop;
            end if; txd_done<=' 1' ;
        else xcnt16:=xcnt16+1; txds:= ' 1' ; state<=x_stop;
        end if;
    when others=>state<=x_idle;
    end case;
end if;
txd<=txds;
end process;
end Behavioral;

```

UART 发送器的仿真波形如图 3 所示。

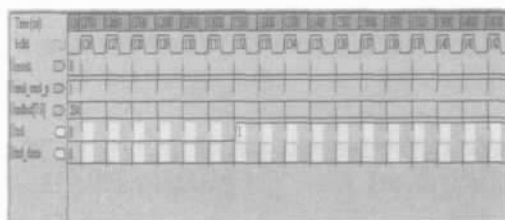


图 3 UART 发送器的仿真波形

2.3 接收模块

在接收数据寄存器被读出一帧数据或系统开始工作之后,接收过程被启动。接收过程启动之后,等待检测起始位。检测到有效的起始位后,根据高于数据速率的时钟同步开始接收数据。根据数据位数的设定,计数器统计接收位数。一帧数据接收完毕之后,如果使用校验位,则检测校验位,否则接收停止位。停止位接收完毕,则设定接收状态寄存器中接收完毕寄存器,同时产生接收中断,通知控制器读取。接收状态机的实现与发送部分类似,限于篇幅,在这里不再叙述。

在具体实现接收部分电路的时候,我们采用的是基于高速多倍率采样的方法。比如将采样速率设置在三倍信息速率上,就是以三倍于波特率的频率对接收引脚 Rx 进行采样,这样既保证检测到‘起始位’,又可以调整采样的时间间隔。(下转第 200 页)

将各通道数据保存为 *.dat 文件,以下变频通道 2 的数据为例分析,根据输出复数数据在 FIFO 中的排列格式,采用与数据等长的汉宁窗处理数据,结果如图 4 所示。

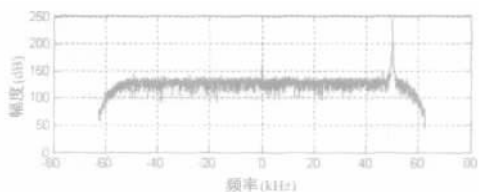


图 4 通道 2 信号频谱图

系统时钟 100MHz,总抽选率 800,则系统对下变频信号的采样率为 125kHz,而数字下变频后的信号频率为 50kHz,根据 Nyquist 采样定理,使用 125kHz 的采样率对 50kHz 的信号进行采样,应当能够不失真地恢复原信号,即信号应当出现在 50kHz 处。如图 4 所示,信号点出现在 50.0183kHz 处,这与理论分析结果基本一致。除此,还对 ICS554 的 4 通道宽带模式、8 通道分裂 I/Q 模式、ICS554 的主要性能指标(SFDR、幅相一致性)以及状态控制子模块(停止、复位、状态查询等)进行了初步测试,测试结果良好,且通过了与系统总控台的联调。

3 结论

实验表明,基于 ICS554 的数字化接收系统充分利用了片内丰富的高性能集成器件,不仅降低了设备的复杂程度和成本,而且大大提高了设备的稳定性、可靠性、灵活性和整体性能,这对新体制雷达的研究、探索及工程实现具有非常重要的意义,具有广阔的应用前景。

本文创新点:ICS554 属 ICS 的新特产品,可用于不同场合,但目前来说,使用者很少。本课题创新之处在于对先进器件的开发和应用上。为以后使用 ICS554 的用户可提供很好的参考。

参考文献

- [1]J. Mitola III, Software Radios Survey, Critical Evaluation and Future Direction [J]. IEEE. No.13, pp15-23, 1992
 - [2]杨小牛,楼才义等.软件无线电原理与应用[M].北京:电子工业出版社.2001
 - [3]张宁等.软件高频雷达总体技术方案.哈尔滨工业大学电子工程技术研究所.2004
 - [4]刘世刚,葛临东等.一种短波数字接收机模拟前端设计方案[J]微计算机信息.北京:微计算机信息.2005.11
 - [5]ICS Ltd. ICS-554 User's Manual. Http://www.ics-ltd.com
 - [6]ICS Ltd. ICS-554 Operating Manual. Http://www.ics-ltd.com
- 作者简介:宗静静,女,1981 年 12 月出生,汉族,2005 年毕业于哈尔滨工业大学通信与信息系统专业,获硕士学位,现为大连交通大学教师,从事软件无线电及信号处理工作。
- Biography:Zong Jing-jing, Female, was born in 1981, Han, She received M.E. degree in communication and Information System from Harbin Institute of Technology in 2005. Now She is a teacher of Dalian Jiaotong University, her research interest is software radio and signal processing. Email:jjzonghit@126.com.
- (116028 辽宁大连 大连交通大学 电气信息学院)宗静静
- (150001 黑龙江哈尔滨 哈尔滨工业大学 电子工程技术研究所)马子龙
- (School of Electrical Information, Dalian Jiaotong University, Dalian 116028, China) Zong Jing-jing
- (Research Institute of Electronic Engineering, Harbin Institute

of Technology, Harbin 100051, China)Ma Zi-long

通讯地址:(116028 大连 大连交通大学 331 信箱电气信息学院电子信息教研室)宗静静

(收稿日期:2007.3.23)(修稿日期:2007.4.25)

(上接第 213 页)

将有效数据位的采样点控制在码元的中间 1/3 处,最大限度地减少误码,提高接收的准确性。图 4 是该方法的示意图,在图中为了分析方便,将起始位和部分数据位放大,把每个信息位分为三等份,每等份的时间宽度设为 T_s 。以三倍频对信息位进行采样时,每个信息位都将可能被采样到三次。当处于空闲状态并检测起始位时,尽管每次具体的采样点会在 S_0 区。检测到起始位低电平后,间隔 $4 \times T_s$ 时间,正好是第一位数据位的中间 1/3 部分 S_1 区,即箭头所指部位。此后的数据位、校验位和停止位的采样间隔都是 $3 \times T_s$ 。当所有采样点均落在码元的中间 1/3 部分时,采样数据最可靠。



图 4 高速多倍率采样接收方法示意图

3 结束语

用 FPGA 实现 UART 功能,可以减小系统的面积,降低系统的功耗,提高系统的稳定性,这种硬件软件化的方法已经成为当今电子设计领域中的主导趋势。在实际应用中,我们将文中实现的 UART 电路作为一个功能块嵌入到一个 FPGA 实现的数据采集与处理系统中,成功地实现了和远端 PC 机间的异步串行通信。实验证明了该 UART 电路设计简单、工作稳定。

本文作者创新观点:本文将 UART 系统结构进行了模块化分解,使之适应自顶向下的设计方法,并采用状态机对核心电路部分进行了描述,使控制逻辑直观简单,大幅度提高了设计效率,特别是对接收电路采用了高速多倍率采样法进行实现,降低了误码率,使采样数据更为可靠。

参考文献:

- [1] 张德,马淑芬等.专用异步串行通信电路的 FPGA 实现[J].微计算机信息.2005,3:152-153
 - [2] 柳平,张志.蓝牙 HCI-UART 与并口的 FPGA 控制接口设计[J].微计算机信息.2005,4:198-199
 - [3] 黄智伟.FPGA 系统设计与实践[M].北京:电子工业出版社.2005
 - [4] 叶淦华.FPGA 嵌入式应用系统开发典型实例[M].北京:中国电力出版社.2005
- 作者简介:杨大柱,男,1973 年出生,汉族,毕业于南开大学电子系,硕士学位,现从事电子学与计算机应用方面的研究,E-mail: yangdazhu@163.com.
- Biography: Yang dazhu, male, born in 1973, Han, Master, graduated from Nankai University. Now engaged in electrical and computer application.
- (233011 (蚌埠中国人民解放军汽车管理学院) 杨大柱
- 通讯地址:(233011 蚌埠中国人民解放军汽车管理学院电工电子教研室) 杨大柱

(收稿日期:2007.3.23)(修稿日期:2007.4.25)