

基于 FPGA 的 UART16550 的设计

王建伟,王厚军,王 毅  
(电子科技大学 自动化工程学院 四川 成都 610054)

摘 要:串行通信在数字信息系统以及控制系统中得到了广泛的应用。针对传统 UART 传输速率低、稳定性相对较差的状况,介绍了高速异步串口 UART16550 的工作原理与设计实现,并且给出在现场可编程门阵列 FPGA 上的实现与验证仿真。这项设计对于片上系统之间以及与 PC 机之间的串行数据传输有了很大程度的改善。

关键词:UART16550;串口;FIFO;FPGA  
中图分类号:TN919 文献标识码:B 文章编号:1004-373X(2007)09-054-02

Design of UART16550 Based on FPGA

WANG Jianwei, WANG Houjun, WANG Yi  
(School of Automation, University of Electronic Science & Technology of China, Chengdu, 610054, China)

Abstract: Serial communication is widely used in digital information systems and control systems. The traditional UART transfers data at a low speed and is not so stable. This paper introduces a higher performance UART16550 which is designed on a FPGA. The simulation shows it works well on the FPGA. It will greatly improve the efficiency of data transmission between SoC and PC.

Keywords: UART 16550; serial port; FIFO; FPGA

1 引言

UART(Universal Asynchronous Receiver/Transmitter,通用异步收发器)是用于控制 CPU 与串行设备通信的芯片,将由 CPU 传送过来的并行数据转换为输出的串行数据流。将系统外部来的串行数据转换为字节,供系统内部使用并行数据的器件使用。他可以在输出的串行数据流中加入奇偶校验位和启停标记,并对从外部接收的数据流进行奇偶校验以及删除启停标记。常见 UART 主要有 INS8250,PC16450 和 PC16550,其中 16550 发送和接收都带有 16 B 的 FIFO,为协调发送、接收端的速率匹配提供了更大的缓冲余地,同时也可以提高 CPU 的使用效率,从而提高系统的整体性能。

2 UART16550 的基本结构

如图 1 所示,UART16550 的基本结构由 CPU 接口模块、波特率发生器、FIFO 控制器、发送/接收 FIFO 和发送/接收模块共 7 个部分组成。

CPU 通过 UART 的 CPU 接口模块配置整个 UART,波特率发生器在 CPU 写入初始值后产生需要的波特率,控制发送和接收模块在设定的波特率下工作。CPU 通过接口模块向发送 FIFO 内写入需要发送的 8 位数据,同时发送模块开始读取 FIFO 中的数据,并加入起始位、奇偶

校验位和停止位后以串行发送的方式传输给串行接收设备。接收模块时刻监视串行输入端口,发现有数据发送来的时候马上启动接收模块开始接收数据并有效的判断出奇偶校验位来检测数据的正确性,最后把剩下的 8 位数据放入接收 FIFO,并通知 CPU 有数据进来进行接收。异步串行通信协议的数据传输格式如图 2 所示。

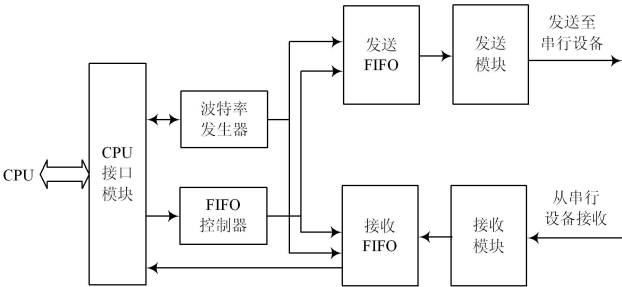


图 1 系统结构图

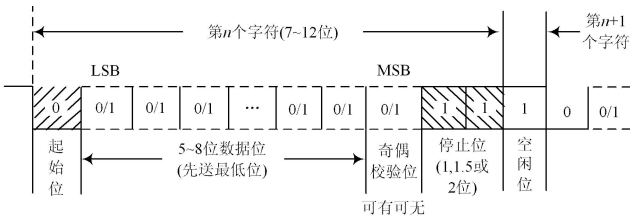


图 2 异步串行数据传输格式

UART16550 的发送数据位可以选择为 5~8 位,同时可以选择奇校验、偶校验或者不设置校验位,停止位可以约定为 1,1.5 或 2 位。

### 3 UART16550 的设计实现

### 3.1 CPU 接口模块

CPU 接口模块完成了 CPU 指令的解读与寄存器配置以及 UART 状态读取等功能。通过 3 位的地址线和 8 位的数据线, CPU 可以对波特率发生器的波特率进行预先的设置, 以使串口两端的设备在同一波特率下完成接收和发送的工作。同时 CPU 接口接收来自 CPU 的需要发送的 5~8 位数据, 送入发送模块, 或者把接收模块接收到的数据通过接口送给 CPU 进行数据处理。在此接口模块里, 设置了 8 个控制和状态寄存器, 包括 RBR (Receiver Buffer Register) 接收缓冲寄存器、THR (Transmit Hold Register) 发送保持寄存器、IER (Interrupt Enable Register) 中断使能寄存器、IIR (Interrupt ID Register) 中断寄存器、LCR (Line Control Register) 线控制寄存器、LSR (Line Status Register) 线状态寄存器、SCR (Scratchpad Register) 暂存寄存器和 FCR (FIFO Control Register)。在使用 UART16550 前, CPU 必须要对控制寄存器进行配置, 包括波特率、数据位数、奇偶校验、停止位位数及 FIFO 的控制等。这也是 16550 区别于一般 UART 的具有可编程的特点。

### 3.2 波特率发生器

波特率是单位时间内传送的二进制数据的位数,以位/秒(b/s)表示,也称为数据位率。

收/发时钟频率与波特率之间关系:

$$\text{收/发时钟频率} = N \times \text{波特率}$$

$N$  可以取 8, 16, 32 和 64 等, 为了兼顾速度和稳定性一般取为 16。  $N$  在硬件设计时已经设定好, 软件不能改变。波特率发生器由两个 8 位的数据寄存器组合成 16 位的分频寄存器, 可以实现系统频率的 1 ~ 2(16) 分频, 达到预定的波特率设置。

### 3.3 FIFO 控制器和发送/接收 FIFO

带有缓存是 16550 以及更高端 UART 的突出的特点。16550 带有 8 位宽、16 字节深的异步 FIFO。FIFO 控制器从 CPU 接口读入信息,配置发送/接收 FIFO,并且在需要的时候使能 FIFO,并且把 FIFO 的实时状态通过 CPU 接口送给 CPU 以方便 CPU 读取数据。在发送 FIFO 空和接收 FIFO 满的时候,FIFO 控制器立即产生中断请求,通知 CPU 进行下一步的操作。另外,当配置 DMA 模式时,CPU 可以进行大数据量的发送和读取,减轻了 CPU 的负担,可以提高整个系统的运行效率。

### 3.4 发送模块

发送模块的核心是 one hot 编码的状态机。他可以读入来自 FIFO 的数据,并根据配置寄存器里面的信息加入起始位、1, 1.5 或 2 位停止位和奇偶校验位,然后把打包的数据通过移位寄存器把数据以标准的串口协议发送给串口

接收设备。只要发送 FIFO 中有数据存在,发送模块就会一直发送,直到 FIFO 空为止。在不选择 FIFO 的情况下,发送模块则直接接收来自 THR(Transmit Hold Register)发送保持寄存器的数据,不经过缓存直接发送。

### 3.5 接收模块

接收模块是发送模块功能的逆序执行。他接收来自外部的串行数据,根据配置去除数据的起始、停止位和奇偶校验位,若出现数据差错则立即产生错误信息。如果没有错误,则将剩余的 8 位有用数据送入接收 FIFO 让 CPU 读取。同样接收模块也可以选择不使用 FIFO,这时接收模块就会把 8 位数据直接送给 RBR(Receive Buffer Register)接收缓冲寄存器,再由 RBR 送给 CPU。

#### 4 结果的验证仿真

设计采用 VHDL 语言在 FPGA Advantage 平台下编写,并通过 Modelsim 编译仿真,并且通过 ISE 下载到电路板上验证,硬件验证 FPGA 芯片采用 Xilinx 的 Spartan3 XC400PQ208。由于验证 UART 接收/发送时序必须要有处理器,所以采用在 FPGA 内部嵌入 Xilinx 的 MicroBlaze 软核模拟 CPU 控制时序,通过 FPGA 外接的串口实现与计算机串口进行通信。用 Modelsim 进行时序仿真结果如图 3 所示。

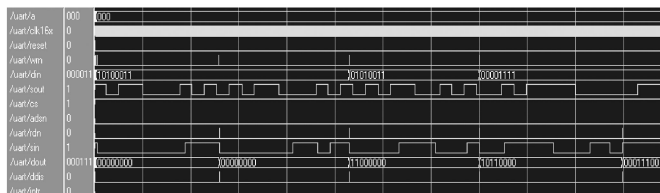


图3 时序仿真

## 5 结 语

本文介绍了 UART16550 在可编程逻辑器件 FPGA 上的实现,并通过实际电路验证了设计的功能。使用 FPGA 不仅可以方便地用串口协议与 PC 机进行串行通信,而且扩展了板级系统的接口功能。应用在可编程器件 FPGA 内部,可以很大程度地减少电路板的使用面积,并提高系统的稳定性和可编程性。

## 参考文献

- [1] Douglas L. Perry. VHDL : Programming by Example [M]. McGraw - Hill ,2002.
- [2] 潘松,王国栋. VHDL 实用教程[M]. 成都:电子科技大学出版社,2000.
- [3] 徐志军,徐光辉. CPLD/ FPGA 的开发与应用[M]. 北京:电子工业出版社,2002.
- [4] Lattice Corporation, Lattice Reference Designs. Universal Asynchronous Receiver Transmitter, 2001.