

文章编号: 1000-1220(2002)12-1517-05

# PCI 总线接口芯片的应用研究

陈健生 李 芬 杨 品

(清华大学 计算机科学与技术系, 北京 100084)

**摘 要:** 本文归纳了 PCI 总线接口电路的核心功能, 对常见的 PCI 总线接口芯片进行了比较, 结合 MPEG II 实时编解码卡接口电路设计实例, 总结了利用 PCI 总线接口芯片设计接口电路的主要问题

**关键词:** PCI 总线; 局部总线; 接口芯片; 配置空间; 寄存器

**中图分类号:** TP303.1

**文献标识码:** A

## 1 引言

自 1992 年 PCISIG 协会推出 PCI 规范 1.0 版到现在, PCI 总线工业标准经历了快速的发展。由于其对于多种处理器平台良好的支持、本身高速的传输速率、即插即用的结构特点以及灵活的负载结构和扩展特性, PCI 总线已经被越来越多的厂商采纳为 PC 机总线事实上的标准。目前, PCI 总线规范最新的版本是 1999 年颁布的 PCI v2.2。

我们知道, 在 ISA 总线体系结构中, 访问操作的地址寻址以及数据读写控制信号都是由微处理器产生的。而 PCI 总线系统结构则有很大不同, PCI 适配器本身既可以做总线的目标设备由其它的总线主设备来访问, 也可以成为 PCI 总线的主设备来发起总线上的访问操作。此外, PCI 设备还必需支持即插即用特性。

因此, PCI 设备都必需实现一个相当复杂的 PCI 总线的接口逻辑。实现这个接口逻辑的方式主要有两种: 其一, 利用可编程芯片来进行设计。这种设计途径的优点是性价比高、灵活性大。但是, 其复杂性可想而知。这种设计方式一般适用于相对简单和廉价的 PCI 设备。而且, 往往只是实现接口逻辑的一个功能子集; 其二, 采用专用的 PCI 总线接口芯片。这些芯片由专业的厂商设计生产, 性能相对稳定, 功能也比较完备。可以大大的减少 PCI 设备接口逻辑设计的工作量。使用专用 PCI 总线接口芯片进行 PCI 总线接口逻辑设计是本文的重点所在。

## 2 PCI 总线接口芯片的核心功能

本文讨论范围局限于通用的, 适用于 PCI 适配器的 PCI 总线接口芯片。其他的诸如处理器 PCI 桥芯片、PCI-PCI 总线扩展芯片将不在讨论之列。

PCI 总线接口芯片相当于 PCI 总线和局部逻辑间的中介。直观上看, 所有的主机对于适配器局部逻辑的操作都是通过操作 PCI 总线接口芯片来实现的, 反之亦然。典型的 PCI 总线接口芯片结构如图 1 所示(见下页)。

PCI 总线接口芯片的功能可以分成两个部分: 其一, 满足 PCI 规范的要求而必需实现的功能集合; 其二, 实现主机和适配器局部逻辑间数据传输与控制而必需实现的功能集合。

### 2.1 兼容 PCI 规范的功能集合

PCI 总线接口芯片必需支持 PCI 总线规范的下列方面: 信号组、电气规范、PCI 接口电路时序规范以及配置和配置空间访问。某些 PCI 总线接口芯片还要支持 Boot ROM 和 Compact PCI 与热插拔 PCI。

这些功能对于 PCI 接口芯片的使用者来说是透明的。开发者只要笼统的知道某个 PCI 接口芯片兼容 PCI 规范的总体情况就足够了。

### 2.2 数据传输与控制功能集合

要正确的选用 PCI 总线接口芯片, 开发者还必需详细的了解下列功能的实现细节。

**2.2.1 PCI 总线类型:** 目前使用最为广泛的是 32bit/33MHz 的 PCI 总线。PCI v2.2 中还定义了 PCI 总线的 64bit 扩展和 66MHz 扩展。几乎所有的 PCI 总线接口芯片都支持 32bit/33MHz 的 PCI 总线。而设计其他类型的 PCI 总线设备则需要特别选择相应的 PCI 总线接口芯片。

**2.2.2 局部总线类型:** PCI 设备的局部逻辑设计一般都采用局部总线模式。PCI 总线接口芯片或是直接实现了局部总线, 或是实现了局部总线编程接口。开发者必需根据所要实现的局部总线类型和频率选择相应的 PCI 总线接口芯片。这里需要澄清一个问题。很多系统板的 PCI 总线传输速率达不到 13M 字节/秒的上限。综合芯片组和总线结构的因素, 单个的 PCI 设备能够得到的 PCI 带宽通常不会超过 30M 字节/秒。高速 PCI 扩展卡的开发者应该多从系统板的角度去考虑解决方案。

**2.2.3 对主设备访问方式的支持:** 控制 PCI 总线并发起访问的方式称为主设备访问方式。开发 PCI 总线主设备必需选用支持主设备访问方式的 PCI 接口芯片。

**2.2.4 DMA 传输控制:** DMA 传输中, DMA 控制递负责增传输地址直到完成设定的传输长度。

收稿日期: 2001-07-05 作者简介: 陈健生, 硕士研究生, 研究领域为多媒体接口技术; 李 芬, 副教授, 研究领域为多媒体技术, 虚拟现实接口技术; 杨 品, 教授, 研究领域为多媒体技术。

一些 PCI 接口芯片实现了这样的 DMA 控制器 DMA 传输从组织方式上分成两种: 非链式 DMA (Non-Chaining Mode DMA) 和链式 DMA (Chaining Mode DMA 或者 Scatter/Gather Mode DMA)。非链式 DMA 方式下, 处理器把一次 DMA 传输所需要的信息设定到相应的 DMA 寄存器当中, 而后启动传输; 链式 DMA 可以看作是批处理的 DMA, DMA 控制器从 DMA 描述子链表中依次得到每次 DMA 传输的信息, 从而完成一长串的 DMA 传输 DMA 传输从启动/

停止方式上可以分成三种模式, 即 EOT 模式- - - DMA 启动位被设置传输即开始, 传输长度完成或者是 EOT 信号有效终止传输; 命令模式- - - DMA 启动位被设置之后, 由一个特殊的信号控制 DMA 传输的起/停 这个信号可以被视作传输的“暂停按钮”; 块模式- - - DMA 启动位被设置传输即开始, 传输长度完成则传输停止

2.2.5 非易失性存储器: PCI 配置信息在设备启动时由 PCI 总线接口芯片从非易失性存储器中加载 不同的 PCI 总线接

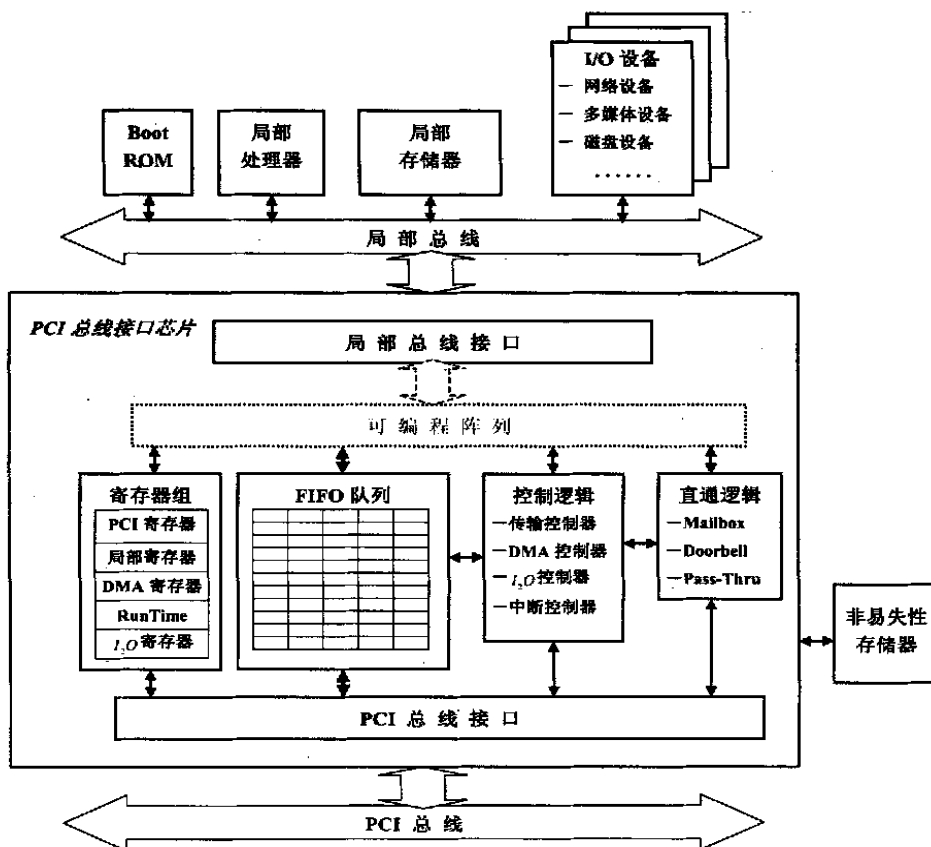


图 1 典型的 PCI 总线接口芯片结构图

口芯片支持不同类型的非易失性存储器

2.2.6 FIFO: PCI 接口芯片的 FIFO 在数据传输中缓冲数据 FIFO 深度的不同决定了 PCI 接口芯片平滑数据传输的能力

2.2.7 中断控制: PCI 总线接口芯片通常可以在 PCI 总线或者是局部总线上产生中断, 中断的来源和优先级可以在相应的中断寄存器当中设定

2.2.8 局部空间数目: PCI 总线接口芯片围绕 BAR (基地址寄存器) 实现 PCI 总线到局部总线的地址译码, 或者说实现局部地址空间 主机系统可以通过 I/O 映射方式或者是 Memory 映射方式访问局部地址空间 支持主设备访问方式的 PCI 总线接口芯片同时提供相应的基地址寄存器进行反向的地址译码, 使得局部处理器可以访问 PCI 空间

2.2.9 直通数据通路: PCI 总线接口芯片的直通数据通路为两侧总线提供一个同步数据交互的方式 邮箱寄存器、门铃

寄存器、Pass-Thru 通路都属于这个范畴

2.2.10 编码方式转换: PCI 总线总是工作在小印第安编码方式, 而局部总线则可能要和大印第安编码方式的器件连接 一些 PCI 总线接口芯片可以自动的对数据格式进行转换

2.2.11 I/O 支持: I/O (Intelligent I/O) 体系结构的基本思想是把 CPU 从 I/O 操作中解放出来, 去完成更高级的计算和处理工作 I/O 处理可以在智能 I/O 设备之间自主的进行, 不用打搅 CPU 某些 PCI 接口芯片提供了实现 I/O 结构所需的功能 这意味这可以采用这些芯片开发智能 I/O 设备

### 3 PCI 总线接口芯片功能比较

依据上一节对于 PCI 总线接口芯片功能的归纳, 本节对常见的几种 PCI 总线接口芯片进行比较 希望可以为 PCI 总线接口芯片的选用提供一个参考

(1) Quick Logic 出品的 PCI 总线接口芯片中包含可编程的部分 除了一个可编程逻辑阵列之外, 该部分还包含了配

置空间, F I F O 甚至是DMA 控制器 表格中QL 系列芯片很 多支持的功能, 都是指通过编程可以实现的

表 1 常见 PCI 总线接口芯片功能比较

| 项 目 \ 芯 片          | PCI 9080                       | PCI 9054                       | PCI 9050                          | S5933                              | QL 5030                 | QL 5064  |
|--------------------|--------------------------------|--------------------------------|-----------------------------------|------------------------------------|-------------------------|--|
| 出品厂商               | PLX Tech                       | PLX Tech                       | PLX Tech                          | AM CC <sup>2</sup>                 | Quick Logic             | Quick Logic                                      |
| 兼容规范               | PCI v2.1                       | PCI v2.2                       | PCI v2.1                          | PCI v2.1                           | PCI v2.1                | PCI v2.1   |
| 配置空间               | 64 字节                          | 84 字节                          | 64 字节                             | 256 字节                             | 256 字节                  | 256 字节   |
| 热插拔 PCI 支持         | 否                              | 是                              | 否                                 | 否                                  | 是                       | 是  |
| Compact PCI 支持     | 否                              | 是                              | 否                                 | 否                                  | 是                       | 是  |
| PCI 总线类型           | 32bit/33M                      | 32bit/33M                      | 32bit/33M                         | 32bit/33M                          | 32bit/33M               | 64bit/33M <sup>3</sup>                           |
| 局部总线类型             | C, J, S <sup>4</sup>           | C, J, M <sup>5</sup>           | 8/16/32bit<br>复用/非复用 <sup>6</sup> | 32bit/复用,<br>同步 PCI 时钟             | 71U ser I<br>/O、160M Hz | 192U ser I<br>/O、100M hz                         |
| 直接主设备支持            | 是                              | 是                              | 否                                 | 是                                  | 否                       | 是  |
| DMA 通道             | 双通道                            | 双通道                            | 无                                 | 支持                                 | 无                       | 四通道  |
| 非易失性存储器            | EEPROM 接口                      | EEPROM 接口                      | EEPROM 接口                         | 串行/8 位宽非<br>易失存储器                  | EPROM 接口                | 内嵌 EPROM   |
| F I F O            | 4 × 32Lw ords<br>4 × 16Lw ords | 3 × 32Lw ords<br>3 × 16Lw ords | 1 × 16Lw ords<br>1 × 8Lw ords     | 1 × 8Lw ords: 写<br>1 × 8Lw ords: 读 | 256Lw ords,<br>可编程分配    | 4 × 128Lw ords<br>1 × 32Lw ords<br>1 × 64Lw ords |
| 局部空间数 <sup>7</sup> | 2 个                            | 2 个                            | 4 个                               | 6 个                                | 可编程                     | 6 个  |
| 直通数据通路             | 8 个邮箱<br>2 个门铃                 | 8 个邮箱<br>2 个门铃                 | 8 个邮箱<br>2 个门铃                    | 8 个 Pass-Thru<br>区域, 八个邮箱          | 可编程实现                   | 16 个邮箱   |
| 编码转换支持             | 是                              | 是                              | 是                                 | 是                                  | 是                       | 否  |
| I/O 支持             | I/O 消息单元                       | I/O 消息单元                       | 无                                 | 无                                  | 可编程支持                   | 支持   |

- (2) AM CC: Applied Micro Circuits Corp.
- (3) 向后兼容 32bit 或者是 33MHz 的 PCI 总线
- (4) C: 32 位地址/32 位数据/非复用; J: 32 位地址/32 位数据/复用; S: 32 位地址/16 位数据/复用; 局部总线最高可以运行在 33MHz, 与 PCI 总线时钟异步。
- (5) C: 32 位地址/32 位数据/非复用; J: 32 位地址/32 位数据/复用; M: 32 位地址/32 位数据/非复用; 局部总线最高可以运行在 50MHz, 与 PCI 总线时钟异步。

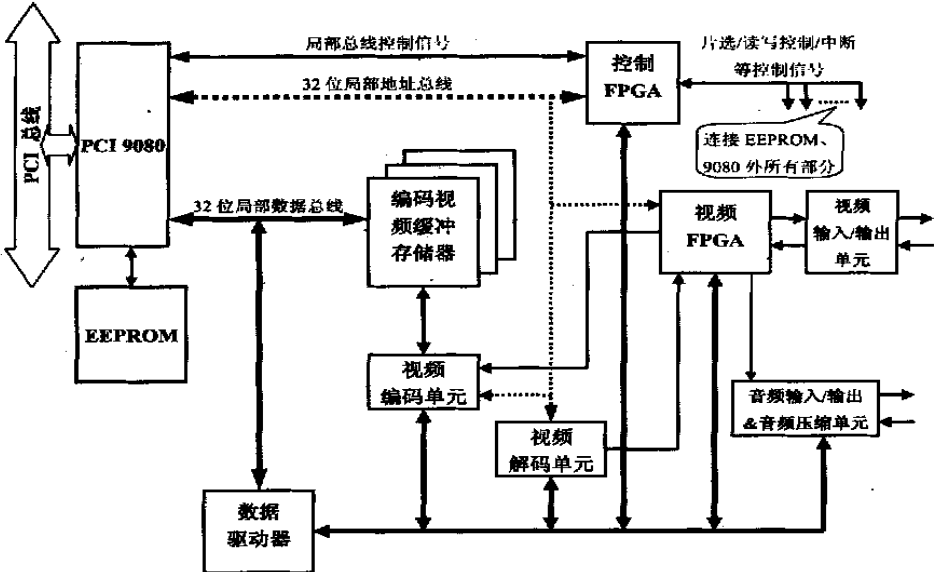


图 2 MPEG II 实时编解码卡硬件总体结构

- (6) 局部总线最高可以运行在 33MHz, 与 PCI 总线时钟异步。
- (7) 不含 Boot ROM 空间
- 4 MPEG II 实时编解码卡 PCI 接口电路的实现
- 4.1 MPEG II 实时编解码卡总体结构

MPEG II 实时编解码卡是适用于广播级别的 MPEG II

编解码扩展卡 它是广播电视影像资料数据存储与检索系统的组成部分 功能是将广播级别的影像资料实时的压缩成 MPEG II 格式 MPEG II 实时编解码卡最高可以支持 50M bit/s 的 4: 2: 2 格式的 MPEG II 系统流的生成, 编解码可以同时进行 综合各种因素, 我们选用了 PLX 公司的 PCI 9080 实现 MPEG II 实时编解码卡的 PCI 接口电路 MPEG II 实时编解码卡的硬件总体结构如图 2: 其中 PCI 总线类型是 32bit/33M; 局部总线采用 C 模式, 工作在 33MHz; 整个扩展卡只支持从设备方式, 不能主控 PCI 总线; 局部总线上采用一个“控制 FPGA”实现地址译码、芯片读写控制等功能, 或者说主控局部总线的时序

#### 4.2 MPEG II 实时编解码卡局部地址空间设计

MPEG II 实时编解码卡不实现 Boot ROM 空间 除了 PCI 9080 自身的寄存器空间之外 我们设计了两个局部地址空间 Space 0 和 Space 1 Space 1 对应“编码视频缓冲存储器”空间, Space 0 则是对应卡上其他空间 操作系统配置 PCI 设备局部地址空间, 以及 PCI 接口译码 PCI 地址的流程如下图 (斜体字为 Space 0 实例) 所示:



图 3 局部地址空间配置和 PCI 地址译码流程图

PCI 9080“PCI 到局部地址空间范围寄存器”中的值, 决定了系统在配置过程中从 BAR 中读取的值, 通过设定该寄存器就可以决定相应地址空间的大小; “PCI 到局部地址空间局部基地址寄存器”决定了 PCI 地址译码过程, MPEG II 实时编解码卡相应的寄存器值为 0x80000000; “局部地址空间描述寄存器”中可以设定该局部地址空间的属性 对于每一个地址空间, 都相应的有这样三个寄存器 这些寄存器的值在 PCI 9080 初始化过程当中从 EEPROM 中加载

MPEG II 实时编解码卡局部地址空间 Space 0 由众多功能单元共用, 所以还需要进行进一步的译码 “控制 FPGA”完成这方面的功能 “控制 FPGA”当中的逻辑采用 VHDL 编写 例如, 其中与视频解码单元相关的地址译码语句如下:

```
... ..
SIGNAL dev-addr : STD-LOGIC-VECTOR (2 downto 0);
CONSTANT dcd-sel : STD-LOGIC-VECTOR := "001";
... ..
dev-addr <= LA 11 & LA 10 & LA 9;
... ..
DCD-CSN <= '0' WHEN (dev-addr = dcd-sel) AND (io-pend = '1')
ELSE '1';
DCD-OEN <= '0' WHEN ((io-read = '1') AND (dev-addr = dcd-sel))
ELSE '1';
DCD-WEN <= '0' WHEN ((io-write = '1') AND (dev-addr = dcd-sel))
ELSE '1';
... ..
```

LA 11~ LA 9 是局部地址总线的 11~ 9 位 如果这三位的值是 '001', 视频解码单元就是访问目标 0x80000234 正是视频解码单元某个寄存器的地址

#### 4.3 MPEG II 实时编解码卡 DMA 传输和中断设计

PCI 9080 的两个 DMA 通道, 一个用于主机送压缩数据到解码单元 (通道 0), 一个用于主机从“编码视频缓冲存储器”当中取走压缩数据 (通道 1). 两个 DMA 通道都是工作在非链式命令模式下 系统主机设置每次 DMA 传送的目标/源地址和传输长度 (64K). DMA 通道 0 由解码单元的数据请求信号控制传输的起/停, 而 DMA 通道 1 的起/停控制信号是“编码视频缓冲存储器”的半满信号 一次 DMA 传输结束后, DMA 通道用中断通知主机

MPEG II 实时编解码卡在 PCI 总线上发出的中断主要有以下来源: DMA 传输结束、一帧编/解码完成、解码发现序列头标识符等

#### 4.4 PCI 9080 软件编程实例

调用 PLX 公司提供的 SDK 或者是某些通用的驱动开发平台的 API 函数就可以进行软件系统开发 下面给出一个简单的实例

EEPROM 的值可以通过操作 PCI 9080 读出或者写入 下面的这个函数实现从 EEPROM 读出一个比特 软件平台是 WinDriver 4.32

```
# define P9080-CNTRL 0x6c
BOOL P9080-EEPROMReadBit(P9080-HANDLE hPlx)
{
    BOOL fRet;
    DWORD dwCNTRL = P9080-ReadReg(hPlx, P9080-CNTRL);

    dwCNTRL &= ~BIT24;
    P9080WriteReg(hPlx, P9080-CNTRL, dwCNTRL);
    P9080-EEPROMDelay(hPlx);

    dwCNTRL |= BIT24; // clock
    P9080WriteReg(hPlx, P9080-CNTRL, dwCNTRL);
    P9080-EEPROMDelay(hPlx);

    dwCNTRL &= ~BIT24;
    P9080WriteReg(hPlx, P9080-CNTRL, dwCNTRL);
```

```
P9080-EEPROMDelay(hPlx);
```

```
fRet = (P9080-ReadReg(hPlx, P9080-CNTRL) & BIT27) ==  
BIT27;  
return fRet; }
```

P9080-CNTRL 对应着 PCI 9080 的“控制寄存器”,地址是 0x6C,其中 bit24 对应 EEPROM 的时钟管脚 bit27 对应 EEPROM 数据管脚;hPlx 是 PCI 设备句柄;P9080-ReadReg()是读取 PCI 9080 寄存器值的函数

## 5 结束语

开发 PCI 扩展卡的过程中,设计 PCI 接口电路是非常基础但也是非常关键的一步。合理的选用 PCI 接口芯片进行这部分开发工作,可以大大的减少工作量,提高设计的可靠性,同时降低开发成本。在参考了众多的 PCI 接口芯片的基础上,本文对 PCI 接口芯片基本功能进行了尽可能完备的归纳,并结合具体开发实例阐述了 PCI 接口芯片使用过程中最核心的问题。希望可以为硬件开发者提供一个利用 PCI 接口芯片设计 PCI 设备提供一个基本的设计模式,同时也为 PCI 接口芯片的选用提供一个参考。

## 参 考 文 献

- 1 Tom Shanley; Don Anderson. PCI System Architecture (4<sup>th</sup> Edition) [M]. MindShare, Inc., 1999
- 2 PCI Local Bus Specification Rev. 2.2 [S]. PCI Special Interest Group, December, 1998
- 3 PCI 9080 Data Sheet. PLX Corp. [S]. January, 1998
- 4 PCI 9050 Data Sheet. PLX Corp. [S]. August, 1996
- 5 PCI 9054 Data Sheet. PLX Corp. [S]. August, 1999
- 6 PCI Products Data Book. AMCC Corp. [S]. April, 1998
- 7 QuickLogic Data Book. QuickLogic Corp. [S]. 2001.
- 8 Zhao Xi-kai. Study of PCI bus expansion technology [J]. Computer Engineering and Science. 1997, 19(2): 74~78  
(赵锡凯. PCI 总线扩展技术研究 [J]. 计算机工程与科学, 1997, 19(2): 74~78)
- 9 Wang Ru-yan, You Min-hui. Design of PCI bus and its interface circuit [J]. Digital Communication. 1999, 4  
(王汝言, 游敏慧. 计算机 PCI 总线及其接口电路的设计 [J]. 数字通信. 1999, 4)

## Study and Application of PCI Bus Interface Chip

CHEN Jian-sheng, LI Fen, YANG Pin

(Department of Computer Science and Technology, Tsinghua University, Beijing 100084, China)

**Abstract** In this article, the author studied the main functions of PCI bus interface logic, compared several widely used PCI bus interface chips and introduced the designing of PCI bus interface circuit with PCI 9080 in M-PEG II Code/Decode Adapter.

**Key words** PCI Bus; local bus; interface chip; configuration space; register