

PCI Express 总线及其应用设计研究^{*}

魏 鹏, 罗武胜, 杜列波

(国防科技大学 机电工程与自动化学院, 长沙 410073)

摘要: 首先对目前最为流行的 PCI Express 总线技术作了介绍, 并对其数据的封装及传送流程作了概括, 指出其作为第三代总线接口(3GIO)的技术优势。然后重点针对 PCI Express 总线技术在应用设计中存在的困难, 探讨了三种不同的基于 PCI Express 的系统解决方案, 对比分析了各方案的优缺点和适用场合及资源开销, 以便开发人员根据不同的需求选用合适的方案快速高效地完成开发。

关键词: PCI Express; 总线; 可编程; PIPE; PEX 8311; 桥接

中图分类号: TN98

文献标识码: A

文章编号: 1001-1390(2007)02-0043-03

Research on PCI Express bus and design methods of its application system

WEI Peng, LUO Wu-sheng, DU Lie-bo

(College of Mechatronics Engineering and Automation, National University of Defense Technology, Changsha 410073, China)

Abstract: This paper introduces the most popular PCI Express bus at present, generalizes its data packages and transmits flows, and enumerates its technique advantages as the Third Generation Input Output(3GIO). Considering the difficulties in the applications and designs, this paper provides three different design methods of PCI Express and discusses their advantages, disadvantages, application and cost. This avails developers to choose appropriate scheme to complete their designs expediently and effectively.

Key words: PCI Express; Bus; Programmable; PIPE; PEX 8311; Bridge.

0 引言

相比 PC 中其它技术的发展, PC 总线的发展显得极其缓慢。对于越来越高的应用要求, 主流的 PCI 总线已经成为限制系统性能发挥的瓶颈。虽然 PCI 总线技术经过不断修正和发展, 已派生出 64 位、66MHz 的协议标准和更优秀的 PCI-X 标准, 但由于它们的整体设计难度较大和造价高昂, 使其应用局限于高级工作站和服务器^[1]。因此, PCI Express 总线一经推出, 立即以其优异的性能和低廉的造价引起了业界的广泛关注, 展现出了广阔的应用前景。但是, 由于 PCI Express 的体系架构比较复杂, 加之面世时间短, 使其在设计上存在较大的困难, 本文即以此为背景介绍 PCI Express 总线技术及其应用设计。

1 PCI Express 总线简介

PCI Express 为总线技术带来了颠覆性的革命, 其所能提供的高带宽和引入低延迟是其前几任总线所望尘莫及的。PCI Express 采用串行传输方式, 没有并行总线所存在的数据线间干扰和同步问题, 工作频率可以极大地提高, 目前 2.5GHz 工作频率已使 PCI Express x1 的速率达到双向 500MB/s, x32 则可达 16GB/s。PCI Express 总线以点对点方式连接设备, 使设备间不存在共享总线带宽的问题, 而其差动双-单工信令链路则可以更加可靠、轻松地实现双向数据传输。

PCI Express 总线采用分层传输协议, 具体发送过程如图 1 所示^[2,3]。设备或应用程序的信息(包括头和数据部分)在传输层(Transition Layer)计算可选的端到端

^{*} 国家 863 计划项目(编号 2006AA701121)

CRC(ECRC)字段,并将该字段附加到数据包中,形成传输层数据包 TLP(Transition Layer Packet);TLP 在数据链路层(Data Link Layer)添加 2 个字节的序列码和 4 个字节链路 CRC (LCRC),形成数据链路层数据包 DLLP(Data Link Layer Packet);DLLP 在物理层(Physical Layer) 再添加 1 个字节的起始帧和 1 个字节的结束帧形成物理层数据包 PLP(Physical Layer Packet)。然后,PLP 在物理层经过字节拆分、扰频、8b/10b 编码、并串转换等过程将数据包由差分驱动接口以 2.5Gbps (目前工作频率下)的速率传输出去,接收设备执行大致相反的过程完成数据包接收和拆解。其中,字节拆分用于将数据包的字节分配到各个通道上(只适用于 $\times 1$ 以上的通道),以充分利用各通道来加快数据传输速度。扰频则是使用一种算法,伪随机地加扰各个字节以消除比特流中的重复模式,将能量分散到一个频率范围内,最大限度地减少所生成的平均 EMI 噪音。8b/10b 编码的目的则是为了将高频时钟嵌入数据,接收端根据比特流中足够多的 0 和 1 之间的转换来重建接收时钟并利用弹性缓冲区进行时钟的容差补偿,这样就避免了在发送和接收端传输高频时钟。差分传输则能够大大提高信号的抗干扰能力。

此外,PCI Express 使用了 ACK/NAK 协议,支持服务质量(QOS)、流量类别(TC)、虚拟信道(VC)、消息中断(MSI)、电源管理(PWM)等功能,使得数据传输更加高效、可靠,功耗更低。基于数据包的分层传输模式则使热插拔、电源管理、错误处理及中断信令都采用特定的数据包在带内完成,而不是用边带信号实现,使得引脚数量大大减少,布线更加方便。

2 PCI Express 总线应用设计

2.1 可编程设计方案

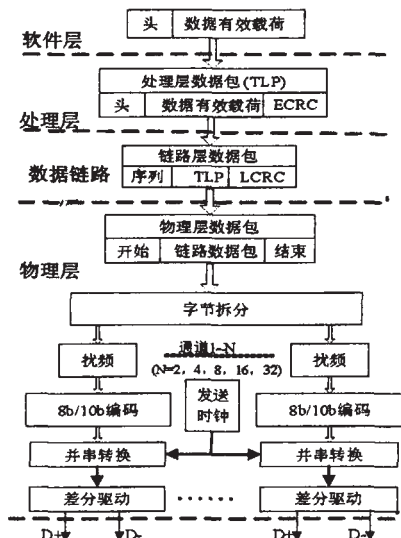


图 1 PCIExpress 分层传输协议的发送过程

近年来,FPGA 因其设计周期短、开发费用低、风险小等显著优点成为许多应用系统提高集成度和可靠性的最佳选择。可编程设计方案的基本思想即是由 FPGA 编程实现 PCI Express 的上层协议,利用 Philip 或 TI 公司提供的 PHY (物理层) 器件实现物理层接口^[4]。FPGA 与 PHY 器件的典型连接如图 2 所示。这种连接符合 Intel 公司开发的 PIPE 规范 (Physical Interface for PCI Express Specification)。PIPE 规范将 PCI Express 的物理层分为 MAC (Media Access Control Layer)、PCS(Physical Coding Sub-layer)和 PMA(Physical Media Attachment Layer) 三个子层。图 2 也可看作是 MAC 层与 PCS 层的接口,其中各信号的定义参考文献[3]。

可编程设计方案的硬件成本很低,但由 FPGA 编程实现 PCI Express 复杂的上层协议对非专业人员而言难度极大,通常需要购买 Xilinx 或 Altera 公司提供的 IP(Intellectual Property)核。Philip 和 TI 公司提供的 PHY 器件都已通过了 PCI-SIG 的相关测试,与其它 PCI Express 器件的互操作性也经过了验证。因此,可编程设计方案已是一种成熟的方案,能够满足各种新兴的嵌入式 PCI Express 应用系统需求,包括 PC 外设卡、视频与影像处理设备以及网络设备等。用户可采用低成本的 FPGA 开发大批量系统与产品。但对于小批量应用系统的开发,其高昂的软件成本(IP 核)使得此设计方案的性价比大大降低。

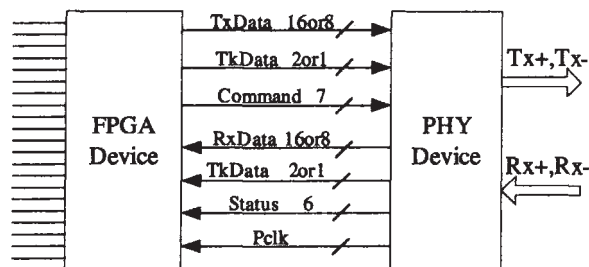


图 2 FPGA 与 PHY 器件的典型连接

2.2 桥接设计方案

随着 PCI Express 总线应用的日益广泛,PC 主板上的出现了 PCI Express 插槽,而且未来有可能取代 PCI 插槽。为了在 PCI Express 架构的系统中仍能使用原有的设备或简化 PCI Express 设备的研制,开发一种实现本地总线 (Local Bus) 或其它早期总线到 PCI Express 总线的桥(桥接芯片)显得非常必要。目前,PLX 公司已经推出 Express to PCI 桥 PEX 8111、Express to PCI/PCI-X 桥 PEX 8114 以及 PCI Express 交换芯片 PEX 8524 和 PEX 8508 等。另外,Intel 和 AMD 公司也推出了各自的产品来满足用户需求。下面仅以

PEX 8311 实现本地总线到 PCI Express 的桥接为例说明 PCI Express 桥接设计方案。

PEX 8311 是一款本地总线到 PCI Express x1 的桥接芯片,内部逻辑结构如图 3 所示^[5]。PEX 8311 支持根模式(Root Complex)和终端模式(Endpoint)两种操作,本地总线支持 32 位地址/数据非复用的 C 模式和 32 位地址/数据复用的 J 模式,66MHz 本地时钟,可进行 264MB/s 的零等待突发传输,具有 2 个 DMA 通道。PEX 8311 完全符合符合 PCI Express 1.0 规范,支持自动极性反转, CRC 校验,链路/设备电源管理,传输层数据包(TLP)队列控制,具有直接主模式、直接从模式、DMA 和数据预取等功能。下面以 PEX 8311 在工业测控系统中的应用为例加以说明。

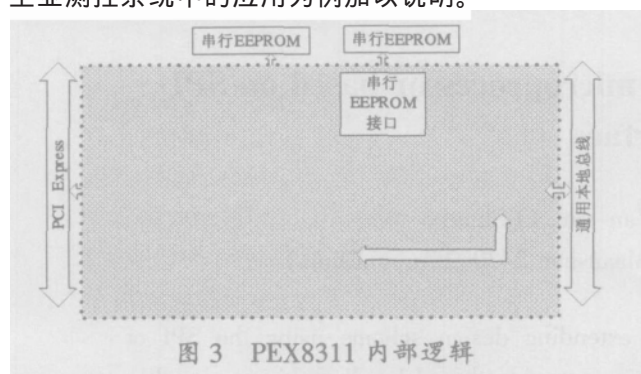


图 3 PEX8311 内部逻辑

在数据量较大,实时性要求较高的工业测控系统中,PCI Express 总线显然是目前最佳的选择。PEX 8311 可以方便地实现 PCI Express 接口,用户仅需实现相对简单的本地总线接口即可,从而大大降低了开发难度。图 4 所示为该应用系统的典型连接方式^[6]。FPGA 将工业现场采集到的信号预处理后由 PEX 8311 桥接至 PEX 8524 交换器,然后将数据送交本地处理器或控制中心进行处理,同时控制中心的指令反向发送到工业现场实现实时控制。

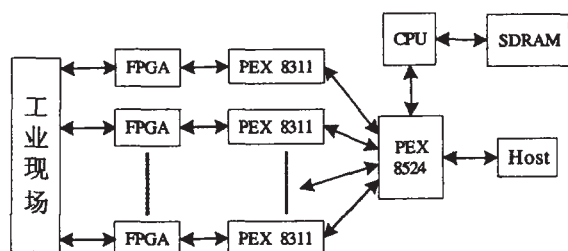


图 4 PEX8311 在工业测控系统中的应用

目前 PCI Express 总线桥接芯片推出的时间还比较短,相比 PCI 总线的桥接芯片具有更加复杂的内部逻辑结构。为方便用户,通常各桥接芯片公司提供了配套的软硬件快速开发工具。例如,PLX 公司为 PEX 8311 提供了硬件快速开发工具 PEX 8311 RDK 和软

件快速开发工具 PEX 8311 SDK。桥接设计方案可同时满足少量和批量的应用需求,性价比较高。

2.3 基于开发板的二次设计方案

为了在更方便地运用 PCI Express 总线高性能的同时,进一步降低开发难度,设计应用系统时可以利用各个公司提供的 PCI Express 开发板,如 Altera 的 Stratix GX 版 PCI Express 开发板, Xilinx 的 Spartan-3 PCI Express 开发板等。这些开发板符合 PCI Express 1.0a 或 1.1 规范,并且通过了 PCI-SIG 的相关测试。通常,这些开发板由上述的可编程设计方案或桥接设计方案实现 PCI Express 接口,并提供相应的驱动程序,同时在板上集成了可编程逻辑器件(CPLD 或 FPGA)和其它必要的资源,为用户留有充足的 I/O 口和大量 FPGA 引脚,用户通过配置接口芯片和对 FPGA 编程即可方便地实现所需功能,从而避免了布板连线的麻烦。采用这种设计方案可以有效地缩短研发周期,降低研发风险。但此类开发板的价格一般较高,并不适用于大批量的应用。

3 结 论

PCI Express 总线技术具备高带宽、高每引脚性能^[2]、低延迟、低功耗以及传输可靠等优点,具有广阔的应用前景。但因其复杂的体系架构使得应用设计与开发存在较大的困难。本文针对不同的应用背景提出了三种 PCI Express 总线应用设计方案,分析其优缺点和适用场合,为开发人员根据不同的需求选用合适的方案快速高效地完成设计提供了方便。

参 考 文 献

- [1] 熊 彬.走进 PCI Express 的世界 [J]. 微型计算机. 2004,(9): 112- ~117.
- [2] Ravi Budruk, Don Anderson. PCI Express System Architecture[M]. Addison Wesley. September, 2003.
- [3] Intel Corporation. PHY Interface for the PCI Express Architecture Draft Version 1.86[Z],February, 2006 .
- [4] Xilinx. PCI Express 可编程解决方案[EB/OL].www.ecnchina.com. August, 2006.
- [5] PLX Technology. PEX 8311 Product Brief[S],2005.
- [6] PLX Technology Inc. PEX 8311 Express Lane PCI Express-to- Generic Local Bus Bridge Data Book Version 0.90[Z],April, 2006.

作者简介:

魏 鹏(1983-),男,硕士研究生,主要研究领域为现代传感技术与系统。

罗武胜(1972-),男,副教授,硕士研究生导师,主要研究领域为光电检测及信号处理。

杜列波(1980-),男,博士研究生,主要研究领域为现代传感技术与系统。

收稿日期:2006-12-05

(丘 源 编发)