

# PCI总线测试指导规范

---

目 录	
1适用范围	7
2引用标准和规范	7
3定义、术语、缩略语	7
3.1定义	7
3.2符号和缩略语	7
4概述	7
5工作原理	8
5.1.1PCI总线信号定义	8
5.1.2总线命令	10
5.1.3 PCI总线协议	11
5.1.4总线上的数据传输过程	13
5.1.5 PCI总线的仲裁机制	17
5.1.6PCI总线的访问延迟	18
5.1.7PCI总线配置空间	19
6性能指标	20
6.1电气特性	20
6.2PCI元件指标	21
6.3系统（母板）指标	26
7设计规范	28
8测试项目、测试方法及注意事项	29
8.1信号测试	29
8.1.1PCI时钟信号测试	29
8.1.2PCI时钟信号相位测试	30
8.1.3PCI控制信号测试	30
8.1.4PERR、SERR信号测试	30
8.1.5PCI总线地址数据总线信号测试	30
8.1.6PCI中断信号测试	31
8.2功能测试	31
8.2.1PCI配置读及配置写功能测试	31
8.2.2PCI读写功能测试	31
8.2.3PCI总线仲裁功能测试	31
8.2.4PCI设备初始化测试	32
8.2.5PCI卡兼容性测试	32
8.3异常测试	32
8.3.1PCI总线信号异常测试	32
8.3.2PCI-ISA（MPI）接口逻辑异常测试	33
9常用仪器的使用操作	33
10案例分析	33
10.1PCI 总线 配置案例	33
10.1.1 配置程序因总线号搜索不全导致在Dell计算机上不能配置APC卡	33
10.1.2 C805MCP卡在联想微机(PII 400,VIA82C596芯片组)上配置失败	34
10.1.3 C805MCP卡在WINDOWS下只分配到4Kbyte的空间；	34
10.1.4 MCP卡在一台有SCSI设备的工控机上，热启动后计算机有时会死机；	34
10.1.5 CPCI系统中系统板PCI自动配置流程中的死锁现象	34

---

---

10.2插卡案例 .....	36
10.3信号质量案例 .....	36
10.4PCI总线异常案例 .....	39
11总结 .....	39
12修订记录 .....	40
13参考资料 .....	40
14附件 .....	40
14.1附件一PCI总线的驱动 .....	40

---

---

# PCI总线测试指导书

关键词：PCI 设计规范 测试用例

摘要：本文首先介绍了PCI总线的基本原理，然后给出了PCI总线设计审查的注意点，并给出了基本测试用例，在文章最后总结了一些典型案例。

## 1 适用范围

适用于使用PCI总线的各个产品，用于PCI总线的了解熟悉，设计审查和测试。

## 2 引用标准和规范

序号	编号	名称
1	无	PCI Local Bus Specification Revision 2.2 December 18, 1998

## 3 定义、术语、缩略语

### 3.1 定义

无

### 3.2 符号和缩略语

无

## 4 概述

PCI (Peripheral Component Interconnect，外围器件互连) 总线，是一种高性能的32/64位地址数据多路复用标准工业总线，其支持5V/3.3V两种信号电平和33MHz/66MHz两种时钟频率，主要用于高集成外围控制器件、外围附加板及处理器/存储器系统。

特征与优点：

1、高性能：PCI总线的数据传输速率可从32位数据总线、33MHz时钟（132MB/s）升级到64位总线、33MHz时钟（264MB/s），从32位数据总线、66MHz时钟（264MB/s）升级到64位总线、66MHz时钟（528MB/s），即其可以支持四种工作状态，三种传输速率，同时可支持多组外围设备。

2、线性突发传输：PCI可以支持突发读取及突发写入，当操作是从某个地址顺序进行时，就可以进行突发传输，地址自动增加，减少了无谓的地址操作，确保总线不断满载数据，更有效的利用总线的带宽传输数据。

3、极小的存取延误：当附属寄存器从总线上获得数据时，33MHz写延误为60ns，66MHz写延误为30ns。

4、采用总线主控和同步操作：总线主控是让任何一个具有处理能力的外围设备暂时接管总线，以加速执行高吞吐量、高优先级的任务。PCI 总线的同步操作可以保证微处理器能够与这些总线主控同时操作，不必等待后者的完成。

---

5、不受处理器限制：PCI 总线独立于处理器的结构，形成一种独特的中间缓冲器设计方式，将中央处理器子系统与外围设备分开。正是因为如此，PCI总线除了应用于X86系列CPU设计的系统外，还应用于其它多种CPU 设计的系统中。

6、适合与各种机型，兼容性强，预留有充足的发展空间，支持64位地址/数据多路复用，上下兼容33MHz和66MHz，而且成本低、效益高，是立足于未来的总线标准。

该总线在公司广泛用于各个产品，本文对PCI总线原理，设计审查，测试用例进行了总结和描述，以有利于刚刚接触PCI总线的同时尽快熟悉了解，同时对PCI总线的设计审查，测试项目和方法提供指导。

5 工作原理

PCI总线的数据传输采用突发分组机制，在地址期通过C/BE[3:0]上的命令类型确定是总线工作类型（如I/O读写，存储读写及其方式即多行读、单行读、普通读，配置读写，信息广播等），通过仲裁机构确定总线的所属权，然后在数据期根据总线协议完成数据传输。具体如下：

5.1.1 PCI总线信号定义

总线信号分为必备信号和可选信号，按功能分将这些信号表示如下图。

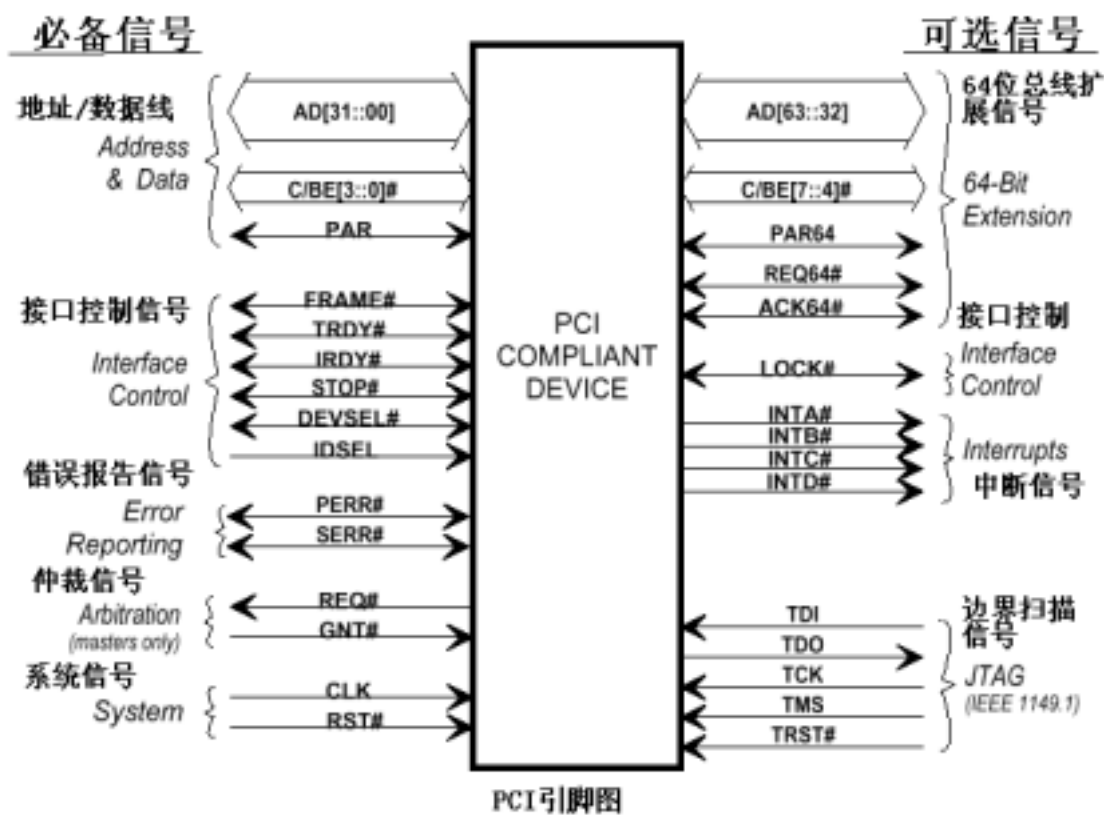


图1 PCI引脚图

注：信号类型定义：  
IN：标准输入信号；  
OUT：标准输出信号；

---

T/S：双向三态输入输出信号；

S/T/S：低电平有效的三态信号，每次只能被1个设备驱动，并且在该设备释放之前必须驱动该信号至少1个时钟周期的高电平；

O/D：开漏输出信号；

## ◆ 系统信号

CLK（IN）：系统时钟信号。对所有PCI设备来说都是输入信号，频率范围是0 - 33MHz，除RST#、INTA#、INTB#、INTC#、INTD#之外，所有信号都在CLK的上升沿有效（或采样）。

RST#（IN）：PCI 复位信号。用来使PCI专用的特性寄存器、定序器和相关的信号恢复到初始状态。

## ◆ 数据和地址信号

AD[31：：00]（T/S）：数据/地址复用的输入/输出信号。在地址期时，AD[31：：00]上的数据为32位物理地址。在数据期时，用于传送数据，AD[07：：00]为最低字节，AD[31：：24]为高字节。

C/BE[3：：0]#（T/S）：总线命令/字节使能复用信号。地址期对应的是总线命令；数据期对应的是字节使能信号，表示在整个数据期中，AD[31：：00]上那些字节为有效数据。

## ◆ 接口控制信号

FRAME#（S/T/S）：帧周期信号，由当前的主设备驱动，表示一次访问的开始和持续的时间，FRAME#无效后，是传输的最后一个数据期。

IRDY#（S/T/S）：主设备准备好信号，该信号有效时表明发起本次传输的设备能够完成一个数据期。与TRDY#配合使用，二者同时有效，数据才能完成传输。

TRDY#（S/T/S）：目标设备准备好信号，有效时表示目标设备已作好进行当前数据传输的准备工作，可以进行相应的数据传输。

STOP#（S/T/S）：停止数据传送信号。有效时表示目标设备要求主设备终止当前的数据传送，该信号由目标设备发出。

LOCK#（S/T/S）：锁定信号。表示驱动它的设备所进行的操作可能需要多个传输才能完成。LOCK#信号的控制是由PCI总线上发起数据传输的设备，根据它自己的约定并结合GNT#信号来完成的。

IDSEL（IN）：初始化设备选择信号。在配置空间读/写传输期间，用作片选信号。计算机各插槽上的IDSEL信号是不同的；

DEVSEL#（S/T/S）：设备选择信号。该信号有效时，表示驱动它的设备已经成为当前访问的目标设备。换言之，它的有效说明PCI总线某一设备已被选中。

## ◆ 仲裁信号

REQ#（T/S）：总线占用请求信号，该信号一旦有效即表明驱动它的设备要求使用总线。它是一个点到点的信号线，任何设备都可以有其REQ#信号。

GNT#（T/S）：总线占用允许信号，用来向申请占用总线的设备，其请求已获得批准，它也是一个点到点的信号线，任何主设备都有自己的GNT#信号。

---

注意：REQ #、GNT#仅在PCI设备作为MASTER设备时需要实现。

◆ 错误报告信号

PERR#（S/T/S）：数据奇偶校验错报告信号，对于每个数据接收设备，如果发现数据有错误，就应该在数据收到后的两个时钟周期内将PERR#激活，由于该信号为持续的三态信号，因此该信号在释放前必须先驱动为高电平，另外对于数据奇偶错的报告既不能丢失也不能推迟。

SERR#（O/D）：系统错误报告信号，作用是报告地址奇偶错、特殊命令序列中的数据奇偶错，以及其它可能引起灾难性后果的系统错误。

◆ 中断信号

INTA#、INTB#、INTC#、INTD#：PCI总线中共有四条中断线，都是漏极开路，分别用以请求一个中断。单功能设备只能用INTA#，后三个中断只能用于多功能设备。

◆ 其它可选信号

AD[63：：32]（T/S）：扩展的32位地址和数据多路复用线。  
C/BE[7：：4]#（T/S）：总线命令和字节使能多路复用信号线，在数据期间，若REQ64#和ACK64#同时有效时，该四条线上传输的是表示数据线上那些字节是有意义的字节使能信号。

REQ64#（S/TS）：64位传输请求。表示设备要求采用64位通路传输数据。  
ACK64#（S/T/S）：64位传输认可。表明目标设备将用64位传输。  
PAR64#（T/S）：奇偶双字节校验。是AD[64：：32]和C/BE[7：：4]的校验位。

◆ 计算机PCI插槽专用信号：

PRSNT1#、PRSNT2#，表示插卡是否存在以及插卡功耗的信号。

5.1.2 总线命令

总线命令的作用是用来规定主从设备之间的传输类型，其出现于地址期的C/BE[3:0] # 线上。此处的主设备是指通过仲裁而获得总线控制权的设备；从设备是指在C/BE[3:0] # 上出现命令的同时，被C/BE[3:0] # 线上的地址所选中的设备。

1. 命令定义

其命令编码和类型定义如下：（其中“1”表示高电平，“0”表示低电平）

C/BE[3:0]#	命令类型	说明
0000	中断应答/识别	为读命令，对中断控制器的寻址采用隐含方式
0001	特殊周期	为PCI提供一个简单的信息广播机制，在此周期，不允许PCI设备发出DEVSEL # 信号。
0010	I/O读	从映射到I/O地址空间的设备中读数据。
0011	I/O写	向映射到I/O地址空间的设备中写数据。
0100	保留	为将来的用途而保留。
0101	保留	同上

0110	存储器读	从内存空间映象中读数据。
0111	存储器写	向内存空间映象中写数据
1000	保留	
1001	保留	
1010	配置读	当一个设备的IDSEL信号有效且AD[1:0]=00时，则表示其被选中，从其配置空间读取数据。其中AD[7:2]用于从配置空间的64个双字寄存器中选出一个，AD[10:8]表示一个多功能设备的哪个功能设备被选中。AD[31:11]无意义。
1011	配置写	用于向选中设备的配置空间写数据，其他同上。
1100	存储器多行读	试图在主设备断开之前预读取多行Cache数据，其预订用于大块数据的传输。
1101	双地址周期	用来给支持64位寻址的设备发送64位地址。
1110	存储器一行读	表示主设备试图完成多于两个32位的PCI数据期
1111	存储器写并无效	保证最小的传输量是一个Cache的行。其在回写Cache中使错误行无效而不需要实际的回写周期以缩短访问时间。

## 2. 命令使用规则

配置读写命令要求所有的PCI设备都以目标设备的形式给予响应，其他所有命令都为可选项；所有的主、从设备都可根据需要来实现选项命令；但若某个设备实现了基本的存储器命令，它就必须支持所有的存储器命令，否则就必须利用别名将这资些为优化性能而设的命令转变为基本的存储器命令。

对于系统存储器的块数据读写，应尽量采用存储器写并无效命令和存储器行及多行读命令，但若主设备不支持的话，可采用存储器读写命令。在使用存储器写并无效命令时要求具有Cache行长度寄存器，此时存储器读命令最好也使用它。

存储器命令的选取依赖于存储器的寻址和数据量的不同，可预先读取的存储器采用存储器写并无效命令和存储器行及多行读命令，不可预先读取的存储器采用存储器读命令。

### 5.1.3 PCI总线协议

PCI上的基本总线传输机制是突发成组传输。一个突发分组有一个地址期和一个（多个）数据期组成。PCI支持存储器空间和I/O空间的突发传输。此突发传输是指主桥（位于住处理机和PCI总线之间）可以将多个存储器写访问在不产生副作用的前提下合并为一次传输。一个设备通过强基址寄存器的预取位置置1，来表示允许预读数据和合并写数据。一个桥可通过初始化时配置软件所提供的地址范围，来区分那些地址空间可以合并，那些不能合并。

总线控制：PCI总线的数据传输有FRAME#、IRDY#、TRDY#三条信号控制，FRAME#信号指示一个数据传输的开始和结束，在其有效后的第一个时钟前沿为地址期的开始，传送地址和总线命令，下一个时钟前沿开始一个（多个）数据期，每逢IRDY#、TRDY#同时有效，所对应的时钟前沿就使数据在主从设备间传输，若其无效则可插入等待周期。在数据传输的最后一个周期，



FRAME#无效而IRDY#有效，一旦从设备发出TRDY#信号表示数据传输完成。在此过程中，不管是从设备还是主设备，只要承诺了数据传输就必须进行到底。

编址：PCI定义了三个物理地址空间：内存地址空间、I/O地址空间和配置地址空间。PCI上的从设备要求有一个一定地址边界的基地址寄存器，把该设备映射到存储器空间，以提供访问内部寄存器或功能的途径。配置软件利用此基地址寄存器来决定在一个给定的地址空间中分配空间和位置。在I/O地址空间，全部32位AD线都被用来提供一个完整的地址编码，在I/O访问中，C/BE[3:0]#必须与AD[1:0]相配合来实现。在存储器访问中，AD[31:02]译码得到一个DWORD地址，AD[1:0]表示突发传输顺序，其中当其为00时，表示线形突发方式，当其为01时表示为Cache行切换方式，为1X时保留；

配置访问：由于电气负载特性，一个总线段支持的设备数量是有限的，为此定义了PCI-PCI桥以建立多个总线段。为了支持这种分层的PCI总线，采用了0、1两类配置访问，当AD[1:0]=00时采用0类，当AD[1:0] = 01时采用1类。具体如下：

31	11 10				8 7				2 1 0							
保留				功能号				寄存器号				0	0			
0类配置访问																
31	24 23			16 15			11 10			8 7			2 1 0			
保留			总线号			设备号			功能号			寄存器号			0	1
1类配置访问																

由上可见，1类比0类多了总线号和设备号，也即0类访问不会传播到本地总线以外的总线上，1类访问则只适用于PCI-PCI桥，这些桥对总线号进行译码，以选择总线。

配置周期的产生：在系统中提供一个可以有软件产生PCI配置周期的机制，通常用于主桥当中，PCI总线规范仅对PC-AT兼容的系统做了这种机制产生的规定。在PCI2.0 和PCI2.1 规范中都给出了两种配置机制，然而只有机制 # 1允许进行新的设计，而机制 # 2是为了向后兼容，新的设计不能采用它。

配置机制：其使用了两个DWORD的I/O单元，第一单元（CF8H）表示一个可读写寄存器，称为CONFIG-ADDRESS，第二单元（CFCH）称为CONFIG-DATA寄存器。访问机制为，在CONFIG-ADDRESS中写入一个值，用以指定总线编号、设备编号、配置寄存器编号，这样，凡是对CONFIG-DATA的读写操作，都使桥路把CONFIG-ADDRESS的值转变为PCI总线上所要求的配置访问周期。

可以通过访问配置地址寄存器/配置数据寄存器来实现对配置空间的访问，也可以使用操作系统提供的资源，如DOS 下系统中断（中断号为1A）、WINDOWS下的API接口函数等，来访问配置空间。

写入到配置地址寄存器（Config address Register）的数据为32位，其格式如下：

31	30	24	23	16	15	11	10	8	7	2	1	0
使能	保 留		总 线 号	设 备 号		功 能 号	寄 存 器 号				0	0

其中，

位1 - 0：只读位，其值为00；

---

位7 - 2：配置空间头标区的寄存器地址；用来选择PCI设备配置空间的寄存器；

位10 - 8：多功能设备的功能号；用来选择多功能设备的某一个功能，PCI设备最多有八个功能；

位15 - 11：设备号；用来选择给定总线上的32个PCI设备的其中之一；实际上只能选择到21个设备，设备号从0--20；

位23 - 16：设备所在的总线号；用来选择设备所在的总线号，取值范围0--255；

位31：使能位，表示当对PCI Data Register进行访问时，是否将之转换为PCI总线上的配置周期；1：Enable，0：Disable；

利用配置机制形成特殊周期：在具有配置机制#1的主桥上，当CONFIG-ADDRESS寄存器的总线编号等于桥路的总线号，设备编号字段和功能编号字段均全为1且寄存器编号字段全为0时，则在下一次对CONFIG-DATA寄存器的写操作便会形成一个特殊周期。若CONFIG-ADDRESS寄存器的总线编号不等于桥路的总线号，则桥路便会把对CONFIG-DATA的写操作通过PCI向下传递。

设备配置空间的选择（DEVSEL#）：对于单功能设备，当满足下述情况时，DEVSEL#有效：存在一个译码的配置命令，IDSEL有效，在地址周期AD[1:0]=00；对于多功能设备，在满足上述条件的同时，还要求AD[10:8]与被实现的功能匹配。

字节校正：字节使能信号被用来指出哪些字节带了有意义的数据，在每个数据期内，可以自由改变字节使能，使之对传输数据的实际含义和有效部分进行界定，即字节校正。

总线的驱动与过渡：为了避免多个设备同时驱动一个信号到PCI总线上而产生竞争，在一个设备驱动到另一个设备驱动之间设置了一个过渡期，又称交换周期。在每个地址和数据期中，所有的AD线都必须被驱动到稳定的状态。

#### 5.1.4 总线上的数据传输过程

PCI总线的读写操作遵守总线控制协议（如前所述），具体如下图所示：

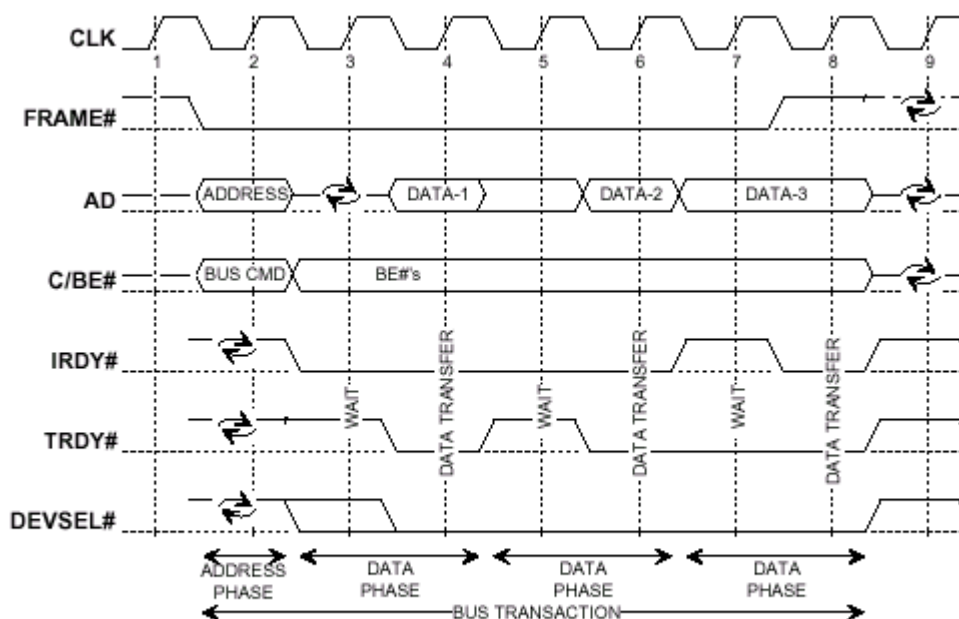


图2 Basic Read Operation

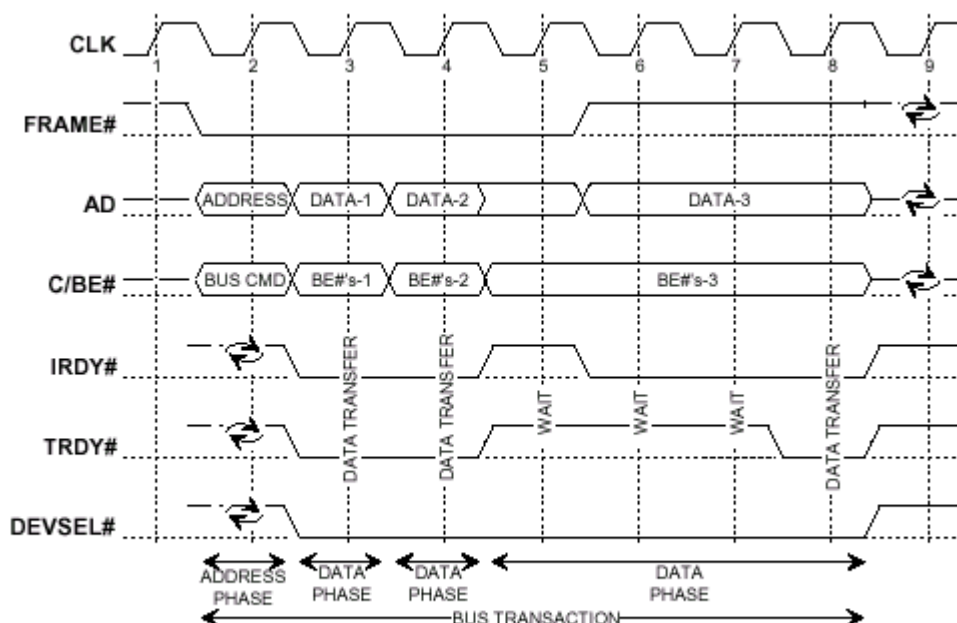


图3 Basic Write Operation

传输的终止过程要有主设备和从设备相互配合，但传输的最终停止控制要有主设备完成，因为传输的结束必须满足系统的要求并且应该是有秩序的。

主设备提出的终止：当主设备完成数据传输任务或者主设备的GNT#无效且其内部的延时计数器已满，主设备强通过撤销FRAME#并建立IRDY#来提出终止请求，直到出现TRDY#信号，接着IRDY#撤销，从而达到完全终止的条件（FRAME#和IRDY#同时无效）。注意因延时而引起的传输

---

终止不一定要完成原来进行的传输。

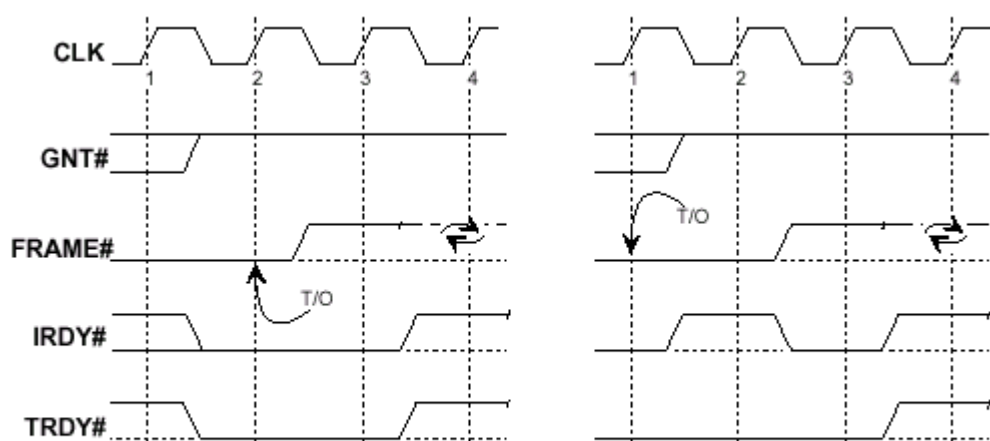


图4 Master Initiated Termination

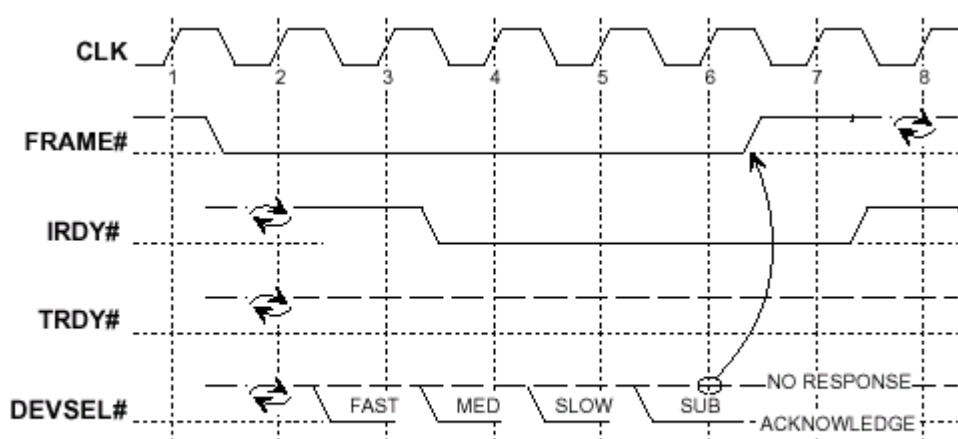


图5 Master-Abort Termination

图5所示的为主设备提前中止的终止，当从设备在FRAME#信号建立后的至少5个周期还没有建立起DEVSEL#信号时，主设备将认为从设备没有能力响应或者地址有误且不能重复。当尝试一个突发时，处理长于5个周期。

从设备提出的终止：由于死锁、某些非PCI资源处于非空闲状态及该设备处于互斥访问的锁定状态，使得当前从设备无法从事正常的传输或者由于从设备在其后来的等待时间内不能对主设备作出响应等待原因，从设备向主设备发出STOP#信号以示请求终止。

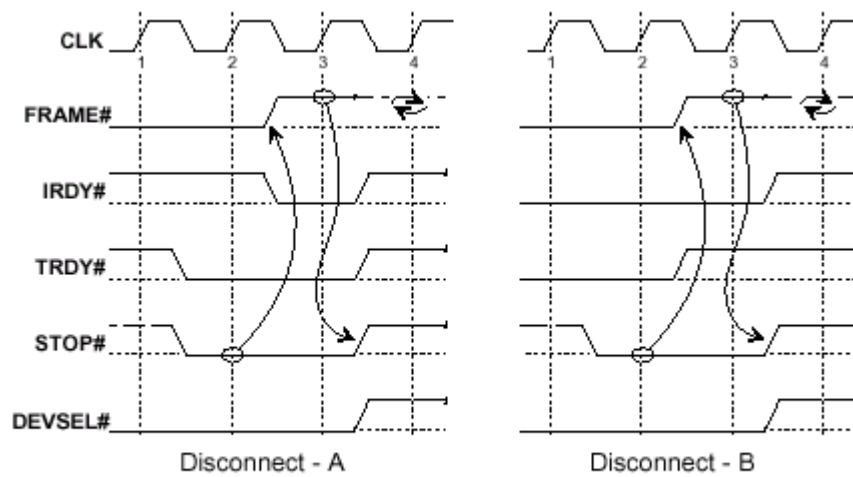


图6 Disconnect With Data

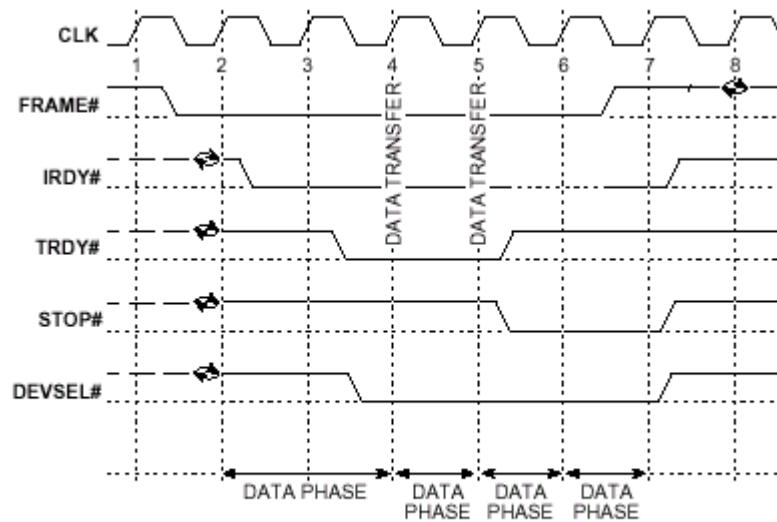


图7 Disconnect-1 Without Data Termination

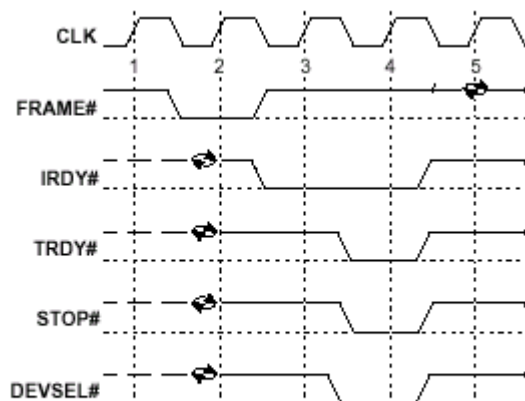


图8 Master Completion Termination

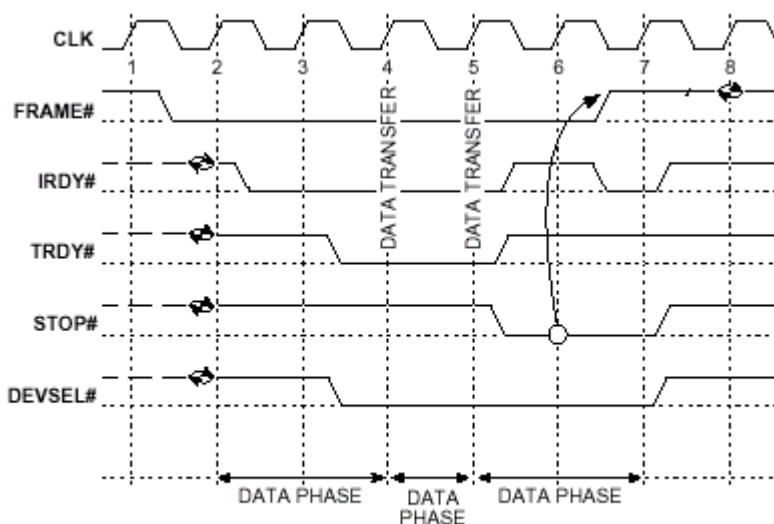


图9 Disconnect-2 Without Data Termination

### 5.1.5 PCI总线的仲裁机制

为了使访问等待时间最小，PCI的仲裁机制是基于访问而不是基于时间。总线管理必须为总线上的每一个访问执行仲裁。PCI执行中心仲裁方案，每个主设备都应有自己的请求线REQ#和批准线GNT#，中心仲裁机构必须实现一定的特殊仲裁算法，通常采用轮转优先级、公平性等仲裁算法。PCI的仲裁可以在上一次的访问期间完成，以节省总线周期。仲裁协议规则如下：

(1) 若设置了GNT#信号无效而FRAME#有效时，当前的数据传输是合法的且继续进行下去。

(2) 如果总线不是处在空闲状态，则一个设备的 GNT#信号有效和另一个设备的GNT#无效之间须有一个延迟时钟，否则会在AD线上和PAR线上出现时序竞争。

---

(3) 当FRAME#无效时，为了响应更高优先级的设备的服务，可以在任意时刻置GNT#和REQ#无效。

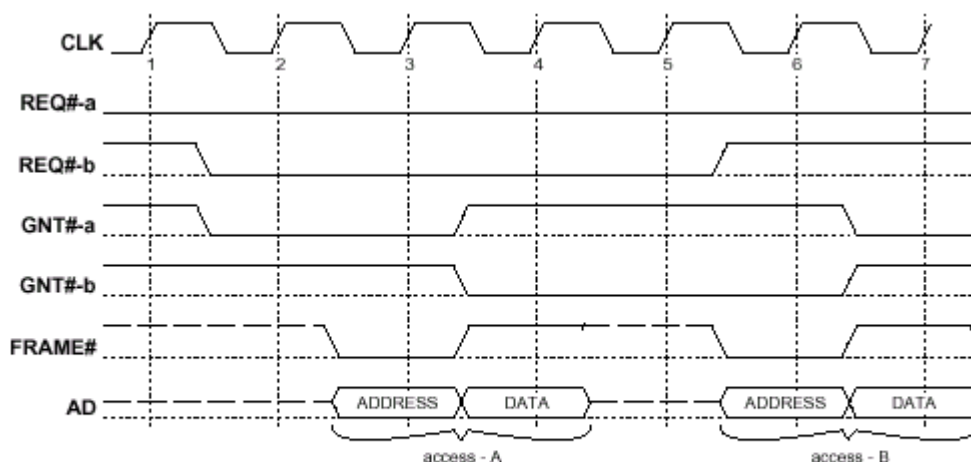


图10 Basic Arbitration

快速背对背传输：对于一个主设备，可以采用两种方式进行快速的背对背传输，一种是访问同一设备，一种是访问不同设备；不论是那一种方式，都必须避免TRDY#、DEVSEL#或者STOP#之间的竞争，前一种有主设备负责，后一种有从设备负责。

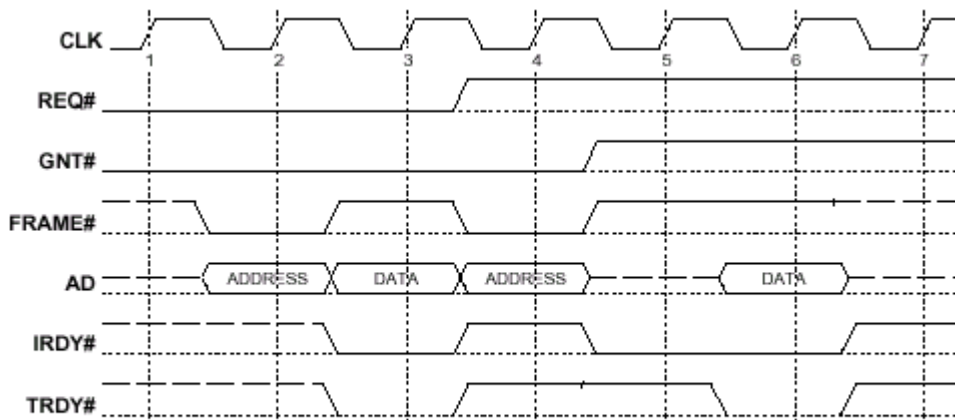


图11 Arbitration for Back-to-Back Access

仲裁停靠：指总线仲裁器在没有设备使用总线或者也没有请求使用总线的情况下，根据一定方式（固定为某一设备或选择使用最后一次使用总线的设备或仲裁器本身）选定一个设备给它发出GNT#信号，从而选择一个缺省的总线拥有者。

### 5.1.6 PCI总线的访问延迟

PCI总线是一种吞吐量大、访问延迟小的I/O总线。其访问延迟有三部分组成：

---

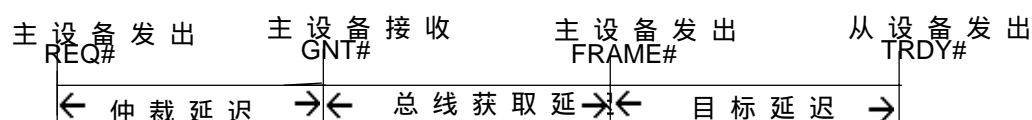


图12 PCI总线访问延迟

第一部分为仲裁延迟，长短取决于仲裁算法、请求设备的优先级和系统的利用率；第二部分为总线获取延迟，也就是设备需要多长时间才能使用总线；第三部分为目标延迟，是指目标设备为第一次数据传输发TRDY # 信号所需的时间。

### 5.1.7 PCI总线配置空间

PCI总线设备都必须支持配置空间。配置空间是一大小为256字节并具有特定记录结构的地址空间（见下表所示），该空间是独立于计算机CPU的存储器空间和 I/O 空间的。配置空间可分为头标区和设备相关区。头标区的长度为64字节；所有PCI设备都必须实现该区的寄存器分配；设备相关区为192字节的空間，因设备而异。配置空间头标区各寄存器功能如下：

表1 配置空间头标区各寄存器功能

31	16	15	0	地址
DEVICE ID		VENDOR ID		00H
状态		命令		04H
分类代码			版本 ID	08H
内含自测试	头标类型	延时类型	Cache大小	0CH
基地址寄存器0 (BAR0)				10H
基地址寄存器1 (BAR1)				14H
基地址寄存器2 (BAR2)				18H
基地址寄存器3 (BAR3)				1CH
基地址寄存器4 (BAR4)				20H
基地址寄存器5 (BAR5)				24H
保留				28H
保留				2CH
扩展ROM基址寄存器				30H
保留				34H
保留				38H
Max-Lat	Min-Gnt	中断引脚	中断线	3CH

供应商标识 (VENDOR ID)：设备供应商的ID。由PCI SIG (PCI Special Interest Group , PCI总线特别兴趣组) 来分配。0xFFFF为无效值。

设备标识 (DEVICE ID)：用以标识设备的类型，具体由设备供应商来分配。

命令寄存器 (COMMAND)：为发出PCI 和响应PCI 总线命令提供粗略的控制。

状态寄存器 (STATUS)：用于记录PCI 总线的事件状态信息；

版本标识 (Revision ID)：表示PCI 设备的版本；

分类代码 (Class Code)：用以标识PCI 设备的功能分类和特定的编程接口，该寄存器为只读；

缓存行长度寄存器 (Cache Line Size)：用以指定系统中高速缓存 (CACHE) 一行的长度，以DWORD (双字) 为单位，可读写。



---

延时计数器（Latency Timer）：指定PCI总线主设备的延时计时值，以PCI总线时钟为单位；

头标类型（Header Type）：用于表示头标区类型以及是否为多功能设备，目前使用的PCI配置空间头标类型主要为00H；

内含自测试寄存器（BIST，Built-In Self Test）：BIST为可选寄存器，用作具有内测试功能的PCI设备的控制与状态寄存器；对于不支持自测试功能的PCI设备，该寄存器读出值必须恒为0；

基地址寄存器0--5（BAR0--BAR5）：是PCI设备配置空间中的特别重要的寄存器。通过该寄存器，可以实现PCI设备所使用地址空间的再定位；每个BAR为32位的寄存器，其最低4bit有特定的含义；BAR表示设备的起始地址，占用空间大小的确定方法是：向该BAR写入全“1”，即0xFFFFFFFF，然后再读回，与地址无关的位其值应返回0，从而可以确定设备要求的地址空间大小。BAR的最低4bit有特定的含义（按照PCI2.2规范），bit0：为只读位，0表示映射到存储器空间，1表示映射到I/O空间；bit1保留（注意：在PCI2.1规范中，表示映射到存储器空间的1M以上空间还是1M以下空间）；bit2：对于映射到存储器空间的BAR，0：映射到32位表示的存储器地址范围；1：映射到64位表示的存储器地址范围；bit3：表明PCI设备的数据是否可预取的，1：可以预取；0：不能预取；

扩展ROM基地址寄存器：PCI规范提供了一种机制，使PCI设备可以带1个扩展ROM，通过执行其中的代码，可以完成该PCI设备的初始化。扩展ROM基地址寄存器用于表示该ROM在内存中的起始地址；

中断线寄存器（Interrupt Line）：为可读写寄存器，用于报告该PCI设备与系统中断连接情况；POST程序（上电自测试程序）在系统初始化时，将中断连线信息写入该寄存器；

中断引脚寄存器（Interrupt Pin）：只读寄存器，表示PCI设备使用了哪个中断引脚；其值为1、2、3、4，分别代表使用INTA#、INTB#、INTC#、INTD#；如果设备没有使用中断，则该寄存器的值必须为0；

MIN-GNT和MAX-LAT寄存器：为只读寄存器，用来指定PCI设备对延时计数器的设定值；

总之，由于配置空间表明了PCI设备的各种信息，如供应商ID、设备ID、设备功能分类等，操作系统可以根据这些信息可以容易地找到它的驱动程序，并分配相应的资源，使PCI设备正常工作，所以PCI设备很容易实现“即插即用”功能。

## 6 性能指标

### 6.1 电气特性

PCI规范定义了三种电气类型的插卡，分别是5V板、3.3V板和通用板（即可用于5V环境又可用于3.3V环境）。在连接器和板上都有相应的定位键位以防止将一个板插入不适当的位置。对于5V的PCI插卡（接口信号工作于5V电平），其PCB应设计成右侧1个键位槽；对于3.3V的PCI插卡（接口信号工作于3.3V电平），其PCB应设计成左侧1个键位槽；对于通用的PCI插卡（接口信号既可以支持3.3V电平，又可以支持5V信号电平），应设计成右侧、左侧共2个键位槽，以便插入任何1种连接器中。插头需要一定的导角，并且幅度不能过小，因为插槽的底部不可能是对称的直角形状，插槽里的小杂物，微微凸起的地方都有可能影响信号的接触，将插头削成导角可以减少这

---

些因素的影响。

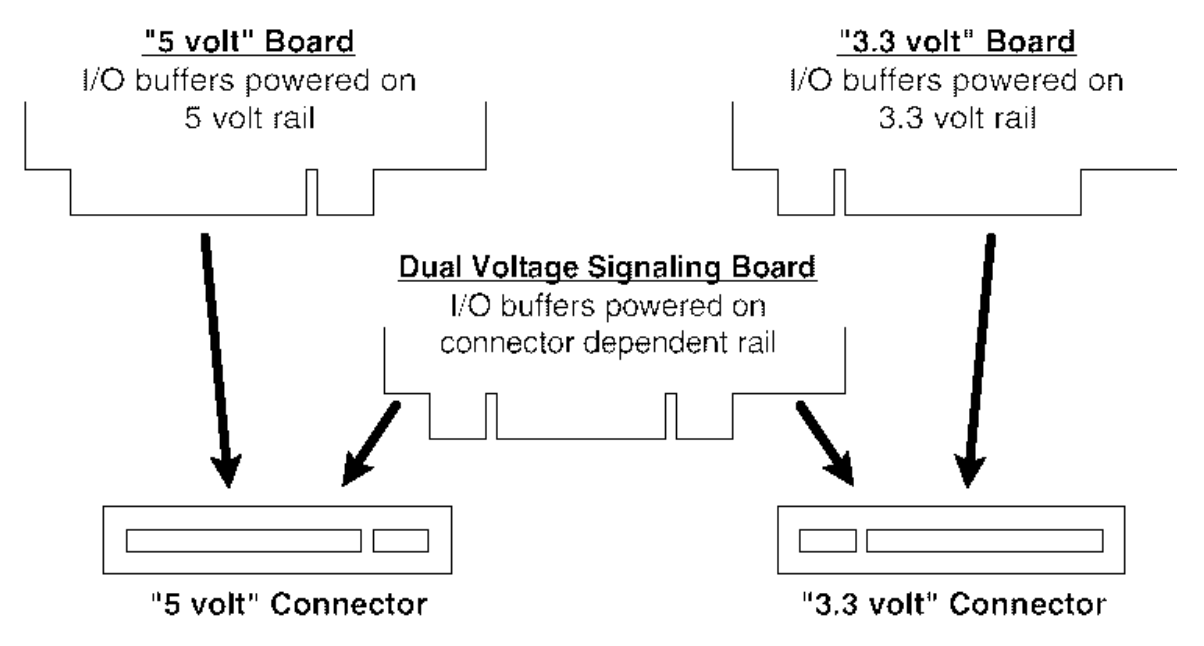


图13 5V板、3.3V板和通用板的键位槽位置

PCI总线是一个CMOS总线，静态电流非常小，直流驱动电流主要消耗在上拉电阻上；其信号驱动采用反射波方式而非入射波方式；且由于PCI总线驱动器在瞬变开关上花费时间较多，因此其驱动器的指标要用交流开关特性定义。

6.2 PCI元件指标

1. 电源指标：

1) 直流

表2 直流指标

电源插件	最小值	最大值
5V	4.75V	5.25V
3.3V	3.0V	3.6V

2) 交流

在此提出一个最大测试指标并作为一种测试方法：

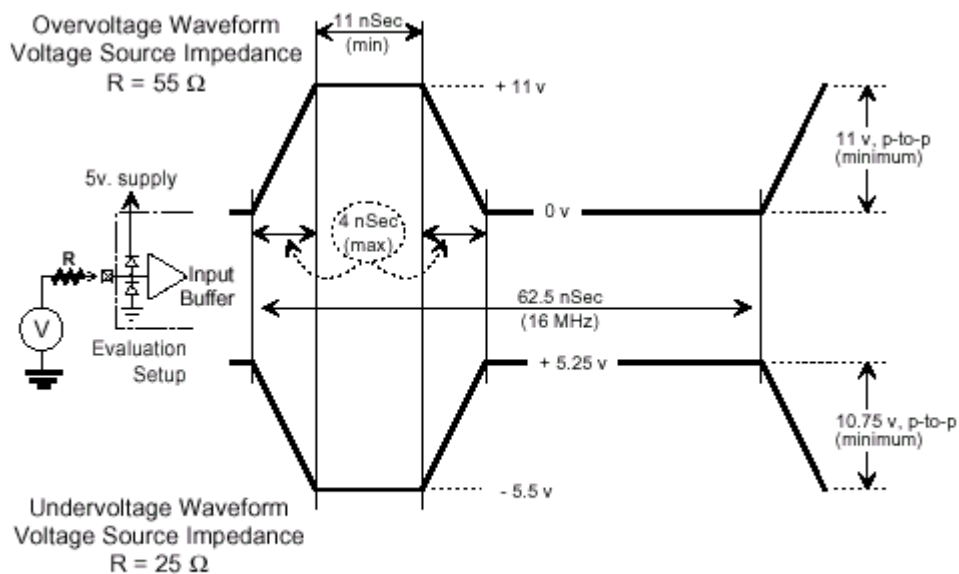


图14 Maximum AC Waveform for 5V Signalling

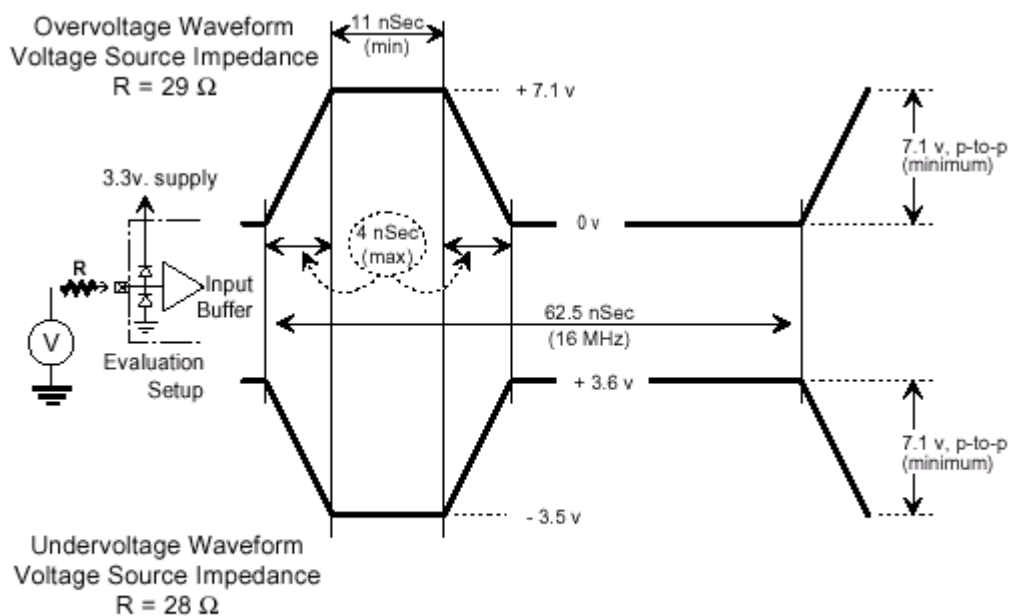


图15 Maximum AC Waveform for 3.3V Signalling

## 2. 时间指标：

### 1) 时钟技术指标

波形及测试点如下图：

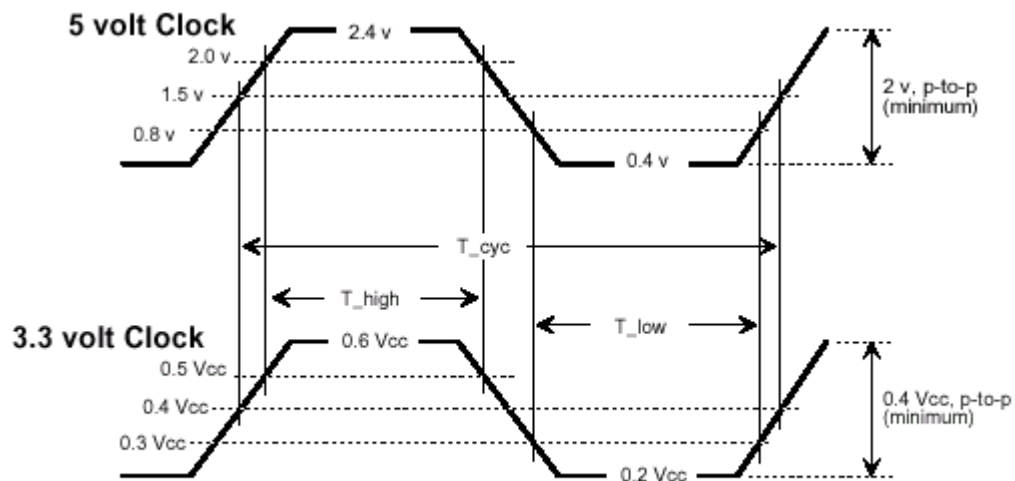


图16 Clock Waveform

技术指标如下：

表3 时钟指标

		66 MHz		33 MHz <sup>4</sup>			
Symbol	Parameter	Min	Max	Min	Max	Units	Notes
T <sub>cyc</sub>	CLK Cycle Time	15	30	30	∞	ns	1,3
T <sub>high</sub>	CLK High Time	6		11		ns	
T <sub>low</sub>	CLK Low Time	6		11		ns	
-	CLK Slew Rate	1.5	4	1	4	V/ns	2

## 2) 时间参数

下面给出了5V和3.3V信号的时间参数：

表4 5V和3.3V时序参数

		66 MHz		33 MHz <sup>7</sup>			
Symbol	Parameter	Min	Max	Min	Max	Units	Notes
$T_{val}$	CLK to Signal Valid Delay - bused signals	2	6	2	11	ns	1, 2, 3, 8
$T_{val}(ptp)$	CLK to Signal Valid Delay - point to point signals	2	6	2	12	ns	1, 2, 3, 8
$T_{on}$	Float to Active Delay	2		2		ns	1, 8, 9
$T_{off}$	Active to Float Delay		14		28	ns	1, 9
$T_{su}$	Input Setup Time to CLK - bused signals	3		7		ns	3, 4, 10
$T_{su}(ptp)$	Input Setup Time to CLK - point to point signals	5		10,12		ns	3, 4
$T_h$	Input Hold Time from CLK	0		0		ns	4
$T_{rst}$	Reset Active Time after power stable	1		1		ms	5
$T_{rst-clk}$	Reset Active Time after CLK stable	100		100		$\mu$ s	5
$T_{rst-off}$	Reset Active to output float delay		40		40	ns	5, 6
$t_{rrsu}$	REQ64# to RST# setup time	$10T_{cyc}$		$10T_{cyc}$		ns	
$t_{rrh}$	RST# to REQ64# hold time	0	50	0	50	ns	
$T_{rhfa}$	RST# high to first Configuration access	2 <sup>m</sup>		2 <sup>m</sup>		clocks	
$T_{rhff}$	RST# high to first FRAME# assertion	5		5		clocks	

注：1、见表5中的时标测试条件

2、5V信号环境时：

最小时间是在等效负载为0PF条件下测得的，最大时间是在等效负载为50PF条件下测得的；实际测试电容可以有变，但测试结果要经修正再对照词表。

3.3V信号环境时：

最小时间和最大时间测试如下

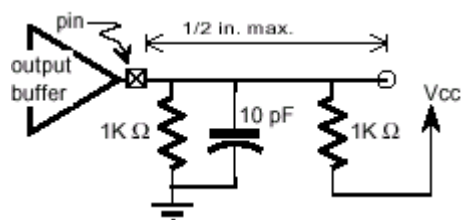


图17  $T_{val} \text{ Min}$

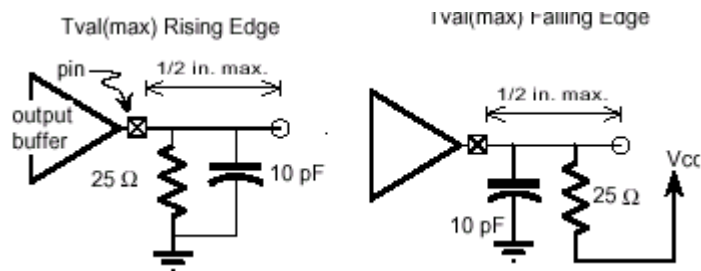


图18 Tval Max

3、REQ#和GNT#是点到点信号，与总线信号在输入建立时间和输出有效时延上有差别。  
33MHZ时GNT#建立时间为10ns，REQ#建立时间为12ns，66MHZ时GNT#，REQ#建立时间为5ns其他信号都是总线信号；

4、见图20的时标测试条件；

5、RST#的有效和撤销与CLK不同步；

6、当RST#有效时，所有的输出驱动都必须浮空；

7、为33MHZ时参数

8、如果能够保证M66EN无效时，参数Tval ( min )，Tval ( ptp ) ( min )，Ton最小值2ns，当M66EN有效时，最小值可以减小到1ns。

9、为了测试导通/浮空时标，高阻态定义为元件管脚电流小于或等于漏电流；

10、建立时间应用于元件没有驱动管脚时，同时元件不能驱动和收发信号。

### 3) 时标测试条件

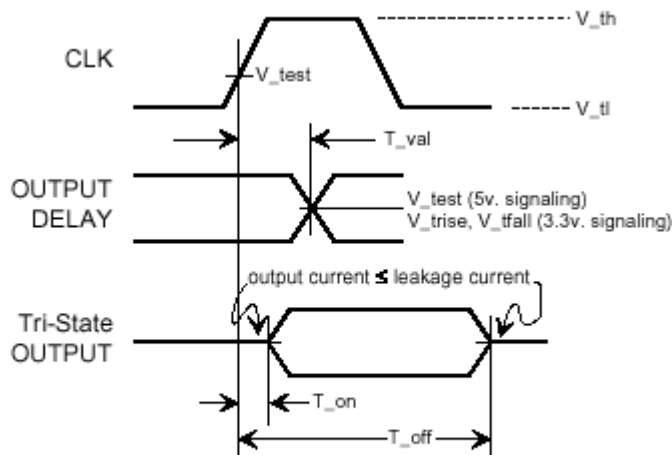


图19 Output Timing Measurement Cconditions

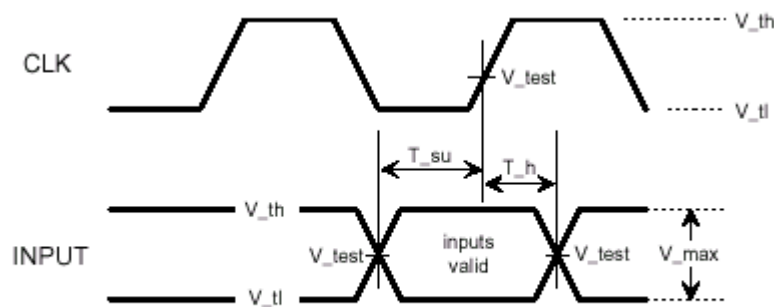


图20 Input Timing Mersurement Conditions

表5 测试条件参数

Symbol	5V Signaling	3.3V Signaling	Units
V <sub>th</sub>	2.4	0.6V <sub>CC</sub>	V (Note)
V <sub>tl</sub>	0.4	0.2V <sub>CC</sub>	V (Note)
V <sub>test</sub>	1.5	0.4V <sub>CC</sub>	V
V <sub>trise</sub>	n/a	0.285V <sub>CC</sub>	V
V <sub>tfall</sub>	n/a	0.615V <sub>CC</sub>	V
V <sub>max</sub>	2.0	0.4V <sub>CC</sub>	V (Note)
Input Signal Edge Rate	1 V / ns		

注：5V环境下的输入测试是在400mv的过载情况下进行的，而3.3V环境下的输入测试是在0.125V<sub>CC</sub> mV的过载情况下进行。

6.3 系统（ 母板 ） 指标

1. 电源

每个连接器都要求4条电源线：+ 5V , + 3.3V , + 12V , - 12V。系统可选择提供3.3V<sub>aux</sub>。

表6 电源容限

Power Rail	Expansion Boards (Short and Long)
5 V ±5%	5 A max. (system dependent)
3.3 V ±0.3 V	7.6 A max. (system dependent)
12 V ±5%	500 mA
-12 V ±10%	100 mA

上述四种电源上电无次序要求，所有的电源平面必须对地去耦。

2. 时钟相位偏移

33MHZ时 具体如下：

Symbol	5V Signaling	3.3V Signaling	Units
$V_{test}$	1.5	$0.4 V_{CC}$	V
$T_{skew}$	2 (max)	2 (max)	ns

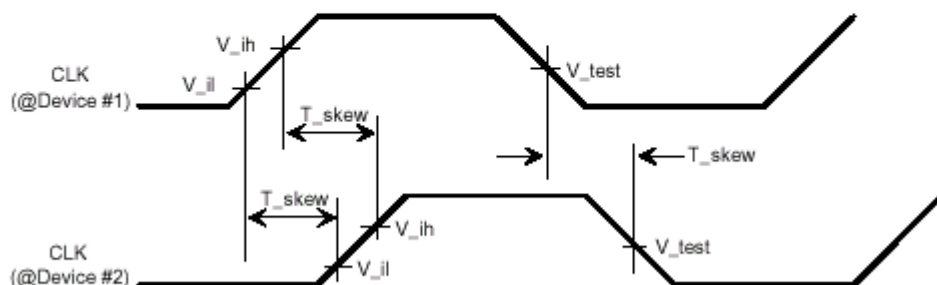


图21 Clock Skew Diagram

66MHZ时，对3.3V Signaling  $V_{test} = 0.4V_{CC}$ ， $T_{skew} = 1ns$  ( max )。

上述参数是在任意两个元件之间测得的，而非连接器之间，该限制不仅用于门限点，而且适用于时钟波形上位于开关范围内的所有各点。

### 3. 复位信号

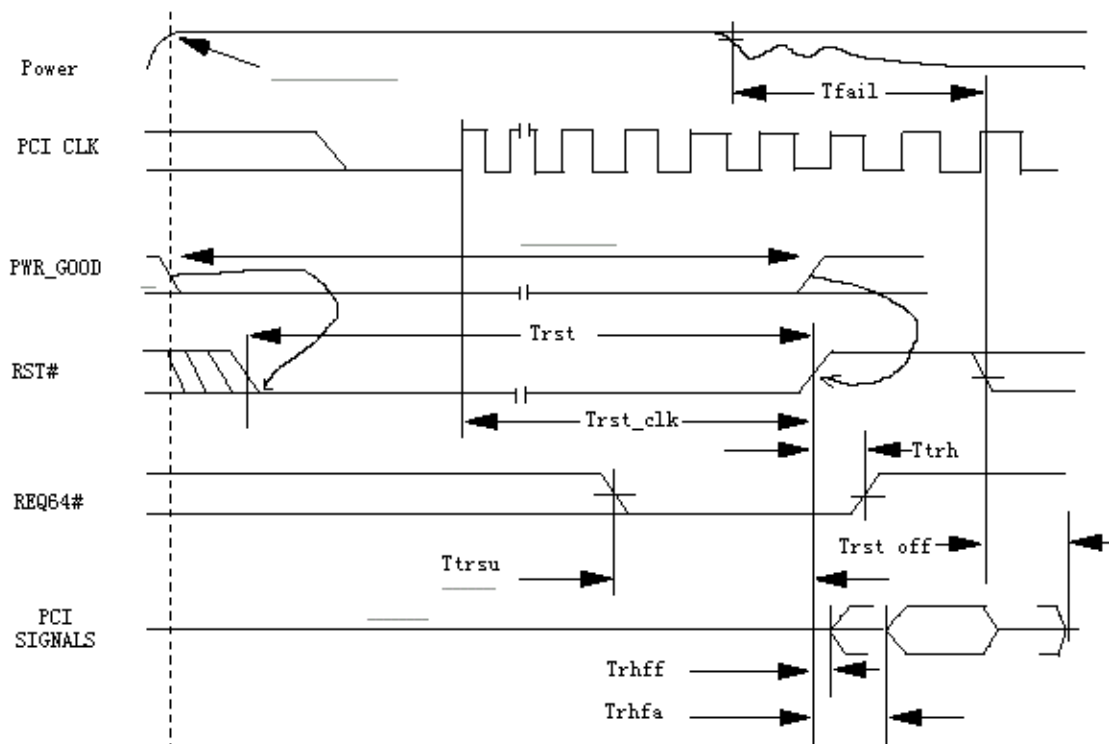




图22 Reset Timing

图中的时间参数除Tfail外，均在表4中给出：

Tfail的取值是从下面两种情况中选择最小的一个：

- (1)、从电源电压偏离规定指标（超过指标的偏离范围500mV以上）时算起500ns（最大）；
- (2)、从5V电源电压降到比3.3V电源电压还要低300mV时算起100ns（最大）。

## 7 设计规范

1、PCI总线的控制信号都要求有上拉电阻，以保证在没有设备驱动总线的情况下仍然有稳定的值。这些信号包括：FRAME#、TRDY#、IRDY#、DEVSEL#、STOP#、SERR#、FERR#，LOCK#、INTA#，INTB#，INTC#，INTD#，当使用REQ64#、ACK64#、AD[64:32]、C/BE[7:4]#、PAR64时，也同样需要上拉。

表7 上拉电阻取值

信号环境	Rmin（欧姆）	R典型值（欧姆）
5V	963	2.7k
3.3V	2.42k	8.2k

最小值是以16个负载计算的，典型值是以10个负载计算的。

2、PCI总线上所挂PCI设备数应根据主PCI设备的驱动能力来考虑。

3、除了主PCI桥片外，总线上的PCI设备IDSEL应和AD{11:31}线中一根相连，主PCI桥片的IDSEL通过电阻下拉。

4、对于PCI-ISA（MPI接口）等进行PCI总线到其它接口转换逻辑，需采取保护措施，防止当ISA（MPI接口）出现故障时，逻辑始终占用PCI总线，导致总线挂死。

5、对于没有连接的SBO#、SDONE信号分别用5K左右的电阻上拉。

6、对于REQ#信号线也必须弱上拉，确保不浮空，具体参数参照仲裁器芯片的要求。

7、在实际的应用中，PCI信号的驱动可以不加匹配；如果PCI接收端没有输入限幅电路的话，虽然信号可以很快达到稳定，但PCI器件输入电压可以达到很高的电平，造成器件功耗的大幅度增加，并可能造成器件的损坏。为了克服这种情况，可以在PCI驱动端串接电阻。合理的串接电阻并不会影响PCI信号的正常工作，详细分析见附件。

8、对于PCI总线信号，直接在分裂的电源层上进行高速信号的布线有可能引起信号的完整性问题，因为电源层的分裂破坏了交流回路，造成阻抗的不连续性。

措施如下：

不要使高速信号（如33MHz）跨接两个电源层，要么全部在3.3V的平面上，要么在5V的平面上。如果却要跨越应把信号线放于地线层那面。如果一定要跨越，就应该将两个电源平面用电容耦合在一起，即5V平面耦合到3.3V平面，并且每四条跨过裂缝的信号线就要用0.01uF的高速电容，电容器的位置不应超过信号跨越点0.25英寸

9、PCI总线上各PCI芯片的PCICLK在PCB布线上保持等长。

10、对于有JTAG口的PCI设备，如使用边界扫描功能，按照公司JTAG规范处理；如果不实现JTAG边界扫描，在设计时必须把TDI、TDO连接起来，以免扫描链断开。

11、对PCI设备如果使用PCI总线的中断信号（#INTA,B,C,D），单功能PCI设备，应使用INTA#；多功能设备，如果只使用一个中断，就使用INTA#，如果要使用两个中断，就使用INTA#、INTB#，依次类推。

12、标有V(I/O)的引脚应用于PCI元件的I/O缓冲，不能与+5V或+3.3V电源引脚相连，相连的话有可能造成+3.3V和+5V短路。另外V(I/O)引脚应该接有0.047uF的退耦电容。

13、对于5V的PCI插卡（接口信号工作于5V电平），如果需要用到+3.3V电源，最好不要直接引用PCI插槽上的+3.3V电压，应该在插卡内通过电压调整器将+5V转换成+3.3V。因为有的系统不提供+3.3V电源，如果不这样设计就可能会导致计算机兼容性问题。

## 8 测试项目、测试方法及注意事项

表8 测试项目列表

测试项	测试子项
PCI总线信号测试	PCI时钟信号测试
	PCI时钟信号相位测试
	PCI控制信号测试
	PERR,SERR信号测试
	PCI总线数据地址总线信号测试
	PCI中断信号测试
PCI总线功能测试	PCI配置读写功能测试
	PCI读写功能测试
	PCI总线仲裁功能测试
	PCI设备初始化测试
	PCI卡兼容性测试
PCI总线异常测试	PCI总线信号异常测试
	PCI-ISA(MPI)接口逻辑异常测试

对用逻辑实现的总线器件要重点测试其可靠性和异常测试。在测试项目列表、测试用例中要给予重视。

### 8.1 信号测试

#### 8.1.1 PCI时钟信号测试

测试仪器：TDS784/794D示波器，有源探头

测试步骤：1) 在被测PCI时钟信号的附近找寻一个GND，将有源探头的地线与GND相连。

2) 系统上电启动，有源探头点中测试点，调节示波器观察信号波形并记录。

3) 示波器使用DPO模式，测试波形并记录。

验收标准：1) 信号频率符合设计所要求的33M或66M时钟频率。

2) 时钟信号上升下降沿不能有明显的倒钩。

3) 信号没有抖动现象。

#### 8.1.2 PCI时钟信号相位测试

测试仪器：TDS784/794D示波器，有源探头

---

测试步骤：1) 分别在两个被测PCI时钟信号的附近找寻一个GND，将有源探头的地线与GND相连。

2) 系统上电启动，有源探头点中测试点，调节示波器观察两个PCI时钟之间的相位差并记录。

验收标准：两个时钟之间的相位差小于2ns

### 8.1.3 PCI控制信号测试

被测信号：FRAME、IRDY、TRDY、STOP、DEVSEL、CBE0~CBE7、REQ64、ACK64

测试仪器：TDS784/794D示波器，有源探头

测试步骤：1) 示波器探头在被测点附近接地，示波器通道一选择PCI\_CLK，通道二选择被测信号，示波器选用通道二做为触发源。

2) 系统上电启动，运行测试软件，对被测PCI设备进行读写操作。

3) 调节示波器观察信号波形并记录。

验收标准：1) 信号在PCI\_CLK的上升沿处无毛刺、震铃等现象。

2) 信号相对于PCI\_CLK的信号建立保持时间应符合PCI器件手册要求。

### 8.1.4 PERR、SERR信号测试

测试仪器：TDS784/794D示波器，有源探头

测试步骤：1) 示波器探头在被测点附近接地。

2) 示波器选用自动测试档，测试系统从上电复位到稳定运行期间的信号并记录波形。

验收标准：1) 信号无毛刺。

### 8.1.5 PCI总线地址数据总线信号测试

测试仪器：TDS784/794D示波器，有源探头

测试步骤：1) 示波器探头在被测点附近接地，示波器通道一选择PCI\_CLK，通道二选择被测信号，示波器选用通道二做为触发源。

2) 系统上电启动，运行测试软件，对被测PCI设备所具有的一个固定地址进行写操作，循环写0x5a5a5a5a、0xa5a5a5a5。

3) 使用示波器观察信号波形并记录。

验收标准：1) 信号在PCI\_CLK的上升沿处无毛刺、震铃等现象。

2) 信号相对于PCI\_CLK的信号建立保持时间应符合PCI器件手册要求。

### 8.1.6 PCI中断信号测试

测试仪器：TDS784/794D示波器，有源探头

测试步骤：1) 系统上电启动后，运行测试软件，使能PCI设备的中断申请使能功能。

2) 通过一些方法（如PING 82559控制的网口）使PCI设备产生中断。

3) 使用示波器测试该PCI中断信号，观察是否能正常产生中断信号及中断信号是否有毛刺。

验收标准：1) PCI设备能正常产生中断信号。

---

---

2) 中断信号无毛刺。

## 8.2 功能测试

### 8.2.1 PCI配置读及配置写功能测试

测试仪器：PCI 总线分析仪：如PBT-515

测试步骤：1) 编写测试软件，对被测PCI设备的某一寄存器进行配置写入一个数据，然后对该寄存器进行配置读操作，对读写的数据进行校验。

2) 运行测试软件，对PCI设备进行配置读写操作。

3) 使用PCI总线分析仪，测试PCI总线上的PCI\_CLK、FRAME、IRDY、TRDY、CBE(0~7)、STOP、DEVSEL、AD(0~63)信号。

4) 观察PCI总线分析仪所测得的时序及数据并将结果保存。

5) 长时间运行，观察测试软件是否会产生配置读写校验错。

验收标准：1) PCI总线分析仪所测得的配置时序应符合PCI 标准2.2。

2) 长时间运行，无配置读写校验错。

3) 没有出现长时间连续的TRDY无效，STOP与DEVSEL同时有效的现象。

### 8.2.2 PCI读写功能测试

测试仪器：PCI 总线分析仪：如PBT-515

测试步骤：1) 编写测试软件，对被测PCI进行循环读写操作。

2) 运行测试软件，对PCI设备进行读写操作。

3) 使用PCI总线分析仪，测试PCI总线上的PCI\_CLK、FRAME、IRDY、TRDY、CBE(0~7)、STOP、DEVSEL、AD(0~63)信号。

4) 观察PCI总线分析仪所测得的时序及数据并将结果保存。

5) 长时间运行，观察测试软件是否会产生读写校验错。

验收标准：1) PCI总线分析仪所测得的读写时序应符合PCI 标准2.2。

2) 长时间无读写校验错。

3) 没有出现长时间连续的TRDY无效，STOP与DEVSEL同时有效的现象。

### 8.2.3 PCI总线仲裁功能测试

测试仪器：逻辑分析仪、smartbits、计算机

测试步骤：1) 运行测试软件，启动业务对PCI设备所控制的接口进行频繁写操作（如操作南桥所控制的串口进行发送操作）。

2) 通过系统中多个PCI设备所控制的接口接收大量及频繁的数据（如使用 Smartbits 产生大量数据给82559控制的网口）。

3) 使用逻辑分析仪测试PCI总线上的REQ0~REQ4（根据设计情况决定测试几个请求信号）、GNT0~GNT4信号、PCI\_CLK。

4) 进行长时间进行测试，观察信号波形与时序关系。

验收标准：1) 无两个以上GNT信号在PCI\_CLK信号上升沿采样时刻同时有效现象。

2) 长时间测试，系统无异常。

---

---

#### 8.2.4 PCI设备初始化测试

测试步骤：1) 修改BSP程序，使PCI设备初始化完后打印PCI设备初始化正常。

2) 对单板快速上电下电，观察单板每次是否均能正常初始化PCI设备。

3) 使用按键复位方式，多次复位单板，观察单板每次是否均能正常初始化PCI设备。

验收标准：1) 每次单板上电与复位，均能正常初始化PCI设备，打印输出PCI设备初始化正常。

#### 8.2.5 PCI卡兼容性测试

测试步骤：1) 假设板卡插在PCI的插槽1上，我们可以向计算机北桥的Configaddress寄存器写入80000800h，此寄存器为32位寄存器，端口地址CF8h。根据PCI2.1的标准，第一个8(即二进制100)表示操作使能，第二个8是设备号，经译码后IDSEL1#有效，表示选中了插槽1，00是偏移地址，在PCI2.1标准中，偏移地址00指向PCI外设的Vendor ID寄存器。

2) 定义好地址的配置后，总线周期的操作实际已经指向了VID，可以通过北桥的另外一个寄存器(Configdata Register)，将VID回读，VID是一个数组编码，因此全"1"则代表回读失败，即没有检测到板卡，计算机与板卡不兼容。

3) 如果VID回读结果和所要测试的板卡VID一致，则可以初步判定板卡与计算机兼容。

4) 为确认主机能与邮箱建立通讯，还要对邮箱进行读写操作。原理是一样的，先通过Configaddress寄存器定义好邮箱BAR(基址寄存器)的偏移地址(10h)，然后通过Configdata Register将邮箱的基地址写入BAR中。

5) 邮箱有了基地址后，编写邮箱读写测试软件测试邮箱好坏。

验收标准：对PCI卡VID寄存器回读正确，邮箱通讯正常

### 8.3 异常测试

#### 8.3.1 PCI总线信号异常测试

测试仪器：C801VEI电平加扰板

测试步骤：1) 在系统正常上电后，对PCI上多个设备同时访问。

2) 选择好信号加扰点(通常是芯片引脚、过孔、或表面的走线)，使用电平加扰板，对总线上的数据地址控制信号进行加扰，将信号强制拉高，拉低，或加脉冲干扰，观察总线上各设备工作情况。定义好地址的配置后，总线周期的操作实际已经指向了VID，可以通过北桥的另外一个寄存器(Configdata Register)，将VID回读，VID是一个数组编码，因此全"1"则代表回读失败，即没有检测到板卡，计算机与板卡不兼容。

3) 选择好信号加扰点(通常是芯片引脚、过孔、或表面的走线)，使用电平加扰板，对总线上点对点的某一设备REQ，GNT信号进行加扰，将其强制拉高，拉低，观察该设备和总线上其它设备的工作情况。

4) 对PCI总线上各个设备的时钟信号进行加扰，观察各设备的工作情况。

验收标准：1) 在步骤2)中，允许总线不工作；

---

---

2) 在步骤3) 中, 当将某一设备REQ, GNT强制拉高(无效状态)时, 此时总线上其它设备应仍能正常工作; 当将某一设备的REQ, GNT信号强制拉低(有效状态)时, 此时允许总线无法工作;

3) 在步骤4) 中, 允许被加扰的PCI设备无法工作, 其它PCI设备应仍能正常工作;

4) 在干扰消失后, PCI总线上所有设备都应能恢复正常工作。

### 8.3.2 PCI-ISA (MPI) 接口逻辑异常测试

测试仪器; C801VEI电平加扰板

测试步骤: 1) 使用加扰板对PCI-ISA (MPI) 接口逻辑的ISA (MPI) 接口信号进行干扰, 使其无法正常读写;

2) 观察PCI总线是否挂死, 并导致单板死机;

验收标准: 在整个测试过程中, 允许由于干扰导致逻辑读写数据错误, 但不应导致PCI总线挂死; 干扰消失后, 应能重新进行正确读写。

## 9 常用仪器的使用操作

略。

## 10 案例分析

### 10.1 PCI 总线 配置案例

#### 10.1.1 配置程序因总线号搜索不全导致在Dell计算机上不能配置APC卡

生产人员在Dell机上调试APC卡时, 发现配置程序不能对APC卡进行配置, 不能找到该卡, 业务无法运行。开机上电时显示BIOS可以找到卡, 说明时序没有问题, 但是为什么配置程序配置失败? 后来发现是APC卡所在PCI 总线的总线号为1, 而APC的配置程序只是对总线号为0的PCI 总线进行搜索(在绝大部分计算机上, PCI 插槽所在的PCI 总线号为0), 因此找不到APC卡。配置程序中增加总线号为1的PCI总线进行搜索, 配置成功。编写配置程序时应注意对0-255之间的所有总线号进行搜索。

#### 10.1.2 C805MCP卡在联想微机(PII 400,VIA82C596芯片组)上配置失败

C805MCP的PCI 逻辑是FPGA实现的, 由CPU(MPC860)加载FPGA逻辑。在测试中发现, 在联想机(PII 400,VIA82C596芯片组)上, 如果使用CPU进行加载逻辑, 则配置程序不能发现MCP卡; 若使用PROM进行逻辑加载, 则配置程序可以发现MCP卡。最后发现了问题的根源。联想机在上电后, BIOS对PCI 设备进行检测, 判断哪些槽位上有PCI 设备, 如果检测到某个槽位为空, 就关断该槽位的PCI-CLK时钟, 该过程在上电时6秒钟内进行。由于MCP卡加载FPGA约在上电后10s开始, 因此联想微机BIOS检测到该槽位不存在PCI插卡, 就关断了该槽位的PCI-CLK时钟。由于没有PCI-CLK时钟, 在逻辑加载完成后, PCI 配置程序也不能发现

---

---

MCP卡，配置失败。修改MCP卡单板软件，把CPU加载FPGA逻辑部分提前（在上电后3秒内完成），则可以配置成功。由此可见对于PCI插卡，如果使用CPU加载逻辑，则在单板上电后，CPU应尽快对FPGA加载逻辑。

### 10.1.3 C805MCP卡在WINDOWS下只分配到4Kbyte的空间；

MCP卡在WINDOWS下安装完成后，从“控制面板”中查看MCP卡的资源，发现只有4Kbyte，如D0000--D0FFF，实际设计意图应该为8K。检查后发现，PCI逻辑中，寄存器BAR0的BIT4--BIT11在逻辑中置0，并且为只读，BIT12--BIT31可读写；在操作系统中，判断PCI设备占用内存空间大小的方法是，向该BAR写入全“1”，即0xFFFFFFFF，然后再读回，与地址无关的位其值应返回0，来确定空间大小。显然，如果要使用8Kbyte的空间大小，BAR的Bit4--Bit12应在逻辑中置0，并且为只读。按次按此对逻辑进行修改后，问题得到解决；

### 10.1.4 MCP卡在一台有SCSI设备的工控机上，热启动后计算机有时会死机；

在IBM计算机上每次启动时会显示“PNP错”信息

MCP卡在一台有SCSI设备的工控机上，热启动后计算机有时会死机；在IBM计算机上每次启动时会提示“PNP错”的信息；但在其他型号的计算机上则能正常工作。解决此问题颇费周折，但最后还是找到了问题的根源：

由于MCP卡使用的是计算机1M以下内存（如：0xD0000-0xD1FFF），按照PCI2.1规范，BAR寄存器的Bit1应置为1（映射到1M以下内存空间），MCP也是这样做的。在PCI2.2规范中，该Bit定义为保留（Reserved），就是说BAR寄存器的Bit1置为1/0也不应有什么影响，但是实际上就是“BAR寄存器的Bit1置为1”导致了上述问题。通过修改PCI逻辑，把BAR0寄存器的Bit1置为0，问题得到解决。

### 10.1.5 CPCI系统中系统板PCI自动配置流程中的死锁现象

#### 1. 问题现象

环境描述：一个CPCI机框，一块系统板以及对应的桥板，两块IO板分别插在两个域。系统板采用双域控制模式，监管两个域的控制。

- 1、当第一次上电后，系统可以正常启动，并且IO板也可以正常上电工作。
- 2、当IO正常工作后，让系统板复位重启，当系统板可能会造成系统板无法再次启动。

#### 2. 原因分析

在分析原因之前，让我们先看看系统板中重要的桥片的结构，先假设系统板插在A域：

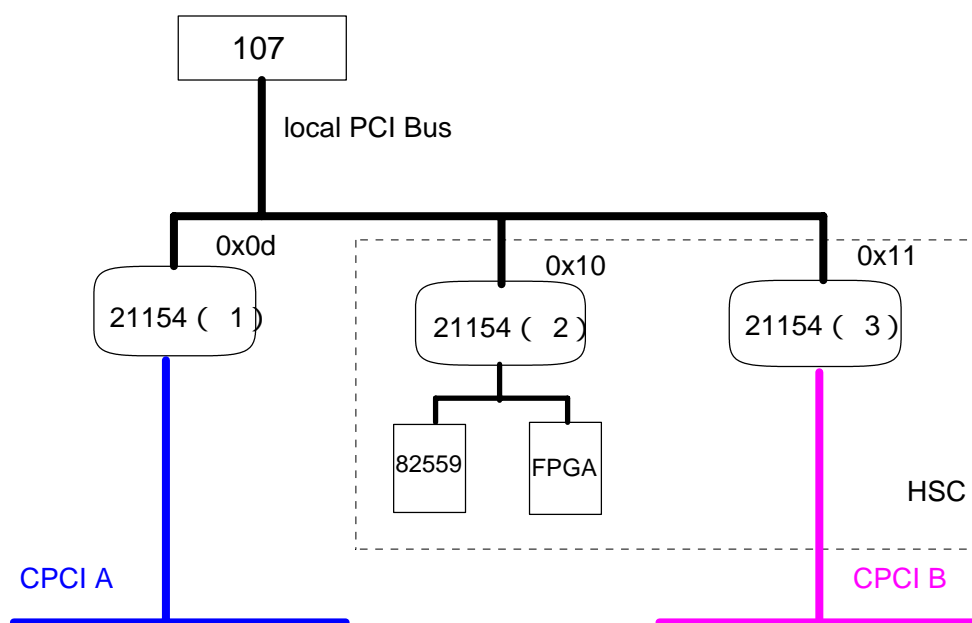


图23 系统桥片结构

其中21154 ( 1 ) 是位于系统板本身上的PCI-PCI桥片，负责本域的CPCI总线，其在本地PCI总线上的设备号为0x0d;

21154 ( 2 ) 位于桥板HSC上的一个PCI-PCI桥片，其下挂一个82559与FPGA，它的作用是为了减轻107PCI总线负载，将82559与FPGA等PCI设备扩展，其在本地PCI总线上的设备号为0x10；

21154 ( 3 ) 是位于HSC板上的另一个PCI-PCI桥片，负责另一个域的CPCI总线，其在本地PCI总线上的设备号为0x11。

系统第一次上电时，系统板先上电启动，此时系统板没有监管两个域，即21154 ( 1 ) 和21154 ( 3 ) 处于JTAG状态。

当系统板进行PCI自动配置时，搜寻PCI总线上的PCI设备，此时只能找到21154 ( 2 )，并通过此PCI-PCI桥找到位于其下一级总线的82559和FPGA，在查找的过程中21154 ( 2 ) 中定义PCI-PCI桥管理的总线范围的寄存器PCI\_CFG\_PRIMARY\_BUS ( 偏移值为0x18)的值被设为为：0xff010100。其含义为：

一次侧PCI总线号为：0

二次侧PCI总线号为：1

**Subordinate**侧PCI总线号 ( 指通过此PCI-PCI桥所能访问的最下一级PCI总线号 )：1

这样107查找总线1上的设备时，21154 ( 2 ) 判断总线1在它的管理范围内，给出响应。

当系统板正常启动后，监管了CPCIA，CPCIB两个域后，21154 ( 1 )、21154 ( 3 ) 被解除JTAG状态而处于工作状态，并将寄存器PCI\_CFG\_PRIMARY\_BUS的值分别设为：0xff020200、0xff030300。表明他们所管理的CPCI总线号分别为2和3。这样107对总线2或3上设备的访问分别由21154 ( 1 )、21154 ( 3 ) 来完成传递。

但当系统板出现异常重启后，如果重新启动PCI自动配置流程，由于21154 ( 1 )、21154 ( 3 ) 还是处于工作状态，因此此次PCI自动配置流程里可以找到21154 ( 1 ) 和21154 ( 3 )。另外由于



---

21154 ( 1 ) 的设备号为0x0d，因此在PCI自动配置流程中，会在21154 ( 2 ) 之前（其设备号为0x10）被找到，因此寄存器PCI\_CFG\_PRIMARY\_BUS的值先被设为0xff010100。这样问题就出现了，在前面已经讲过21154 ( 2 ) 的寄存器PCI\_CFG\_PRIMARY\_BUS中总线号值也为0xff010100，这样在主桥107发起总线1上的PCI设备的查寻时，21154 ( 1 ) 和21154 ( 2 ) 同时会响应，造成PCI总线上的混乱，产生以上现象。

### 3. 结论

系统主桥在查找PCI设备时，是根据总线号、设备号以及功能号的顺序依次查找，如果系统内有多级总线，一定是由PCI-PCI桥进行扩展的。每个PCI-PCI上都唯一确定了此PCI-PCI桥所控制的PCI总线范围，如果不同的PCI-PCI中PCI总线的设定出现了重叠，会造成PCI总线掉死。

### 4. 解决方法（建议）

针对我们目前的CPCI系统中的特点以及实际应用，主要是由于21154 ( 2 ) 一直是处于工作状态，而21154 ( 1 )、21154 ( 3 ) 的工作状态由系统板的软件来控制，且21154 ( 1 ) 的设备号在21154 ( 2 ) 之前，这样就可能会造成21154 ( 1 ) 和21154 ( 2 ) 的寄存器PCI\_CFG\_PRIMARY\_BUS中的总线号出现重叠。

在UMSC产品的应用中，由于21154 ( 1 )、21154 ( 3 ) 是由系统板的软件来进行控制的，且其下管理的IO板中21554的配置是根据单板槽位来确定的（即不是在自动配置中设置）。因此在主桥的PCI自动配置流程中，可以将21154 ( 1 )、和21154 ( 3 ) 排除在外，即当主桥在本地PCI总线上找到一21154设备时，如果设备号为0x0d 或0x11时，不再继续往其下一级PCI总线查找，也不设置寄存器PCI\_CFG\_PRIMARY\_BUS中的值。这样就不会出现以上问题了。

## 10.2插卡案例

C803CTX卡的插头导角幅度过小导致插卡接触不良。

在C803CTX卡的开发过程中，发现某一批卡插在计算机的某些槽位时经常出现找卡失败或者地址配置失败的现象，把卡动一动，又能正常配置并工作，经过分析发现是插头导角幅度过小，卡没有完全插入插槽，导致接触不良所致，将插头的导角幅度增大，不再出现该问题。

## 10.3信号质量案例

### 1. 问题与现象

主板上电后21150芯片的二级时钟输出s\_clk\_o9偶尔不能产生，使得s\_clk\_o9连接的PCI二级时钟s\_clk没有输入，主板上电不能工作。

### 2. 原因分析

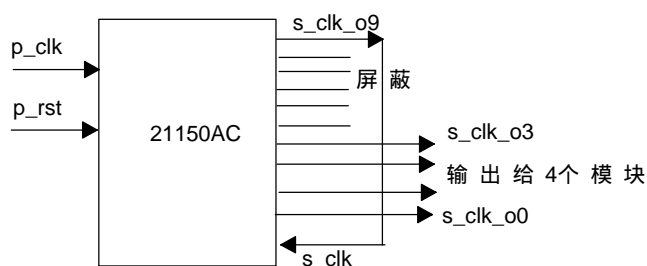


图24 21150时钟输入输出示意图

芯片工作原理：21150是PCI-to-PCI的桥片，CPU模块提供主PCI时钟p\_clk输入，经过内部缓冲，产生10个二级总线时钟输出s\_clk\_o<9:0>，其中s\_clk\_o9作为二级PCI时钟s\_clk的输入，如图24所示，s\_clk、s\_clk\_o<x>和p\_clk以相同的频率工作。对实际电路分析发现，造成21150芯片二级时钟偶尔不能产生的原因有三个：

1) 时钟s\_clk\_o9输出端串联匹配错误，把始端串联匹配电阻错误地放置在终端，违背了始端串联、终端并联匹配的原则，而不符合芯片设计要求的时钟输出脚必须串联匹配。由于匹配错误，使得s\_clk时钟信号质量非常差，存在严重的过冲和振荡，如图25所示。

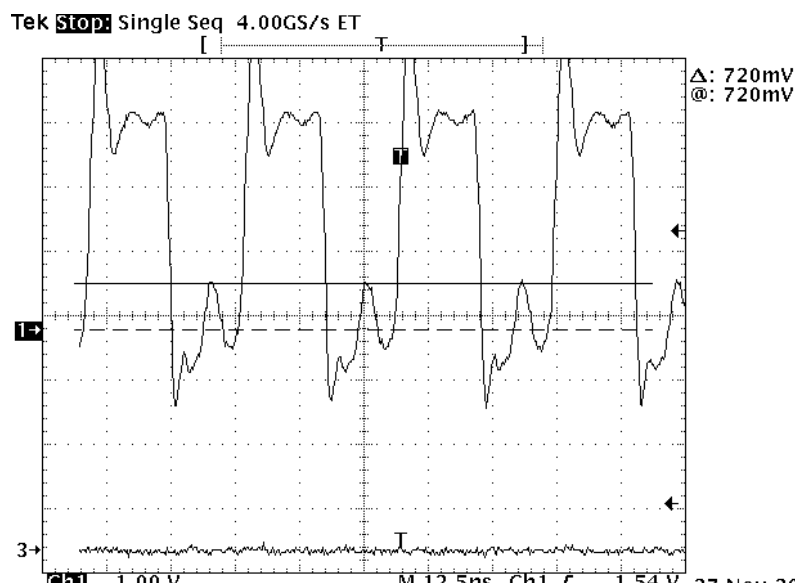


图25 s\_clk波形图 (33MHz)

电路串联匹配可以等效为如下电路，始端串联匹配的反射系数为：

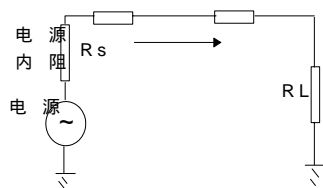


图26 串联匹配等效电路

$$s = (R_o - Z_o) / (R_o + Z_o)$$

其中： s----始端串联匹配的反射系数

R\_o----匹配电阻

Z\_o----传输线特征阻抗

如上图所示，对于始端的串联匹配，应在信号源端串入电阻R<sub>o</sub>，以使得总的源阻抗等于传输线的特性阻抗。即R<sub>s</sub>+R<sub>o</sub>=Z<sub>o</sub>。由于匹配错误，匹配电阻R<sub>o</sub>放置在输入脚（终端），相当于增大了负载阻抗R<sub>L</sub>，使得在始端未形成匹配，产生了反射。通常FR4 PCB线宽为6mil的传输线阻抗为75欧姆，考虑输出阻抗（30欧姆左右），可得  $s = -1/3$ ，因此，反射电平最高时为  $s \times V_{OH} = -1V$ ，如图25中所示的上冲和下冲，均超过1V。

2) 芯片要求设计时必须严格保证对s\_clk和p\_clk的相位关系，s\_clk必须滞后于p\_clk，且延迟不得超过7ns，相对于p\_clk的上升沿和下降沿的变形最大为750ps，否则不能保证芯片正确的初始化。而在主板实际设计时，p\_clk和s\_clk的延时有可能会超过临界状态，导致芯片上电不能正确初始化。

如图24所示，p\_clk经过内部缓冲后从s\_clk\_o9输出到s\_clk，其最大延时不能超过7ns。由于芯片内部最大延时为5ns，因此外部延时不能超过2ns。FR4 PCB 上高速信号外层布线时产生延时大约是140-180ps/inch，即要求从s\_clk\_o9端到s\_clk端的PCB布线长度不超过28cm。时钟信号PCB布线实长为14cm左右，布线延时约1ns，如图27中高亮显示部分所示；另外，p\_clk经过内部缓冲后到达s\_clk\_o9的时钟沿变为500ps，当外部匹配方式不正确，信号产生反射，使得s\_clk\_o9到s\_clk的沿变大于500ps，即从p\_clk到s\_clk的总延时超过2ns，上电时芯片采样s\_clk输入达不到要求的电平，芯片初始化失败，时钟输出不正常。

3) 芯片设计时，建议在s\_clk端上拉22K电阻，且二级时钟输出布线长度要求相等。实际设计未按要求，在s\_clk端接22K的上拉电阻。根据21150芯片的直流特性：灌电流 $I_{ol} = 1500 \mu A$ ，拉电流 $I_{oh} = -500 \mu A$ ，可以判断s\_clk端的输出应该是采用不对称输出。高、低电平时输出电流不一致，信号上升沿速度慢于下降沿速度，而在s\_clk端加了22K的上拉电阻，可以有效改善时钟波形的上升沿，提高上升速度，减少s\_clk相对于p\_clk信号的沿变。对于故障主板，加了上拉电阻后，通过一系列的上电试验，21150芯片每次时钟输出都正常，主板启动正常。

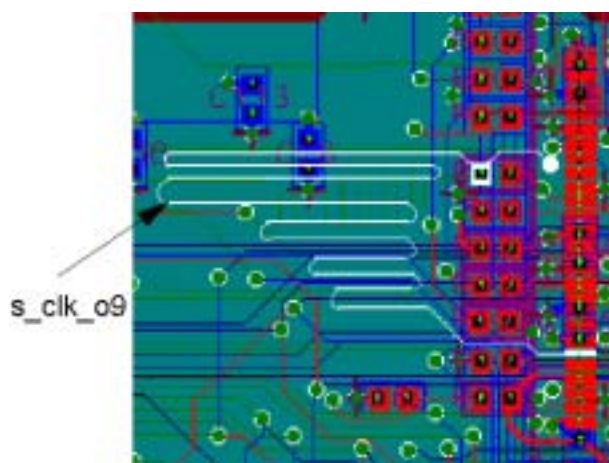


图27 21150 s\_clk时钟布线

### 3. 解决措施

修改原理图和PCB布线，按照芯片设计要求，修改串联匹配方式，在s\_clk\_o9端使用50欧姆的电阻进行串联匹配，且使得匹配电阻位于s\_clk\_o9管脚0.25英寸内；并在s\_clk端加22K的上拉电阻。

### 4. 结论

21150芯片上电偶尔不能产生二级时钟输出，主要原因为21150芯片的时钟信号s\_clk\_o9阻抗匹配方式错误，导致信号质量差；以及在s\_clk端未按设计要求上拉22K电阻，使得p\_clk到s\_clk端的延时处于临界状态，如果超时，则使得芯片上电后不能正确初始化。

5. 对规范的建议

- 1. 在PCB评审规范的封装和布局中以及PCB审查规范的信号线审核项中增加：“阻抗匹配方式检查，串联匹配的信号线，匹配电阻需要加在始端（驱动端）；并联匹配电阻加在终端（输入端）”；
- 2. 在PCB审核规范中增加，对于相位关系有明确要求的信号，检查PCB布线长度的延时是否满足芯片设计要求，避免处在临界状态

10.4PCI总线异常案例

1. 案例描述

在XXX单板上采用了PCI-TARGET逻辑提供芯片APC的MPI接口，正常情况下当APC MPI接口完成一次读写操作，输出/rdy信号，当逻辑采样到/rdy信号后，输出/trdy信号，并将/devsel信号拉高，完成一次PCI读写操作，并释放PCI总线。在进行异常测试时，将/rdy信号强制拉高，导致PCI总线挂死，单板死机。

原因分析

当/rdy被强制拉高后，导致逻辑始终等待/rdy信号，/devsel始终为低，不释放PCI总线。

2. 结论和解决办法

经过分析考虑，决定修改逻辑，根据APC MPI接口时序要求，在/cs有效后，最多950ns后，应该送出/rdy信号，因此在逻辑中对APC MPI接口开始访问后，在/cs有效后，如果等待43个PCI（1.4uS）周期后仍然没有采样到/rdy信号，就强制输出/trdy信号，并将/devsel拉高，结束pci周期，并释放pci总线，从而避免PCI总线挂死，避免单板死机，将故障程度降低。

3. 经验或建议

在采用PCI - TARGET逻辑完成某些芯片MPI接口时，应注意采取措施防止由于MPI接口访问失败导致的整个PCI总线挂死，引起单板死机。同时在测试时加强异常情况的测试。

11总结

本文主要提出了硬件审查的注意点，描述了硬件测试的基本项目和测试用例。对于审查注意点，容限容错异常测试还有待进一步完善。对于PCI总线设备工作的软件方面的审查测试没有涉及，可以作为下一阶段目标。

12修订记录

日期	修订版本	描述	作者
2001/10/16	1.00	初稿完成	吴晓鸣（执笔） 齐征宇 王治军 文干 国 苏伟军

13参考资料

参考资料清单					
名称	作者	编号	发布日期	查阅地点或渠道	出版单位/制定组织
《PCI局部总线开发者指南》	李贵山		1997年1月	图书馆	西安电子科技大学出版社
《PCI系统结构》	Tom Shanley		2000年7月	图书馆	

## 14附件

### 14.1附件一PCI总线的驱动



浅谈PCI信号的驱动.zip