

## 1. 简介

这个文档介绍了 PCI Express 布线过程中要注意的事项。

## 2. PCI Express 互连

PCI Express 是一种双单工连接的点对点串行差分低电压互联。每个通道有两对差分信号：传输对 TXP/TXN，接收对 RXP/RXN。该信号工作在 2.5 GHz 并带有嵌入式时钟。嵌入式时钟通过消除不同差分对的长度匹配简化了布线规则。不断增加的 PCI Express 比特率需要一些特别的设计。而其中最小化互连损耗和抖动预算是关键要求。

### 2.1 PCI Express 的 PCB 叠层和参考面

在 PCI Express 并没有使用新技术。一般的 PC 主板设计成 4 层叠层，而服务器，工作站和移动系统主板多使用 6 层或是更多层的叠层。插卡可以使用 4 层或是 6 层叠层。使用 0.50Z 的镀铜微带线和 10Z 的铜带状线。

插卡的整体电路板的厚度必须是 0.062inch。移动平台的 PCB 厚度可以是 0.062inch 或是 0.050inch。

为了尽可能的减少损耗和抖动预算，最重要的考虑因素是设计的目标阻抗，而且要保持阻抗的公差足够小。更厚的介质层和更宽的走线将会减少损耗。微带差分线会比带状差分线产生更大的阻抗变化。

信号对应避免参考平面的不连续，譬如分割和空隙。当信号线变化层时，地信号的过孔应放得靠近信号过孔。对每对信号的建议是至少放 1 到 3 个地信号过孔。还有永远不要让走线跨过平面的分割。

### 2.2 走线

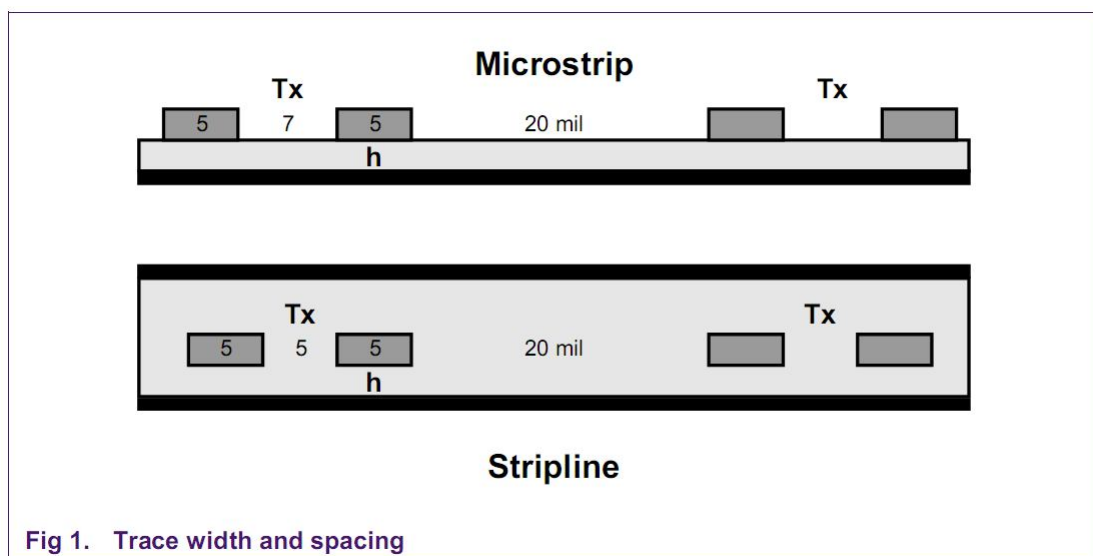
### 2.2.1 阻抗

PCI Express 的连接走线阻抗在 4 层或 6 层板时必须保持  $100\Omega$  差分/ $60\Omega$  单端;而对 8 层或 10 层板阻抗为  $85\Omega$  差分/ $55\Omega$  单端。

### 2.2.2 线宽和线距

差分信号的内部耦合和增加与周边的信号间距有助于减少有害串扰的影响和电磁干扰 (EMI) 的影响。在微带情况下,差分线的宽度是 5 mil, 差分对中的 2 条走线的间距是 7mil。差分对中信号线中有 100mil 或超过 100mil 其信号线间距超过 7mil, 那么可以把信号线走成 7mil 的线宽。在带状情况下,差分线的宽度是 5mil, 差分对中的 2 条走线的间距是 5mil。

差分对之间的距离和差分对和所有非的 PCI Express 信号的距离是 20 mils 或介质的厚度的 4 倍, 选择其中更大的。如果非 PCI Express 信号电压明显高于或者非 PCI Express 信号边缘比 PCI Express 信号边缘快的话, 2 者的空间应增加至 30 mil, 以避免耦合。

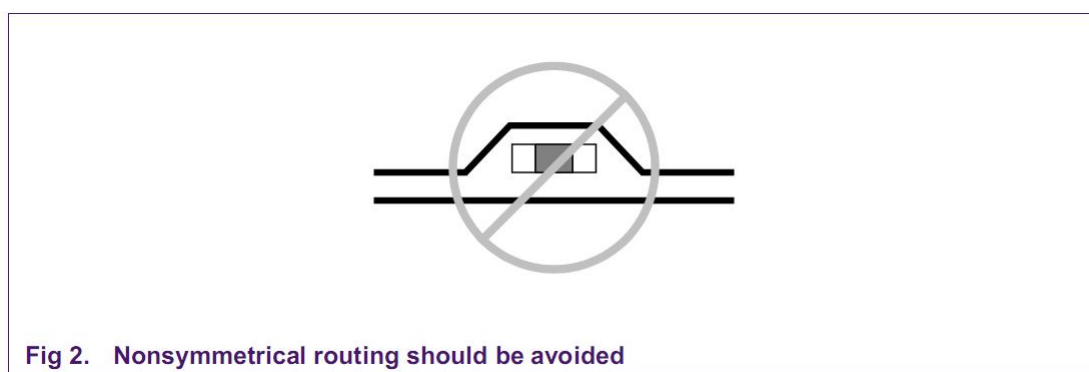


### 2.2.3 长度和长度匹配

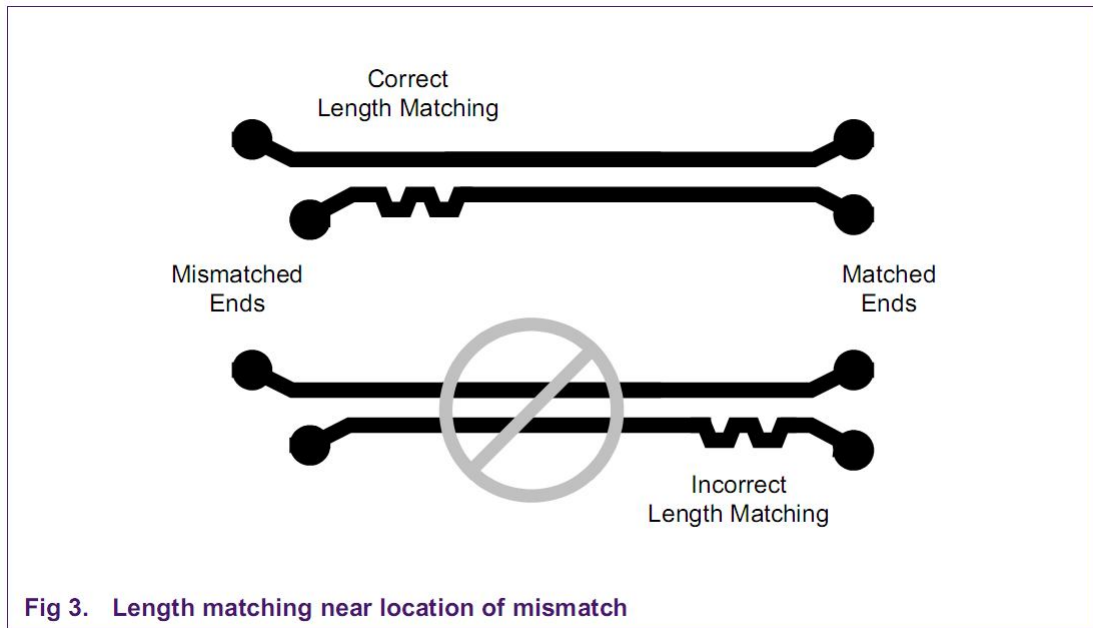
走线长度极大地影响了互联的损耗和抖动预算。PCB 的每英寸走线可能会引进 1 皮秒至 5 皮秒的抖动预算和 0.35 分贝至 0.50 dB 的损耗。

对于插卡来说，从金手指边缘到飞利浦的 PCI Express PHY 管脚的走线长度应限制在 4 inch 以内。对于系统板，走线长度建议小于 12inch。

为了分散玻璃纤维束编织和介质层非增强表面树脂层的有效厚度区域的影响，长距离走线必须与 XY 轴成一个斜的角度（长走线应该在板上走斜线）。



差分对中 2 条走线的长度的差距限制在最多 5 mil。每一部分都要求长度匹配，与任何长度的增加（典型的是“蛇形线”部分）为差分线长度匹配而增加的任何长度的走线应放在不匹配出现的位置。没有传输差分对和接收差分对长度匹配的要求（即只要求差分线内部而不是不同的差分对之间要求长度匹配）。



#### 2.2.4 弯曲

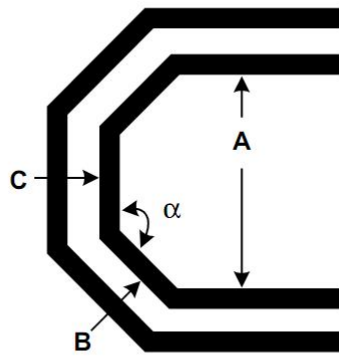
应尽量不使用弯曲，因为弯曲会给系统引入共模噪声，而这将影响差分对的信号完整性和 EMI。

弯曲的痕迹应 $\geq 135^\circ$ 。更严格的弯曲应避免的影响，因为他们的损失和抖动预算预算。

走线的弯曲应该 $\geq 135^\circ$ 。应该避免小角度的弯曲因为这样的话将会影响到损耗和抖动预算。

如果使用了弯曲，推荐使用下面的指南，以避免小角度弯曲。参见图 4。

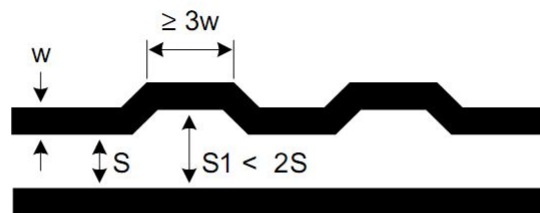
1. 使所有走线的弯曲角度（ $\alpha$ ） $\geq 135^\circ$ 。
2. 保持走线间距（A） $\geq 20$  mil。
3. 片段，譬如 B 和 C，其侧翼有一个弯曲，其长度应该 $\geq 1.5$  倍走线的宽度。



**Fig 4. Trace bending guidelines**

为了最小化长度的不匹配，左弯曲的数量应该尽可能的和右弯曲的数量相等。

当一段蛇形线用来和另外一段走线来进行长度匹配，如图 5 所示，每段长弯折的长度必须至少有 15mil（3 倍于 5mil 的线宽）。蛇形线弯折部分和差分线的另一条线的最大距离必须小于小于正常差分线距的 2 倍。



**Fig 5. Serpentine section**

当使用多重弯曲布线到一个管脚或是一个 BGA 的焊球是非匹配部分的长度应该  $\leq 45\text{mil}$ 。如图 6 所示。

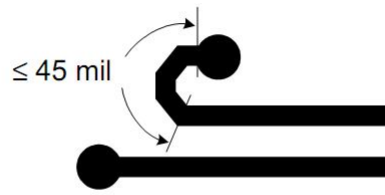


Fig 6. Uncoupled trace using multiple bends

### 2.3 扇出区域

在一个扇出区域（例如飞利浦的 PCI Express PHY 焊球区，连接器引脚，或插卡边缘的金手指），可能会出现和通常布线规则不同的例外出现。

在扇出区域可以允许有 5mil 和 10mil 的线距。一小段的线，最多 50mil 可以不需要参考平面。还有长度匹配应尽可能接近的信号针脚而没有引入任何的小角度弯曲。

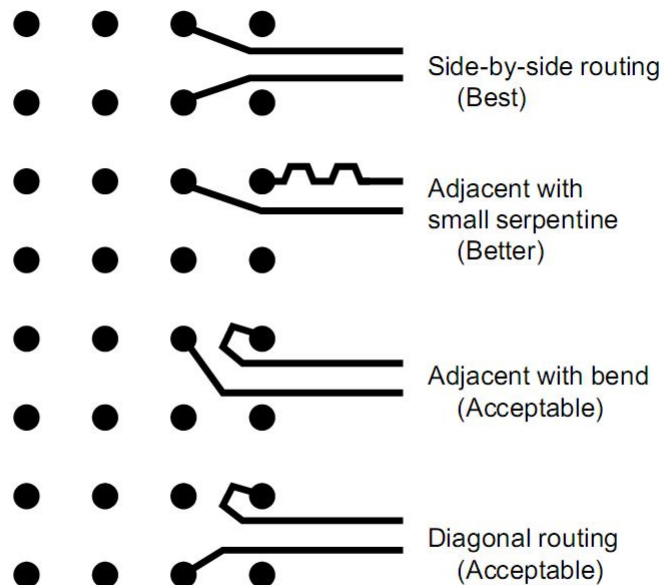


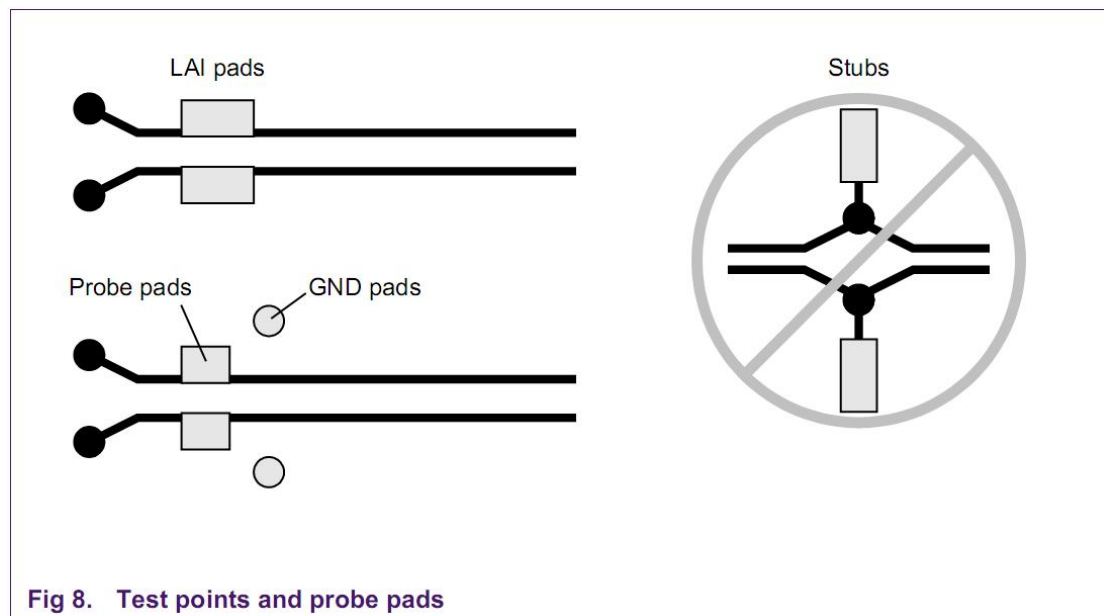
Fig 7. Breakout area layouts

## 2.4 测试点，过孔和焊盘

信号过孔影响整体的损耗和抖动预算。每一个过孔对可能会增加 0.25 分贝的损失。还有过孔可能会限制最大的走线长度。

在 TX 差分对中最多可以使用四个过孔对。而在 RX 差分对中最多只可以使用 2 个过孔对。过孔应该有一个 25 mil 或更小的焊盘，并且其完成内孔径为 14 mil 或更小。两个过孔必须放成在一位置上互相对称的。

测试点（可以是过孔，焊盘或是元件）及探针脚应置于对称的系列。不应当在差分对引入 stub。图 8 说明了正确和不正确的放置。



## 2.5 AC 去耦电容

PCI Express 需要在发射端和接收端之间交流耦合。差分对两个信号的交流耦合电容必须有相同的电容值，相同的封装尺寸，并且位

置对称。如果可能的话，TX 应该在顶层走线。

电容值必须介于 75nF 到 200nF 之间（最好是 100nF）。推荐使用 0402 的封装，但 0603 是可接受的。不允许使用插件封装。

差分对的两个信号线的电容器输入输出走线应当对称的。追踪分离垫路由必须尽量减少，为了优化差分信号对之间的紧耦合，走线分离到焊盘的的长度应该尽可能的短。

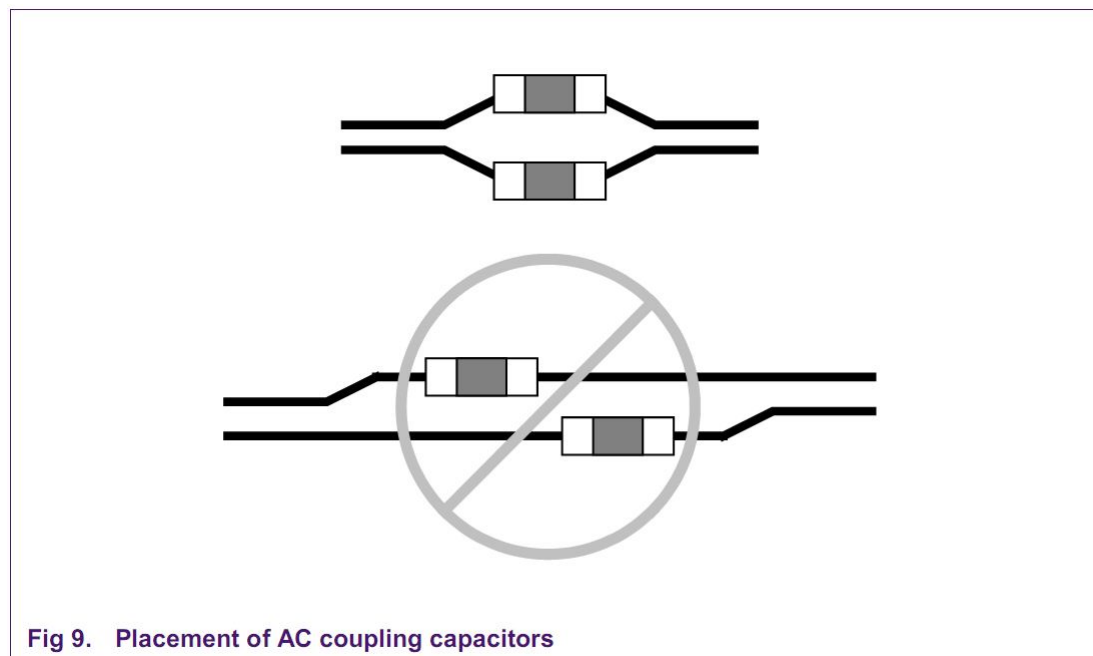


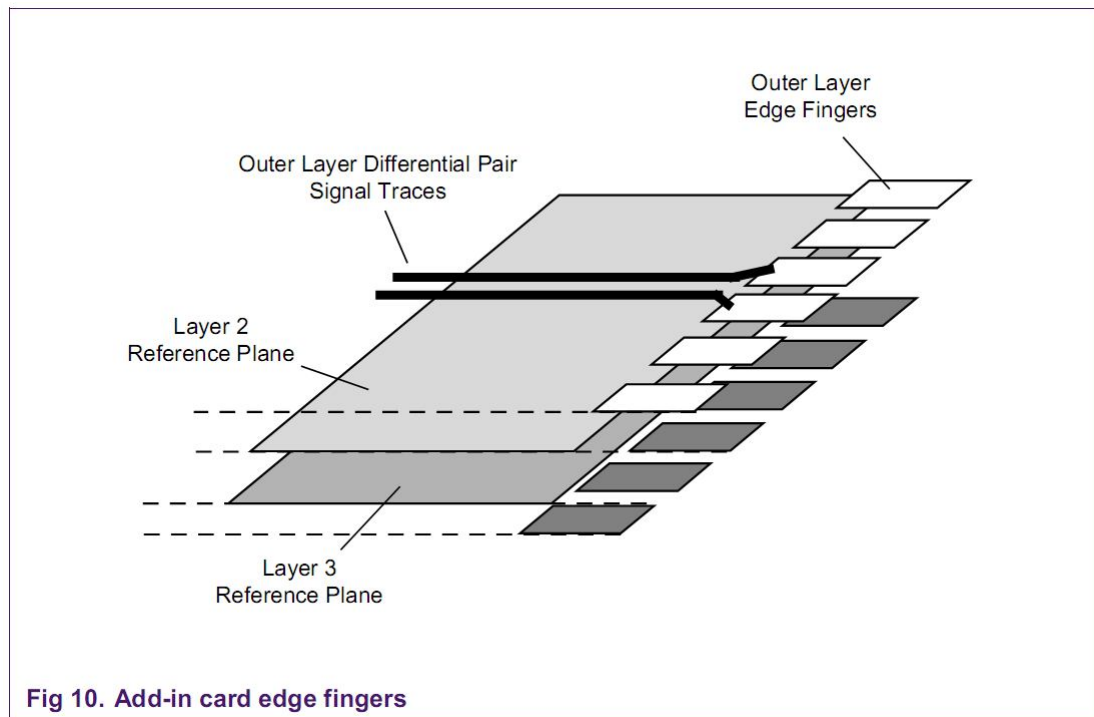
Fig 9. Placement of AC coupling capacitors

## 2.6 金手指和连接器

参考平面的边缘手指垫应予删除，以满足阻抗的目标。这些飞机应去掉沿整个长度手指的边缘部分。这两个痕迹的差分对线路应该成为一个领域的连接器引脚从同一层。



为了满足阻抗目标，在边缘金手指下面的参考平面应该被删除掉。而且整个金手指下面的参考平面都要完全删除掉。差分对的 2 个信号应该在同一层上布线连接到连接器的管脚上。



## 2.7 参考时钟

100MHz 的差分参考时钟应该和高速串行数据线一样使用相同几何结构的差分线。

注：此文编译自 NXP 的应用指南

Edit by Benjamin, 有疑问的话可以给我发邮件: [ykwym@yahoo.com.cn](mailto:ykwym@yahoo.com.cn)

也可以访问我的 blog: <http://blog.ednchina.com/ykwym/>