**分 类 号 学号 M202072547**

**学校代码 1 0 4 8 7 密级**



**硕士学位论文**

**二值虚数神经网络(BCNN)专用加速芯片的研究与设计**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **学位申请人** | **：** |  | **高余敬** |  |  |
| **学科专业** | **：** |  | **电子信息** |  |  |
| **指导教师** | **：** |  | **童乔凌 教授** |  |  |
| **答辩日期** | **：** |  | **XXXX年XX月XX日** |  |  |

**A Dissertation Submitted in Partial Fulfillment of the Requirements**

**for the Professional Master Degree**

**[Research](https://www.bing.com/dict/search?q=research&FORM=BDVSP6&cc=cn)****[and](https://www.bing.com/dict/search?q=and&FORM=BDVSP6&cc=cn)****[Design](https://www.bing.com/dict/search?q=design&FORM=BDVSP6&cc=cn) of Bin[ary](https://www.bing.com/dict/search?q=Binary&FORM=BDVSP6&cc=cn)****[Complex](https://www.bing.com/dict/search?q=complex&FORM=BDVSP6&cc=cn)****[Neural](https://www.bing.com/dict/search?q=neural&FORM=BDVSP6&cc=cn)****[Networks](https://www.bing.com/dict/search?q=networks&FORM=BDVSP6&cc=cn)****[(](https://www.bing.com/dict/search?q=%28&FORM=BDVSP6&cc=cn)BCNN****[)](https://www.bing.com/dict/search?q=%29&FORM=BDVSP6&cc=cn)****[Inference](https://www.bing.com/dict/search?q=inference&FORM=BDVSP6&cc=cn) Chip**

**Candidate : Gao Yujing**

**Major : [Electronic](https://www.bing.com/dict/search?q=electronic&FORM=BDVSP6&cc=cn) [Information](https://www.bing.com/dict/search?q=information&FORM=BDVSP6&cc=cn)**

**Supervisor : Prof. Tong Qiaoling**

**Huazhong University of Science and Technology**

**Wuhan 430074, P. R. China**

**October, 2022**

独创性声明

本人声明所呈交的学位论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除文中已经标明引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写过的研究成果。对本文的研究做出贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律结果由本人承担。

学位论文作者签名：

日期： 年 月 日

学位论文版权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，即：学校有权保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅。本人授权华中科技大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保 密□，在 年解密后适用本授权书。

本论文属于

不保密□。

（请在以上方框内打“√”）

学位论文作者签名： 指导教师签名：

日期： 年 月 日 日期： 年 月 日

# 摘 要

机

**关键词：**

# Abstract

As

**Key words:**

目 录

二值虚数神经网络(BCNN)专用加速芯片的研究与设计 I

A Dissertation Submitted in Partial Fulfillment of the Requirements II

for the Professional Master Degree II

摘 要 I

Abstract II

1 绪论 1

1.1 研究背景与意义 1

1.2 研究现状 2

1.3 本文主要研究内容 9

1.4 本文的章节安排 10

2 CNN与BCNN算法概述 12

2.1 引言 12

2.2 卷积神经网络原理 12

2.3 BCNN算法概述 12

2.4 Zero\_DCE++算法概述 12

2.5 本章小结 12

3 面向BCNN算法的协处理器设计 13

3.1 引言 13

3.2 协处理器设计目标与架构 13

3.3 数据通路及其并行性设计 13

3.4 内存设计及数据存储方式 13

3.5 脉动阵列设计 13

3.6 Batch Normalization硬件设计 13

3.7 本章小结 14

4 BCNN专用加速器的系统设计 15

4.1 引言 15

4.2 RISC-V处理器及其协处理器 15

4.3 指令集（ISA）设计 15

4.4 系统硬件架构设计 15

4.5 系统软件架构设计 15

4.6 本章小结 15

5 仿真与测试 16

5.1 引言 16

5.2 功能仿真 16

5.3 资源评估 16

5.4 本章小结 16

6 总结与展望 17

6.1 本文主要内容及结论 17

6.2 本文的主要创新点 17

6.3 展望 17

致 谢 18

参考文献 19

附录1 攻读硕士学位期间取得的学术成果 20

附录2 部分程序代码 21

# 绪论

## 研究背景与意义

随着互联网和大数据时代的到来，近年来在生活中的各个领域，人们越来越离不开各类智能电子设备，例如人脸识别、智能制造、智慧医疗、自动驾驶等，因而人工智能的研究也成为了众多科研工作者研究的焦点。在众多的研究成果中，深度神经网络（DNNs）由于其突出的性能表现，在许多计算机视觉领域得到了广泛的应用，如图像分类、动态追踪、目标检测等[1-2]。

为了研究人脑行为，上世纪六十年代，科学家提出了深度神经网络的概念，试图通过仿真学研究人脑架构，模拟人脑的活动机理，并使用数学来进行抽象表示，最终采用计算机软件仿真来实现多个方面的应用[3]。目前来说，在深度神经网络的研究中主要存在两种方向：一个研究方向就是提高网络的准确度，可以通过扩展深度神经网络的拓扑结构和层次，增强网络模型对样本数据的特征信息提取能力来实现，这个研究方向对硬件资源要求很高，一般在大型服务器或者云端部署；另一个研究方向就是降低网络模型的硬件资源消耗和计算复杂性，可以通过通过优化深度神经网络结构，模型裁剪与核稀疏化以及参数量化加速等方式来实现，这个研究方向具有很高的理论研究价值和应用价值，特别是当考虑在计算和存储资源首先的边缘设备和小型移动设备部署神经网络时[4]。

随着手机、平板电脑以及各种智能电子设备的普及，DNNs的大量应用场景不得不向嵌入式终端迁移，而如何在资源受限的边缘设备上部署DNNs网络就成为了亟待解决的问题，本次课题就是针对这个问题，结合软硬件两个角度提出了解决方案。

从软件算法角度出发，虽然模型裁剪[5-9]、稀疏化[10-11]以及参数量化加速[12-13]等方式均有所建树，但都收效甚微，因为神经网络中，卷积运算占了绝大多数计算量，所以通过优化网络结构设计来减少卷积计算量，是降低网络模型的硬件资源消耗和计算复杂性最有效的方法。而在此方向众多的研究成果中，Yoshua Bengiod提出的二值神经网络（BNNs）凭借其单比特神经元特性在众多的模型中脱颖而出。与其他优化方式不同，二值神经网络通过将每个神经元的比特数压缩到极限来满足受限的硬件开销，即BNN每层的输入、权重和激活层的每个元素都仅使用单个二值化的数值（0或者1，分别代表-1或+1）来表示[14]。

二值神经网络对于嵌入式应用具有如下的几个优势：（1）计算效率：二值网络具有极强的硬件友好性，通过将原先的32或者64比特的神经元映射到单比特，而原先的全精度运行也相应的映射为单比特的异或运算(xor)外加一个计“1”（pop-count）操作[16]，将计算效率提升了不止10倍[17]。从内存角度来说，使用单比特替代32比特的单精度浮点数或16比特的半精度浮点的使用，二值神经网络更是大幅度提升了内存的利用率和带宽[18]。（2）低硬件开销：由于硬件逻辑结构简单和极低的内存需求，二值神经网络的硬件开销远远小于其他的深度神经网络[19-20]。（3）能效比：因为其低硬件开销和功耗低等特性[21]，基于二值网络的硬件对移动设备的电池也是十分友好的。（4）鲁棒性：由于二值权重的空间离散性，二值神经网络具有更好的鲁棒性[22-23]。由于这些优势，二值神经网络已经被广泛运用，如自动驾驶[27]、智慧农业[24]、COVID面部识别[28]、图像增强[25]等[15]。

虽然二值神经网络具有以上优点，但是由于二值化过程中信息的丢失和模型的压缩，导致BNNs的精度损失也很严重。所以自从二值神经网络提出后，大量的研究人员也在致力于提高该网络的精度[29-38]。Yanfei Li等人结合了复数神经网络的研究成果，在2021年提出的二值复数神经网络便是其中一项重要的贡献[15]。

Chiheb Trabelsi等人提出的复数神经网络（DCN）的提出本意在于修正普通的DNNs网络[39]。因为大多数DNNs网络都是采用实数来表示输入和权重，与复数网络（输入、输出和权重都是用复数来表示）相比，不论是表示能力、泛化能力还是抗噪声能力都略逊一筹[40]。大量的实验结果也证明了在相同大小的网络中，复数网络具有更高的准确性。且另一个引人注目的优势便在于复数网络可以携带相位信息，在声波的傅里叶表示[42]，PolSAR图片[41]等应用中积极重要。

结合了二值神经网络和复数神经网络的二值复数神经网络既继承了BNN网络的计算效率、低硬件开销、高能效比、高鲁棒性等优势的同时，又结合DCN网络提高了BNN网络的精度[15]。在二值复数神经网络中，每层的输入、权重和输出都使用二值化的复数值来表示，{1+i,1-i,-1+i,-1-i}中某一个，即每个神经元使用双比特来表示（一个表示实数部分，另一个表示虚数部分）。与BNN网络相同，二值复数卷积操作依旧可以使用xor-popcount运算替代了大量的乘加计算。

我们在上文中从软件角度出发，提出了二值复数神经网络这一方案，来解决如何将DNNs部署到边缘设备这一问题，下面我们将从硬件角度开始分析。深度神经网络起初研究时都是在计算机通用处理器（CPU）上实现的，但随着卷积神经网络层数不断增加，需要处理的数据量不断膨胀，由于“冯诺依曼瓶颈”现有的CPU已经无法满足需求。后面不论是NVIDA提出的图形处理器（GPU）[44]还是Geogle提出的张量处理器（TPU）[45]，虽然数据的处理速度和吞吐量不断增加，但是其功耗高、体积大、价格贵等缺点，注定无法应用到边缘设备上。所以为了满足边缘终端设备低成本、低功耗和高计算能力等需求，就必须要设计神经网络的专用加速器才可以，而当下只有专用集成电路（ASIC）和可编程逻辑门阵列（FPGA）两种方式来物理实现专用加速器。二者相较，虽然ASIC面积小，功耗低，但是其灵活性差、开发周期长和设计成本高等缺点又无法满足迭代速度极快的人工智能算法，所以FPGA更受国内外研究学者的青睐，广泛应用在卷积神经网络的加速中[46]。我们本次设计的加速器也将采用FPGA来实现。

综上所述，为了解决将DNNs部署到边缘终端设备这一问题，我们结合软硬件角度两个角度，提出了设计二值复数神经网络的专用加速器，并通过FPGA实现这一解决方案。且目前为止，虽然二值复数神经网络的算法层面的研究已经逐步展开，而针对二值卷积神经网络的加速器的研究工作还没有完全开展，我们的工作刚好弥补了这一空缺。

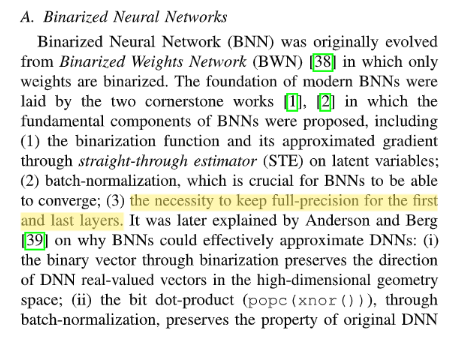
## 研究现状

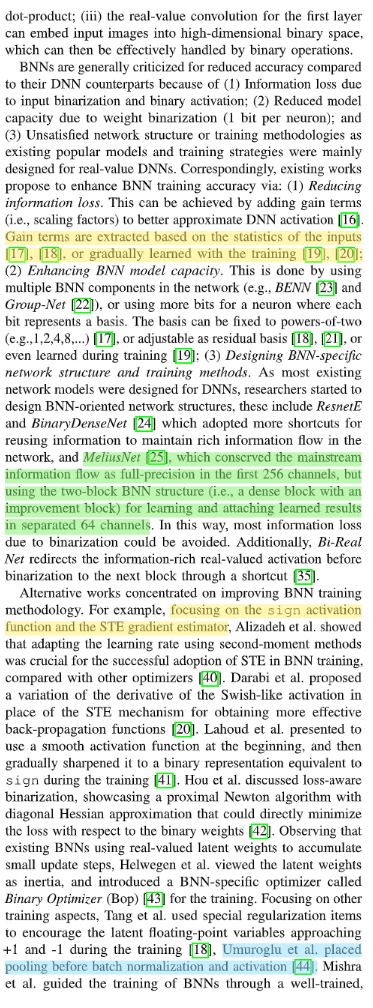
### 二值复数神经网络的研究现状

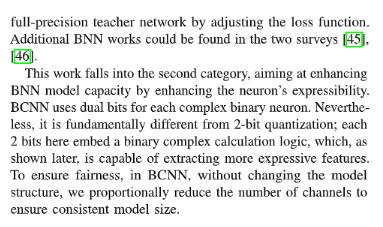
二值复数神经网络的发展时间较短，由浙江大学的Yanfei Li等人在2021年首次提出，所以面向该网络的研究成果还不是很多。而二值复数神经网络紧密联系了二值神经网络和复数神经网络，故BCNNs的研究现状与二者是密不可分的，可以看作是二者拓展并交叉的新一领域，故讨论BCNN的研究现状自然也可等价为研究BNNs和DCNs两个神经网络的现状。

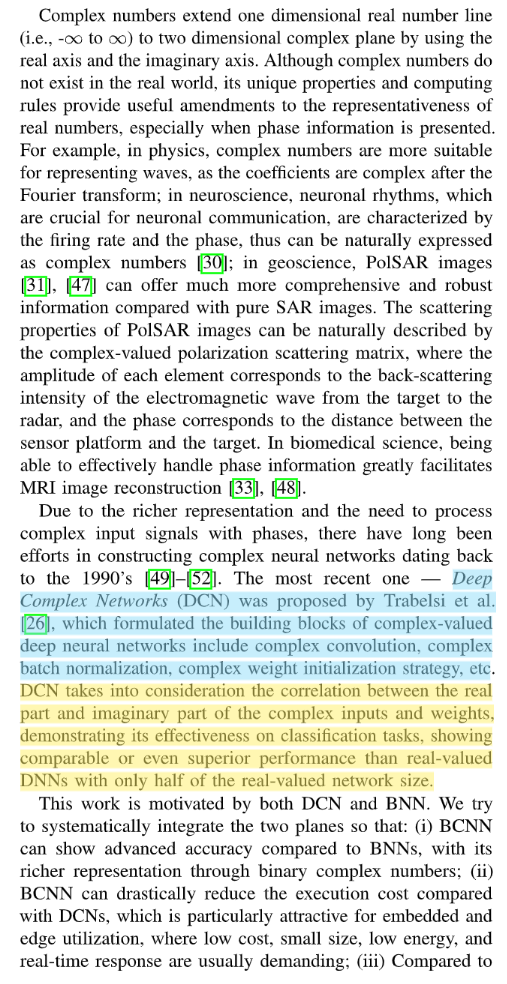
二值神经

M. Courbariaux I. Hubara

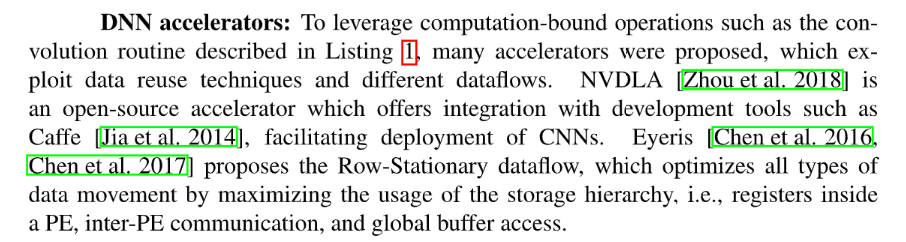


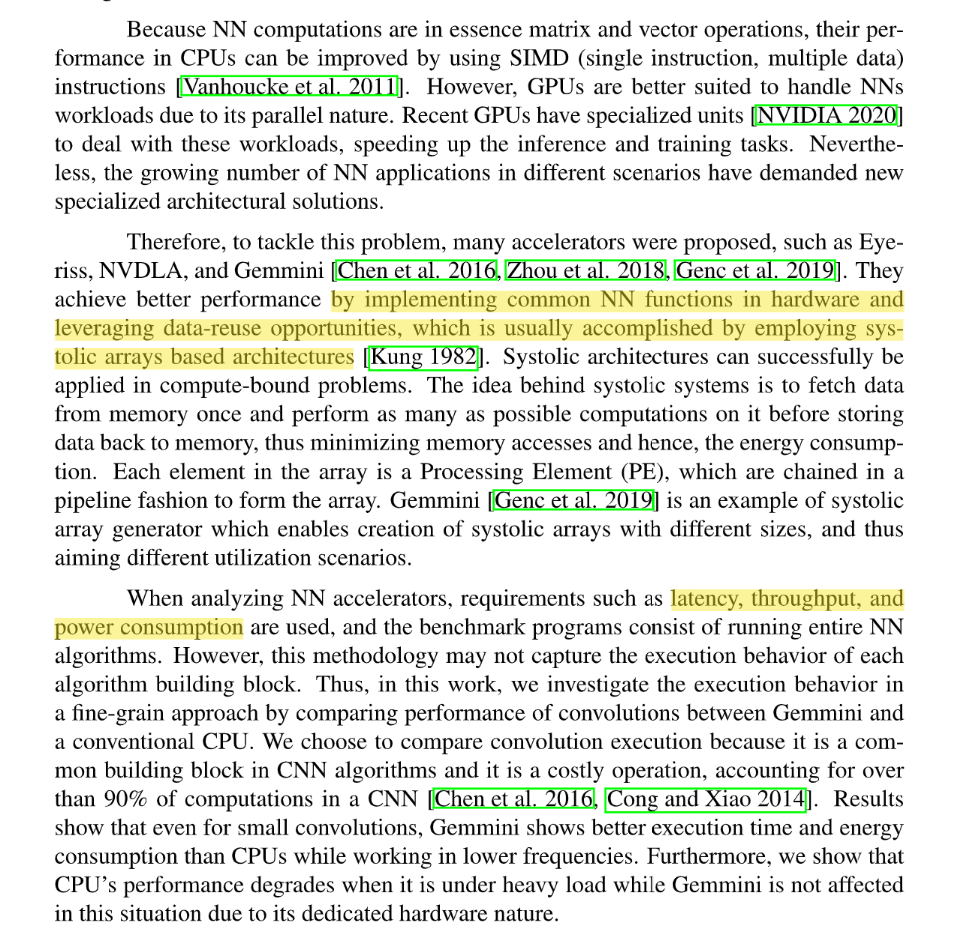


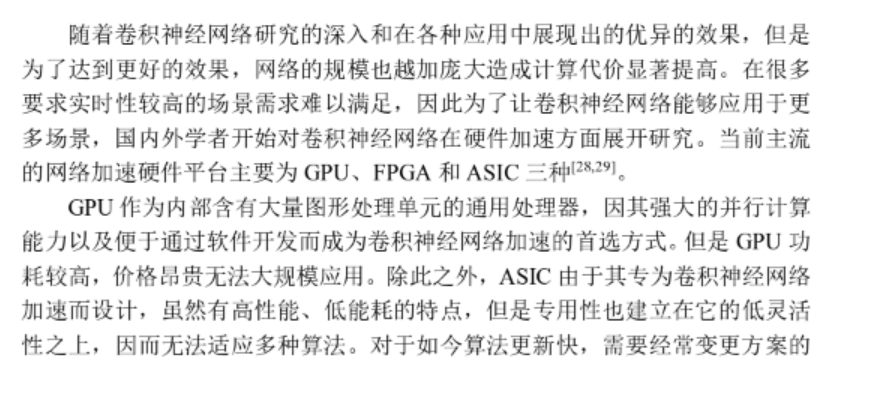


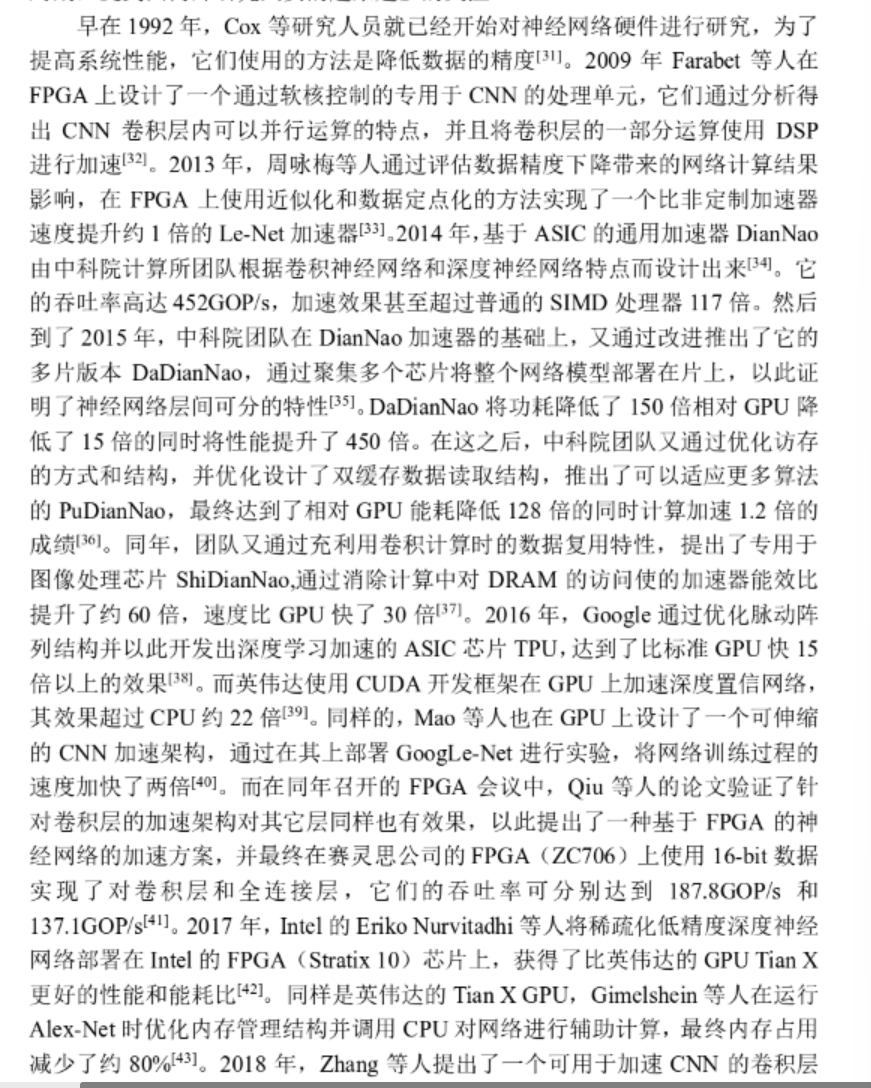


### 神经网络加速器的研究现状









## 本文主要研究内容

本文以将深度神经网络部署到嵌入式边缘设备中为目的，致力于解决深度卷积神经网络部署到边缘端设备时计算资源、存储资源占用过多等问题，结合软硬件协同设计思想，研究并设计了二值复数神经网络的专用加速器。与传统的算法专用加速电路不同，本次设计的专用加速器，不仅包括了针对二值复数神经网络加速任务的协处理器，还将其集成到一块完整的SOC中（其中包含RISC-V核Rocket,DRAM以及数据Cache等），并在此基础上实现了专用于协处理器的扩展指令，实现了“全栈式”的软硬件协同。

后续章节首先从卷积神经网络层面进行分析，研究卷积神经网络的相关概念，并分析不同数据流的脉动阵列是如何从硬件角度实现卷积神经网络的，其中包括weight-stationary和output-stationay两种数据流。之后从二值复数神经网络的算法层面着手分析，研究算法本身的并行结构、数据特点，以及二值复数的计算、象限二值化、batch normalization、二值化等操作，其中首要在于分析二值复数神经网络的具体模型以及各层功能与具体实现，并基于“软硬件协同”设计理念分别提出硬件实现方案。

在有了上述算法研究的基础上，我们将设计出适用于各类二值卷积神经网络算法的协处理器。基于“软硬件协同”思想，我们首先提出了协处理器的指令集架构，但是为了更好的说明该指令集架构，我们在文章中先对硬件设计进行说明；在硬件层面我们首先设计协处理器的数据通路并讨论数据通路的并行性，其次是协处理器的内存与数据存储方式设计，紧接着计算核心脉动阵列的设计，其中包含了复数的卷积运算实现和xor-popcount运算实现等，最后我们结合Yaman Umuroglu等人提出FINN框架中的”矩阵向量阈值单元（Matrix–Vector–Threshold Unit）”解决了二值复数神经网络中BN层计算复杂的问题[43]。

完成上述的协处理器设计后，我们将协处理器与主处理器进行集成，并提出了面向二值复数神经网络的加速器的系统硬件整体架构，并针对完成的SOC系统进行软件设计，即开发相应的C函数库，在此函数库的基础上我们进而完成了二值复数神经网络在Zero\_DCE++应用的软件实现。

将上一步使用C语言完成的软件算法编译并在我们设计的专用加速器上运行，这一步也相当于完成了加速器的功能仿真验证。完成相应的功能仿真后，在FPGA板上实现加速器硬件电路，并进行资源评估。

## 本文的章节安排

本论文利用“软硬件协同”设计思想，设计了面向二值复数神经网络的专用加速器系统电路和底层函数库，在软硬件的基础上实现了Zero\_DCE++算法。

以下是本文的章节结构安排：

1. 绪论：本章主要通过阐述二值神经网络和复数神经网络的研究背景和研究现状来引入对二值复数神经网络的研究，并结合对边缘端加速设备的研究提出了本次课题的主要研究内容，最后介绍了本文的章节安排和主要内容。
2. 本章主要为卷积神经网络和二值复数神经网络的理论概述，我们首先阐述了卷积神经网络的基本原理和硬件实现方法，其次我们重点说明了二值复数神经网络的组成、二值化原理和二值复数计算原理，最后我们又介绍了Zero\_DCE++算法的应用。
3. 本章主要针对二值复数神经网络设计了专用的协处理器，我们首先提出了本次协处理器设计的目标与架构，其次对数据通路和内存及其相关细节进行说明与设计，然后又利用脉动阵列实现了二值复数的卷积运算，最后我们设计矩阵向量阈值模块来实现BCNNs网络的BN层和sign函数。
4. 在第三章协处理器设计的基础上，本章进而实现了二值复数神经网络的专用加速器的系统设计。为此，我们首先介绍了RISC-V开源环境，包括开源处理器Rocket和协处理器Gemmini等，之后基于RISC-V的扩展指令集提出了本次设计的指令集架构，在此基础上我们提出并实现了BCNN网络的专用加速器的系统设计。在指令集架构的基础上，我们又完成了对加速器的软件系统的设计并通过软件库实现Zero\_DCE++算法。
5. 本章主要是对前面实现的专用加速器进行功能仿真与性能评估。首先在RTL级的加速器上实现Zero\_DCE++算法，并与计算机运行结果对比，评定本次设计的专用加速器是否可以准确的完成二值复数神经网络的加速任务；之后在FPGA板上实现本次设计的专用加速器电路，并进行性能与资源评估。
6. 总结与展望

# CNN与BCNN算法概述

## 引言

## 卷积神经网络原理

### 卷积神经网络原理概述

### 脉动阵列

## BCNN算法概述

### 二值复数及其计算

### 象限二值化

### 复数Batch Normalization

## Zero\_DCE++算法概述

## 本章小结

本章主要针对

# 面向BCNN算法的协处理器设计

## 引言

## 协处理器设计目标与架构

### 设计目标

### 设计架构

## 数据通路及其并行性设计

### 数据通路设计

### 并行性设计

## 内存设计及数据存储方式

### 内存设计

### 数据存储方式

## 脉动阵列设计

### Weight-stationary型脉动阵列

### 复数卷积运算单元设计

## Batch Normalization硬件设计

## 本章小结

# BCNN专用加速器的系统设计

## 引言

## RISC-V处理器及其协处理器

### 开源处理器Rocket概述

### 协处理器Gemmini概述

## 指令集（ISA）设计

### 数据移动指令

### 配置指令

### 配置指令

## 系统硬件架构设计

## 系统软件架构设计

## 本章小结

本章

# 仿真与性能评估

## 引言

## 功能仿真

## 性能评估

## 本章小结

# 总结与展望

## 本文主要内容及结论

## 本文的主要创新点

## 展望

# 致 谢

# 参考文献

[1] Lopez J M R, Heider K, Scheffran J. Frontiers of urbanization: identifying and

explaining urbanization hot spots in the south of Mexico City using human and

remote sensing[J]. Applied geography, 2017, 79: 1-10.

[2] 赵永强, 饶元, 董世鹏,等. 深度学习目标检测方法综述[J].中国图象图形学

报,2020,25(04):629-654.

[3] 侯宇青阳, 全吉成, 王宏伟. 深度学习发展综述[J].舰船电子工程,2017,37(04):5-9+111.

[4]冯佳玮. 基于FPGA的二值卷积神经网络加速研究与实现[D].哈尔滨理工大学,2022.DOI:10.27063/d.cnki.ghlgu.2022.000436.

[5]Li H,Kadav A,Durdanovic I,et al.Pruning filters for efficient convnets[J].arXiv preprint arXiv:1608.08710,2016.

[6]Luo J­H,Wu J.Autopruner:An end­to­end trainable filter pruning method for efficient deep model inference[J].Pattern Recognition,2020,107:107461.

[7]Hur C,Kang S.Entropy­based pruning method for convolutional neural networks[J].The Journal of Supercomputing,2019,75(6):2950–2963.

[8]Yao Y,Wu X,Zhang L,et al.Joint representation and truncated inference learning for correlation filter based tracking[C]//Proceedings of the European conference on computer vision(ECCV). 2018:552–567.

[9]Luo J­H,Zhang H,Zhou H­Y,et al.Thinet:pruning cnn filters for a thinner net[J].IEEE transactions on pattern analysis and machine intelligence,2018,41(10):2525–2538.

[10]Wen W,Wu C,Wang Y,et al.Learning structured sparsity in deep neural networks[C]//Proceedings of the 30th International Conference on Neural Information Processing Systems.2016:2082–2090.

[11]Jiang L,Zhang H,Yu L.Robust Time­Frequency Reconstruction by Learning Structured Sparsity[J]. arXiv preprint arXiv:2004.14820,2020.

[12]Tong and Wu Geng C,Tan C,FANG B,et al.CQNN:a CGRA­based QNN Framework[C]//2020 IEEE High Performance Extreme Computing Conference(HPEC).2020:1–7.

[13]Choi J,Chuang P I­J,Wang Z,et al.Bridging the accuracy gap for 2­bit quantized neural networks (qnn)[J].arXiv preprint arXiv:1807.06964,2018.

[14] Courbariaux M, Hubara I, Soudry D, et al. Binarized neural networks: Training deep neural networks with weights and activations constrained to+ 1 or-1[J]. ar Xiv preprint arXiv:1602.02830, 2016.

[15] Y. Li, T. Geng, A. Li, and H. Yu, “Bcnn: Binary complex neural network,” arXiv preprint arXiv:2104.10044, 2021.

[16] M. Courbariaux, I. Hubara, D. Soudry, R. El-Yaniv, and Y. Bengio,“Binarized neural networks: Training deep neural networks with weights and activations constrained to+ 1 or-1,” arXiv preprint arXiv:1602.02830,2016.

[17] A. Li, T. Geng, T. Wang, M. Herbordt, S. L. Song, and K. Barker,“Bstc: A novel binarized-soft-tensor-core design for accelerating bit-based approximated neural nets,” in Proceedings of the International Conference for High Performance Computing, Networking, Storage and Analysis, 2019, pp. 1–30.

[18] A. Li and S. M. Su, “Accelerating binarized neural networks via bit-tensor-cores in turing gpus,” IEEE Transactions on Parallel and Distributed Systems, 2020.

[19] T. Geng, T. Wang, C. Wu, C. Yang, W. Wu, A. Li, and M. C. Herbordt,“O3bnn: An out-of-order architecture for high-performance binarized neural network inference with ﬁne-grained pruning,” in Proceedings of the ACM International Conference on Supercomputing, 2019, pp.461–472.

[20] T. Geng, A. Li, T. Wang, C. Wu, Y. Li, R. Shi, W. Wu, and M. Herbordt,“O3bnn-r: An out-of-order architecture for high-performance and regu-larized bnn inference,” IEEE Transactions on Parallel and Distributed Systems, vol. 32, no. 1, pp. 199–213, 2020.

[21] T. Geng, T. Wang, C. Wu, C. Yang, S. L. Song, A. Li, and M. Herbordt,“Lp-bnn: Ultra-low-latency bnn inference with layer parallelism,” in 2019 IEEE 30th International Conference on Application-speciﬁc Systems,Architectures and Processors (ASAP), vol. 2160. IEEE, 2019, pp. 9–16.

[22] N. Narodytska, “Formal analysis of deep binarized neural networks.” in IJCAI, 2018, pp. 5692–5696.

[23] N. Narodytska, S. Kasiviswanathan, L. Ryzhyk, M. Sagiv, and T. Walsh,“Verifying properties of binarized deep neural networks,” in Proceedings of the AAAI Conference on Artiﬁcial Intelligence, vol. 32, no. 1, 2018.

[24] C.-H. Huang, “An fpga-based hardware/software design using binarized neural networks for agricultural applications: A case study,” IEEE Access, vol. 9, pp. 26 523–26 531, 2021.

[25] Y. Ma, H. Xiong, Z. Hu, and L. Ma, “Efﬁcient super resolution using binarized neural network,” in Proceedings of the IEEE/CVF Conference on Computer Vision and Pattern Recognition Workshops, 2019, pp. 0–0.

[26] C. Ma, Y. Guo, Y. Lei, and W. An, “Binary volumetric convolutional neural networks for 3-d object recognition,” IEEE Transactions on Instrumentation and Measurement, vol. 68, no. 1, pp. 38–48, 2018.

[27] G. Chen, H. Meng, Y. Liang, and K. Huang, “Gpu-accelerated real-time stereo estimation with binary neural network,” IEEE Transactions on Parallel and Distributed Systems, vol. 31, no. 12, pp. 2896–2907, 2020.

[28] N. Fasfous, M.-R. Vemparala, A. Frickenstein, L. Frickenstein, and W. Stechele, “Binarycop: Binary neural network-based covid-19 face-mask wear and positioning predictor on edge devices,” arXiv preprint arXiv:2102.03456, 2021.

[29] M. Rastegari, V. Ordonez, J. Redmon, and A. Farhadi, “Xnor-net:Imagenet classiﬁcation using binary convolutional neural networks,” in European conference on computer vision. Springer, 2016, pp. 525–542.

[30] S. Zhou, Y. Wu, Z. Ni, X. Zhou, H. Wen, and Y. Zou, “Dorefa-net: Training low bitwidth convolutional neural networks with low bitwidth gradients,” arXiv preprint arXiv:1606.06160, 2016.

[31] W. Tang, G. Hua, and L. Wang, “How to train a compact binary neural network with high accuracy?” in Thirty-First AAAI conference on artiﬁcial intelligence, 2017.

[32] X. Lin, C. Zhao, and W. Pan, “Towards accurate binary convolutional neural network,” in Advances in Neural Information Processing Systems, 2017, pp. 345–353.

[33] S. Darabi, M. Belbahri, M. Courbariaux, and V. P. Nia, “Bnn+: Improved binary network training,” arXiv preprint arXiv:1812.11800, 2018.

[34] M. Ghasemzadeh, M. Samragh, and F. Koushanfar, “Rebnet: Residual binarized neural network,” in 2018 IEEE 26th Annual International Sym-posium on Field-Programmable Custom Computing Machines (FCCM).IEEE, 2018, pp. 57–64.

[35] B. Zhuang, C. Shen, M. Tan, L. Liu, and I. Reid, “Structured binary neural networks for image recognition,” arXiv preprint arXiv:1909.09934,2019.

[36] J. Bethge, C. Bartz, H. Yang, Y. Chen, and C. Meinel, “Meliusnet:An improved network architecture for binary neural networks,” in Proceedings of the IEEE/CVF Winter Conference on Applications of Computer Vision, 2021, pp. 1439–1448.

[37] S. Zhu, X. Dong, and H. Su, “Binary ensemble neural network: More bits per network or more networks per bit?” in Proceedings of the IEEE/CVF Conference on Computer Vision and Pattern Recognition,2019, pp. 4923–4932.

[38] J. Bethge, H. Yang, M. Bornstein, and C. Meinel, “Binarydensenet: developing an architecture for binary neural networks,” in Proceedings of the IEEE/CVF International Conference on Computer Vision Workshops, 2019, pp. 0–0.

[39] C. Trabelsi, O. Bilaniuk, Y. Zhang, D. Serdyuk, S. Subramanian, J. F.Santos, S. Mehri, N. Rostamzadeh, Y. Bengio, and C. J. Pal, “Deep complex networks,” arXiv preprint arXiv:1705.09792, 2017.

[40] S. Wisdom, T. Powers, J. R. Hershey, J. L. Roux, and L. At-las, “Full-capacity unitary recurrent neural networks,” arXiv preprint arXiv:1611.00035, 2016.

[41] Y. Cao, Y. Wu, P. Zhang, W. Liang, and M. Li, “Pixel-wise polsar image classiﬁcation via a novel complex-valued deep fully convolutional network,” Remote Sensing, vol. 11, no. 22, p. 2653, 2019.

[42] H.-S. Choi, J.-H. Kim, J. Huh, A. Kim, J.-W. Ha, and K. Lee, “Phase-aware speech enhancement with deep complex u-net,” in International Conference on Learning Representations, 2018.

[43] Yaman Umuroglu,Nicholas J. Fraser,Giulio Gambardella,Michaela Blott,Philip Heng Wai Leong,Magnus Jahre,Kees A. Vissers. FINN: A Framework for Fast, Scalable Binarized Neural Network Inference.[J]. CoRR,2016,abs/1612.07119.

[44]."Patents; Researchers Submit Patent Application, "Database Acceleration Using Gpu and Multicore Cpu Systems and Methods", for Approval." Computer Weekly News .(2012).

[45] Norman P. Jouppi, et al."In-Datacenter Performance Analysis of a Tensor Processing Unit." ACM SIGARCH Computer Architecture News 45.2(2017). doi:10.1145/3140659.3080246.

[46] 贾雁.2020年中国FPGA芯片行业研究报告[R].江苏省苏州市:头豹研究院,2020.

# 附录1 攻读硕士学位期间取得的学术成果

# 附录2 部分程序代码