



life.augmented



用于USB PD的65W有源钳位反激式适配器方案

Mike Chen 陈伟

工业电源及能源技术创新中心

意法半导体 亚太区

Power & Energy
Competence
Center



1 USB PD适配器发展

2 USB PD适配器中使用的拓扑

3 ACF控制方法

4 ST 65W ACF USB PD适配器

5 氮化镓 (GaN)在电源中的应用

6 ST MasterGaN简介

7 65W 方案关键测试结果和设计注意事项

8 采用MasterGaN的意法半导体解决方案



USB PD适配器的的发展



功率等级增加

5W



65W



120W

*USB PD3.1扩展功率范围: 高达48V 240W

功率密度增加

5W/in³



20W/in³



30W/in³

开关频率增加

60kHz



150kHz

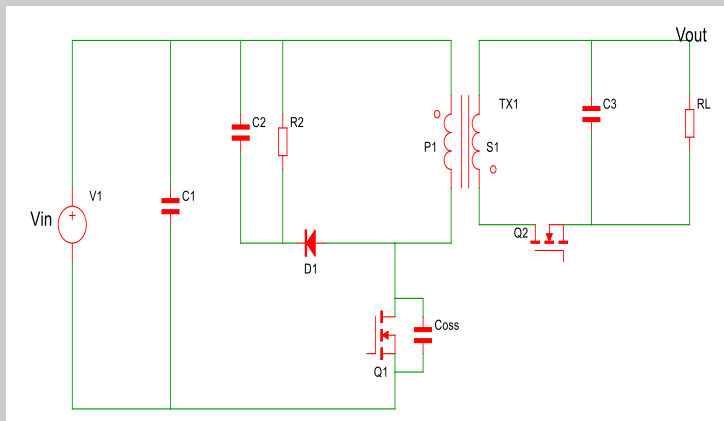


350kHz

USB PD适配器中使用的拓扑

拓扑

传统反激



工作原理

Stage1: Q1导通, Q2(SR)关断, 励磁电感电流增大储能
Stage2: Q1关断, Q2(SR)导通, 励磁电感能量转移至输出;
漏感能量被 R2/C2 吸收

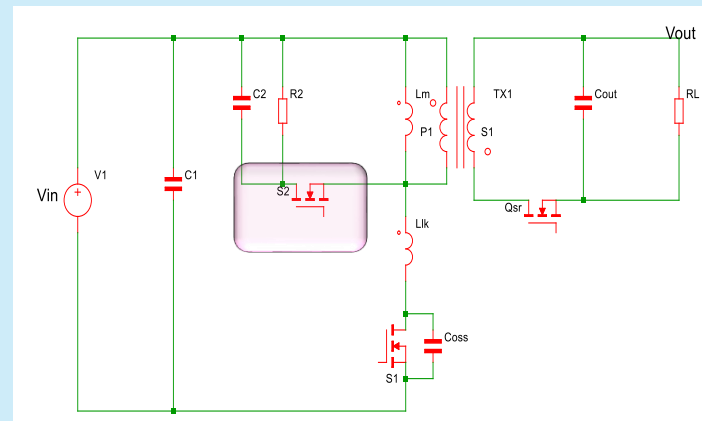
优点

低成本
方便设计

缺点

变压器漏感引起的高功率损耗和尖峰电压
主功率管的高开关损耗

有源钳位反激



Stage1: S1导通, S2和Qsr关断, 励磁电感电流增大储能
Stage2: S1关断, Qsr导通, 励磁电感能量转移至输出;
同时S2导通, 漏感能量转移至C2
Stage3: S2导通, C2中储存的能量给S1的 Coss放电以实现S1的ZVS

漏感的能量被循环利用
实现了ZVS, 开关损耗降至最低 → 可实现高效率和高开关频率

增加钳位开关需要高压隔离驱动
增加了控制器的复杂程度

USB PD适配器中使用的拓扑

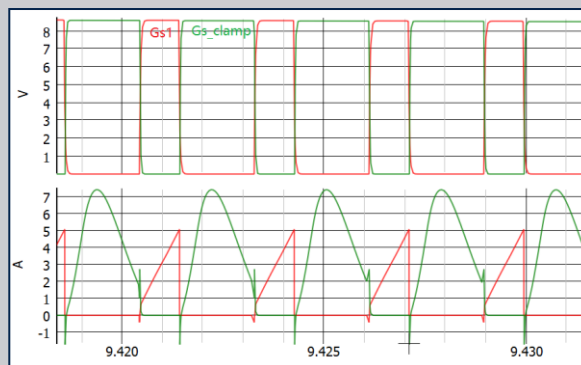
为符合EN61000-3-2欧洲标准，额定功率 $\geq 75W$ 的电源需要PFC



通常采用的拓扑	QR反激	ACF QR反激	PFC+LLC PFC+ACF PFC+AHB
输出类型	1C 1A1C	1C 1A1C 2A1C	2C1A 2A1C 2A2C
功率密度	0.3W~1W/CC	0.7W~1.5W/CC	0.5W-1W/CC

ACF控制方法

典型波形



控制原理

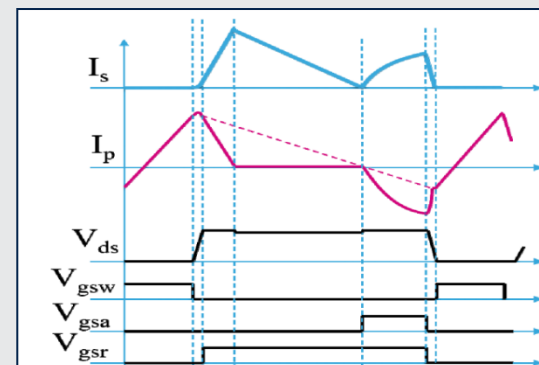
互补式

工作方式

钳位开关和主开关互补导通

特性

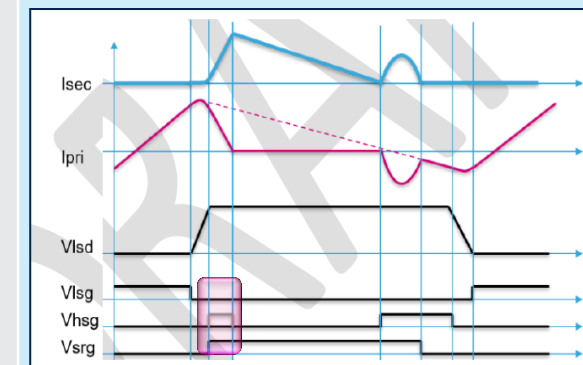
- ZVS



经典
非互补

钳位开关副边电流过零开启一次

- ZVS
- 降低钳位开关的RMS电流



ST采用了新的
非互补式控制

钳位开关开启两次:

- 主开关关断后
- 副边电流过零
- ZVS
- 降低钳位开关的RMS电流
- 降低钳位开关的反向导通损耗
- 特别适合GaN应用场合



应用MasterGaN2的65W ACF方案

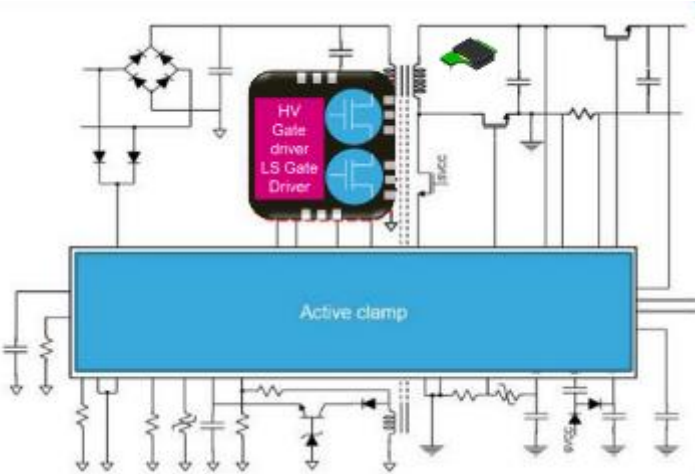
使用平面变压器技术的65W有源钳位反激式变换器
推出时间：Q4/21



- 输入电压：90VAC到264 VAC的交流，47Hz到63Hz
- 输出电压：Type-C输出5 VDC-20 VDC
- 输出功率：最大65W
- 效率：满足CoC Tier 2和DoE 6级效率要求
- 符合EMC标准：CISPR22B / EN55022B
- 支持USB-PD、PPS、SCP、FCP和QC协议

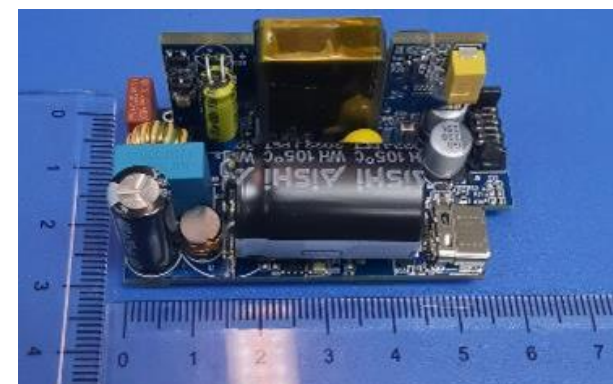
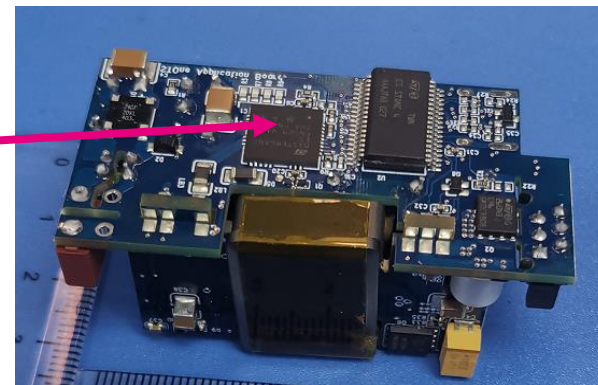
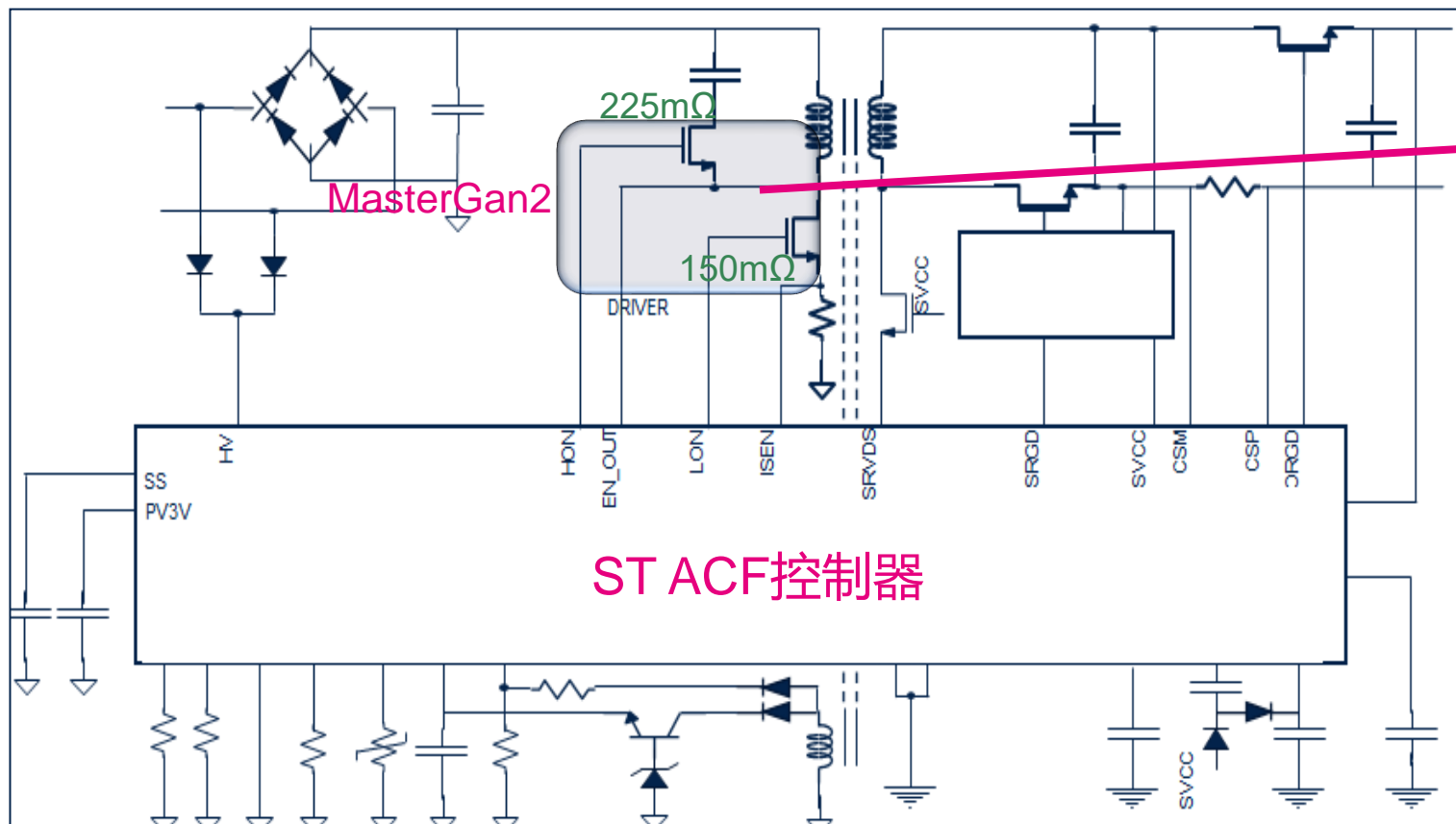


关键器件	
ACF控制器	ACF专用数字控制器
MasterGaN2	集成2个GaN管及其驱动电路的IC
STL90N10F7	PowerFLAT 5x6 封装 100V SR MOSFET
STL260N4LF7	PowerFLAT 5x6 封装低压MOSFET

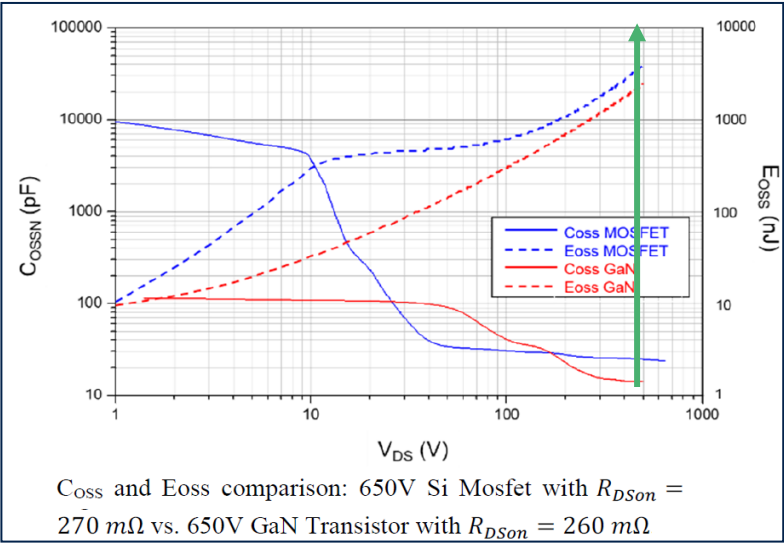


- 高开关频率实现高功率密度 >30W/inch³
- 有效减小器件数量
- 非常紧凑且简便的PCB布局

65W ACF主拓扑



GaN vs.硅基晶体管



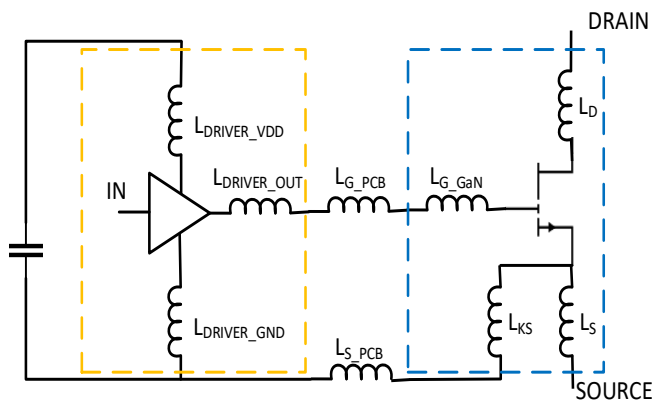
- 氮化镓 (GaN) - 宽带隙 (WBG) 材料
- GaN HEMT-高电子迁移率晶体管，代表着电力电子技术的重大进步
- 用于更高频的工作
- 提高效率
- 与硅基晶体管相比，功率密度更高

特征	GaN	硅	注释
Qg-栅极电荷	低	高	驱动损耗更低，频率和效率更高
Coss-输出电容	低	高	开关损耗更低，频率和效率更高
Qrr-反向恢复电荷	低	高	GaN适用于更高的频率和效率要求的应用
Vgs-栅极电压	复杂	简单	GaN需要更出色的栅极驱动电路和PCB布局
Vsd-体二极管导通	高	低	GaN需要更好地控制死区时间

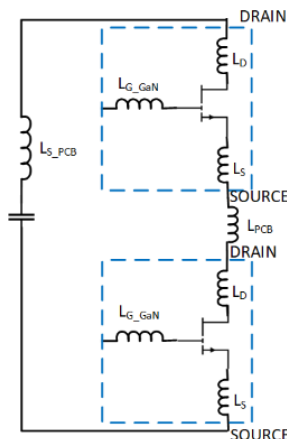
集成式GaN芯片的应用优势

分离式GaN解决方案

栅极驱动环路电感
包括Kelvin引脚

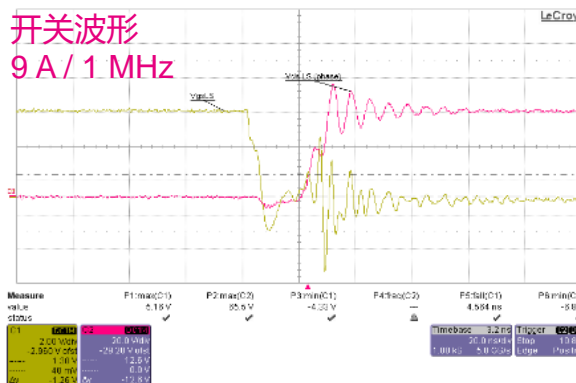


半桥结构中电源回路电感

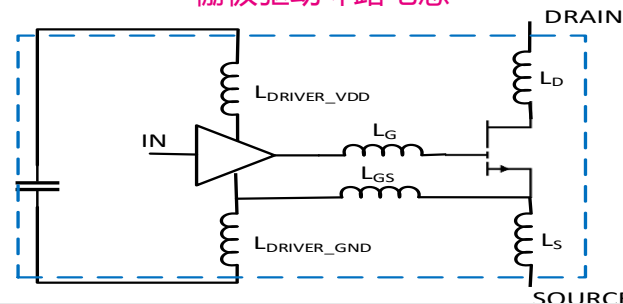


- 栅极驱动环路杂散电感会导致栅极振铃并增加误导通的可能性
- 电源回路杂散电感会导致更高的电压峰值

需要使用栅极泄放电阻和优化布局的多层PCB来减少上述影响。



栅极驱动环路电感



极低栅极驱动回路杂散电感

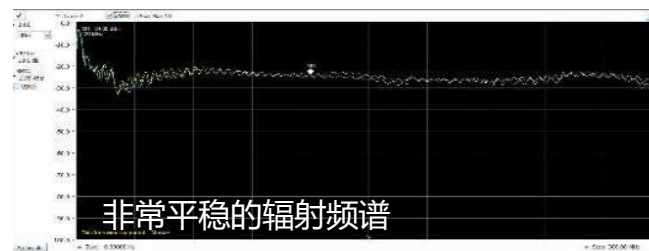
大幅减少Vgs振铃:

- 降低栅极结构上的应力 → 提高可靠性
- 降低驱动器输出的阻尼电阻 → 更快开关, 更低开关损耗

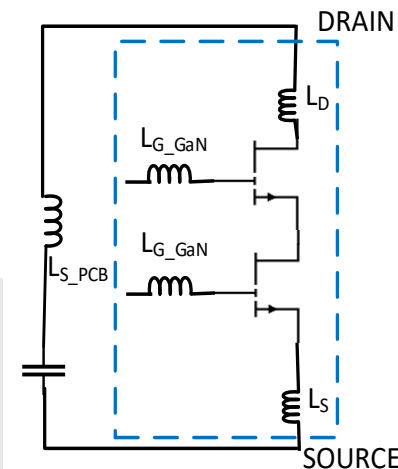
电源回路中的杂散电感较低

大幅减少Vds峰值:

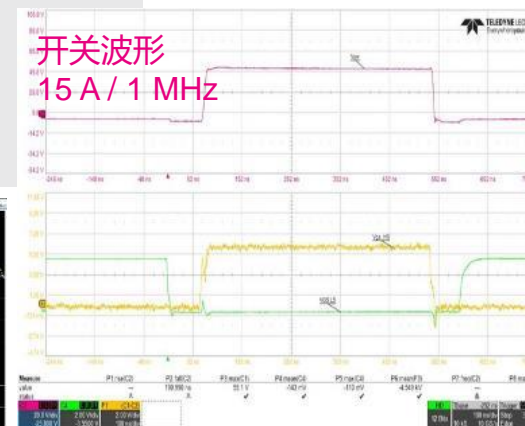
- 开关损耗较低
- EMI较低
- Vds电压应力较低



半桥结构中电源回路电感



开关波形
15 A / 1 MHz





集成GaN晶体管和驱动器



高效率



降低了功率损耗、功耗，
满足最严苛的能源要求

高功率密度



开关速度更快，
有助于降低系统尺寸和成本

市场投放
速度更快



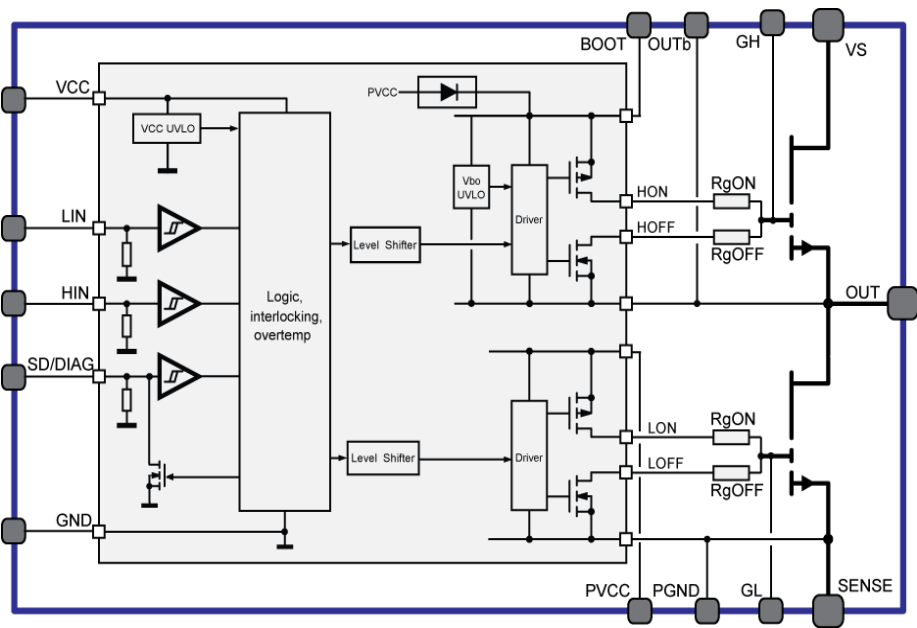
系统解决方案简化了设计
并提高了性能



MASTERGAN2

先进的电源解决方案
在半桥结构中集成了栅极驱动器和两个增强模式GaN管

已经量产



紧凑型

- 集成了功率GaN
- 嵌入式栅极驱动器可以由内部自举二极管轻松供电



VDS 600 V
RDS_{ON} 150 mΩ (LS)
+ 225 mΩ (HS)
IDS_{MAX} 10 A (LS) + 6.5 A (HS) (@25°C)

可靠

- 上下驱动部分都有UVLO保护，防止电源开关在低效率或危险条件下运行
- 互锁功能避免上下管直通
- 过温保护

方便设计

- 采用GQFN 9x9 mm²封装的智能解决方案
- 输入引脚扩展范围-3.3至15 V，具有滞回和下拉功能：方便与微控制器、DSP或霍尔传感器连接
- 使能功能专用引脚
- 精确的内部时序控制



GQFN 9x9 mm²
引脚到引脚可扩展



MASTERGAN*平台

业界首款集成600 V半桥驱动器的解决方案
使用GaN HEMT：紧凑、灵活且易于设计应用

MasterGaN3

大规模量产



可到45 W

225mΩ + 450mΩ
非对称HB结构

MasterGaN2

大规模量产



可到65 W

150mΩ + 225mΩ
非对称HB结构

MasterGaN5

大规模量产



可到100 W

450mΩ + 450mΩ
对称HB结构

MasterGaN4

大规模量产



可到200 W

225mΩ + 225mΩ
对称HB结构

MasterGaN1

大规模量产



可到400W

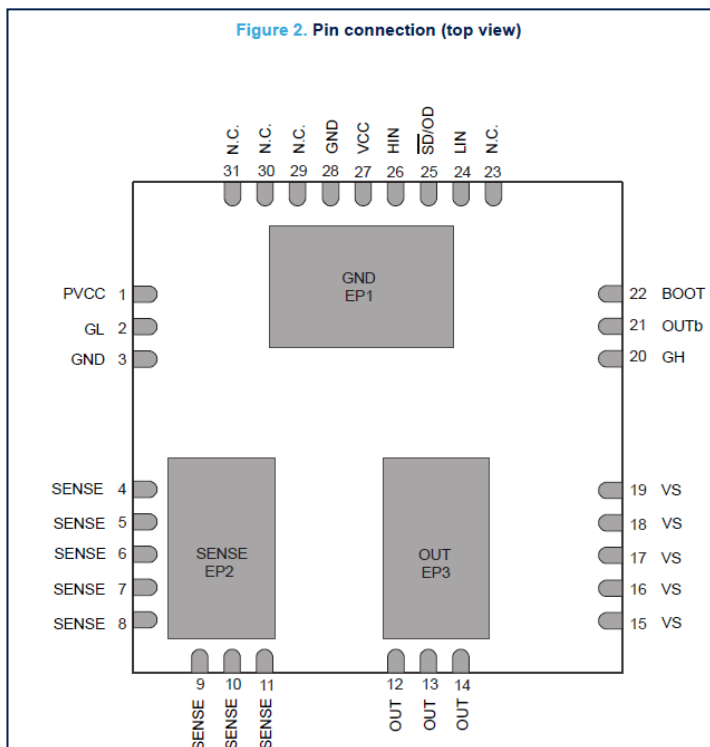
150mΩ + 150mΩ
对称HB结构

通常用于有源钳位反激

通常用于LLC谐振和有源钳位反激

MASTERGAN引脚排列



Figure 2. Pin connection (top view)



Pin Number	Pin Name	Type	Function
15, 16, 17, 18, 19	VS	Power Supply	High voltage supply (high-side GaN Drain)
12, 13, 14, EP3	OUT	Power Output	Half-bridge output
4, 5, 6, 7, 8, 9, 10, 11, EP2	SENSE	Power Supply	Half-bridge sense (low-side GaN Source)
22	BOOT	Power Supply	Gate driver high-side supply voltage
21	OUTb	Power Supply	Gate driver high-side reference voltage, used only for Bootstrap capacitor connection. Internally connected to OUT.
27	VCC	Power Supply	Logic supply voltage
1	PVCC	Power Supply	Gate driver low-side supply voltage
28, EP1	GND	Power Supply	Logic ground
3	PGND	Power Supply	Gate driver low-side driver reference. Internally connected to SENSE.
26	HIN	Logic Input	High-Side driver logic input
24	LIN	Logic Input	Low-Side driver logic input
25	SD/OD	Logic Input-Output	Driver Shutdown input and Over-Temperature
2	GL	Output	Low-Side GaN gate.
20	GH	Output	High-Side GaN gate.
23, 29, 30, 31	N.C.	Not Connected	Leave floating

65W ACF USB PD 适配器效率曲线

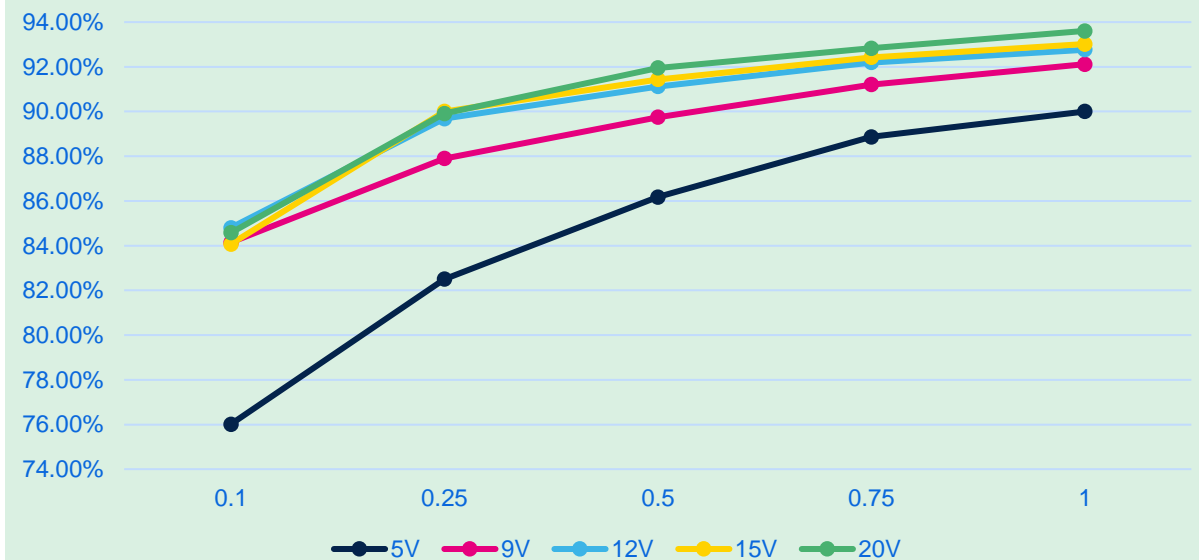
230Vac输入时候的效率-满足DoE 6级& CoC 二级能效要求

	% Loading	5V	9V	12V	15V	20V
EU CoC Rev.05-Tier2 Limit for 10% Loading		72.48%	77.30%	78.30%	78.85%	78.85%
230Vac 50Hz Input	10%	76.01%	84.14%	84.80%	84.07%	84.58%
	25%	82.50%	87.90%	89.68%	90.00%	89.91%
	50%	86.17%	89.74%	91.12%	91.43%	91.95%
	75%	88.86%	91.20%	92.19%	92.42%	92.83%
	100%	90.00%	92.11%	92.76%	93.01%	93.60%
Result-4 Points Average		86.88%	90.24%	91.44%	91.72%	92.07%
EU CoC Rev.05-Tier2 DoE Level VI		81.84%	87.30%	88.30%	88.85%	88.85%
WHERE						
						
Regulates power supplies shipping into the United States			Covers power supplies shipping into the EU			

VI DoE Level VI

CoC Tier 2

Efficiency at 230Vac Input



65W ACF USB PD适配器效率曲线

115Vac输入时候的效率-满足DoE 6级& CoC 二级能效要求

	% Loading	5V	9V	12V	15V	20V
EU CoC Rev.05-Tier2 Limit for 10% Loading		72.48%	77.30%	78.30%	78.85%	78.85%
115Vac 60Hz Input	10%	82.25%	84.92%	86.56%	86.45%	85.64%
	25%	87.74%	89.83%	90.73%	90.73%	90.45%
	50%	89.59%	91.32%	91.91%	91.89%	91.50%
	75%	90.47%	91.39%	92.25%	92.21%	91.80%
	100%	90.16%	91.90%	91.88%	91.95%	92.01%
Result-4 Points Average		89.49%	91.11%	91.69%	91.70%	91.44%
EU CoC Rev.05-Tier2 DoE Level VI		81.84%	87.30%	88.30%	88.85%	88.85%

WHERE



Regulates power supplies shipping into the United States



Covers power supplies shipping into the EU



life.augmented

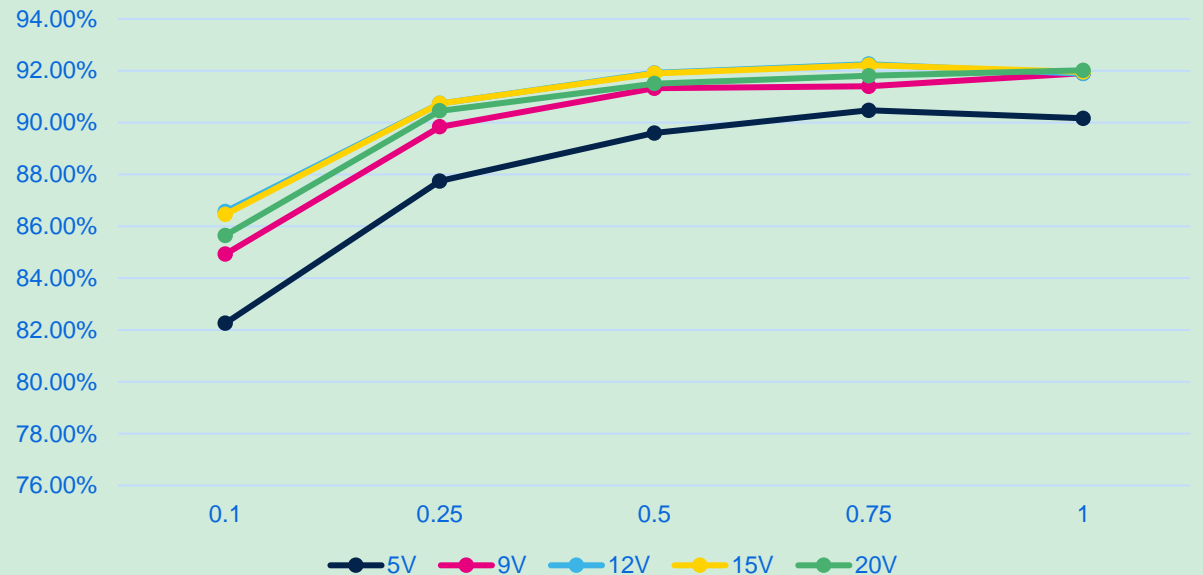


DoE Level VI



CoC Tier 2

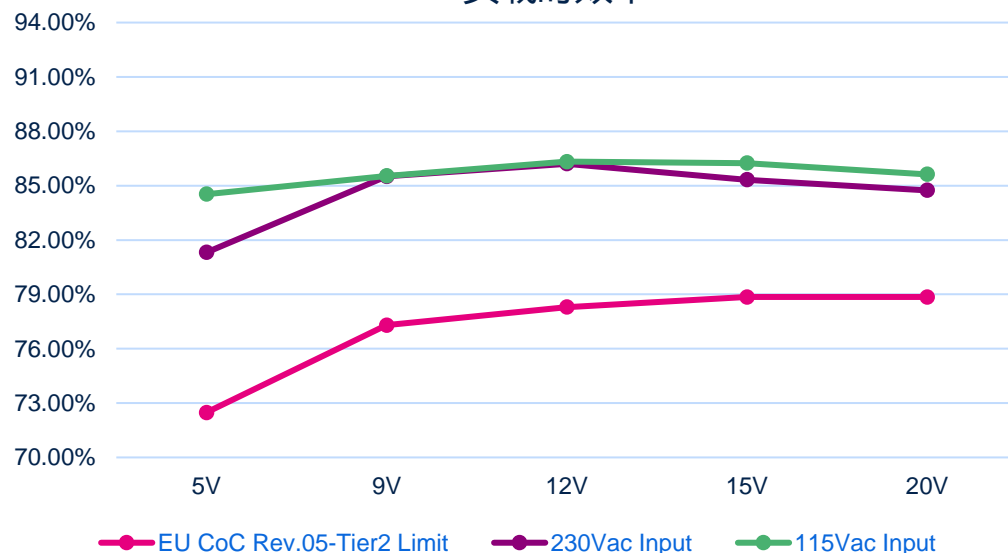
Efficiency at 115Vac Input



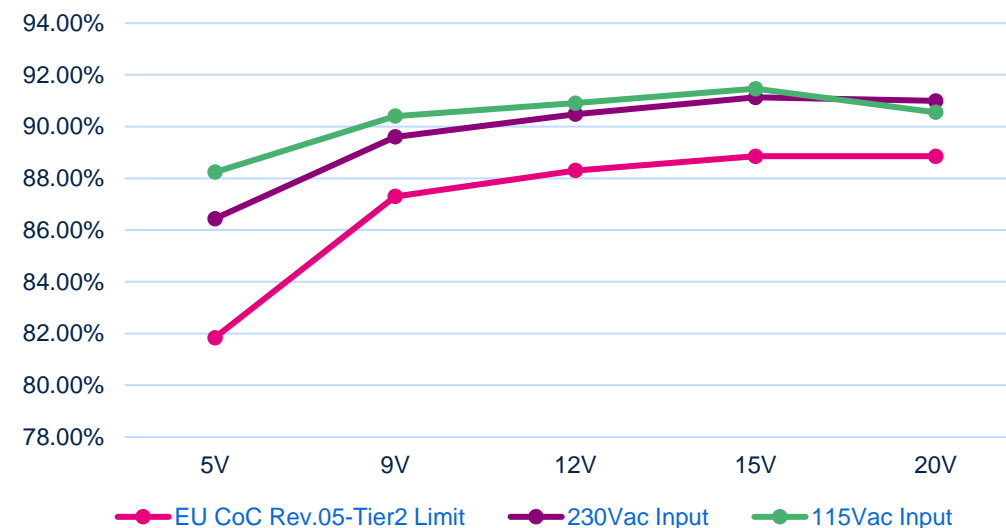
65W ACF USB PD适配器效率曲线

实际效率vs.DoE 6级& CoC 二级能效要求

10% 负载时效率

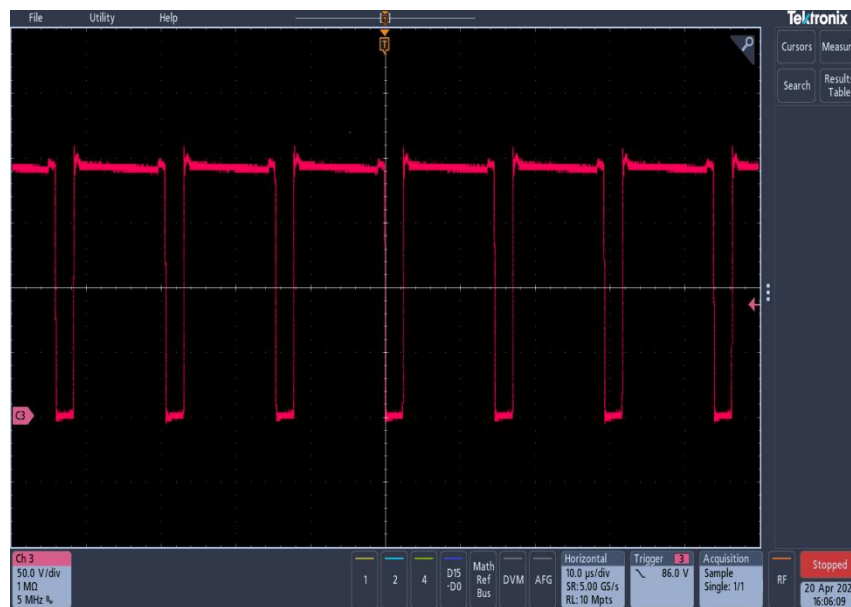


4 点平均效率

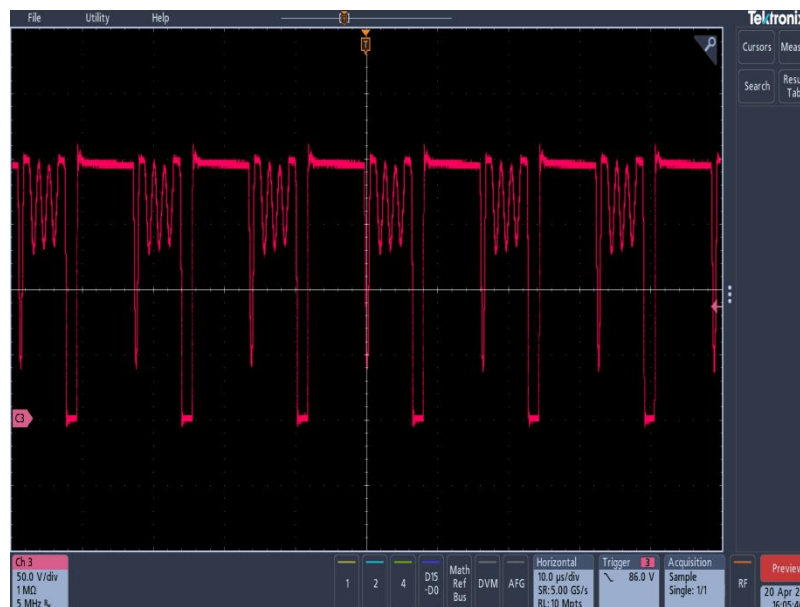


65W ACF USB PD适配器典型波形

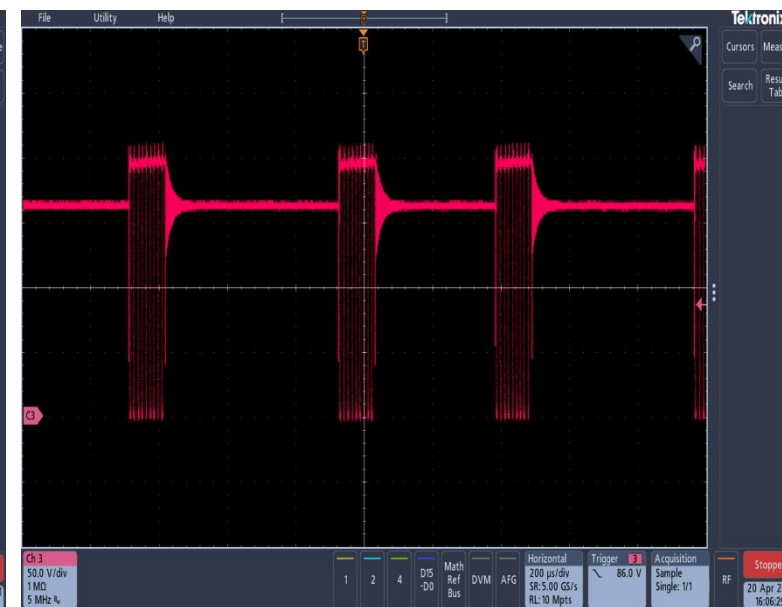
ACF在轻载时工作在Valley Skipping及Burst模式，以提高轻载效率



正常工作



Valley Skipping模式



Burst模式

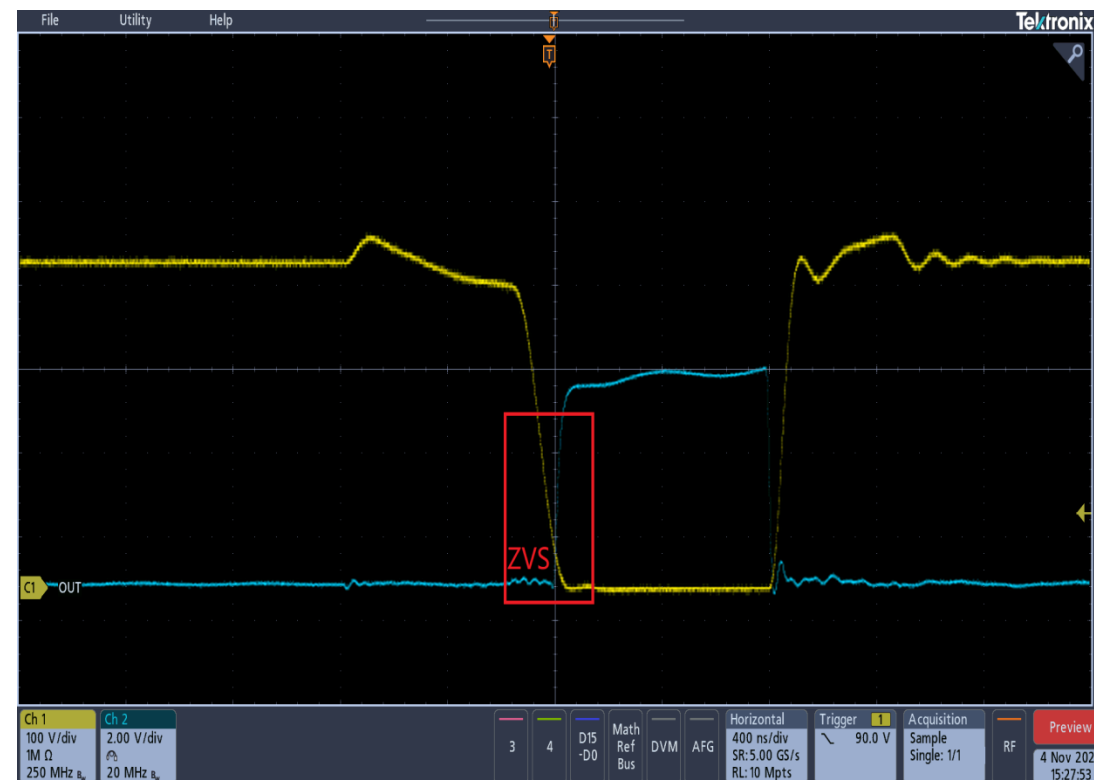
从满载到轻载

65W ACF USB PD适配器典型波形

230VAC 20V/1.5A



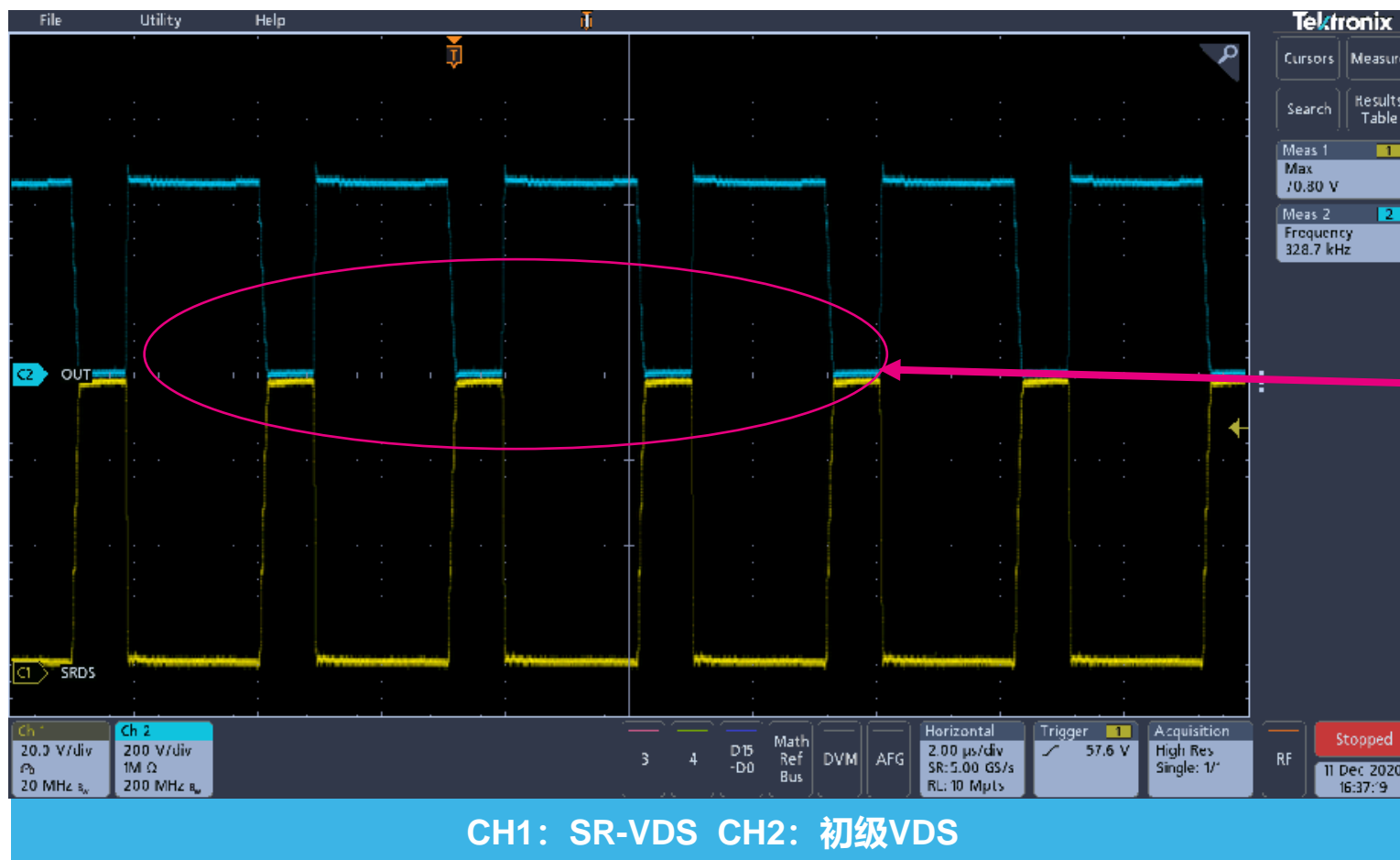
初级GaN波形



初级GaN ZVS波形

65W ACF USB PD适配器典型波形

230VAC 20V/3.25A



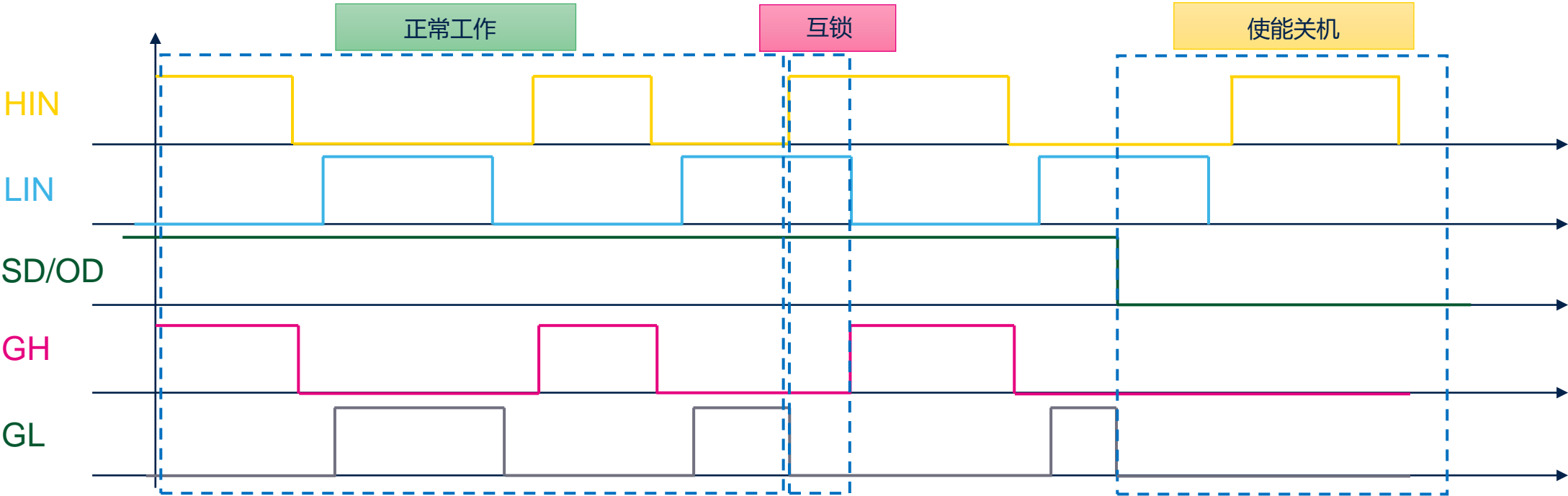
- SR MOSFET无振荡
- 最大应力为:
 $V_{in} \cdot 1.414/n + V_{out} = 82V$
- 可以使用100Vds MOSFET

MASTERGAN栅极驱动逻辑输入——真值表

- 使能输入端
- 正常工作配置
- 互锁

Input pins			GaN transistors status	
$\overline{\text{SD}}/\text{OD}$	LIN	HIN	LS	HS
L	X	X	OFF	OFF
H	L	L	OFF	OFF
H	L	H	OFF	ON
H	H	L	ON	OFF
H	H	H	OFF	OFF

1. X: Don't care



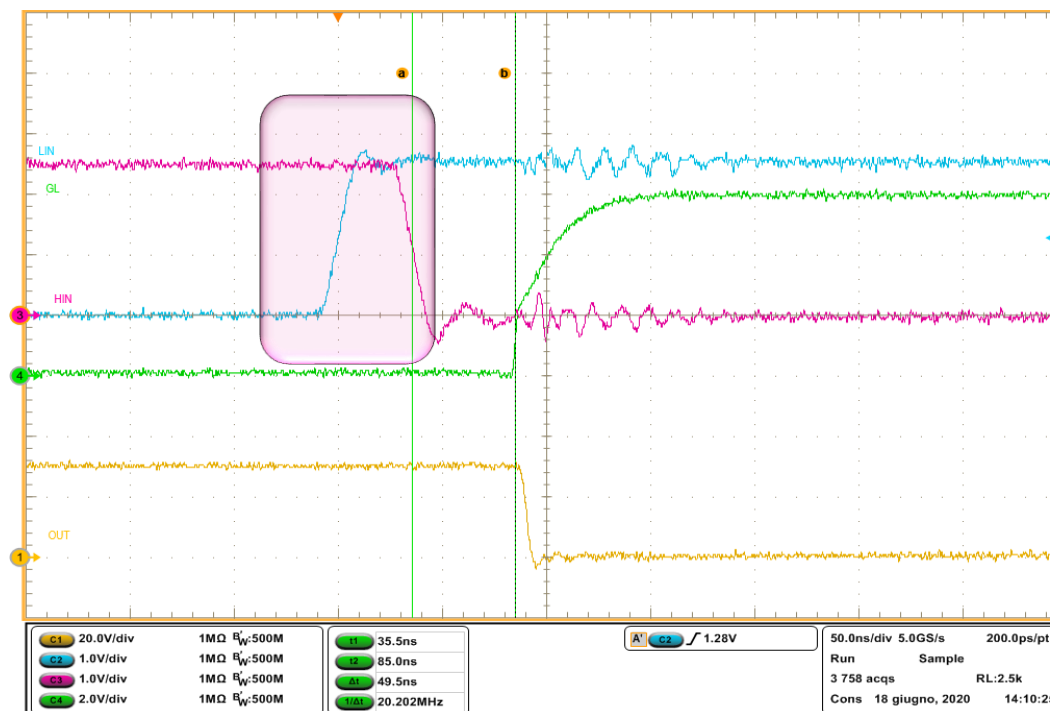
逻辑输入 – 互锁

MASTERGAN互锁功能可防止上下管同时导通



正常情况下，HIN和LIN同时为高的情形不会出现

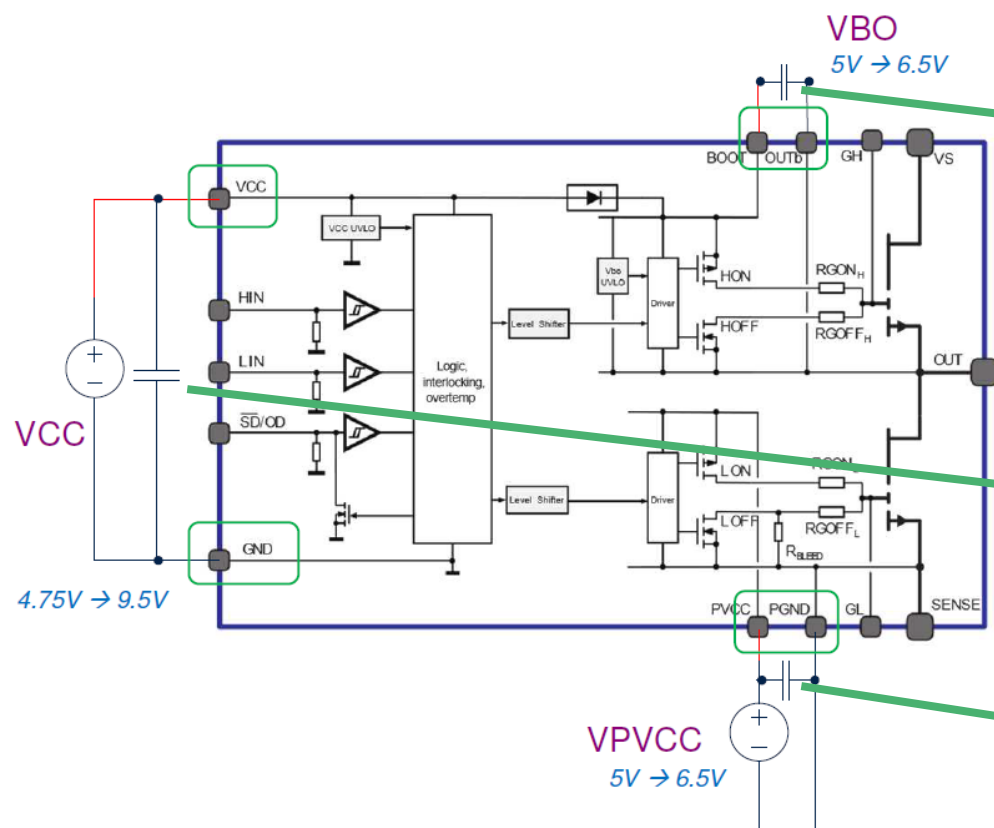
HIN
LIN
GL
OUT



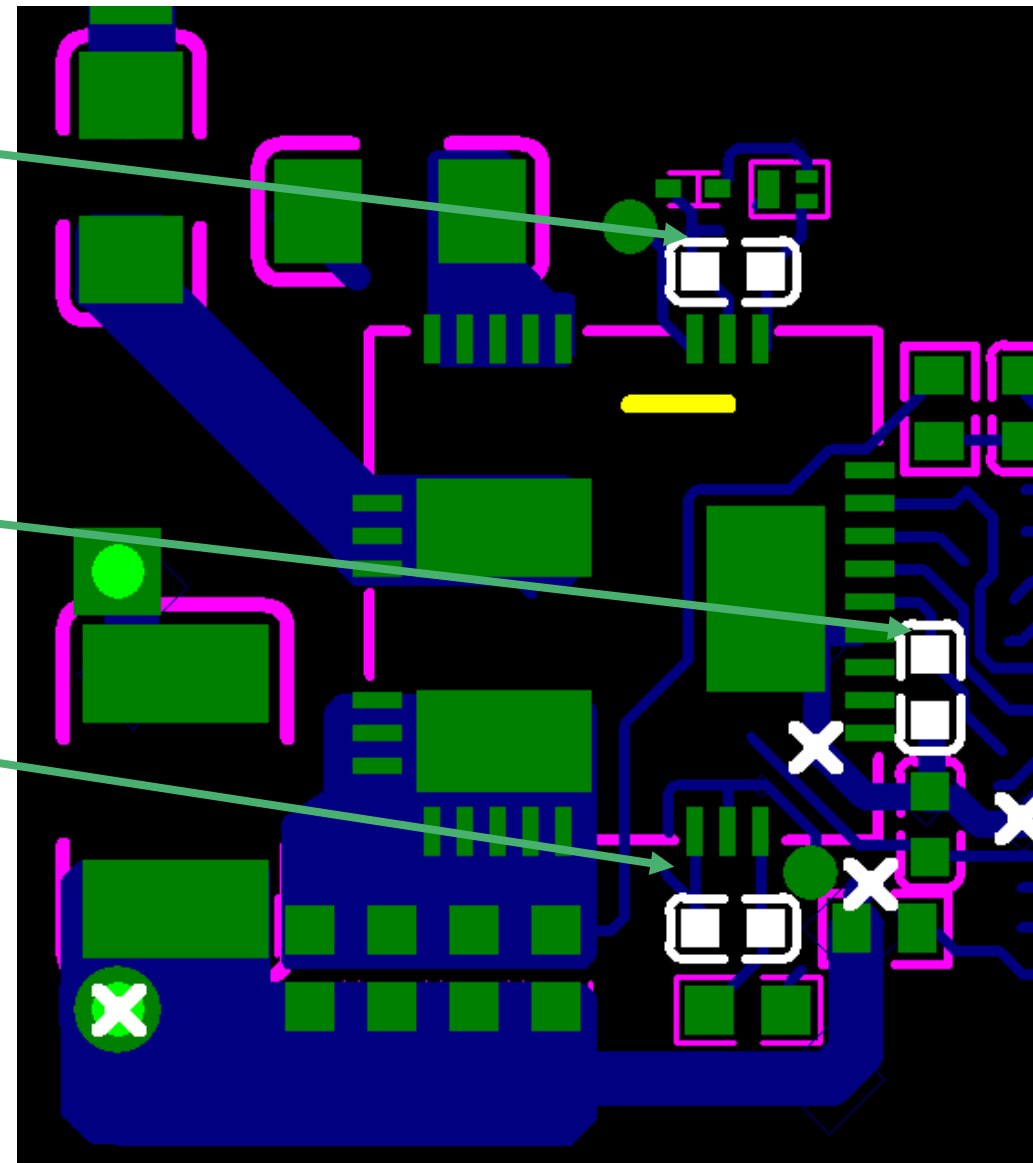
高亮区域中的HIN和LIN都为高→互锁
GL和GH低

- 当互锁条件应用于输入时，驱动在T（OFF）后关闭
- 当互锁条件解除时，驱动在T（OFF）之后应用于输出

防止噪声的PCB布局技巧

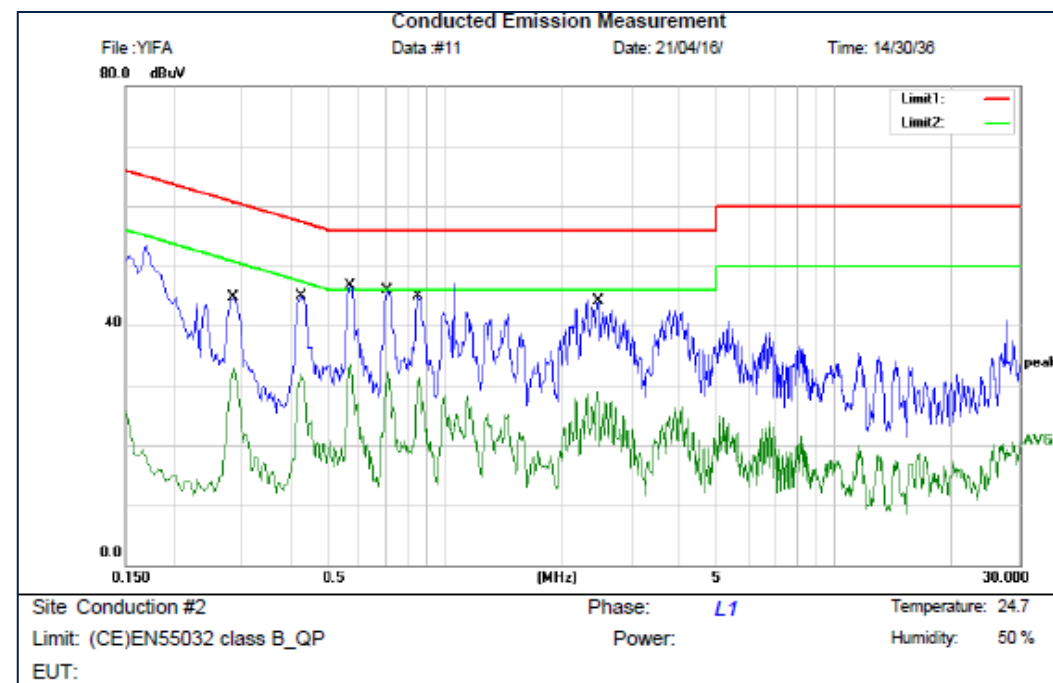
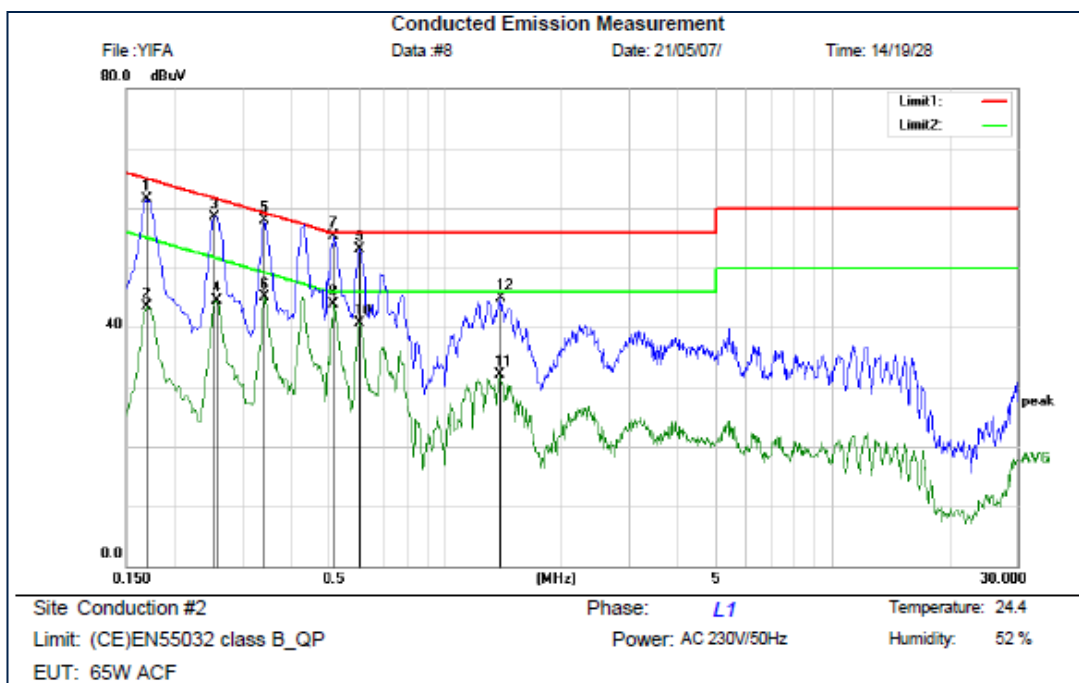


VCC滤波电容器置于VCC-GND引脚附近

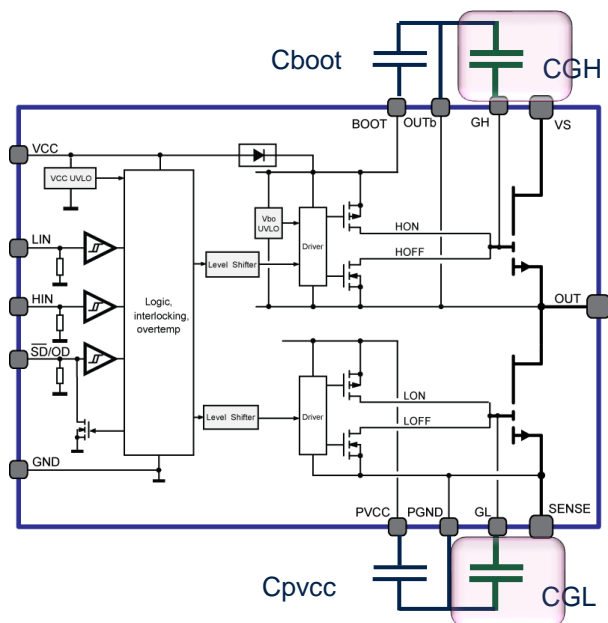


在功率变换器的设计过程中，输出引脚中点dv/dt的调整非常重要

- 减少EMI
- 当寄生参数不能进一步减小时，避免不必要的振荡
- 降低二次侧应力



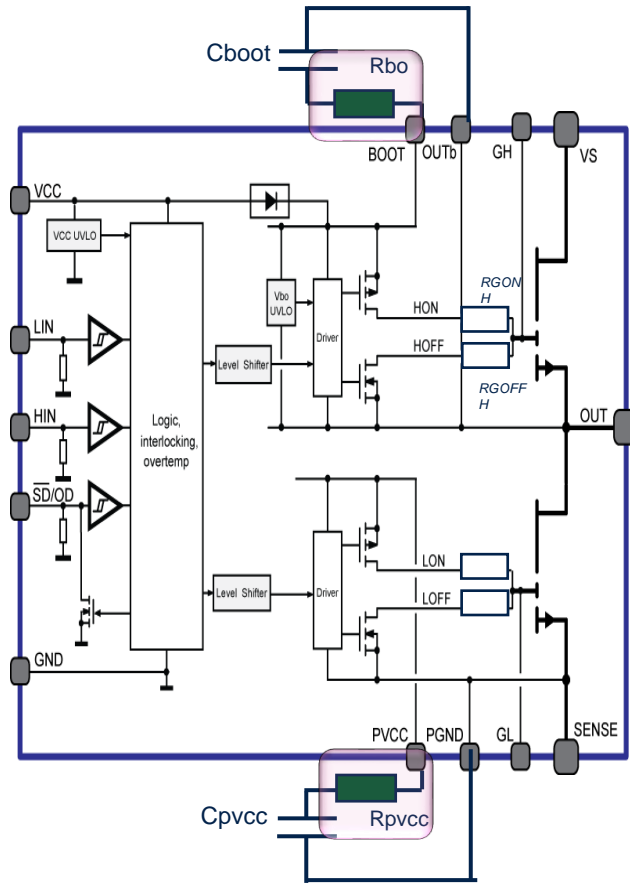
在GaN栅上增加电容器



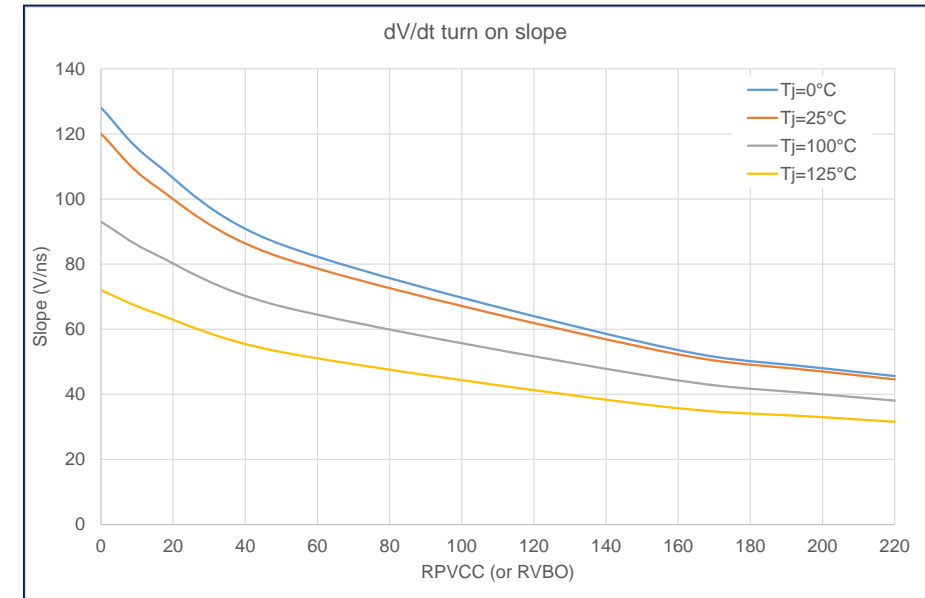
- 在GL (GH) 和PGND (OUTb) 之间增加一个电容器相当于增加GaN的栅极电荷
- 为避免驱动器动态过载，并考虑工作频率Fsw，必须限定最大值
- $CG_x < 80\text{mW}/(P_{vcc}^2 \cdot F_{sw}) - (330\text{pF})$
- Fsw=500kHz CGL & CGH 最大=3.9nF

优点	缺点
通过电容值测量其效果 电容精度可保证效果的高度可重复性 对正常工作情况下的EMI有优化	给PVCC和Vbo带来额外的运行消耗，特别是在高频条件下 不适合特高频率应用

在PVCC上串联电阻

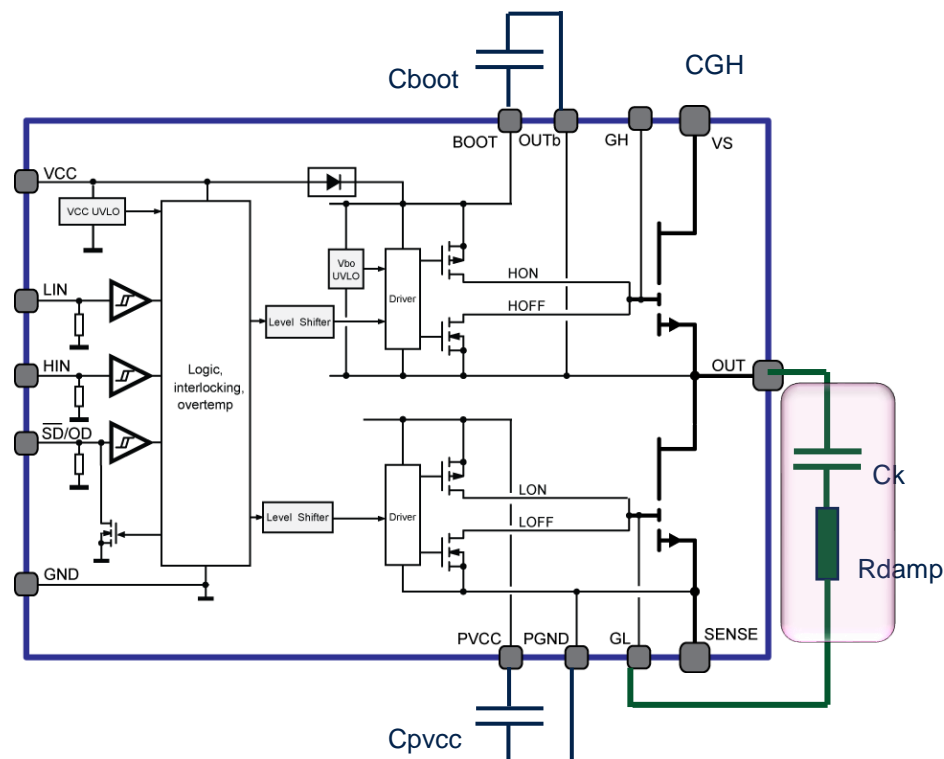


- 在PVCC或VBO串联一个电阻器可降低驱动电流。在驱动器开启时，PVCC / VBO会有明显的超短时间下降



优点	缺点
<p>微调串联不同电阻的效果</p> <p>电阻的精度确保效果的可重复性</p> <p>对正常工作情况下的EMI有优化</p>	<p>PVCC / VBO下降会增加信号传输延迟</p> <p>由于Gan的栅极电压（即PVCC-Vgsth）下降，可能导致Rdson增加</p> <p>为了防止UVLO触发，VBO下降时间必须小于2μs</p>

添加dv/dt 限制电路



- 在OUT节点和GL之间增加RC电路，在dv/dt 较大时降低GL电压。
- 考虑使用PCB（特别是较薄的PCB），而不是增加Ck
举例如下：
 - 0.8mm 4层PCB，0.1mm层间厚度， $\epsilon_r=4.4$
 - 10pF -> 30mm²：可用于MasterGaN方案

优点

仅在dV/dt值较高的情况下起作用：然后dV/dt值在整个工作条件下获得平衡

缺点

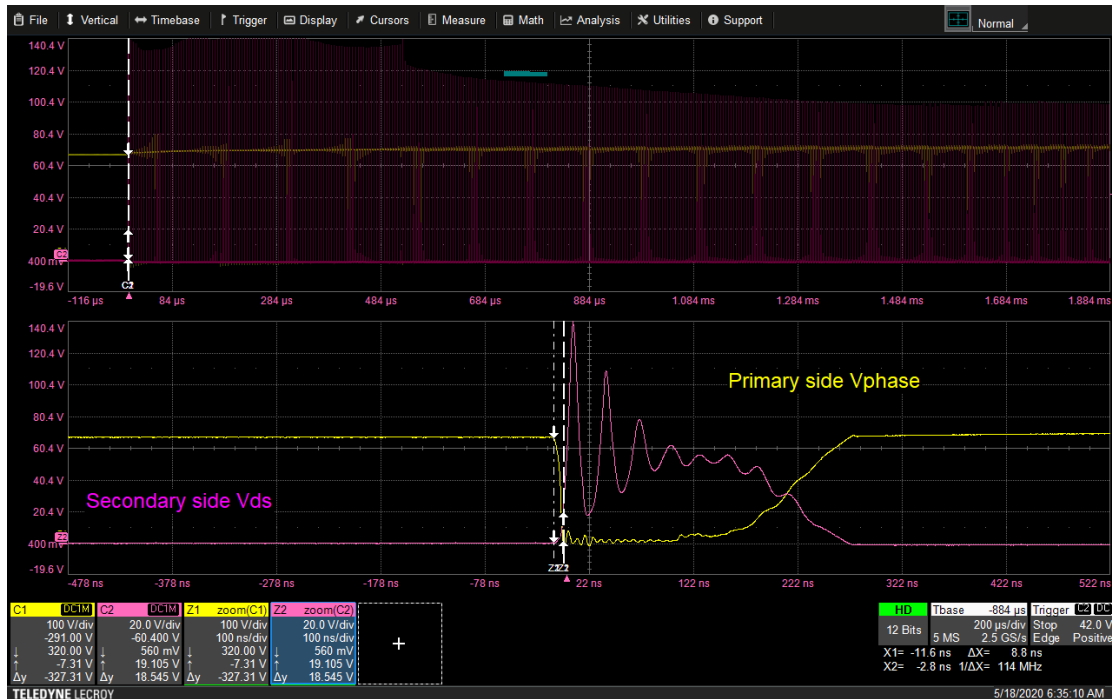
需要高压元件

添加dv/dt限制器 – 设计建议

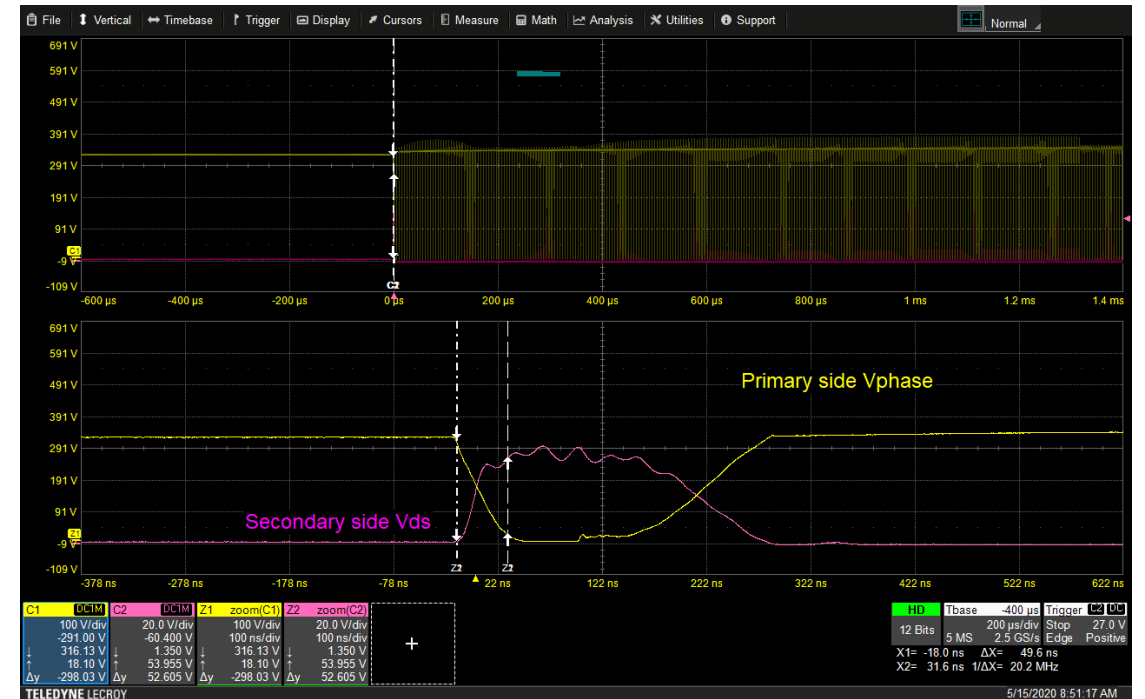
- 由于米勒效应，电容（Ck）的值限制硬开关期间的dv/dt
 - 在导通期间，比值限制为 $\sim \frac{V_{PVCC}-V_{TH}}{R_{ONG}Ck} = \frac{V_{PVCC}-1.7}{77 \cdot Ck}$
 - 在断开期间，比值限制为 $\sim \frac{V_{TH}}{R_{OFFG}Ck} = \frac{0.85}{Ck}$
- 为了避免杂散电感引起的振荡，需要串联一个电阻
 - $R_{DAMP} \gg \sqrt{\frac{L_{stray}}{Ck}}$
- 需要的电容器通常为5pF - 10pF（额定值600V）
 - 例如：使用PVCC = 6V，且最大dv/dt = 10V/ns $\rightarrow Ck = 8.6\text{pF}$

dv/dt限制电路的效果波形

230Vac的启动波形
dv/dt从37V/ns降至6V/ns



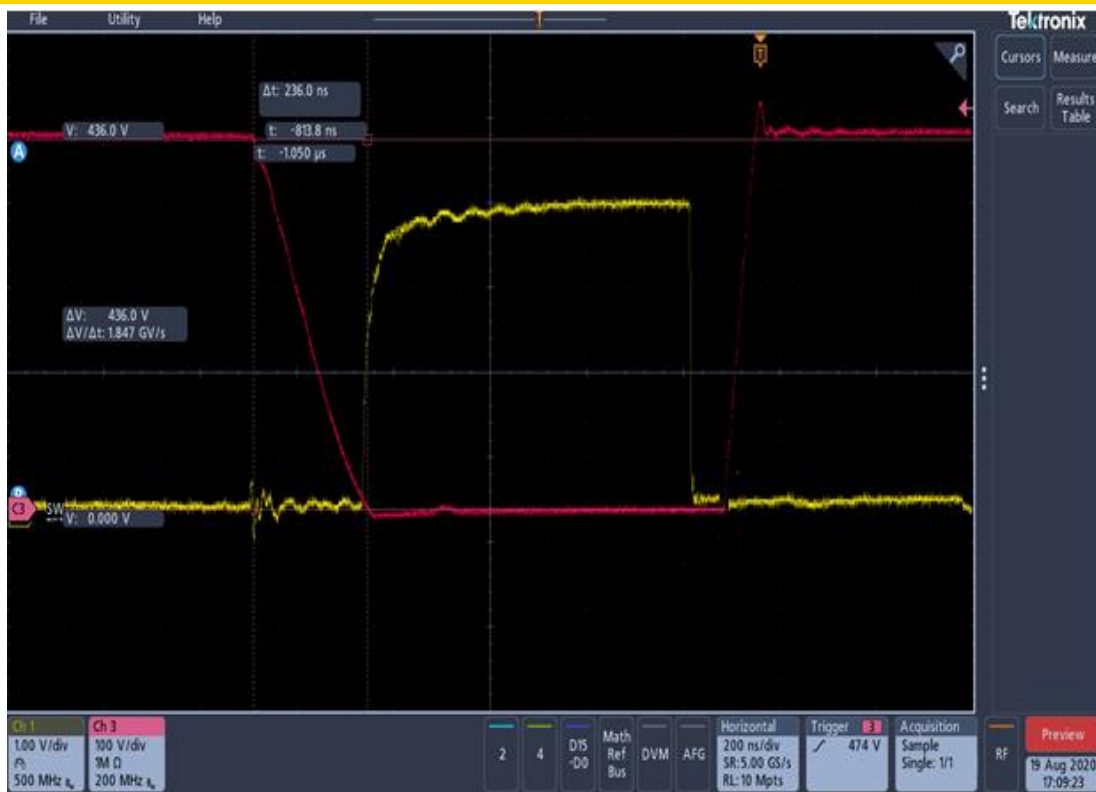
初始
dv/dt等于37V/ns



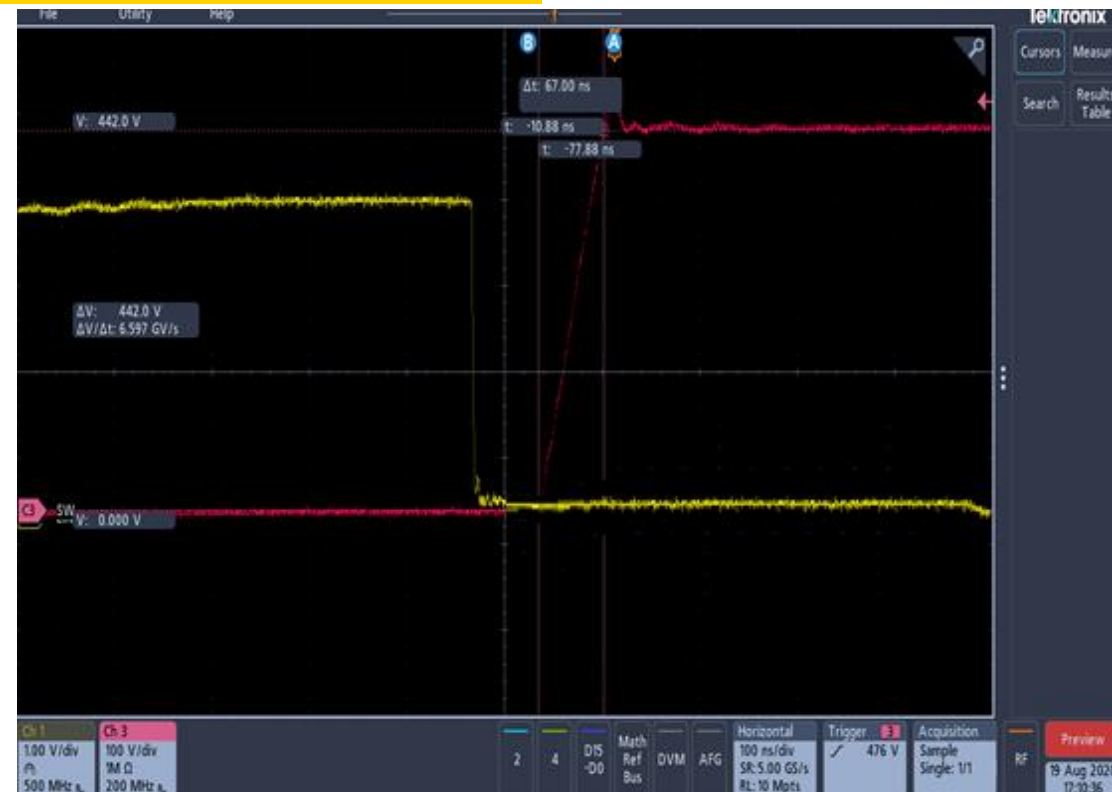
带dv/dt限制电路 10pF / 200Ω
dv/dt限制到6V/ns

dv/dt调整—典型波形

65W方案示例: $R_{pvcc}=15\Omega$, $C_g=470pF$, $R_{43}=200\Omega$, $C_{57}=10pF$
220V/50Hz输入, 20V/3.25A输出



导通: 1.85V/nS

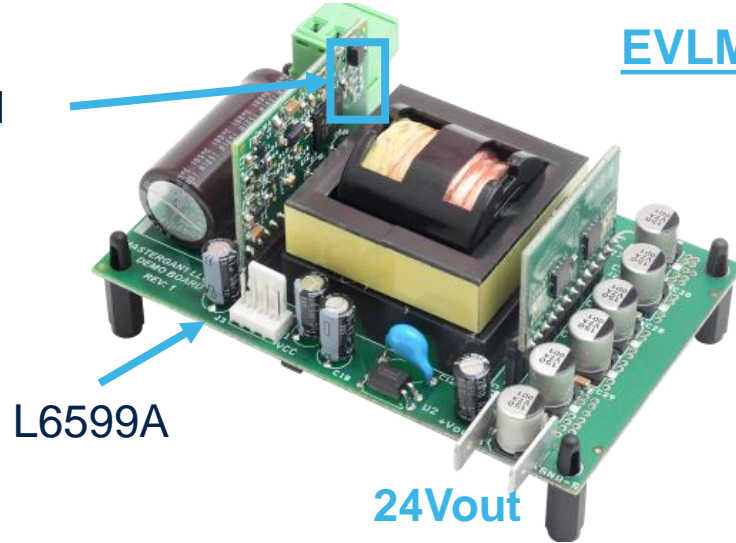


关断: 6.6V/nS

采用MasterGaN的意法半导体解决方案

可在意法半导体网站获取

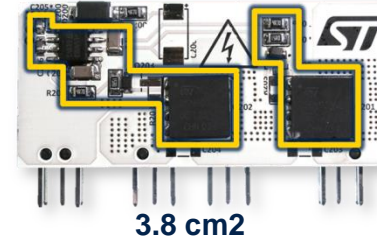
MASTERGAN1
无需散热器!



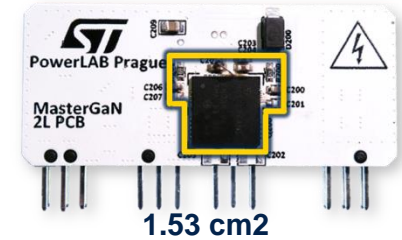
EVLMG1-250WLLC 评估板

-60% 空间占用率

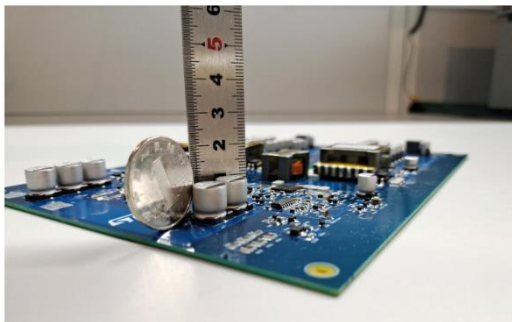
► HB driver with MOSFETs



► MasterGaN solution



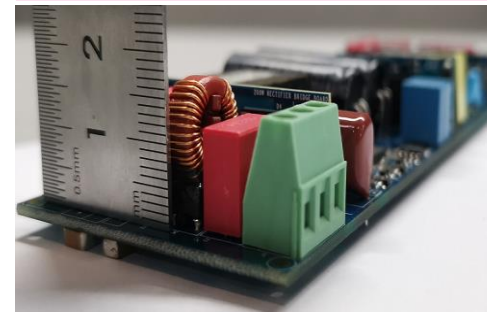
针对选定客户



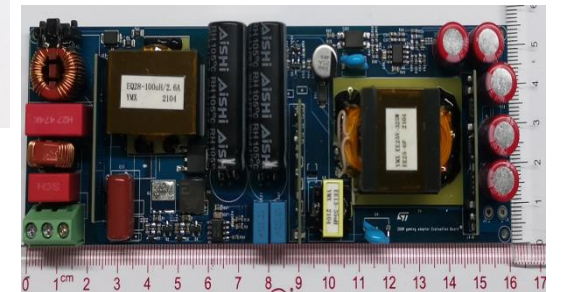
350W+150W 超薄 LLC
OLED TV应用
L6599A + MasterGaN1



开发中 (2021年第4季度推出)



200W TM PFC+LLC
游戏适配器
STCMB1 + MasterGaN1





life.augmented

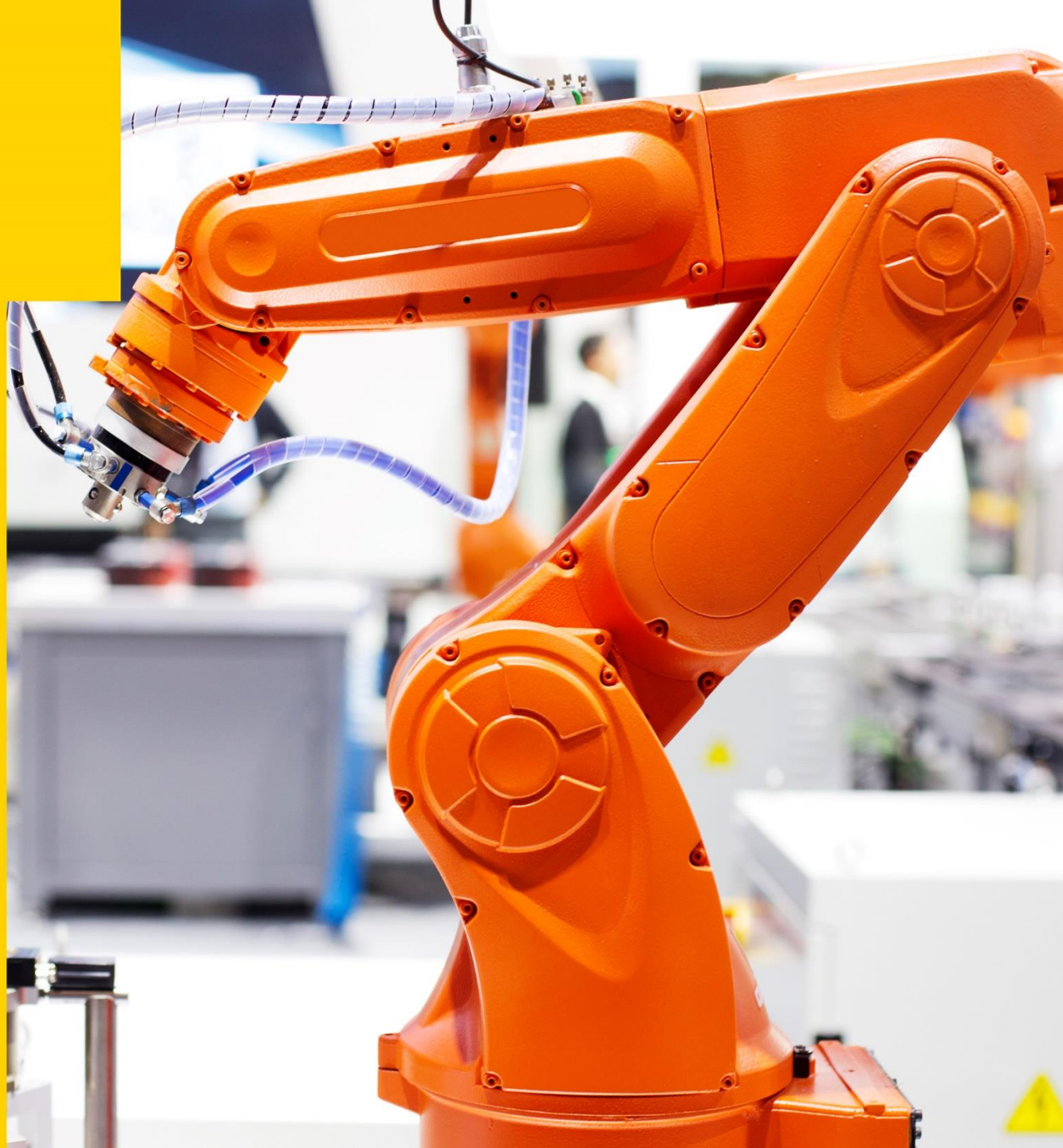
扫描以下二维码
获得功率及模拟产品更多资讯



PDSA 微信公众号



能以致动子网站



Our technology starts with You



了解更多信息，请访问www.st.com

© STMicroelectronics - 保留所有权利。

ST徽标是STMicroelectronics International NV或其附属公司在欧盟和/或其他国家的商标或注册商标。若需意法半导体商标的更多信息，请参考www.st.com/trademarks。

其他所有产品或服务名称是其各自所有者的财产。



life.augmented