

積分形 A-D 変換器

Integration Type A-D Converter

大 沢 晃* 平 井 善 一 郎*
Akira Osawa Zen'ichirô Hirai

要 旨

筆者らが最近開発した積分形 A-D 変換器は演算増幅器によるアナログ積分器を母体としたもので、入力電圧の積分値を時間幅になおして A-D 変換する方式をとり、入力に混入する商用周波雑音に対しフィルタ特性を持つ点に特色がある。変換速度については数十ミリ秒程度で逐次比較形と比べ一見遅いように考えられるが、入力にノイズのある場合、逐次比較形 A-D 変換器の前段にフィルタを取り付けたときのフィルタ時間まで含めたものと比較すれば数倍のスピードアップになる。また、特に温度特性、経年特性などについて原理的にすぐれた点を持っており、回路も比較的簡単であるので中速度の工業用データ処理装置用として好適なものといえよう。

1. 緒 言

A-D 変換器を使用するにあたって注意を要する点の一つは、入力信号に電源誘導などのノイズが入ると A-D 変換結果に誤差を生ずることである。特に工業用データ処理装置では検出端と測定装置との間に数百メートルもの距離がある場合が多く、また信号伝送線の近くに動力線が並設されて誘導を拾うことも多い。従来このような場合には入力回路にフィルタを入れるか、電圧一周波数変換形（以下 v-f 形と称する）の A-D 変換器を用いて計数時間を電源周期の整数倍にとることにより雑音の影響をなくしたりしていた。しかしフィルタを入れるとフィルタの時間遅れのために全体の応答時間が遅くなる場合があり、また v-f 形 A-D 変換器では雑音の振幅が信号より大きくてそのため入力電圧が正負にまたがって変動する場合には（マイナスの周波数ができないため）特殊な工夫を要する場合があった。今回開発したアナログ積分方式の A-D 変換器は v-f 形と同様に積分効果によるフィルタ特性を有し、さらに入力信号が積分期間中に正負にわたって変動してもその平均値を正確に変換することができる。また直線性、温度特性、経年特性なども良好で回路も比較的簡単になる。図 1 に積分形 A-D 変換器の一例を示す。

2. 積分形 A-D 変換器の原理

ここで述べる積分形 A-D 変換器は一種の計数形で、入力電圧をいったん時間幅に変換してからその時間幅をクロックオシレータとカウンタで測定する方法をとっている。従来のいわゆる計数形は図 2 で示すように変換器内部で発生したのこぎり波状電圧と入力のアナログ電圧とを比較してのこぎり波のスタートから両者の一致するまでの時間幅 τ を測定するものであった。本方式が従来と異なっている点はこの入力アナログ電圧を時間幅 τ に変換する部分にある。図 3 は積分形 A-D 変換器の原理を示すもので、各部の波形は図 4 に示すとおりである。以下アナログ入力として \oplus の直流電圧が加わる場合を例にとって説明する。入力にはまず電子スイッチ S_i によって積分器に導かれ、一定時間 T だけ積分される。このとき積分器出力は位相反転されてマイナス側の波形になる〔図 4 (ニ)〕。 T 時間の入力積分が終わったら入力スイッチ S_i を切り、次に \ominus の基準電圧 ($-E_s$) をスイッチ S_s によって接続し積分する。 ($-E_s$) が入力と逆極性であるため、積分器出力 E_0 は図に示すように入力積分終了点から一定傾斜でゼロに向って上昇する波形になる。入力積分時間 T が一定だから図から明らかなように基準電圧 ($-E_s$) を加えて出力 E_0 を 0 ボルトに戻すのに要する時間幅 τ は入力電圧に比例するこ

* 日立製作所国分工場

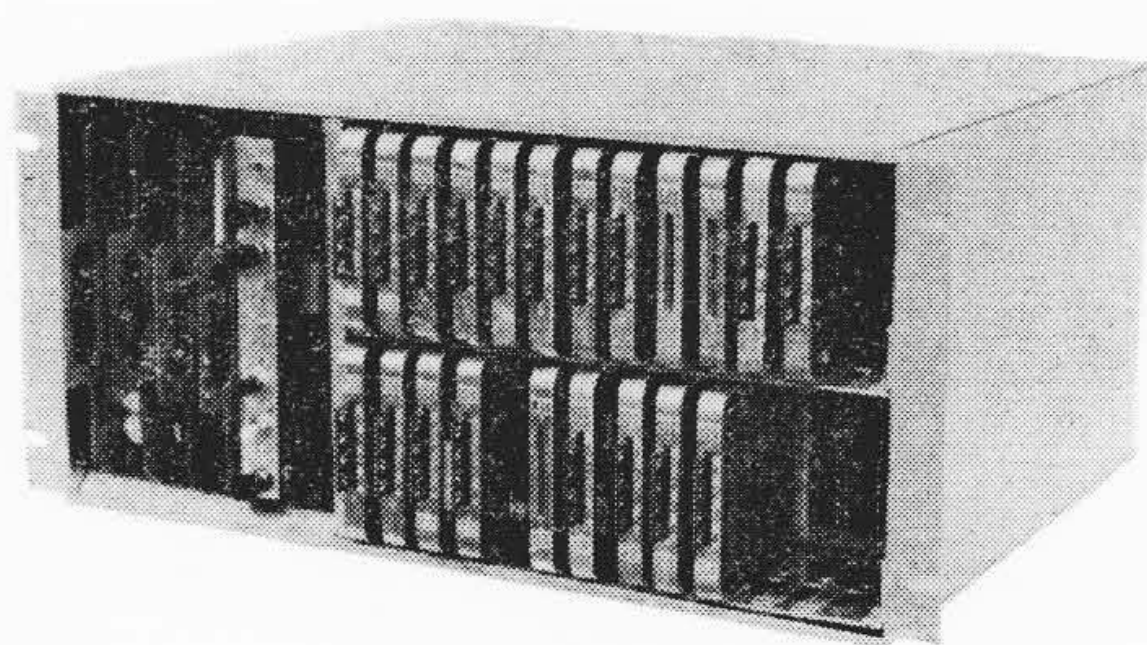


図 1 積分形 A-D 変換器 (試作)

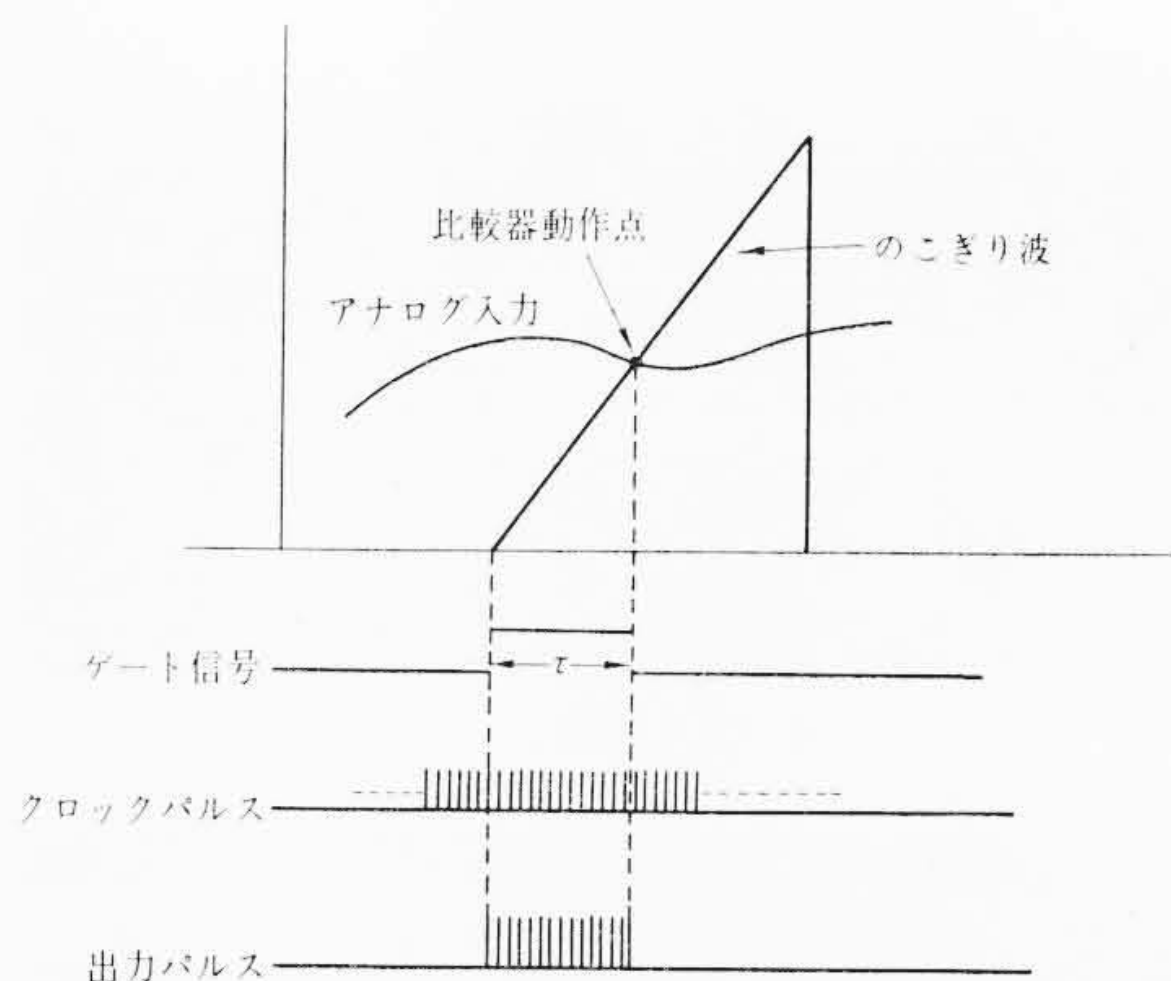


図 2 従来の計数形 A-D 変換器の動作

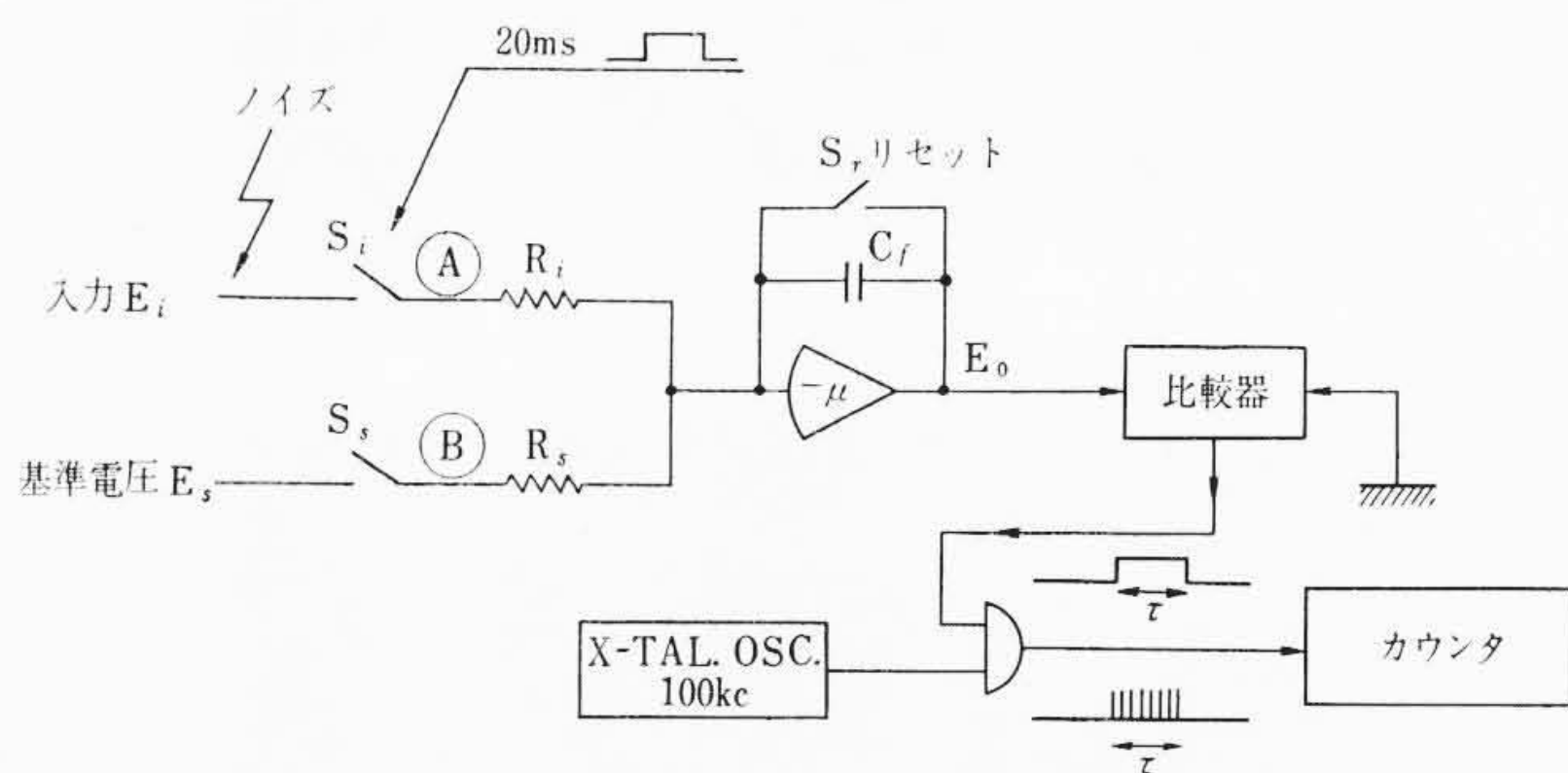


図 3 積分形 A-D 変換器の原理図

とになる。図 3 の積分器出力に接続されている比較器は E_0 が 0 ボルトに達したことを検出する装置である。A-D 変換器として完成するためには時間幅 τ をクロックパルスによって測定すればよい。入力電圧 E_i と τ との関係は (1) 式で表わされる。

図 4 を参照して

$$E_{00} = -\frac{1}{Cf Ri} \int_{t_1}^{t_0} E_i dt = -\frac{1}{Cf Rs} \int_{t_1}^{t_0} (-Es) dt \dots \dots (1)$$

ここに、 E_{00} : 入力積分終了時点における積分器出力
 Cf : 積分コンデンサ
 Ri : 入力抵抗
 Rs : 基準電圧用演算抵抗

(1) 式で $T = t_0 - t_1$ $\tau = t_2 - t_0$ $\bar{Ei} = \frac{1}{T} \int_{t_1}^{t_0} E_i dt$ とすれば

$$E_{00} = -\frac{T}{Cf Ri} \bar{Ei} = -\frac{\tau}{Cf Rs} \times (-Es) \dots \dots (2)$$

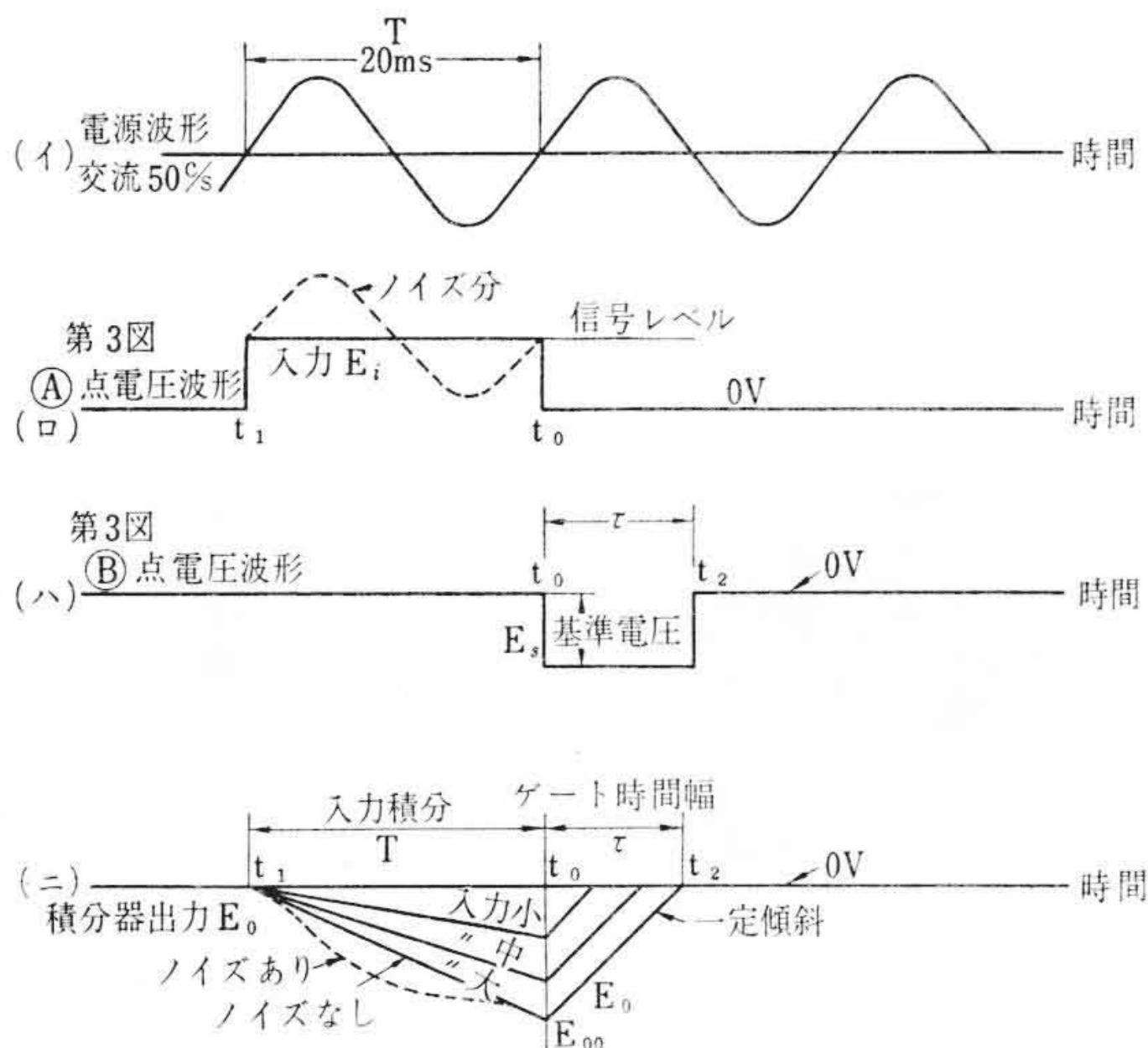
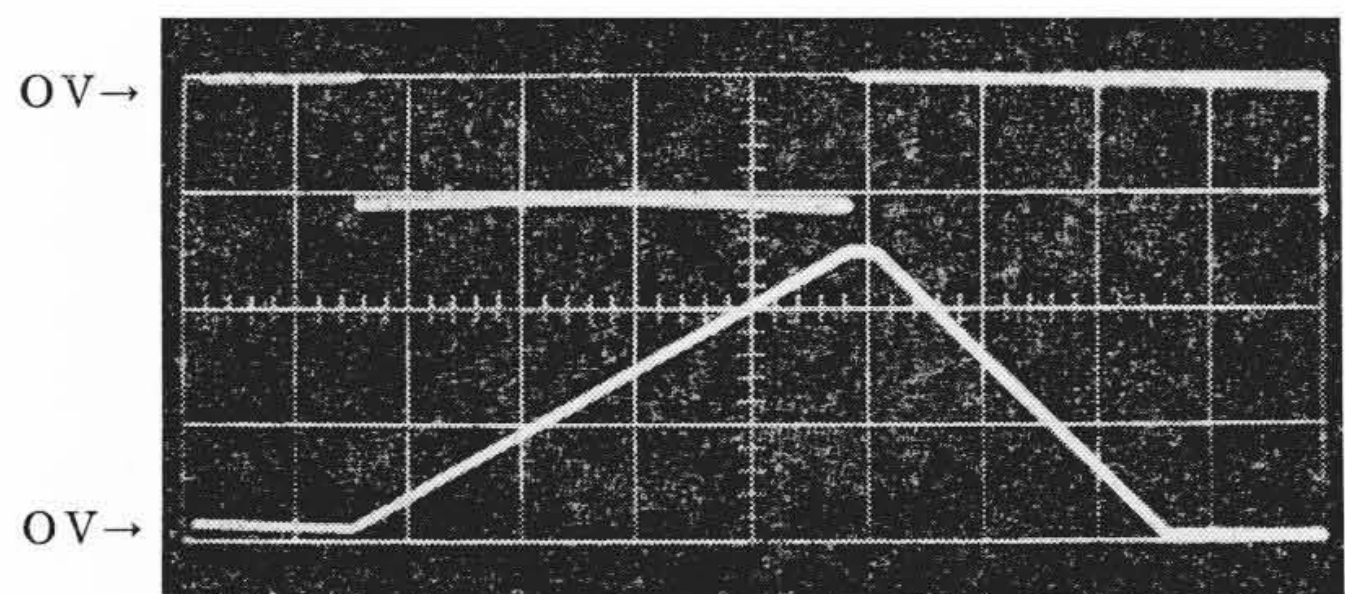
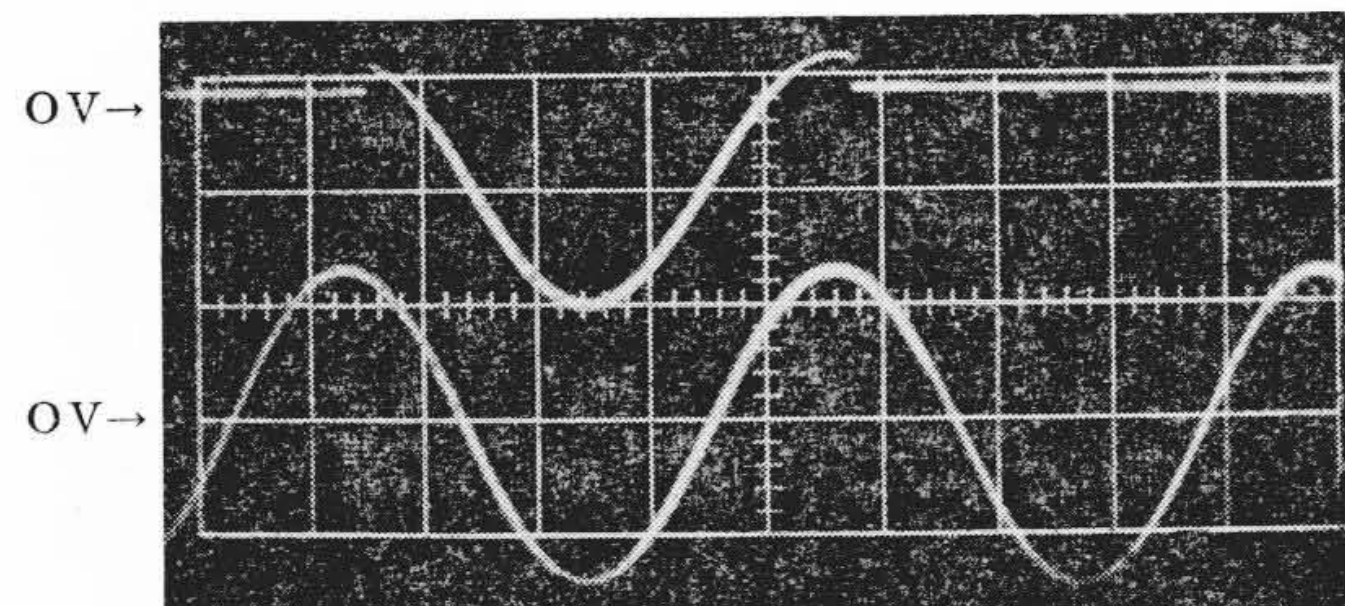


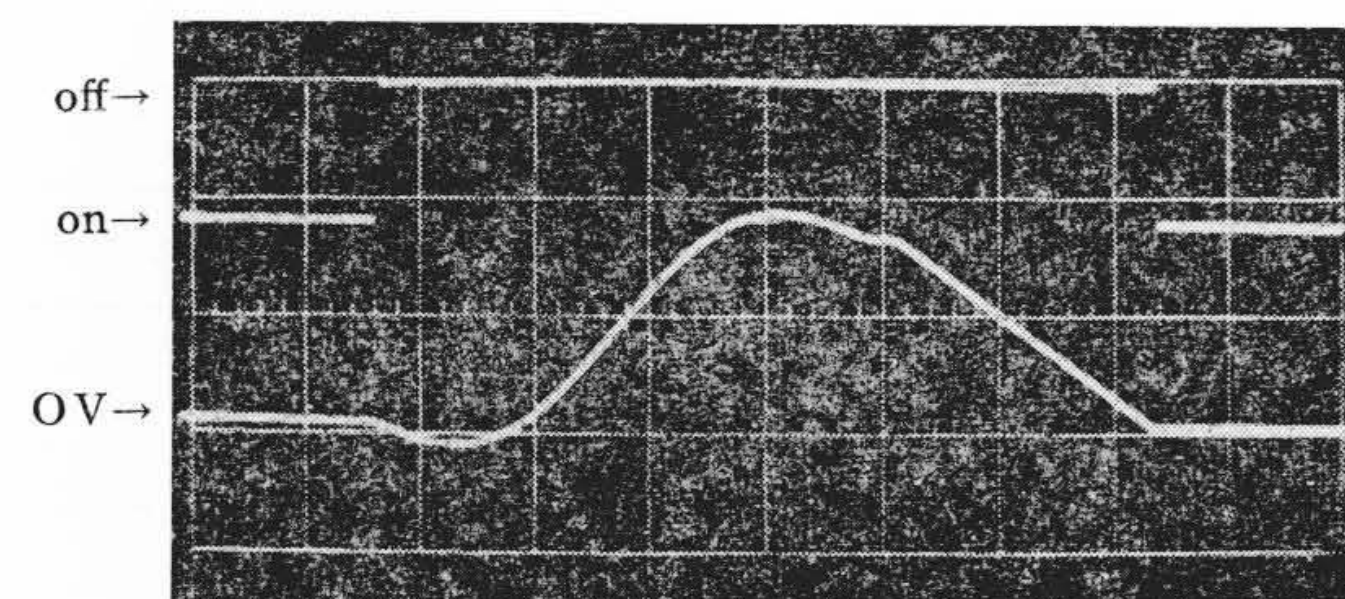
図 4 図 3 各部の波形



(a) ノイズの無い場合の入力電圧 (上) と積分波形 (下)
X軸: 5 ms/div Y軸: 2 V/div



(b) 50 c/s ノイズを含んだ入力 (上) と電源波形 (下)
[(c) はその時の出力]
X軸: 5 ms/div Y軸: 2 V/div



(c) 積分器リセットスイッチ Sr の on-off (上) と (b) の入力に対する積分器出力 (下)
X軸: 5 ms/div Y軸: $\begin{cases} 10V/div (上) \\ 2V/div (下) \end{cases}$

図 5 シンクロスコープによる観測結果

$$\text{したがって } \tau = \frac{Rs}{Ri} \frac{\bar{Ei}}{Es} T \dots \dots (3)$$

となり、 \bar{Ei} と τ とが比例することがわかる。

図 3 の回路で各部の波形をシンクロ・スコープで観測した。その結果を図 5 に示す。特に同図 (b) (c) (e) は本機の特長であるノイズに対する積分特性を示している (これらについては後にさらに説明する)。

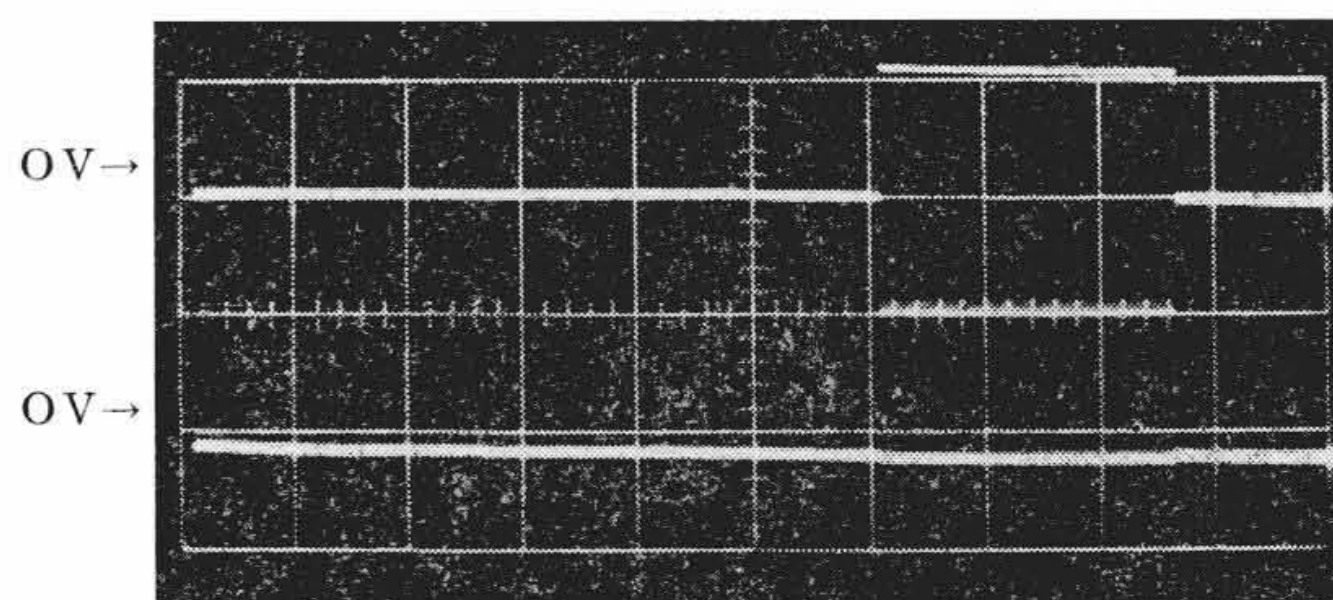
3. 積分形の特長

この方式の A-D 変換器は図 3 からわかるように次にあげる特長を持っている。

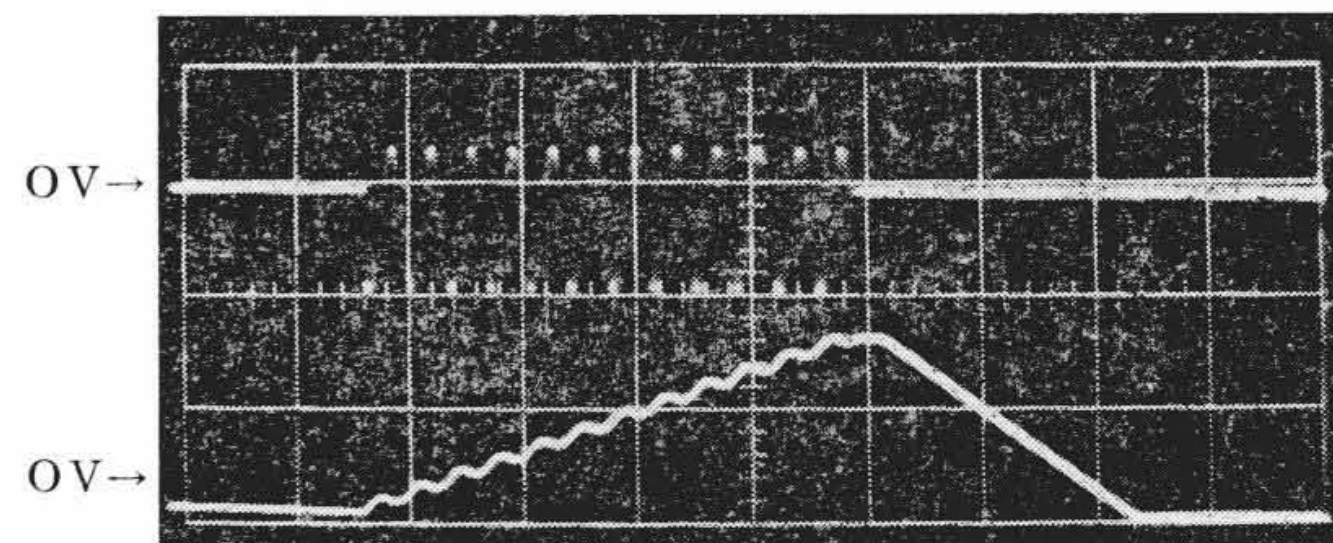
3.1 適応フィルタ特性があること

入力を T_1 時間積分するから A-D 変換結果は入力の T_1 時間の平均値を示すことになり、入力に混入する高周波のノイズに対してフィルタ効果を持つ。特に積分時間 T_1 を商用周波 50 (60) c/s の 1 サイクル時間 20 (16.6) ms またはその整数倍にとれば電源からの誘導ノイズの影響を完全に排除することができる。

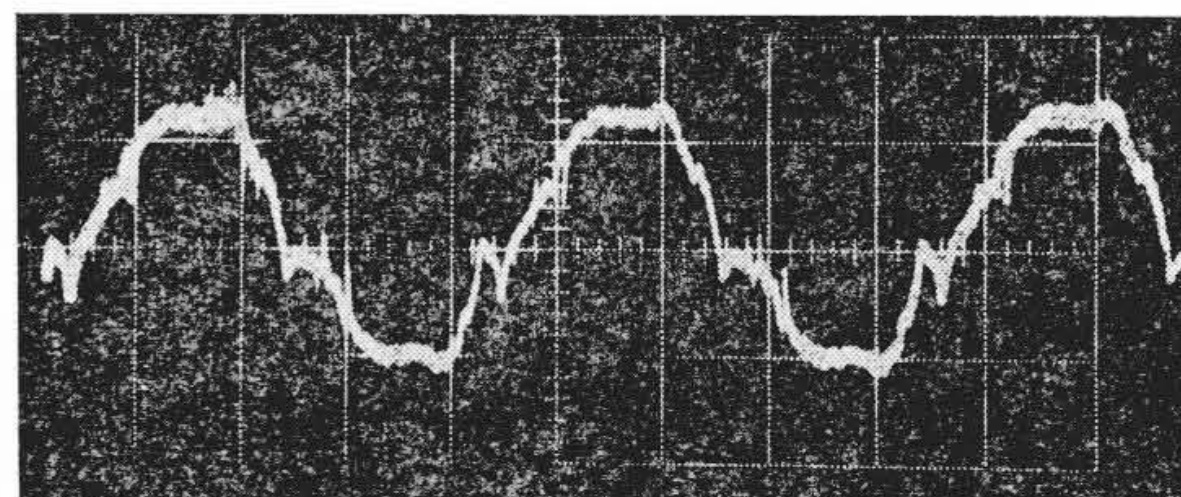
図 5 (a) は入力にノイズのないときの入力電圧 (図 3 (A) 点の波形) とそのときの積分出力、同図 (b) は電源 50 c/s の波形 (下) と電源誘導ノイズのあるときの入力 (図 3 (A) 点) 波形、同図 (c) (下) はそのときの積分出力波形である。図 5 (e) には高周波ノイズ (写真では 600 c/s) が入ったときの積分出力を示す。写真でわかるように、ノイズ電圧が入力信号の直流分より大きくなって入力電圧が正負にまたが



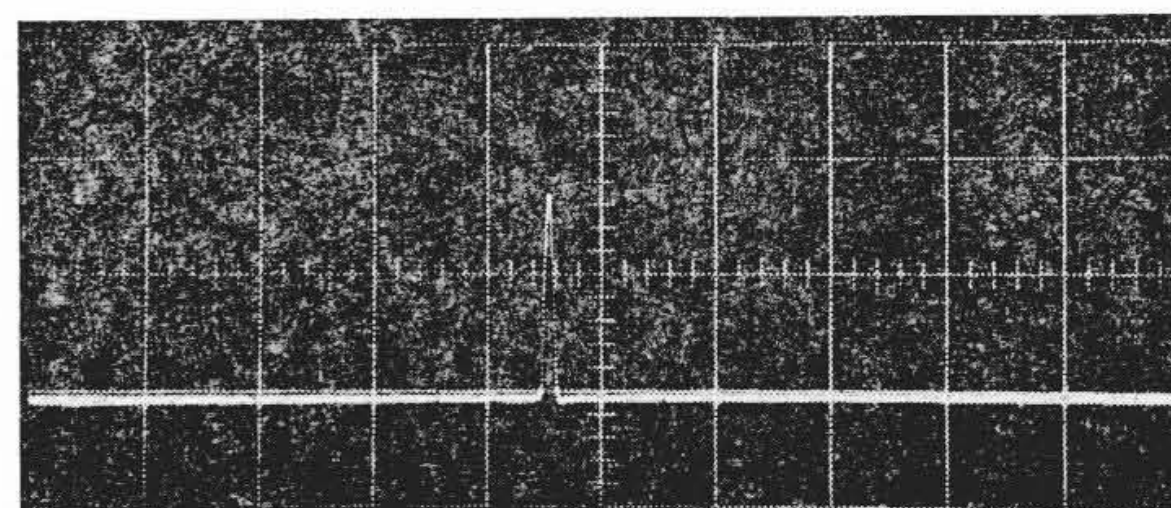
(d) 基準電圧 Es (上) と τ 時間でゲートしたクロックパルス (下)
[クロックパルスは周波数が高い (100 kc) ので写真にうまく現れない。]
X軸: 5 ms/div Y軸: 10 V/div



(e) 高周波ノイズ (上) に対する積分波形 (下)
X軸: 5 ms/div Y軸: 2 V/div



(f) 電源誘導ノイズの一例
X軸: 5 ms/div Y軸: 1 V/div



(g) パルス性ノイズの一例
X軸: 10 μs/div Y軸: 1 V/div

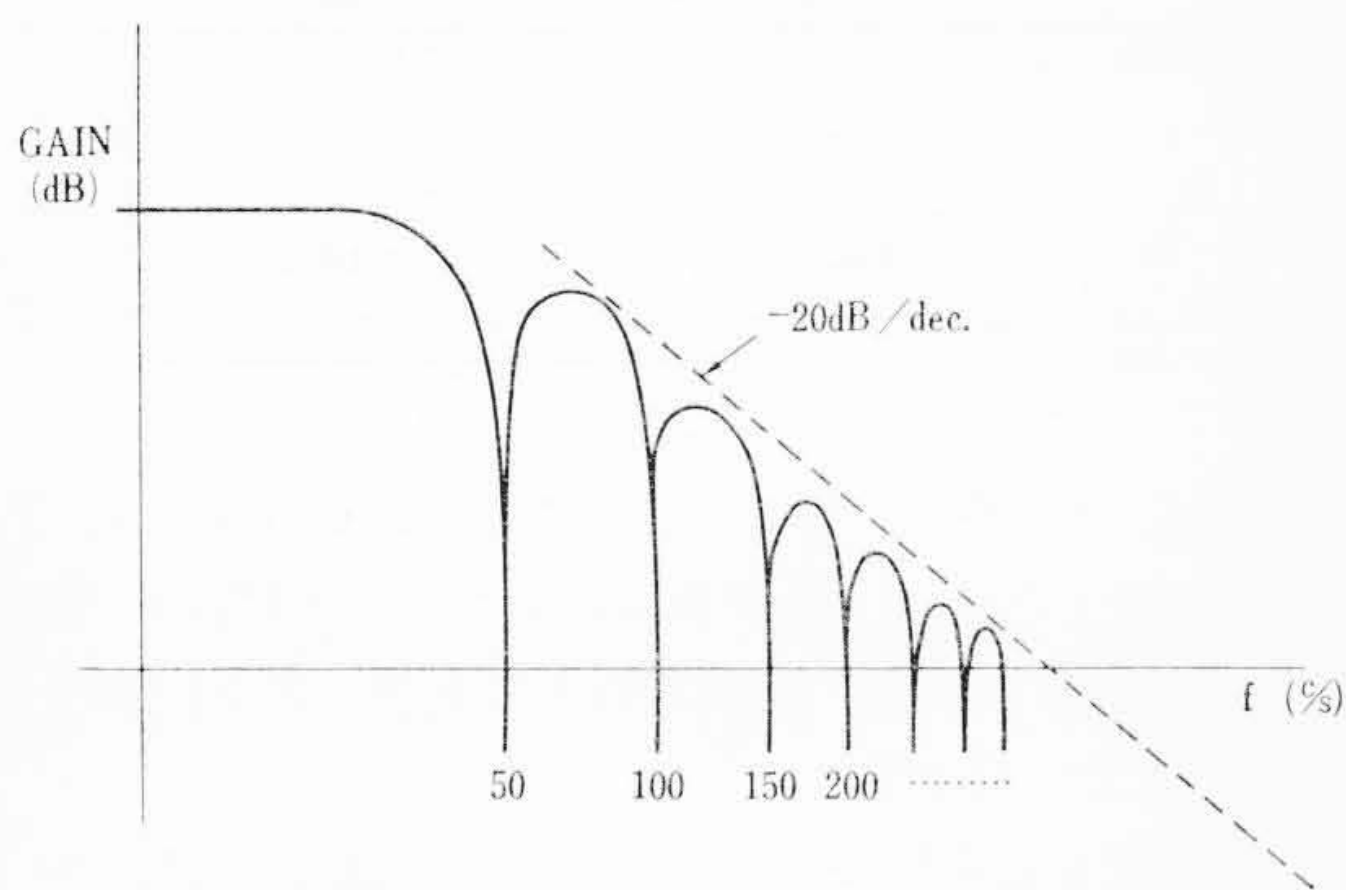


図6 積分形 A-D 変換器の周波数特性

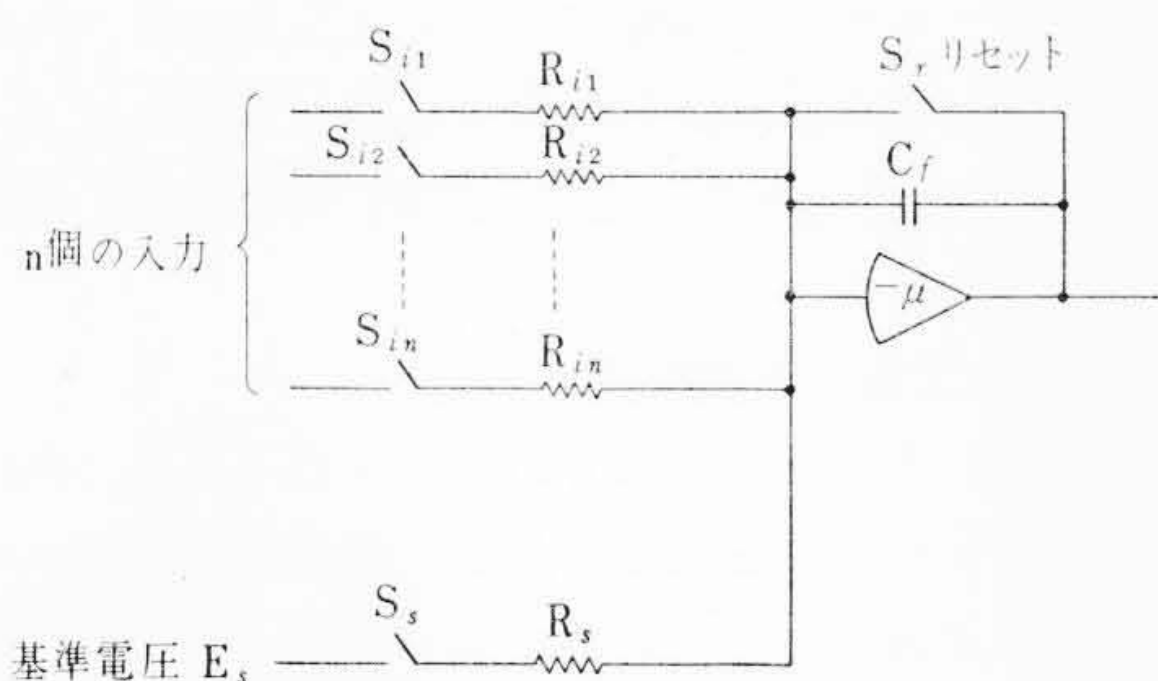


図7 係数加算 A-D 変換

って変動してもノイズに関係なく積分可能で、正確な A-D 変換ができる。

実際に入力信号に混入する電源誘導ノイズはたとえば図 5 (f) に示すような波形であるが、このような波形に対しても積分器は完全にフィルタの役目を果たす。それは (f) に示すような複雑なノイズもそれが電源からの誘導ノイズの場合にはすべて 50 (60) c/s の高調波の重ね合わせでできているため、これを電源の一周期にわたって積分すれば完全に消えてしまうのである。

外部から入るノイズについてはこのほかに図 5 (g) に示すようなパルス波形がある (これはリレー接点, SCR の点弧などから発生することが多い)。しかしこのようなパルス性の誘導ノイズはそのパルス幅が数マイクロ・セカンド以下であることがほとんどであり、電源周期 20 ms 程度の積分を行えば問題にならず消えてしまう。その他商用周波の分数調波、過渡現象などが無視できない場合には入力積分時間を商用周波の 2 サイクル以上長くとることによって任意のノイズ減衰率を得ることができる。

積分器を一種のフィルタと考えた場合の周波数特性は入力波形と入力オン・オフ用スイッチ S_i との位相関係によって異なるが最悪の場合 (高周波分の減衰の最小の場合) でも図 6 の形になり、積分時間の整数倍周期に対しては無限大の減衰量があり、その他の周波数でも高周波域では 20 dB/dec の傾斜で減衰する。電源周波数に対する減衰フィルタとしては理論的に考えられる最高速のフィルタであり、 L, C, R など時間的に定常な素子による通常の受動的フィルタに対して、スイッチング要素と能動要素を含む非定常能動フィルタということもできる。

フィルタとして考えた場合、入力を積分する時間を変えれば減衰周波数が変わる。すなわち可変周波数フィルタとなる。もし入力に混入するノイズの基本波の周期が検出できて、積分時間をそれに合わせれば、いわゆる入力適応フィルタをつくることができる。たとえば商用電源周波 (50 c/s) からの誘導ノイズを減衰させる場合、入力積分時間 T をノイズ源である電源周期から波形整形して取り出すようにすれば、電源周波数が 50 c/s から変動し、したがってノイズ

表 1 各種 A-D 変換器の比較

	積分形 (本方式)	逐次比較形	のこぎり 波	V-f 形	備 考
変 換 速 度	30~50 ms	数十 μ s	数 ms	20~50ms	
フ ィ ル タ 作	有	無	無	有	
ノイズのため 入力が正負に またがって変 動するとき	平 均 値 を A-D 変換	フィルタ要 (フィルタ時 間数百 ms)	フィルタ要 (フィルタ時 間数百 ms)	工夫を要す	3.1節参照
正負入力に対 し	絶 対 値 出 力すること可	絶 対 値 回 路要	絶 対 値 回 路要	絶 対 値 回 路要	3.4節参照
入力電圧感度 (フルスケール)	数 mV 可	数 ボ ル ト	数 ボ ル ト	数 ボ ル ト	3.3節参照
特 性 変 動	小: コンデンサ 変動影響なし	小: D-A 変換 および比較器に よる	時定数コンデン サが直接影響す る	V-f 変換 器による	4.1節参照

表 2 積分形 A-D 変換器の仕様例

内 容	例 1	例 2	備 考
入 力 電 圧	-5~0~+5V	-100~0~+100 mV	
入力インピーダンス	1 M Ω	10 k Ω	電源周波数または その整数倍
雑音減衰量	60 dB	60 dB	
A-D 変換時間	40 ms	40 ms	クロックパルスに より自由に変えら れる
分 解 能	$\frac{1}{2,500}$	$\frac{1}{1,000}$	
周 囲 温 度	0~40 $^{\circ}$ C	0~40 $^{\circ}$ C	
精 度 (フルスケ ールに対し)	0.02% \pm 1 ディジット	0.05% \pm 1 ディジット	標準状態 (25 $^{\circ}$ C) 8 時間
温 度 影 響	$\pm 0.003\%/^{\circ}$ C	$\pm 0.005\%/^{\circ}$ C	

の周波数がそれにつれて変動しても自動的にそれに追従して周波数特性を変える適応フィルタとなる。もちろんその場合には入力積分時間が変動し、入力信号分に対するゲインが変化することになるからこれに対する補償を必要とする。補償の方法には A-D 変換の場合の基準電圧 E_s を変化させる方法と、出力時間幅 τ を測定するためのクロックパルス周波数を電源周波数に合わせて変化させる方法などが考えられるが今回は前者の方法を採用した。図 5 (a) で積分波形の山の頂上にわずかに平坦部があるように見えるのはこの期間 (約 1 ms) に電源周期の変動を検出して基準電圧 E_s を修正するため E_s を積分器に導入するスイッチ S_s を投入せず積分値をホールドしているためである。電源周期の変動検出は XTAL・OSC. による基準時間と電源波形の比較によって行なわれている。

3.2 係数加算ができること

この装置の主要構成要素はアナログ・コンピュータの積分器と同じものであるから、アナコンの場合とまったく同様に係数加算を行なうことができる。図 7 は n 個の入力に入力抵抗の比率によって係数をかけたうえで加算し、その結果を A-D 変換する例である。本機では 2 入力の加算を行なった。

3.3 高感度 A-D 変換可能

入力インピーダンス R_i とフィードバックインピーダンス C_f によって積分ゲインが定まるから、 R_i と C_f を適当に選択することによって任意のゲインを得ることができる。したがって、たとえばフルスケール 10 ミリボルト程度の微小な入力信号を直接積分増幅して A-D 変換することが可能である。

3.4 絶対値 A-D 変換可能

入力信号の極性が変わった場合積分出力の極性も逆になるが、その場合には基準電圧の極性を反転することによって入力の絶対値に比例した出力を得ることができる。

3.5 仕 様 概 略

表 1 に本方式と他方式の A-D 変換の比較、表 2 に本方式の仕様の例を示す。

4. 精度に関する考察

この方式の主要構成要素は前にも述べたとおり、高増幅率 DCA

ンプに十分なネガティブフィードバックをかけて使うため非常に高精度が得られる。図8は周囲温度をパラメータとした本機の誤差特性である。

4.1 積分コンデンサ容量変動の影響

一般にコンデンサは抵抗に比べて高精度のものが得がたい。したがって従来の計数形 A-D 変換器（たとえば図2）のようにのこぎり波の発生にコンデンサを利用している場合には温度特性、経年変化特性などが問題となる。これに対して本方式では積分コンデンサ C_f の容量変化の影響が原理上まったくない。その理由は数式的には前述の入出力の関係式(3)式により τ が C_f に関係ないことで示される。たとえば C_f が小さくなったとすると入力積分の際の積分ゲインが増大して図9破線のように積分出力が大きくなるが、次に基準電圧を積分する際にもまったく同じ割合で積分ゲインが増大しているため、出力をゼロに戻す傾斜が大きくなり、結局最終的にゼロに達するまでの時間幅 τ には変化がないことになる。

4.2 DCアンプのドリフト

この影響はゼロ点の変動として現われてくる。特にトランジスタ増幅器では温度特性が問題であるので高精度アナコンと同じくメカチョップによるドリフト補償アンプを使用するのがよい。図10は今回使用したDCアンプのドリフト特性であり、ゲイン1,000倍の

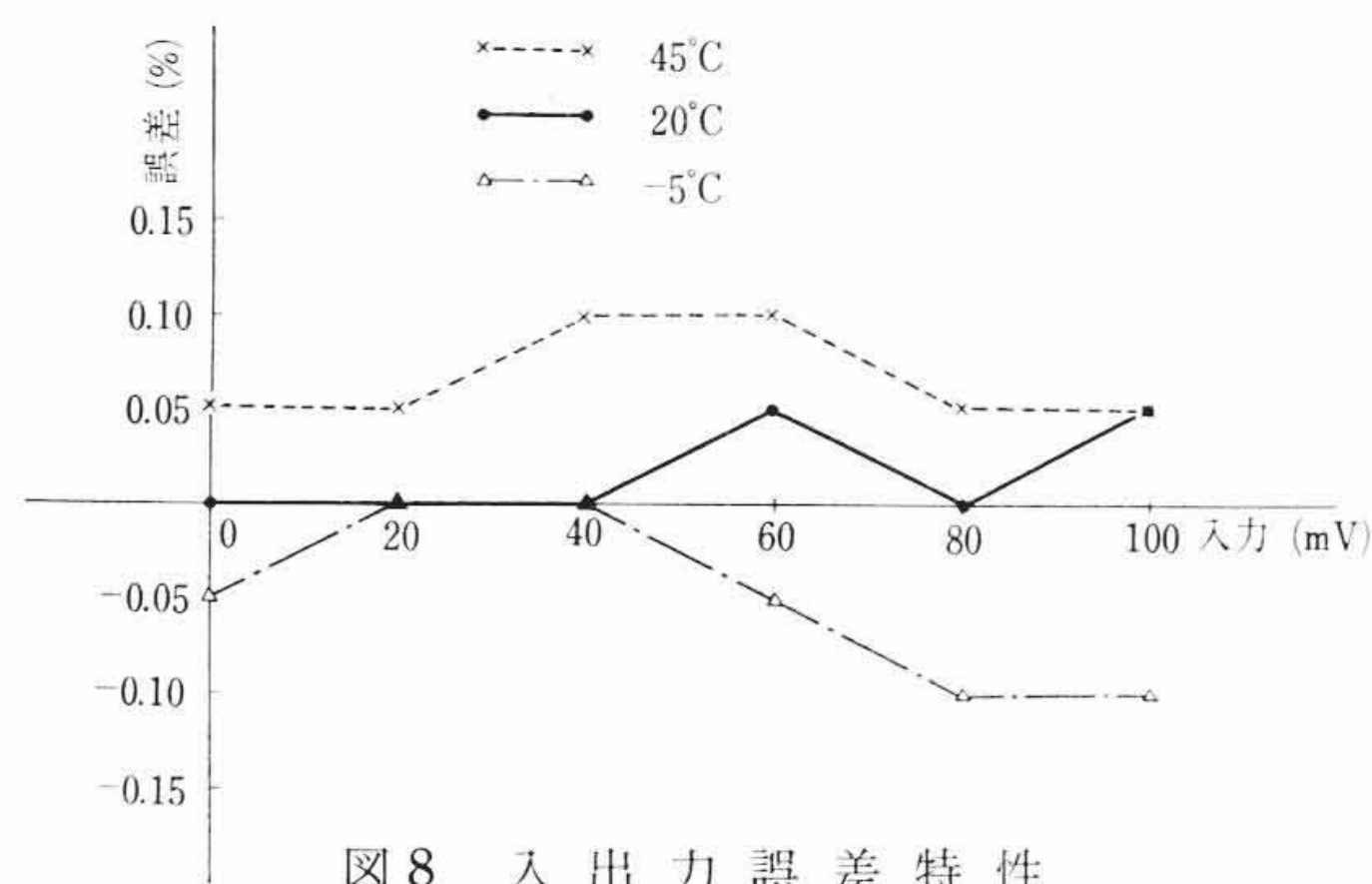


図8 入出力誤差特性

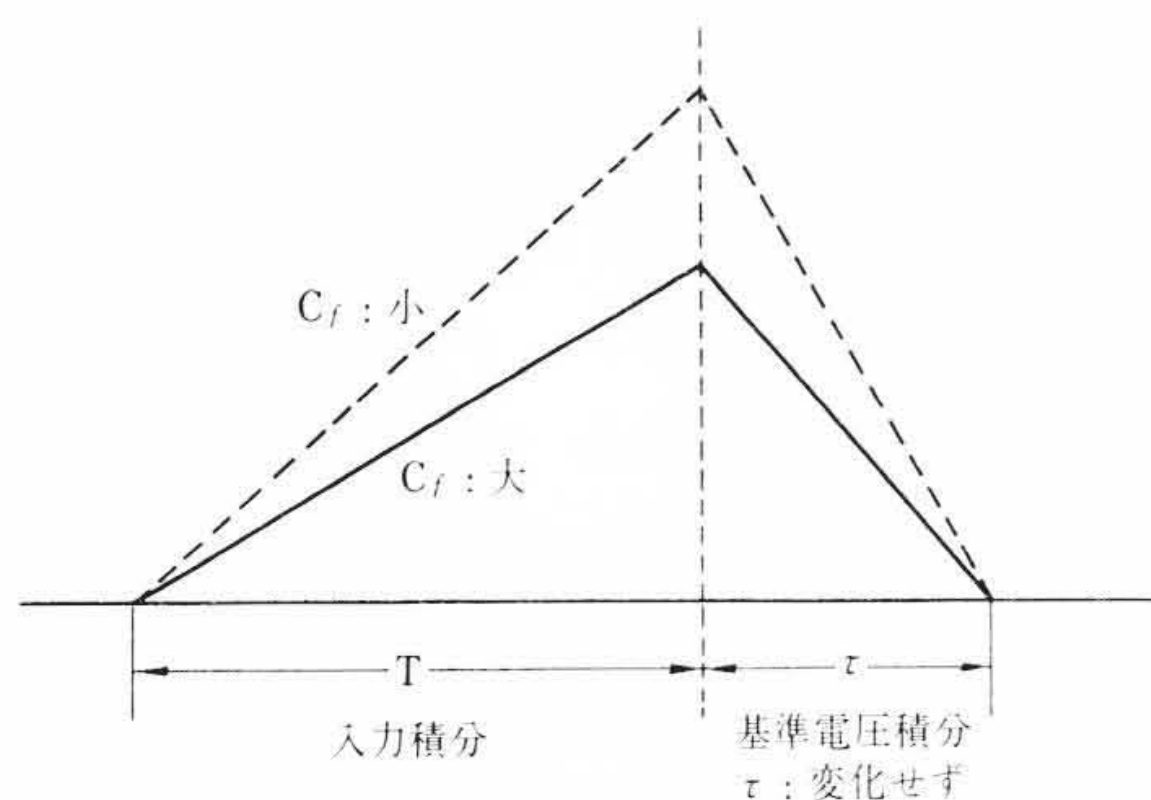


図9 積分コンデンサ C_f 変化の影響

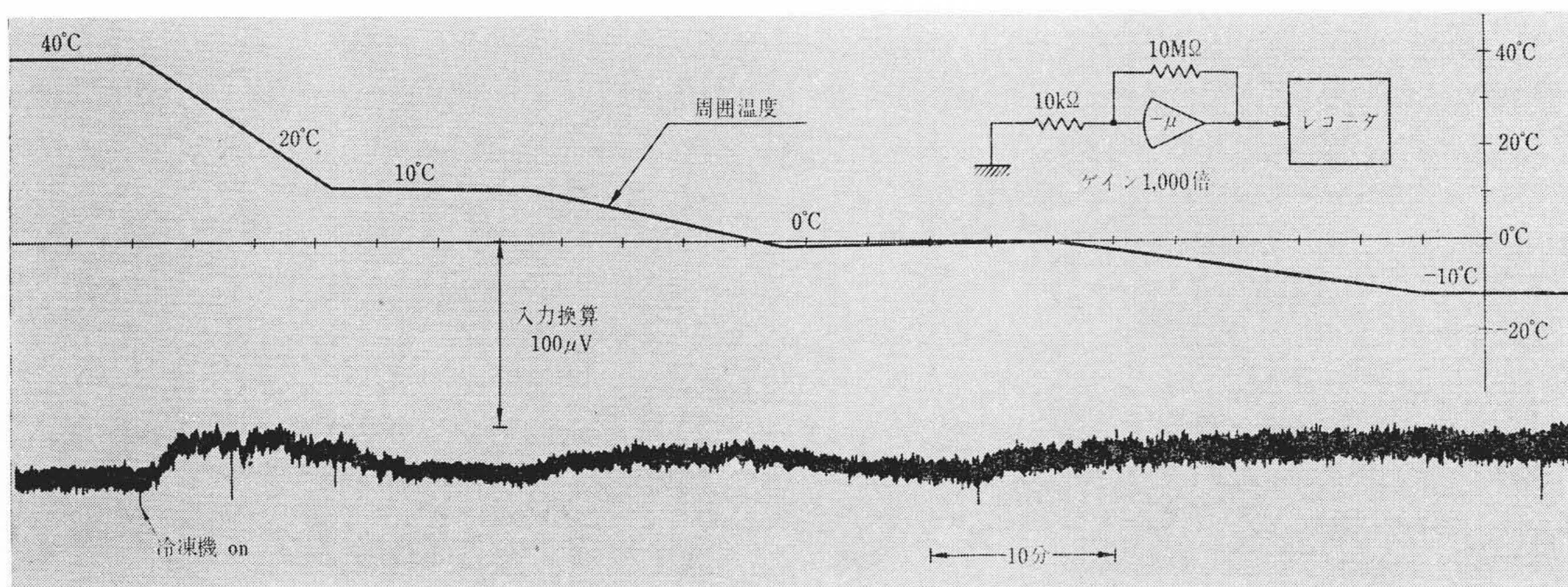


図10 DCアンプ温度ドリフト特性

表3 DCアンプの仕様

出力フルスケール	$\pm 10\text{V}$ 2mA
ドリフト	$\pm 50\mu\text{V}/8\text{h}$ 以下
温度特性	$\pm 2\mu\text{V}/^\circ\text{C}$ 以下
周波数特性 (1:1増幅)	100kc/s
電源電圧	+24V, -24V, 6.3V A.C

とき $1\mu\text{V}/^\circ\text{C}$ 以下の性能を得ている。これを入力 100mV 、入力インピーダンス $10\text{k}\Omega$ の A-D 変換器に使うと $0.001\%/^\circ\text{C}$ となり $0\sim 40^\circ\text{C}$ で十分に 0.1% 以下の精度を得ることができる。使用した DC アンプのおもな仕様を表3に示す。

4.3 基準電圧の温度特性

他の部分の特性を十分確立しても基準電圧 E_s が変化すればそのまま誤差となる。これは本器に限らずほとんどすべての A-D 変換器に共通の問題である。基準電圧としては温度補償されたツェナーダイオードを用い $\pm 0.002\%/^\circ\text{C}$ の特性とした。これは A-D 変換器の仕様(温度 $0\sim 40^\circ\text{C}$ で誤差 $\pm 0.1\%$ 以下)に対して十分な精度である。

4.4 電圧比較回路の温度特性

図3積分器の出力に接続されている比較器は高速、高精度で積分器出力のゼロ点を検出するものである。積分器出力のフルスケールは $\pm 10\text{V}$ であるから 10mV の誤差は 0.1% に相当する。本装置では新たに開発された Si TWIN トランジスタ 2 SC 280⑩による差動アンプを使って $\pm 2\text{mV}$ の精度を得た。

4.5 その他

各トランジスタ・スイッチの残留電圧、論理回路の時間遅れなどによる誤差、入力に混入する非周期的ノイズによる誤差などがあるが、これらは合計しても 0.05% の精度に入ることが実験により確認されている。

5. 結 言

以上新しい考えの下に開発された A-D 変換器の原理および特性について報告した。本方式は表1に示すように従来にない各種の特長を有しているためデータ処理装置をはじめこの種装置に今後大いに活用されるものと考えられる。なお本方式による製品はすでに1964年以降多数連続稼働中であり好成績をあげている。

終わりに本装置開発に際しご協力くださった関係者各位に深く感謝する。

参 考 文 献

- (1) 大沢: OHM 51, 7, 58 (昭39-6)
- (2) S. K. Amman: ELECTRONICS 37, 92 (Nov. 1964)
- (3) 大沢, 平井: 昭和40年電気学会連合大会講演予稿 706
- (4) HURLEY: Junction Transistor Electronics (1960)