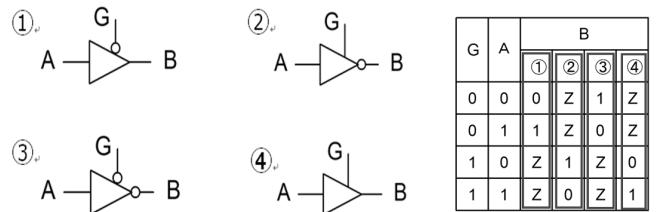


スリーステート バッファ・インバータ

2021-06-07

1

スリーステートバッファとインバータ



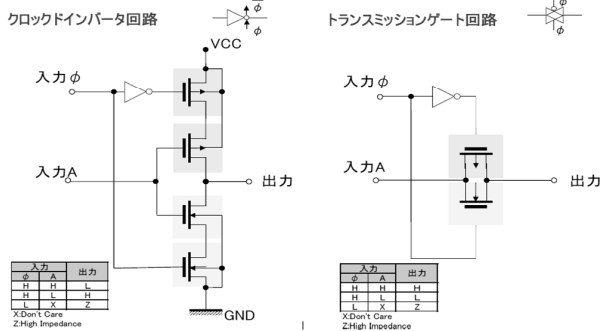
G(ゲート入力)によって制御されたバッファまたはインバータで、
Gがアクティブのとき 動作 Gがインアクティブなときはハイインピーダンス

2

スリーステートデバイス

メーカーによって呼び名が違う

構成 P-ch FETとNch-FETを組み合わせることで、さまざまな論理回路を構成することができる。



東芝標準ロジック注意点より

3

用語集

アサート (assert) ネゲート (negate)

アサート／ネゲート (assert/negate) システムバスの信号線などにおいて、それが有効(アクティブ)な状態にあることをアサートといい、無効(インアクティブ)な状態にあることをネゲートという。

ハイ・インピーダンス(High Impedance)

論理的には、'1'でも'0'でもない状態

電気的には、抵抗が大きく電気の流れない状態、出力が接続されても電気が流れない。状態を言う。

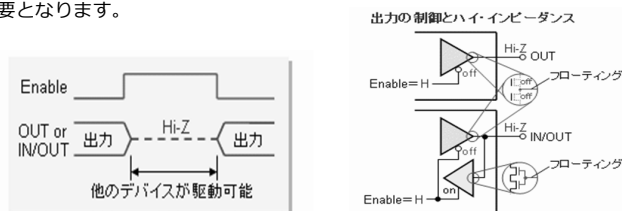
ハイ・インピーダンスというのは、電気信号に対して高抵抗を示す特性のことで、「Hi-Z」で表す。具体的には、MOSデバイスのデジタル動作などで、出力信号を遮断して外部と切り離したり、入出力兼用端子を入力に切り替えたりするときに発生する状態です。東芝データシートより

ハイ・インピーダンス(High Impedance)

東芝データシートより

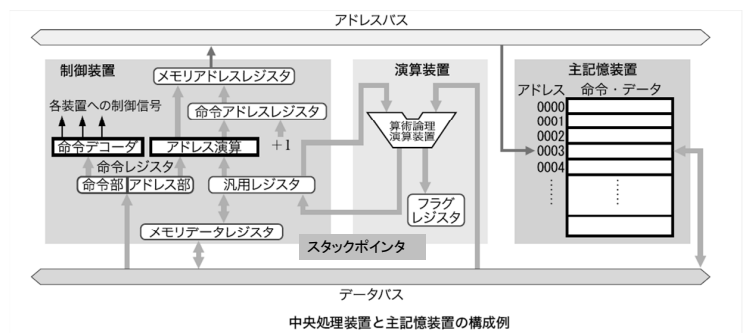
これらの状態は、1本の信号線を複数の出力が共用するときに、信号が衝突することを避けるために発生させます。内部的には、その信号線に対してリーク電流というごくわずかな電流しか流れず、浮いた状態となり、これをフローティングと呼びます。

なお、MOSデバイス同士の接続の場合、Hi-Z状態では、他に駆動源がないと入力(出力端子の場合、接続デバイスの入力)がフローティングとなり、入力バッファに貫通電流が流れる恐れがありますので、プルアップなどの処置が必要となります。



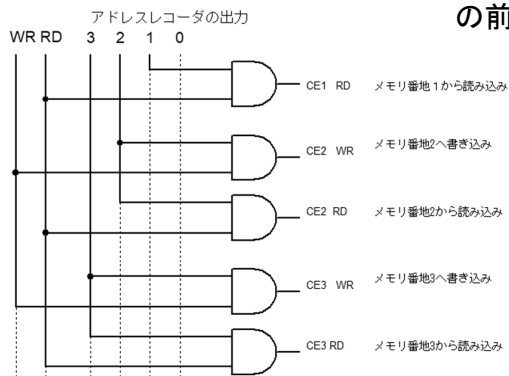
CPU内部構成

教科書P85



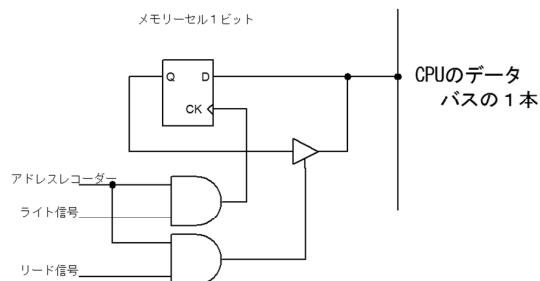
6

スリーステートバッファでメモリアクセス の前準備

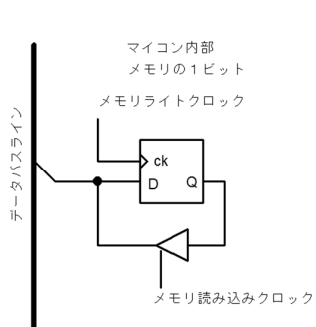


7

メモリの1ビットだけ切り出した



スリーステートバッファでメモリアクセス



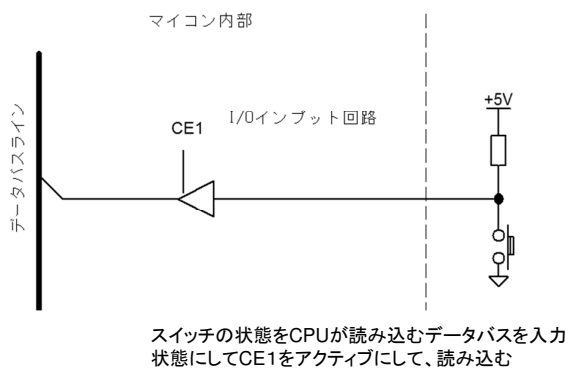
16ビットのCPUなら並列に16並んでいる

メモリへの書き込みはCPUからバスへデータが用意され、16個同時にメモリライトクロックで行う

同様にメモリからの読み込みは、CPUが入力状態になり、メモリ読み込みクロックがアクティブになり、データバスのB₁₅～B₀へ送り出されたデータをCPUが読み込む

9

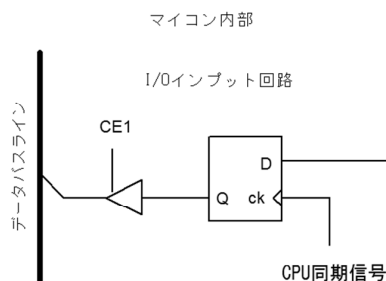
スリーステートバッファでI/Oアクセス



スイッチの状態をCPUが読み込むデータバスを入力状態にしてCE1をアクティブにして、読み込む

10

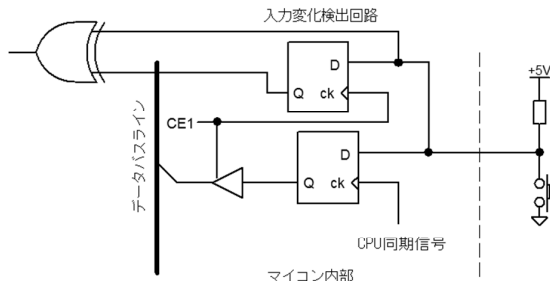
スリーステートバッファでメモリアクセス



CE1をアクティブにするときは、CPU同期信号をLOWにする。外部のデータを確実に取り込むように同期化できる。

11

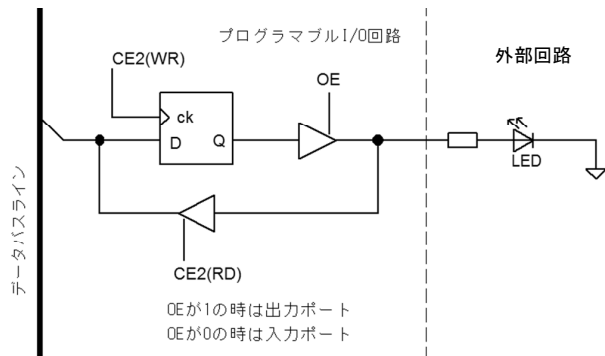
スリーステートバッファでメモリアクセス



入力状態が変化すると信号が出力される。ビットを読む(CE1の立ち上がり)でリセットされる

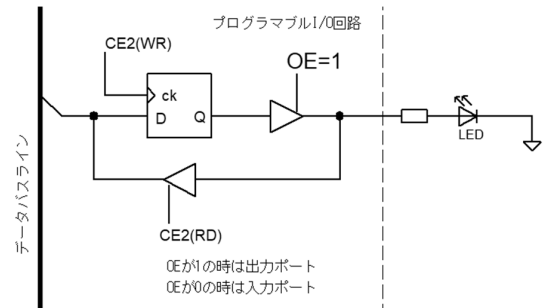
12

スリーステートバッファでI/Oアクセス



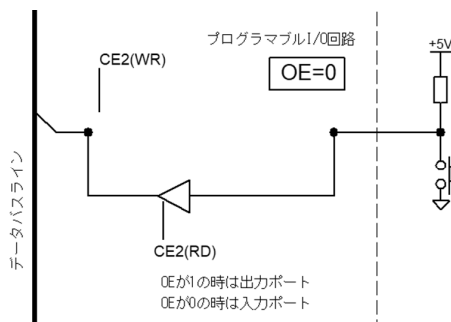
13

スリーステートバッファでI/Oアクセス



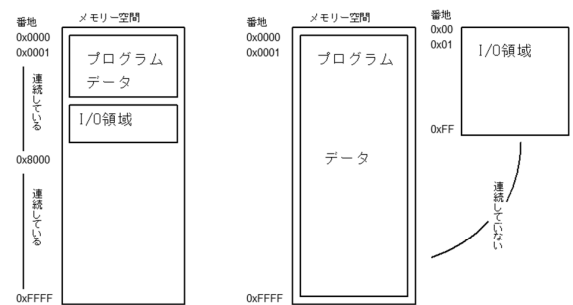
14

スリーステートバッファでI/Oアクセス

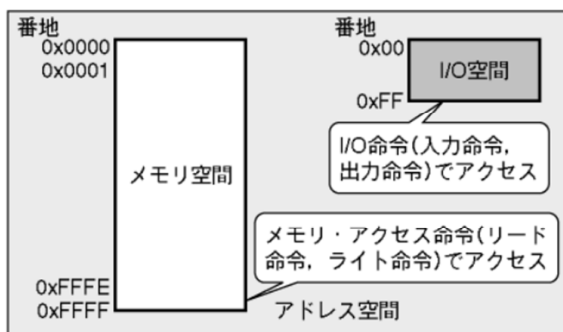


15

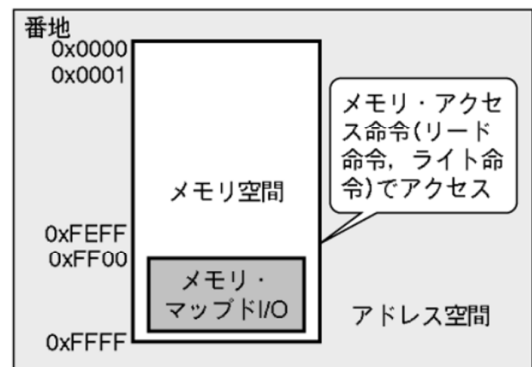
アドレスマッピング と I/O・メモリのアクセス



ポートマップドI/O (Port-mapped I/O)



メモリマップドI/O (Memory-mapped I/O)



汎用パソコン等2つのチップセットを使用 DMAの発展型



168	#pragma ADDRESS	admod_addr	009CH	// A/D Mode Register ₁
169				
170	#pragma ADDRESS	adinse1_addr	009DH	// A/D Input Select Register ₁
171				
172	#pragma ADDRESS	adcon0_addr	009EH	// A/D Control Register 0 ₁
173				
174	#pragma ADDRESS	adicsr_addr	009FH	
175				// A/D Interrupt Control Status Register ₁
176				
177	#pragma ADDRESS	pd1_addr	00A0H	// Port P1 Direction Register ₁
178				
179	#pragma ADDRESS	pd3_addr	00ABH	// Port P3 Direction Register ₁
180				
181	#pragma ADDRESS	pd4_addr	00ACH	// Port P4 Direction Register ₁
182				
183	#pragma ADDRESS	pda_addr	00ADH	// Port PA Direction Register ₁
184				

WZ
Editor
fr_r8m12a.h