

横河メータ&インスツルメンツ株式会社

[ホーム](#) > [技術情報](#) > [計測豆知識・技術レポート](#) > 高速A-D変換のしくみとIC活用術(前篇)

数MHz以上のアナログ信号をデジタル信号に変換するために

■ 高速A-D変換のしくみとIC活用術(前篇)

[◀ prev](#) [1](#) [2](#) [3](#) [4](#) [5](#) [6](#) [7](#) [8](#) [next ▶](#)

■ パイプライン型

●変換の仕組み

図6に示すのは、パイプライン型と呼ばれるA-Dコンバータの変換のしくみです。

パイプライン(pipeline)型A-Dコンバータは並列型A-Dコンバータと異なり、A-D変換を何段階かのステージに分けて行います。この方式は、バケツ・リレーのように1ビットずつのA-D変換を行います。

1ビットA-Dコンバータ、1ビットD-Aコンバータ、残差アンプ、サンプル&ホールド回路を構成要素とするパイプライン・

ステージが多段接続された構成となっており、最上位ビット(MSB)から最下位ビット(LSB)まで、1ビットずつ順番にA-D変換を行います。

アナログ入力信号は、初段のパイプライン・ステージで1ビットA-D変換されてMSBが決定されます。その決定されたMSBを1ビットD-Aコンバータでアナログ信号にいったん戻し、残差アンプでアナログ入力信号との差をとります。

ここで得られたアナログ信号は、MSBのA-D変換で生じた量子化誤差になります。この量子化誤差を次段のパイプライン・ステージで、再び1ビットA-D変換して、MSBから2ビット目を決定します。

以下、順番にパイプライン・ステージを最終段まで経由して1ビットずつA-D変換を行うことで、LSBまでの全ビットを決定します。

特定のアナログ信号サンプルに着目すると、LSBまでA-D変換が完了し、データが決定するまでにパイプライン・ステージ数だけクロック数が必要(レイテンシが長い)ですから、最初にアナログ信号が入力されて、データが確定するまでに時間を要します。

しかし、いったんデータが確定すれば、その後は毎クロック新たなアナログ信号サンプルに相当するデジタル・コードが確定するので、スルー・プット(変換速度)は並列型A-Dコンバータと同様に1クロックです。

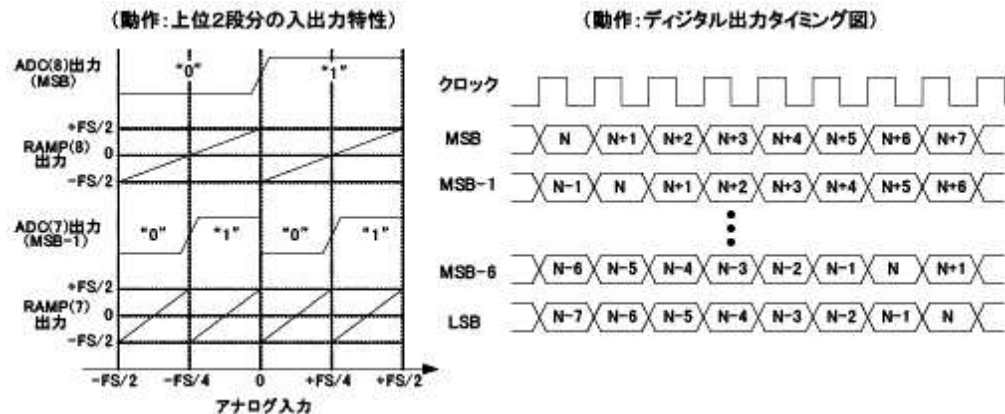
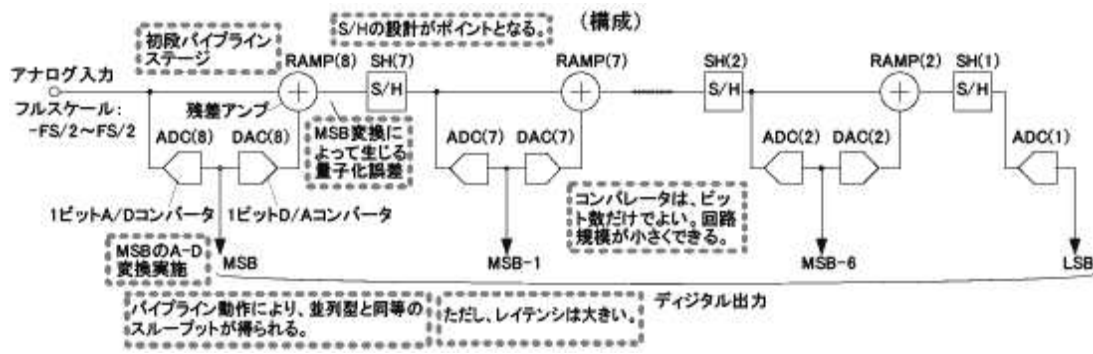


図6. パイプライン型A-Dコンバータの構成と動作(8bitの場合)

●特徴

パイプライン型は、1ビット・ステージを多段接続しパイプライン動作させることで、動作速度を保ったままコンパレータ数を削減した方式です。

下位ビットにいくほどA-D変換に要するクロック数が多くなるため、A-D変換結果を出力として取り出す際に、ビット間のレイテンシを合わせるためのシフトレジスタが必要です。シフトレジスタはLSBを除く全ビットに対して必要で、段数は上位ビットほど多段になります。特にバイポーラ・プロセスにおいて、回路規模や消費電力の増加を引き起こします。

段間に必要なサンプル&ホールド回路はスイッチングを伴うアナログ回路です。これは、バイポーラ・プロセスでの設計が難しく、動作速度や精度を得るために回路規模や消費電力が増加しがちです。シフトレジスタやサンプル&ホールド

回路が、比較的単純な構成で実現できるCMOSプロセスに適した方式だと言えるでしょう。