

**THIẾT KẾ VÀ ĐÁNH GIÁ CÁC CÔNG, MẠCH LOGIC
VÀ TUẦN TỰ VỚI CÔNG NGHỆ CMOS BẰNG
PHẦN MỀM CADENCE**

Nguyễn Hữu Tài

MỤC LỤC

Phần 1. LÝ THUYẾT VÀ MÔ PHỎNG CỘNG NOT	1
1.1. Lý thuyết	1
1.1.1. Ký hiệu và bảng trạng thái của cổng NOT.....	1
1.1.2. Sơ đồ nguyên lý.....	2
1.2. Mô phỏng với phần mềm Cadence.....	6
1.2.1. Sơ đồ nguyên lý và bảng thông số của transistor.....	6
1.2.2. Đóng gói sản phẩm	8
1.2.3. Cấp nguồn và tín hiệu	8
1.2.4. Kết quả ở dạng sóng.....	10
1.2.4.1. Đánh giá mức điện áp	11
1.2.4.2. Đánh giá mức dòng điện.....	13
1.2.4.3. Đánh giá độ trễ	15
1.2.4.4. Transition time.....	17
1.2.4.5. Công suất	18
1.2.5. Mô phỏng cổng NOT khi có tải C_L , R_L	21
1.2.6. So sánh giữa hai trường hợp có tụ C_L và không có tụ C_L	30
1.3. Kết luận.....	31
Phần 2. LÝ THUYẾT VÀ MÔ PHỎNG CỘNG NAND 2 NGÕ VÀO	33
2.1. Lý thuyết	33
2.1.1. Ký hiệu và bảng trạng thái của cổng NAND	33
2.1.2. Nguyên lý hoạt động của cổng NAND 2 ngõ vào	34
2.2. Mô phỏng với phần mềm Cadence.....	35
2.2.1. Sơ đồ nguyên lý và bảng thông số.....	35
2.2.2. Đóng gói sản phẩm	37

2.2.3. Cáp nguồn và tín hiệu	37
2.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng	40
2.2.4.1. Đánh giá mức điện áp.....	41
2.2.4.2. Đánh giá độ trễ	50
2.2.4.3. Transition time	54
2.2.4.4. Công suất.....	55
2.2.5. Mô phỏng cỗng NAND khi có tải C_L, R_L	58
2.2.5.1. Đánh giá độ trễ	58
2.2.5.2. Transition time	63
2.2.5.3. Công suất.....	65
2.2.6. So sánh giữa hai trường hợp có tải và lý tưởng	67
 Phần 3. LÝ THUYẾT VÀ MÔ PHỎNG CỘNG NOR 2 NGÕ VÀO	68
3.1. Lý thuyết	68
3.1.1. Ký hiệu và bảng trạng thái của cỗng NOR	68
3.1.2. Nguyên lý hoạt động của cỗng NOR 2 ngõ vào	69
3.2. Mô phỏng với phần mềm Cadence.....	70
3.2.1. Sơ đồ nguyên lý và bảng thông số.....	70
3.2.2. Đóng gói sản phẩm	72
3.2.3. Cáp nguồn và tín hiệu	72
3.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng	75
3.2.4.1. Đánh giá mức điện áp.....	76
3.2.4.2. Đánh giá độ trễ	84
3.2.4.3. Transition time	88
3.2.4.4. Công suất.....	89
3.2.5. Mô phỏng cỗng NOR khi có tải C_L, R_L	92
3.2.5.1. Đánh giá độ trễ	92
3.2.5.2. Transition time	97

3.2.5.3. Công suất.....	99
3.2.6. So sánh giữa hai trường hợp có tải và lý tưởng	101
3.3. Tạo cổng NAND từ cổng NOR	102
3.3.1. Đánh giá dạng sóng ngũ ra	103
3.3.2. Đánh giá độ trễ.....	103
3.3.3. Transition time	108
3.3.4. Công suất	109
3.3.5. So sánh với cổng NAND theo thiết kế CMOS.....	111
 Phần 4. LÝ THUYẾT VÀ MÔ PHỎNG CỔNG XOR.....	113
4.1. Lý thuyết	113
4.1.1. Ký hiệu và bảng trạng thái của cổng XOR	113
4.1.2. Sơ đồ nguyên lý của cổng XOR	114
4.2. Mô phỏng với phần mềm Cadence.....	115
4.2.1. Sơ đồ nguyên lý và bảng thông số.....	115
4.2.2. Đóng gói sản phẩm	117
4.2.3. Cấp nguồn và tín hiệu	117
4.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng	120
4.2.4.1. Đánh giá mức điện áp.....	121
4.2.4.2. Đánh giá độ trễ	131
4.2.4.3. Transition time	135
4.2.4.4. Công suất.....	137
4.2.5. Mô phỏng cổng XOR khi có tải C_L, R_L	139
4.2.5.1. Đánh giá độ trễ	139
4.2.5.2. Transition time	144
4.2.5.3. Công suất.....	145
4.2.6. So sánh giữa hai trường hợp có tải và lý tưởng	148

Phân 5. LÝ THUYẾT VÀ MÔ PHỎNG CỘNG XNOR	149
5.1. Lý thuyết	149
5.1.1. Ký hiệu và bảng trạng thái của cổng XNOR.....	149
5.1.2. Sơ đồ nguyên của cổng XNOR	150
5.2. Mô phỏng với phần mềm Cadence.....	151
5.2.1. Sơ đồ nguyên lý và bảng thông số.....	151
5.2.2. Đóng gói sản phẩm	153
5.2.3. Cáp nguồn và tín hiệu	153
5.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng	156
5.2.4.1. Đánh giá mức điện áp.....	157
5.2.4.2. Đánh giá độ trễ	166
5.2.4.3. Transition time	171
5.2.4.4. Công suất.....	172
5.2.5. Mô phỏng cổng XNOR khi có tải C_L, R_L	175
5.2.5.1. Đánh giá độ trễ	175
5.2.5.2. Transition time	180
5.2.5.3. Công suất.....	181
5.2.6. So sánh giữa hai trường hợp có tải và lý tưởng	184
Phân 6. LÝ THUYẾT VÀ MÔ PHỎNG CỘNG AND 2 NGÕ VÀO	185
6.1. Lý thuyết	185
6.1.1. Ký hiệu và bảng trạng thái của cổng AND	185
6.1.2. Nguyên lý hoạt động của cổng AND 2 ngõ vào	186
6.2. Mô phỏng với phần mềm Cadence.....	187
6.2.1. Sơ đồ nguyên lý và bảng thông số.....	187
6.2.2. Đóng gói sản phẩm	189
6.2.3. Cáp nguồn và tín hiệu	189

6.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng	192
6.2.4.1. Đánh giá mức điện áp.....	193
6.2.4.2. Đánh giá độ trễ	202
6.2.4.3. Transition time	206
6.2.4.4. Công suất.....	207
6.2.5. Mô phỏng công AND khi có tải C_L, R_L	210
6.2.5.1. Đánh giá độ trễ	210
6.2.5.2. Transition time	215
6.2.5.3. Công suất.....	216
6.2.6. So sánh giữa hai trường hợp có tải và lý tưởng	219
 Phần 7. LÝ THUYẾT VÀ MÔ PHỎNG CÔNG OR 2 NGÕ VÀO	220
7.1. Lý thuyết	220
7.1.1. Ký hiệu và bảng trạng thái của công OR	220
7.1.2. Nguyên lý hoạt động của công OR 2 ngõ vào.....	221
7.2. Mô phỏng với phần mềm Cadence.....	222
7.2.1. Sơ đồ nguyên lý và bảng thông số.....	222
7.2.2. Đóng gói sản phẩm	224
7.2.3. Cáp nguồn và tín hiệu	224
7.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng	227
7.2.4.1. Đánh giá mức điện áp.....	228
7.2.4.2. Đánh giá độ trễ	236
7.2.4.3. Transition time	240
7.2.4.4. Công suất.....	241
7.2.5. Mô phỏng công OR khi có tải C_L, R_L	244
7.2.5.1. Đánh giá độ trễ	244
7.2.5.2. Transition time	249
7.2.5.3. Công suất.....	250

7.2.6. So sánh giữa hai trường hợp có tải và lý tưởng	253
Phần 8. LÝ THUYẾT VÀ MÔ PHỎNG BỘ CỘNG TOÀN PHẦN FULL ADDER	
8.1. Lý thuyết	254
8.1.1. Sơ đồ khối, bảng trạng thái của bộ cộng toàn phần FA	254
8.1.2. Sơ đồ logic của bộ cộng toàn phần FA	255
8.2. Mô phỏng với phần mềm Cadence.....	255
8.2.1. Sơ đồ mô phỏng	255
8.2.2. Đóng gói sản phẩm	256
8.2.3. Cấp nguồn và tín hiệu	257
8.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng.....	260
8.2.4.1. Đánh giá mức điện áp	261
8.2.4.2. Đánh giá độ trễ	263
8.2.4.3. Công suất.....	265
8.3. Trường hợp có tải C_L , R_L	267
Phần 9. LÝ THUYẾT VÀ MÔ PHỎNG BỘ CỘNG HAI SỐ NHỊ PHÂN 4 BIT 270	
9.1. Lý thuyết.....	270
9.2. Mô phỏng với phần mềm Cadence.....	272
9.2.1. Sơ đồ mô phỏng	272
9.2.2. Đóng gói sản phẩm.....	272
9.2.3. Cấp nguồn và tín hiệu	273
9.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng	276
9.2.5. Công suất trong trường hợp lý tưởng	279
9.2.6. Công suất trung bình trong trường hợp có tải C_L , R_L	281
Phần 10. CƠ SỞ LÝ THUYẾT VỀ BỘ GHÉP KÊNH..... 284	

10.1.	Khái niệm và mô tả bộ ghép kênh.....	284
10.2.	Sơ đồ khói của bộ ghép kênh 2 vào.....	285
10.3.	Bảng trạng thái	285
10.4.	Sơ đồ logic của bộ Mux 2:1	286
10.5.	Thiết kế bộ Mux 2:1 sử dụng 2 transistor pMOS và nMOS	287
	<i> 10.5.1. Thiết kế và đóng gói trên Cadence.....</i>	287
	<i> 10.5.2. Mô tả đặc tính của bộ Mux 2:1 sử dụng 2 transistor.....</i>	289
	10.5.2.1. Cáp nguồn và tín hiệu	289
	10.5.2.2. Đánh giá mức điện áp.....	293
	10.5.2.3. Đánh giá độ trễ	295
	10.5.2.4. Transition time	297
	10.5.2.5. Công suất.....	299
10.6.	Thiết kế bộ Mux 2:1 sử dụng 4 transistor pMOS và nMOS	302
	<i> 10.6.1. Thiết kế và đóng gói trên Cadence.....</i>	302
	<i> 10.6.2. Mô tả đặc tính của bộ Mux 2:1 sử dụng 4 transistor.....</i>	303
	10.6.2.1. Cáp nguồn và tín hiệu	303
	10.6.2.2. Đánh giá mức điện áp.....	304
	10.6.2.3. Đánh giá độ trễ	307
	10.6.2.4. Transition time	309
	10.6.2.5. Công suất.....	311
10.7.	Thiết kế bộ Mux 2:1 sử dụng công logic.....	314
	<i> 10.7.1. Thiết kế và đóng gói trên Cadence.....</i>	314
	<i> 10.7.2. Mô tả đặc tính của bộ Mux 2:1 sử dụng công logic</i>	315
	10.7.2.1. Cáp nguồn và tín hiệu	315
	10.7.2.2. Đánh giá mức điện áp.....	316
	10.7.2.3. Đánh giá độ trễ	318
	10.7.2.4. Transition time	321
	10.7.2.5. Công suất.....	323

10.8. Tóm tắt và đánh giá	326
Phần 11. CƠ SỞ LÝ THUYẾT VỀ FLIP – FLOP D	327
11.1. Tổng quan về Flip – flop	327
11.2. Tổng quan về Flip – flop D	328
11.3. Các loại mạch ứng dụng của Flip – flop D	329
<i>11.3.1.Mạch Master – Slave</i>	329
<i>11.3.2.Mạch Alternative – Slave</i>	330
<i>11.3.3.Mạch Master – Slave có các tín hiệu không đồng bộ</i>	331
<i>11.3.4.Mạch Master – Slave có tín hiệu điều khiển Load</i>	332
<i>11.3.5.Mạch TFF được chuyển đổi từ DFF sử dụng Feedback</i>	333
11.4. Mô phỏng mạch Master – Slave trên phần mềm Cadence	334
<i>11.4.1. Thiết kế và đóng gói trên Cadence</i>	334
<i>11.4.2. Mô tả đặc tính của mạch Master – Slave</i>	336
11.4.2.1. Cấp nguồn và tín hiệu	336
11.4.2.2. Đánh giá mức điện áp.....	339
11.4.2.3. Đánh giá độ trễ	342
11.4.2.4. Transition time	345
11.4.2.5. Công suất.....	349
11.5. Mô phỏng mạch Master – Slave có các tín hiệu không đồng bộ trên phần mềm Cadence	351
<i>11.5.1. Thiết kế và đóng gói trên Cadence.....</i>	351
<i>11.5.2. Mô tả đặc tính của mạch Master – Slave có điều khiển Set/Clear</i>	353
11.5.2.1. Cấp nguồn và tín hiệu	353
11.5.2.2. Đánh giá mức điện áp.....	357
11.5.2.3. Đánh giá độ trễ.....	359
11.5.2.4. Transition time	364
11.5.2.5. Công suất	366

11.6. Mô phỏng mạch Master – Slave có tín hiệu điều khiển LOAD trên phần mềm Cadence	369
11.6.1. Thiết kế và đóng gói trên Cadence	369
11.6.2. Mô tả đặc tính của mạch Master – Slave có điều khiển LOAD	371
11.6.2.1. Cáp nguồn và tín hiệu	371
11.6.2.2. Đánh giá mức điện áp	374
11.6.2.3. Đánh giá độ trễ	375
11.6.2.4. Transition time	378
11.6.2.5. Công suất	380
11.7. Tổng kết và đánh giá	383
 Phần 12. THANH GHI DỊCH	384
12.1. Khái niệm và mô tả thanh ghi dịch	384
12.2. Các loại thanh ghi dịch	384
12.3. Sơ đồ mạch của các loại thanh ghi dịch	386
12.4. Thiết kế thanh ghi dịch 4 bit vào nối tiếp, ra nối tiếp với Cadence	388
12.4.1. Thiết kế và đóng gói trên Cadence	388
12.4.2. Mô tả đặc tính của thanh ghi dịch vào nối tiếp, ra nối tiếp	389
12.4.2.1. Cáp nguồn và tín hiệu	389
12.4.2.2. Đánh giá mức điện áp	393
12.4.2.3. Đánh giá độ trễ	396
12.4.2.4. Transition time	399
12.4.2.5. Công suất	401

Phần 1

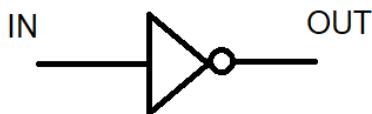
LÝ THUYẾT VÀ MÔ PHỎNG CÔNG NOT

1.1. Lý thuyết

1.1.1. Ký hiệu và bảng trạng thái của công NOT

Công đảo (NOT) là một trong các công logic được sử dụng phổ biến trong thực tế và có vai trò quan trọng trong thiết kế vi mạch số. Công đảo hoạt động bằng cách đảo ngược giá trị logic (0 và 1) giữa ngõ vào và ngõ ra của nó. Giá trị logic được xác định bằng mức điện áp tại ngõ vào và ngõ ra (với mức điện áp dương +V biểu thị cho giá trị logic 1 và mức điện áp ~0V biểu thị cho giá trị logic 0).

Ký hiệu:



Hình 1.1.1. Ký hiệu của công đảo (NOT)

Bảng trạng thái:

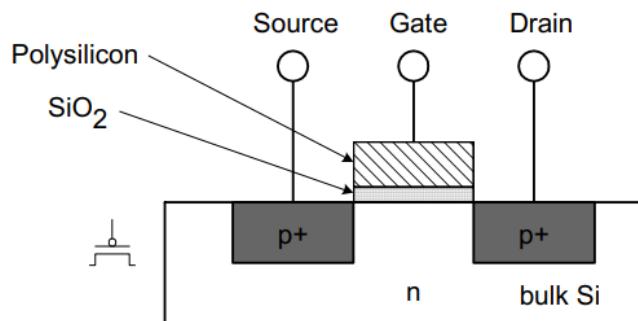
Bảng 1.1.1. Bảng trạng thái của công NOT

IN	OUT
0	1
1	0

1.1.2. Sơ đồ nguyên lý

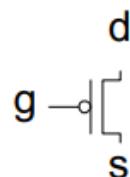
* Transistor pMOS

Transistor pMOS được cấu tạo như hình sau:



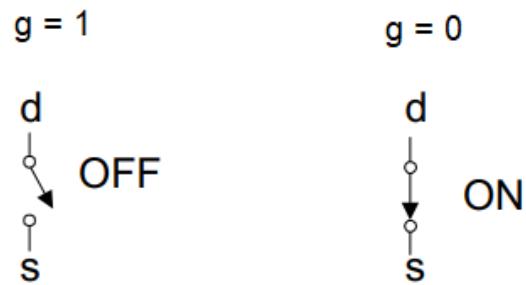
Hình 1.1.2. Cấu tạo của transistor pMOS

Ký hiệu:



Hình 1.1.3. Ký hiệu của transistor pMOS

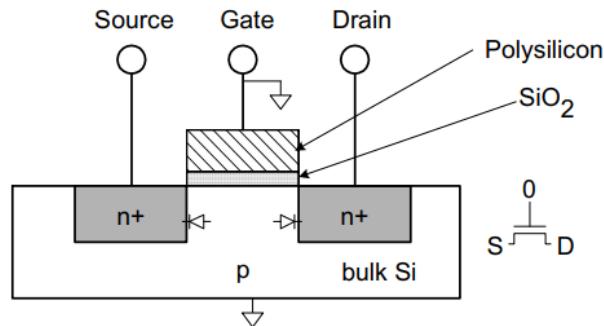
Nguyên lý hoạt động: Khi công tắc g được cấp một mức điện áp cao ($g = 1$) thì pMOS sẽ như một công tắc mở, dòng điện không thể đi qua từ cực d (drain) đến cực s (source) và ngược lại khi công tắc g được cấp một mức điện áp thấp ($g = 0$).



Hình 1.1.4. Sơ đồ nguyên lý hoạt động của pMOS

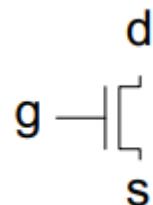
* Transistor nMOS

Transistor nMOS được cấu tạo như hình sau:



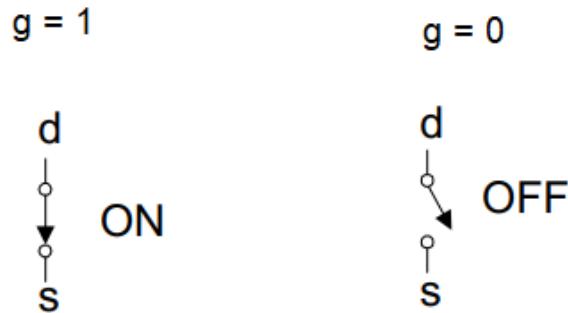
Hình 1.1.5. Cấu tạo của transistor nMOS

Ký hiệu:



Hình 1.1.6. Cấu tạo của transistor nMOS

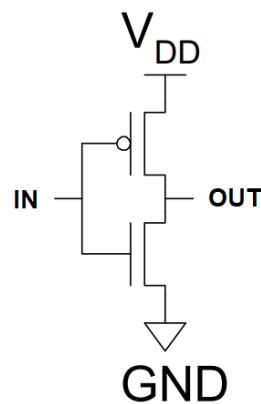
Nguyên lý hoạt động: Khi cổng g được cấp một mức điện áp cao ($g = 1$) thì nMOS sẽ như một công tắc đóng, dòng điện sẽ đi qua từ cực d (drain) đến cực s (source) và ngược lại khi g được cấp một mức điện áp thấp ($g = 0$).



Hình 1.1.7. Sơ đồ nguyên lý hoạt động của nMOS

* Nguyên lý hoạt động của cổng NOT

Mạch cổng NOT sử dụng 2 transistor CMOS bao gồm 1 transistor pMOS và 1 transistor nMOS mắc nối tiếp với nhau giữa nguồn VDD và GND như hình 1.1.8.



Hình 1.1.8. Sơ đồ nguyên lý cổng NOT sử dụng công nghệ CMOS

Khi một tín hiệu logic được đưa vào đầu vào (IN) của công đảo, transistor nMOS sẽ bị kích hoạt nếu giá trị logic là 0 và transistor pMOS sẽ bị kích hoạt nếu giá trị logic là 1. Khi transistor nMOS hoặc pMOS bị kích hoạt, đầu ra tương ứng sẽ bị kéo lên mức điện áp cao hoặc thấp, và giá trị logic tại đầu ra sẽ đảo ngược so với giá trị logic tại đầu vào.

* Tỉ lệ W/L:

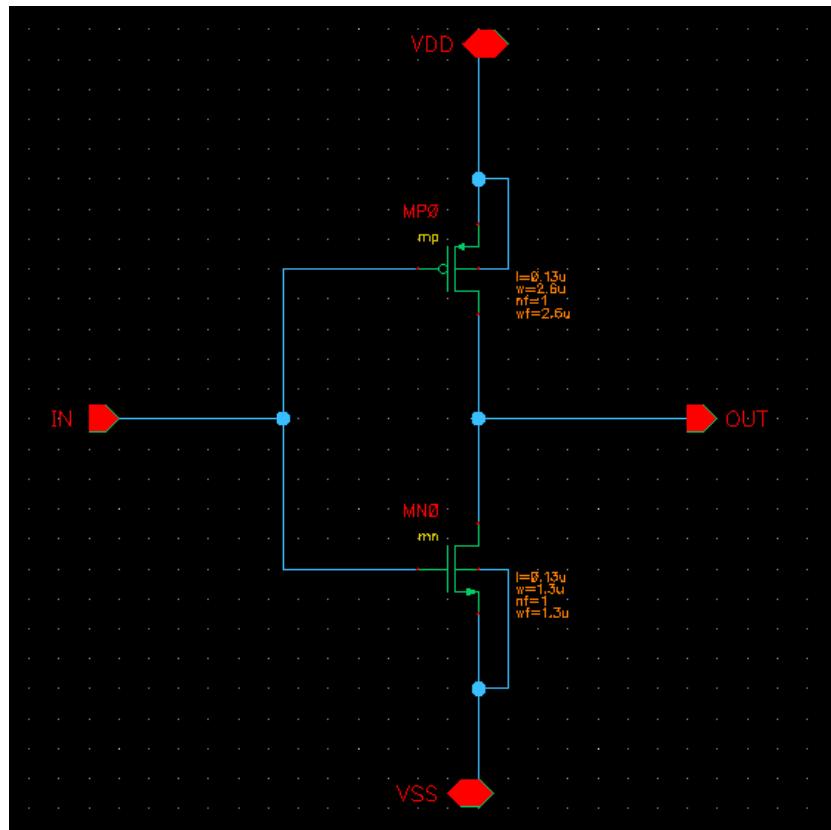
Tỉ lệ W/L của MOSFET là tỉ lệ giữa độ rộng của kênh MOSFET (W) và độ dài của kênh (L). Tỉ lệ W/L là một thông số quan trọng của MOSFET, ảnh hưởng đến các đặc tính của MOSFET, chẳng hạn như điện trở đầu vào, trễ, tốc độ chuyển đổi và tiêu thụ năng lượng. Tỉ lệ W/L càng lớn, kênh MOSFET càng rộng so với độ dài, do đó MOSFET có điện trở đầu vào thấp hơn, trễ ít hơn và tốc độ chuyển đổi nhanh hơn. Tuy nhiên, tỉ lệ W/L lớn cũng dẫn đến tiêu thụ năng lượng cao hơn. Tỉ lệ W/L của pMOS lớn hơn so với nMOS trong các mạch số vì pMOS có điện trở đầu vào cao hơn nMOS. Do đặc tính bán dẫn và tính linh hoạt về electron và lỗ trống khác nhau giữa bán dẫn P và bán dẫn N.

1.2. Mô phỏng với phần mềm Cadence

Ta sử dụng công nghệ CMOS 0.13 μm của Samsung để thiết kế cổng NOT và đánh giá cổng logic này từ kết quả mô phỏng thu được. Phần mềm thiết kế được sử dụng là Cadence để thiết kế và thực hiện mô phỏng thiết kế, tính toán các thông số như công suất tiêu thụ, độ trễ của mạch tích hợp.

1.2.1. Sơ đồ nguyên lý và bảng thông số của transistor

Dựa vào sơ đồ nguyên lý *Hình 1.1.8*, ta thiết kế cổng NOT sử dụng CMOS như sau:



Hình 1.2.1. Sơ đồ nguyên lý cổng NOT thiết kế trên Cadence

* Thông số của các transistor

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	2.6 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 1.2.2. Thông số cài đặt cho transistor pMOS

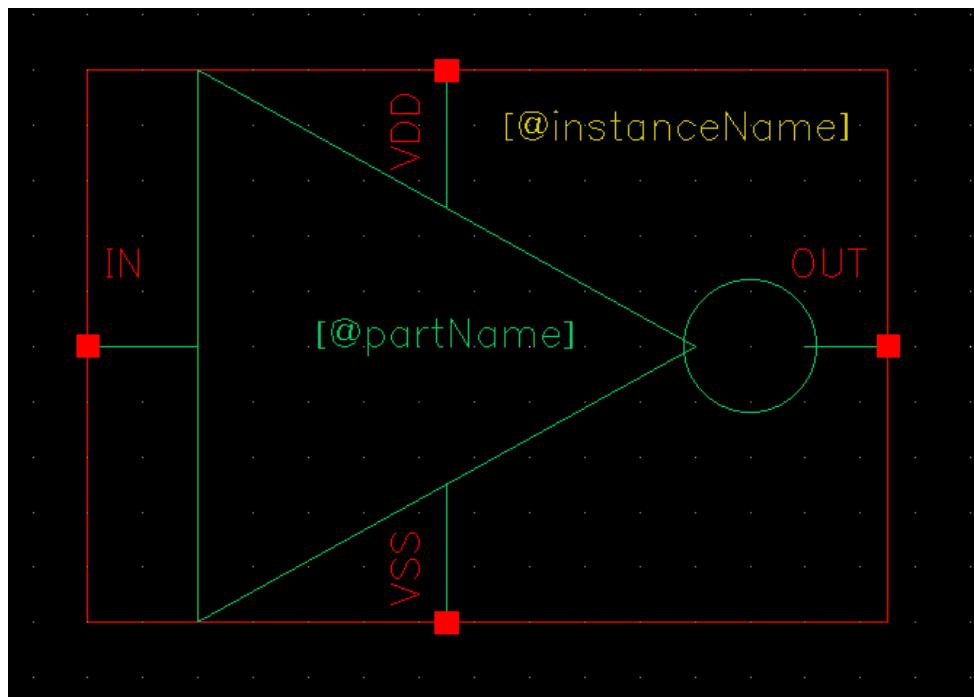
CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	1.3 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 1.2.3. Thông số cài đặt cho transistor nMOS

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do đó muốn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

1.2.2. Đóng gói sản phẩm

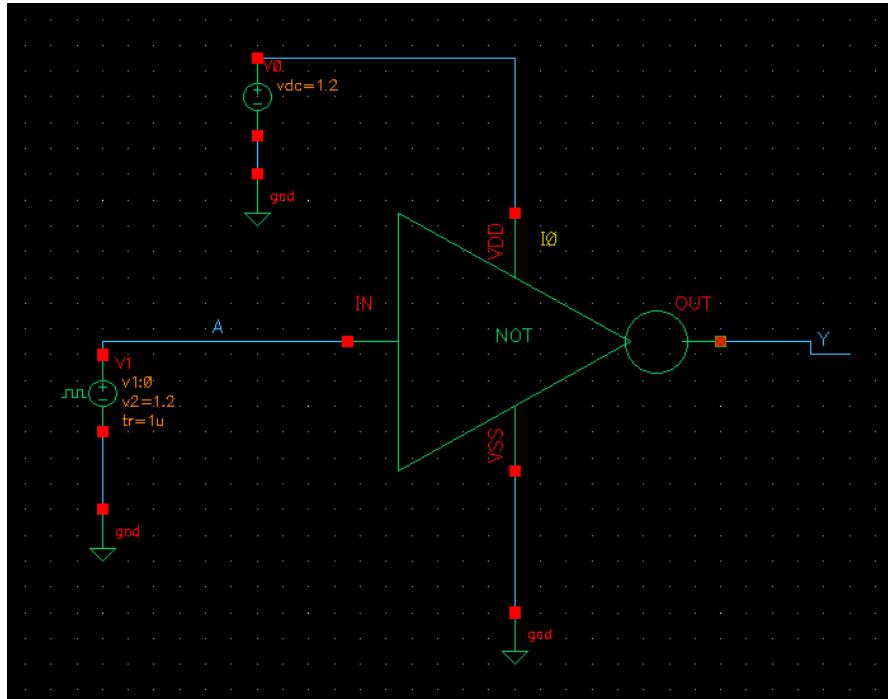
Sau khi hoàn thành sơ đồ mạch nguyên lý cổng NOT, ta tiến hành đóng gói sơ đồ theo hình dạng là kí hiệu của cổng NOT như *Hình 1.1.1*.



Hình 1.2.4. Kí hiệu cổng NOT sau khi đóng gói

1.2.3. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cổng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho cổng NOT đã đóng gói như sau:



Hình 1.2.5. Cổng NOT đã đóng gói sau khi cấp nguồn và tín hiệu

Tại ngõ VCC của cổng NOT, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V cho cổng như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2 V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 1.2.6. Thông số của nguồn cung cấp VDC

Tại ngõ VSS: nối đất (GND).

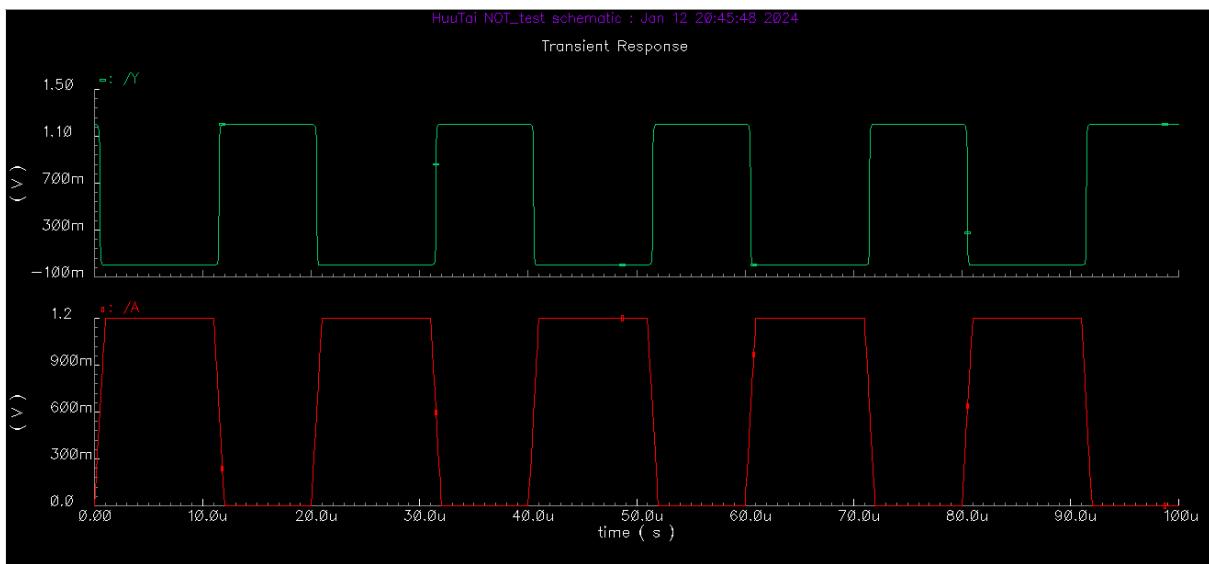
Tại ngõ vào IN, ta đặt một nguồn V_{pulse} để cấp xung vuông có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 1 μ s, độ rộng xung (Pulse width) là 10 μ s và chu kỳ (Period) là 20 μ s.

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	1u s	off ▾
Fall time	1u s	off ▾
Pulse width	10u s	off ▾
Period	20u s	off ▾

Hình 1.2.7. Thông số của nguồn V_{pulse}

1.2.4. Kết quả ở dạng sóng

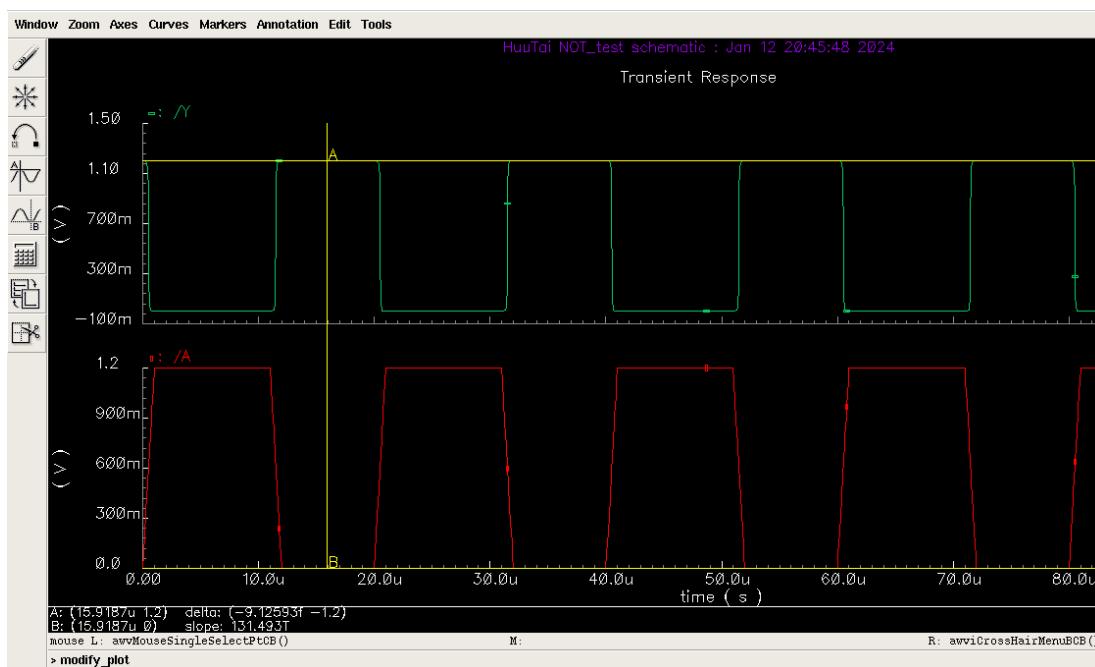
Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (IN) và ngõ ra (OUT) của cổng NOT và thu được kết quả như sau:



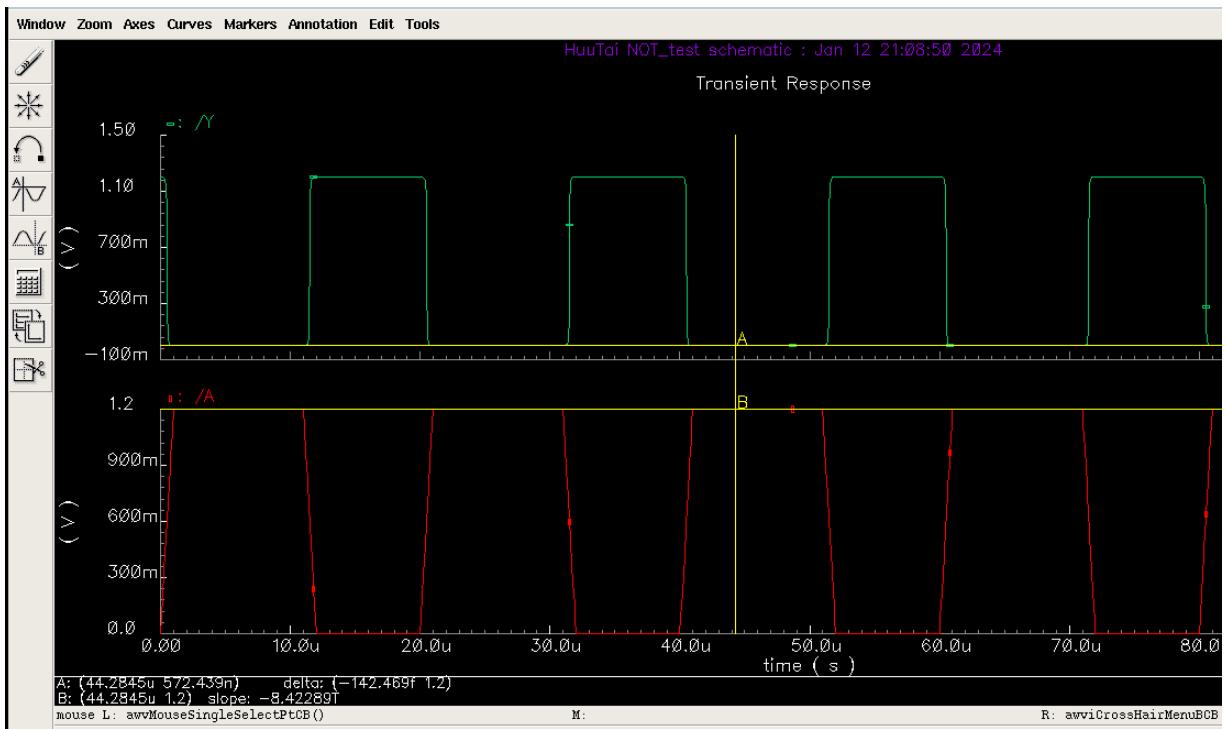
Hình 1.2.8. Dạng sóng điện áp ngõ vào (màu đỏ) và điện áp ngõ ra (màu xanh) của công NOT

1.2.4.1. Đánh giá mức điện áp:

Ta kiểm tra dạng sóng mô phỏng bằng việc đánh dấu các điểm A và B tại 2 thời điểm khác nhau như sau:



Hình 1.2.9. Đánh dấu điện áp tại thời điểm thứ nhất



Hình 1.2.10. Đánh dấu điện áp tại thời điểm thứ hai

Từ việc đánh dấu tại 2 thời điểm trên, ta thu được bảng kết quả sau:

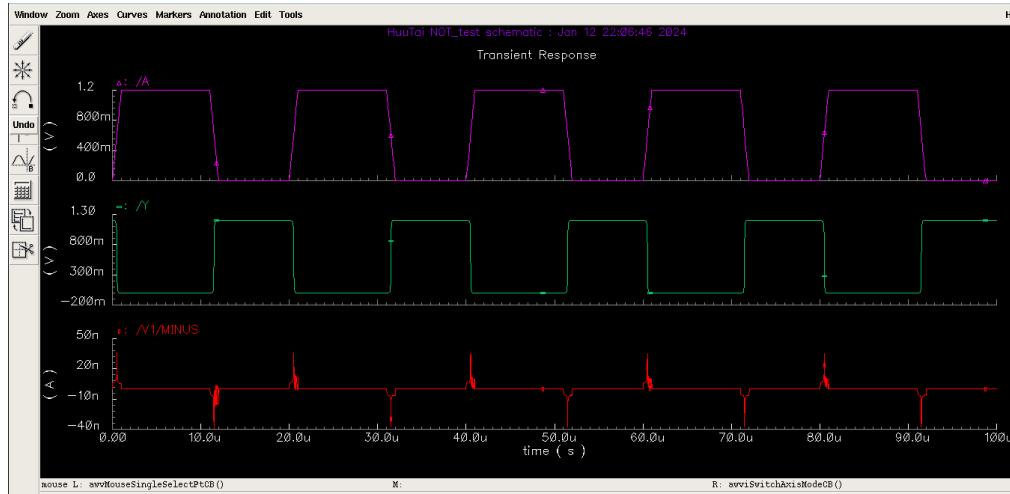
Bảng 1.2.1. Kết quả đánh giá điện áp tại các điểm A, B vào 2 thời điểm khác nhau

Thời gian	Điện áp tại điểm A	Điện áp tại điểm B
15,9187 μ s	1,2V	0V
44,2845 μ s	572,439 nV	1,2V

Từ *Bảng 1.2.1.* ta thấy rằng tại 2 thời điểm khác nhau khi các điện áp khác nhau tại ngõ vào (IN) thì kết quả ngõ ra (OUT) bị đảo ngược mức logic tương ứng với giá trị điện áp. Do đó dạng sóng mô phỏng là đúng với lý thuyết.

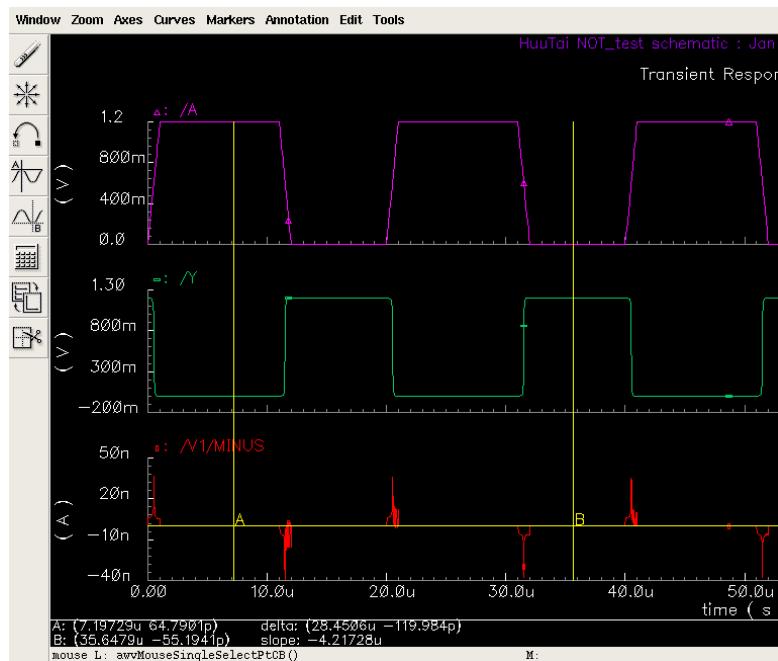
1.2.4.2. Đánh giá mức dòng điện:

Ta vẽ dạng sóng của dòng điện từ nguồn V_{pulse} thu được hình như sau:



Hình 1.2.11. Dạng sóng của dòng điện ngõ vào (màu đỏ)

Để kiểm tra dạng sóng, ta đánh dấu mức dòng điện tại 2 thời điểm A và B có dạng sóng bình thường như sau:



Hình 1.2.12. Đánh dấu dòng điện tại 2 thời điểm A và B bình thường

Dòng điện ngõ vào I_{in} là dòng điện chạy từ nguồn xung V_{pulse} vào IN của công đảo. Ở *Hình 1.2.12.* mô tả dạng sóng dòng điện I_{in} của ngõ vào tại các mức điện áp cao và thấp đều cho ra dòng điện rất nhỏ, cụ thể như sau:

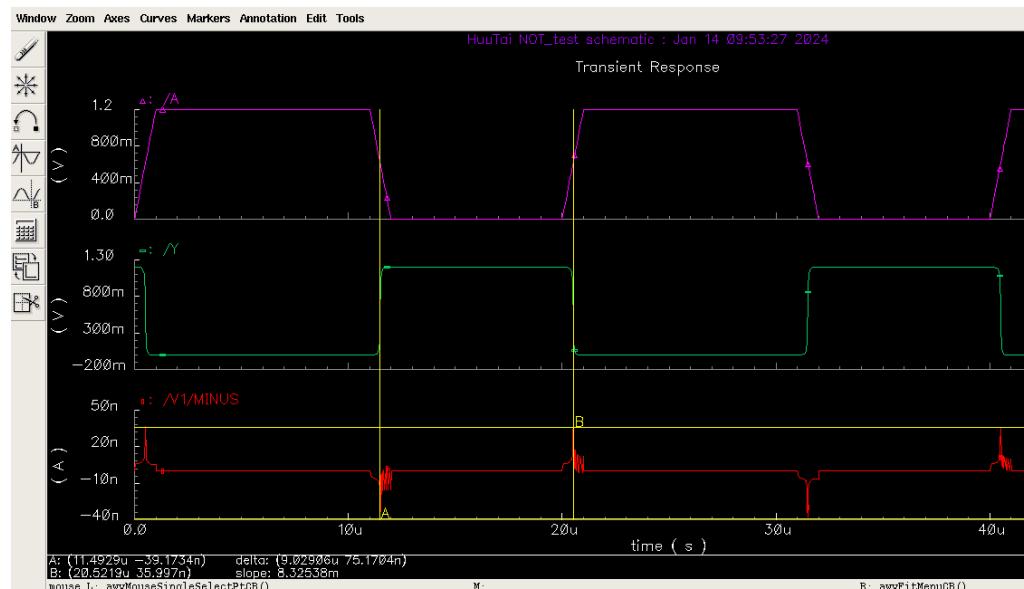
Bảng 1.2.2. Kết quả đánh giá mức dòng điện tại 2 thời điểm A và B bình thường

Thời gian	Áp ngõ vào IN	Áp ngõ ra OUT	I_{in}
A: 7,19729 μ s	1,2V	0V	64,7901 pA
B: 35,6479 μ s	0V	1,2V	-55,1941 pA

Ta thấy với dòng điện cho ra có cường độ rất nhỏ (gần như bằng 0A) và điều này giống như lý thuyết.

Tại các điểm bất thường trên dạng sóng:

Ta thấy trên dạng sóng của dòng điện có những vị trí lên xuống bất thường, tiến hành đánh dấu tại một vài vị trí đó như sau:



Hình 1.2.13. Đánh dấu dòng điện tại 2 thời điểm A và B bất thường

Khi điện áp chuyển từ mức cao xuống mức thấp, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của công đảo để giảm điện áp đầu vào về mức thấp. Khi điện áp đầu vào giảm xuống mức thấp, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của công đảo.

Khi điện áp chuyển từ mức thấp lên mức cao, trên dây dẫn sẽ có một dòng điện lớn chảy ra khỏi đầu vào của công đảo để tăng điện áp đầu vào lên mức cao. Khi điện áp đầu vào tăng lên mức cao, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của công đảo.

Nguyên nhân chính của sự thay đổi này là do tính chất của các linh kiện điện tử được mô tả bằng các thông số kỹ thuật như là điện trở đầu vào, điện dung đầu vào, trễ thời gian,... Các thông số này ảnh hưởng đến quá trình chuyển đổi và dẫn đến sự thay đổi đáng kể của dòng điện tại thời điểm chuyển đổi.

Bảng 1.2.3. Kết quả đánh giá dòng điện tại 2 thời điểm A và B bắt thường

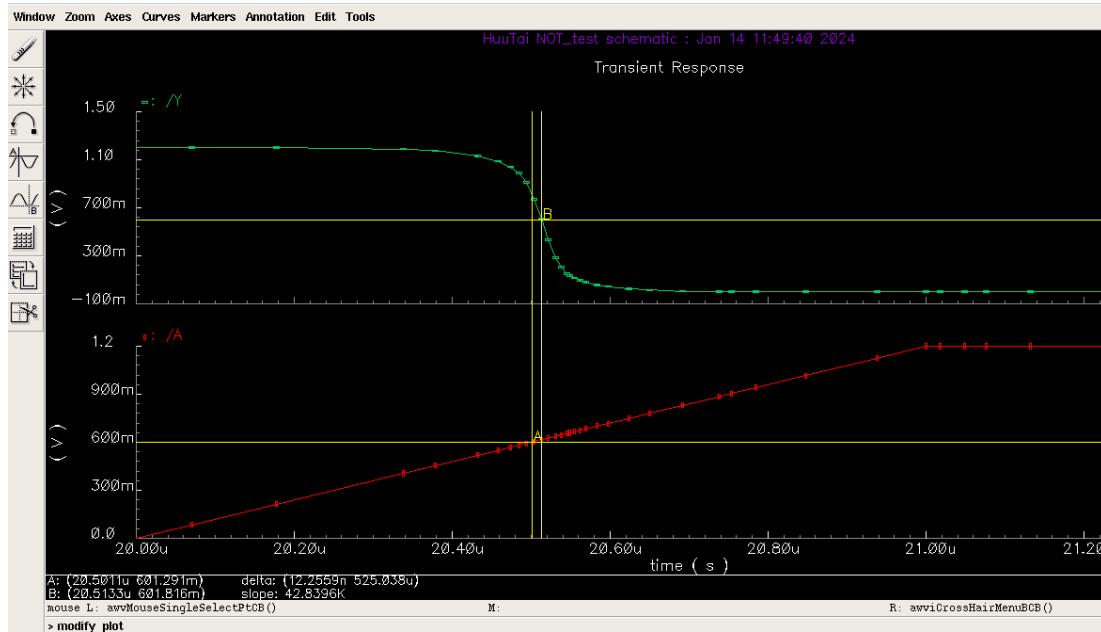
Thời gian	Dòng điện I
11,4929 μ s	-39,1734 nA
20,5219 μ s	35,997 nA

1.2.4.3. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% của biên độ ngõ vào đến lúc ngõ ra đạt 50% biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

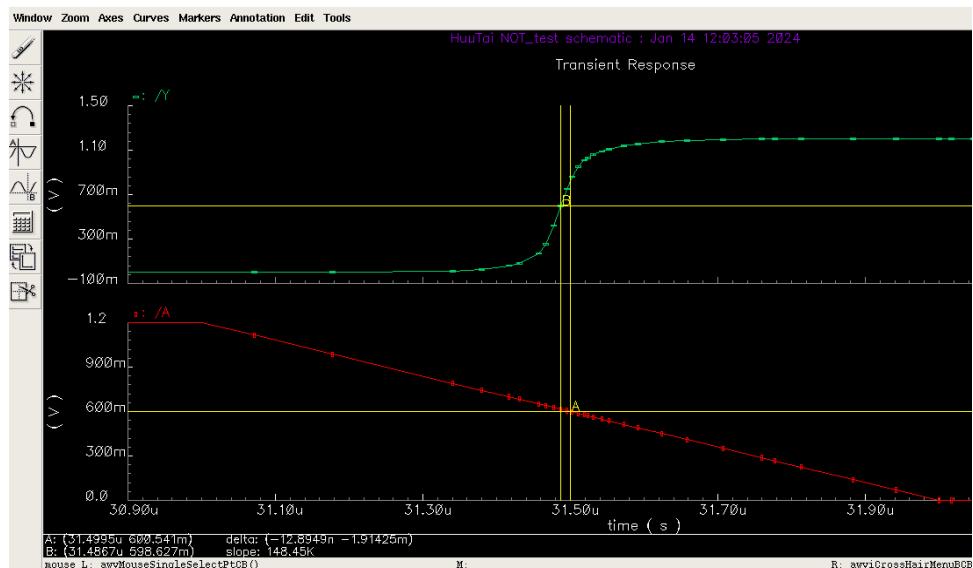
Ta đánh dấu thời gian của ngõ vào khi cạnh lên như sau:



Hình 1.2.14. Đo thời gian trễ khi ngõ vào cạnh lên

Khi điện áp ngõ vào tăng lên đến 601,291 mV (điểm A) và điện áp ngõ ra giảm xuống đến 601,816 mV (điểm B) thì khoảng thời gian chênh lệch là 12,2559 ns hay nói $t_{pd} = 12,2559$ ns.

Ta đánh dấu thời gian của ngõ vào khi cạnh xuống như sau:



Hình 1.2.15. Đo thời gian trễ khi ngõ vào cạnh xuống

Khi điện áp ngõ vào giảm xuống đến 600,541 mV (điểm A) và điện áp ngõ ra tăng lên đến 598,627 mV (điểm B) thì khoảng thời gian chênh lệch là 12,8949 ns hay nói t_{pdf} = 12,8949 ns.

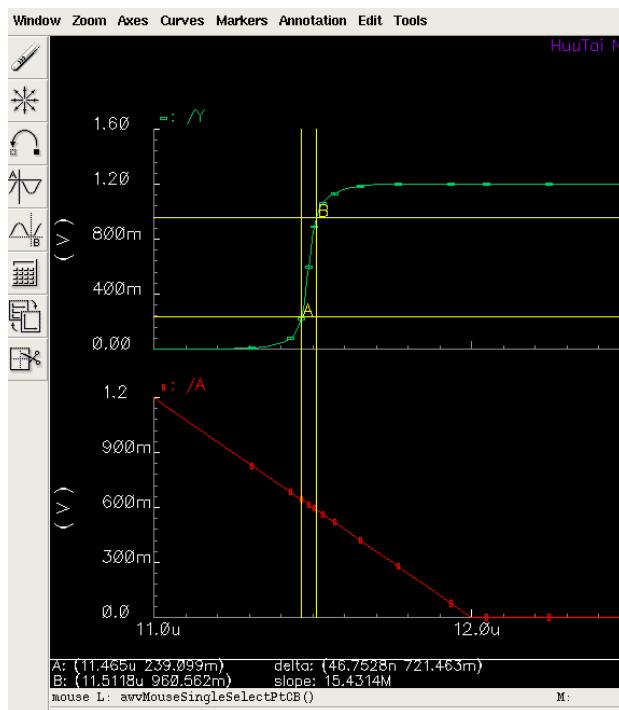
Có được t_{pdr} và t_{pdf}, ta có thể tính được thời gian trễ t_{pd} theo công thức sau:

$$t_{pd} = (t_{pdr} + t_{pdf}) / 2 = (12,2559 \text{ ns} + 12,8949 \text{ ns}) / 2 = 12,5754 \text{ ns}$$

1.2.4.4. Transition time

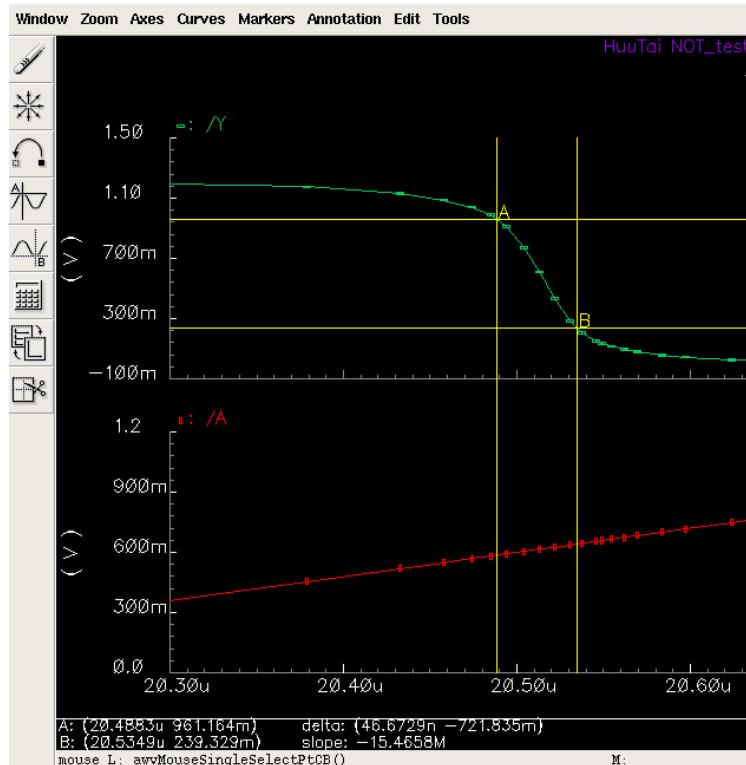
Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 20% đến 80% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 80% xuống 20% giá trị tối đa để tính Fall Time (t_f).



Hình 1.2.16. Đánh dấu thời gian chuyển mạch từ logic 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 239,099$ mV (20% giá trị biên độ) và điểm B khi $V_{out} = 960,562$ mV (80% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 46,7528 ns hay $t_r = 46,7528$ ns.



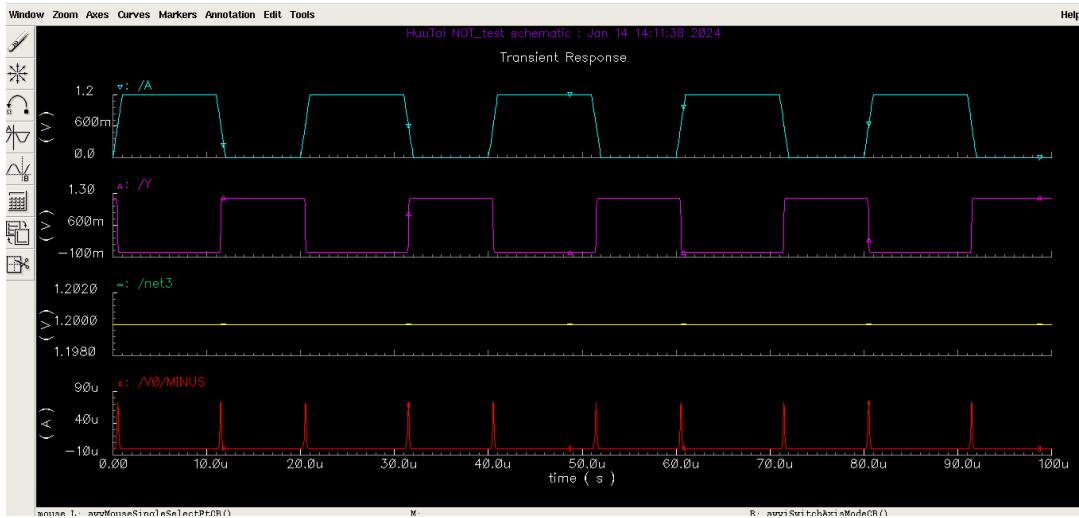
Hình 1.2.17. Đánh dấu thời gian chuyển mạch từ logic 1 xuống 0

Ta đánh dấu tại điểm A khi $V_{out} = 961,164$ mV (80% giá trị biên độ) và điểm B khi $V_{out} = 239,329$ mV (20% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 46,6729 ns hay $t_f = 46,6729$ ns.

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 46,71285$ ns.

1.2.4.5. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng NOT và dạng sóng của dòng điện cung cấp như sau:



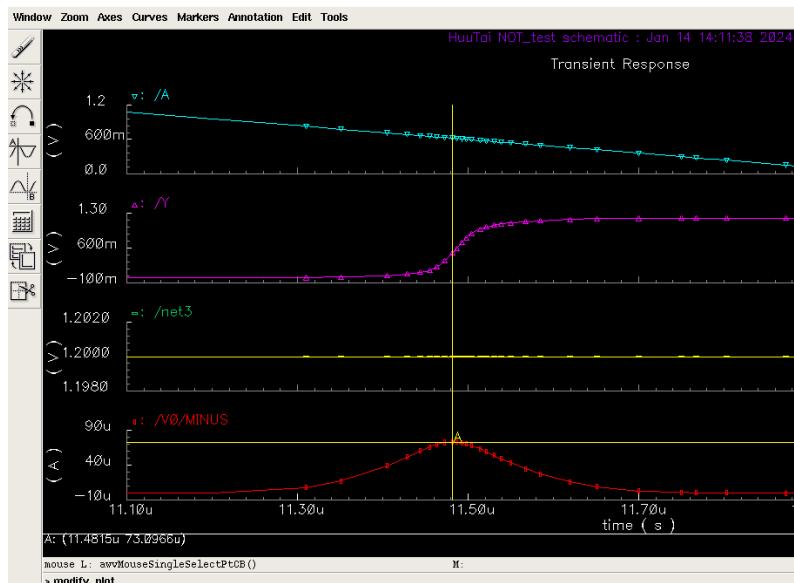
Chú thích:

Màu vàng: Điện áp VDD của nguồn

Màu đỏ: Dòng điện qua nguồn

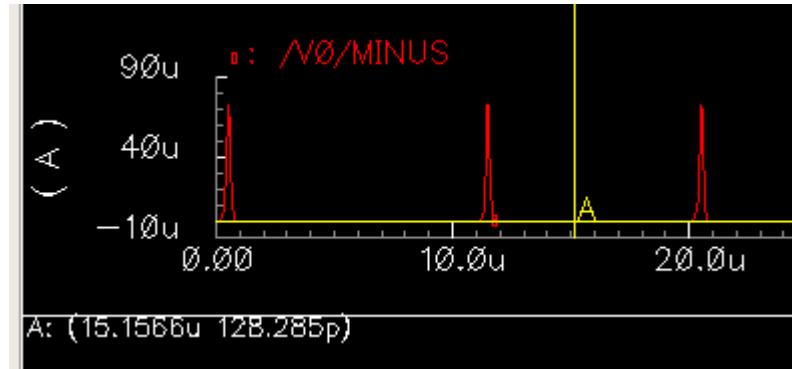
Hình 1.2.18. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Khi chuyên mạch, ta thấy dòng điện tăng lên rất cao, đánh dấu tại điểm tăng bất thường trên:



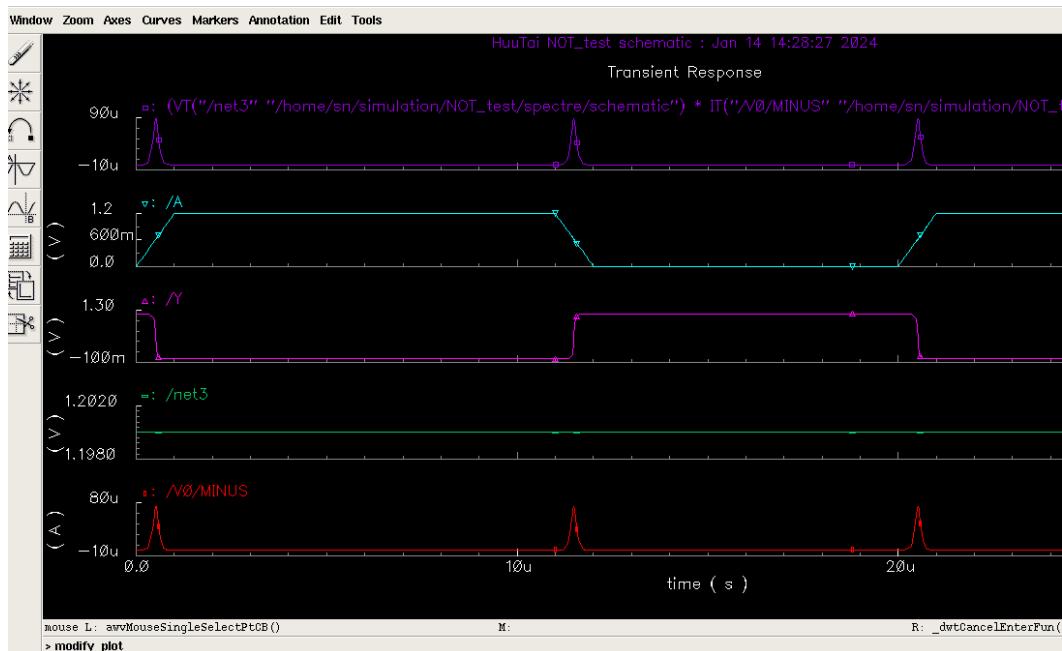
Hình 1.2.19. Đánh dấu điểm cao bất thường trên dòng điện

Dựa vào thời điểm A đánh dấu, ta thấy dòng điện đạt đến mức $73,0966 \mu\text{A}$ so với khi ở trạng thái bình thường là $128,285 \text{ pA}$



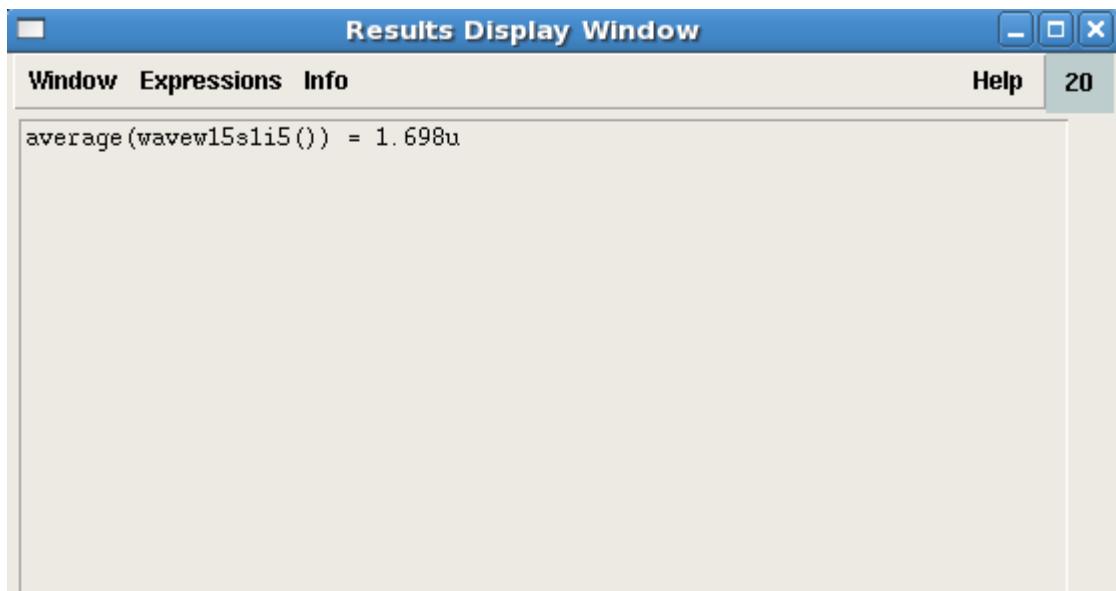
Hình 1.2.20. Mức dòng điện qua nguồn khi ở thời điểm bình thường

Ta vẽ dạng sóng công suất tức thời của công NOT bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 1.2.21. Dạng sóng của công suất tức thời

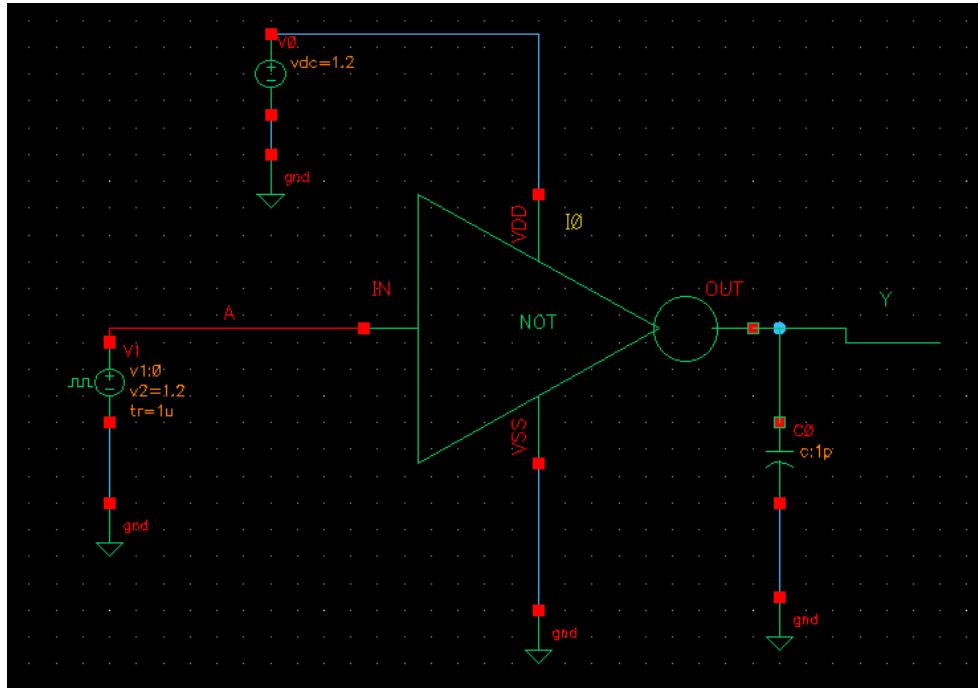
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $1,698 \mu\text{W}$.



Hình 1.2.22. Kết quả tính được công suất trung bình tiêu thụ trên cổng NOT

1.2.5. Mô phỏng cổng NOT khi có tải C_L , R_L

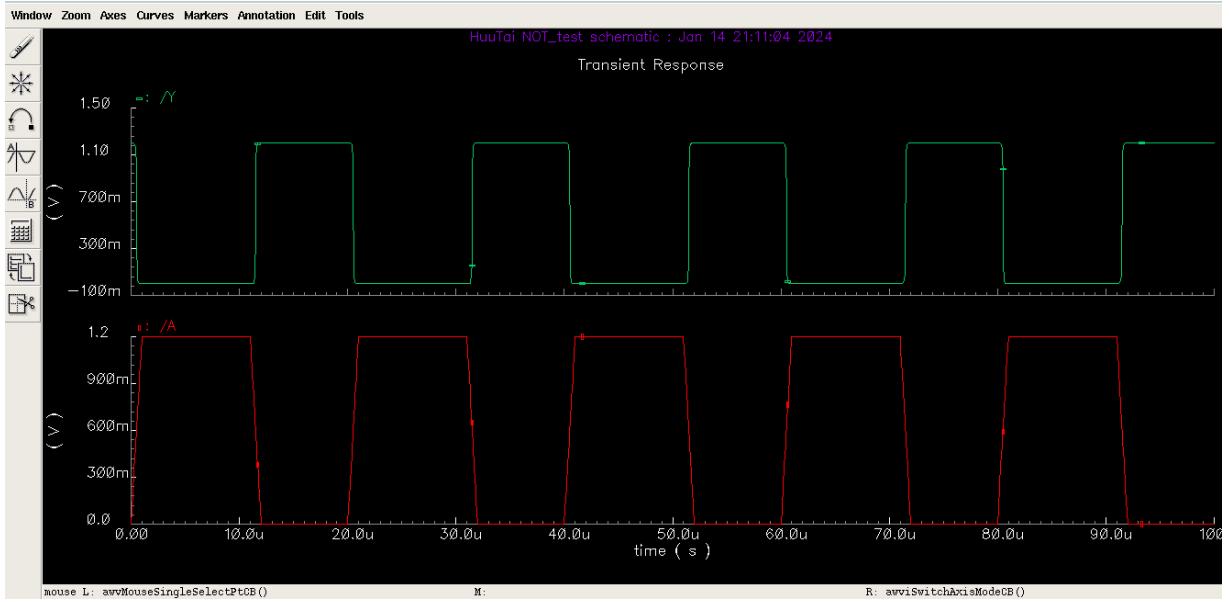
Ta gắn thêm 1 tụ có độ lớn 1 pF song song với ngõ ra của cổng NOT như sau:



Hình 1.2.23. Trường hợp có tụ C_L

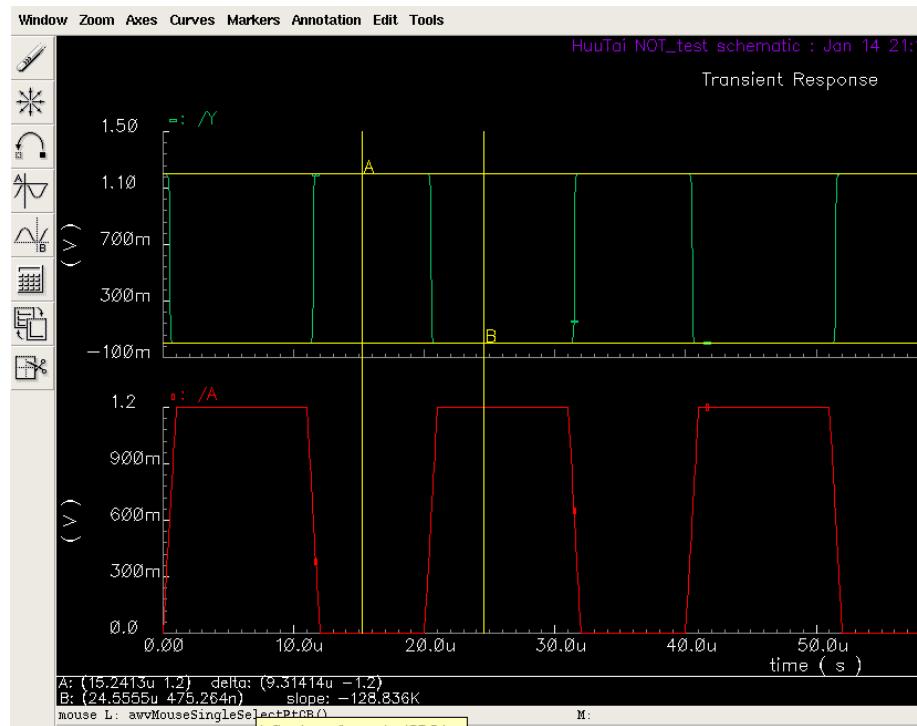
Để mô phỏng chức năng của cổng NOT trường hợp có tụ C_L ta thực hiện mô phỏng tương tự trường hợp không có tụ C_L với ngõ vào gồm một nguồn xung có mức điện áp cao 1.2V ứng với mức HIGH, mức điện áp thấp ứng với GND. Chân cấp nguồn VDD và chân VSS của transistor pMOS và nMOS trong mạch lần lượt nối tới nguồn 1 chiều có điện áp 1.2V và được nối tới GND.

Ta tiến hành vẽ dạng sóng của điện áp ngõ vào (IN) và điện áp ngõ ra (OUT) tương tự như trường hợp không gắn tụ C_L như sau:



Hình 1.2.24. Dạng sóng ngõ vào và ngõ ra của mức điện áp trên cổng NOT

Ta đánh dấu đồ thị tại 2 thời điểm A và B khác nhau như sau:



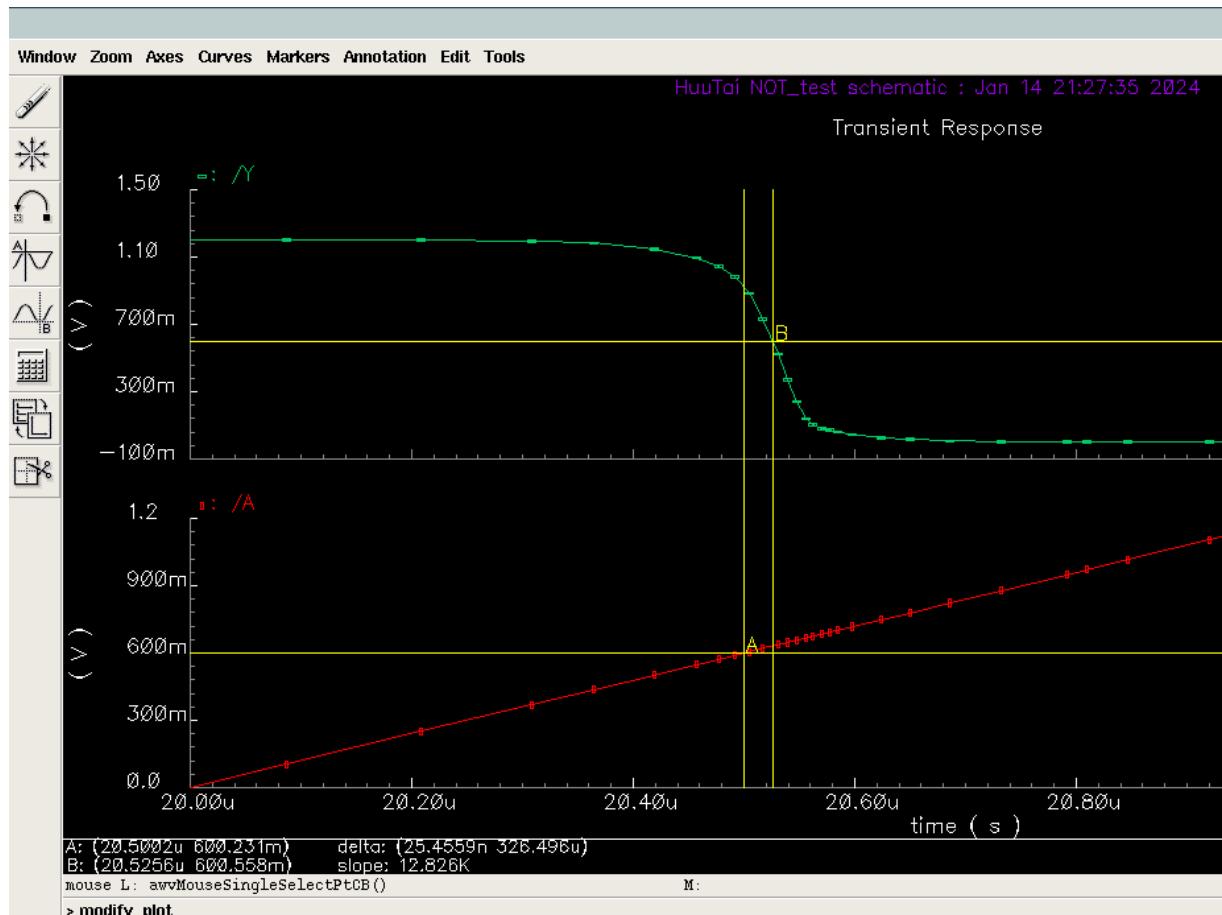
Hình 1.2.25. Đánh dấu áp ngõ ra tại 2 thời điểm A và B

Tại A, ta thấy khi áp ngõ vào ở mức logic 0 thì áp ngõ ra có giá trị là 1,2V (mức logic 1) và tại thời điểm B khi áp ngõ vào ở mức logic 1 thì áp ngõ ra có giá trị là 475,264nV (mức logic 0). Kết quả này hoàn toàn đúng với bảng trạng thái ở *Bảng 1.1.1*.

Nhận xét: Cổng NOT khi có tụ C_L ở ngõ ra đã hoạt động đúng với lý thuyết bảng trạng thái, tương đương với trường hợp không có tụ C_L ở ngõ ra.

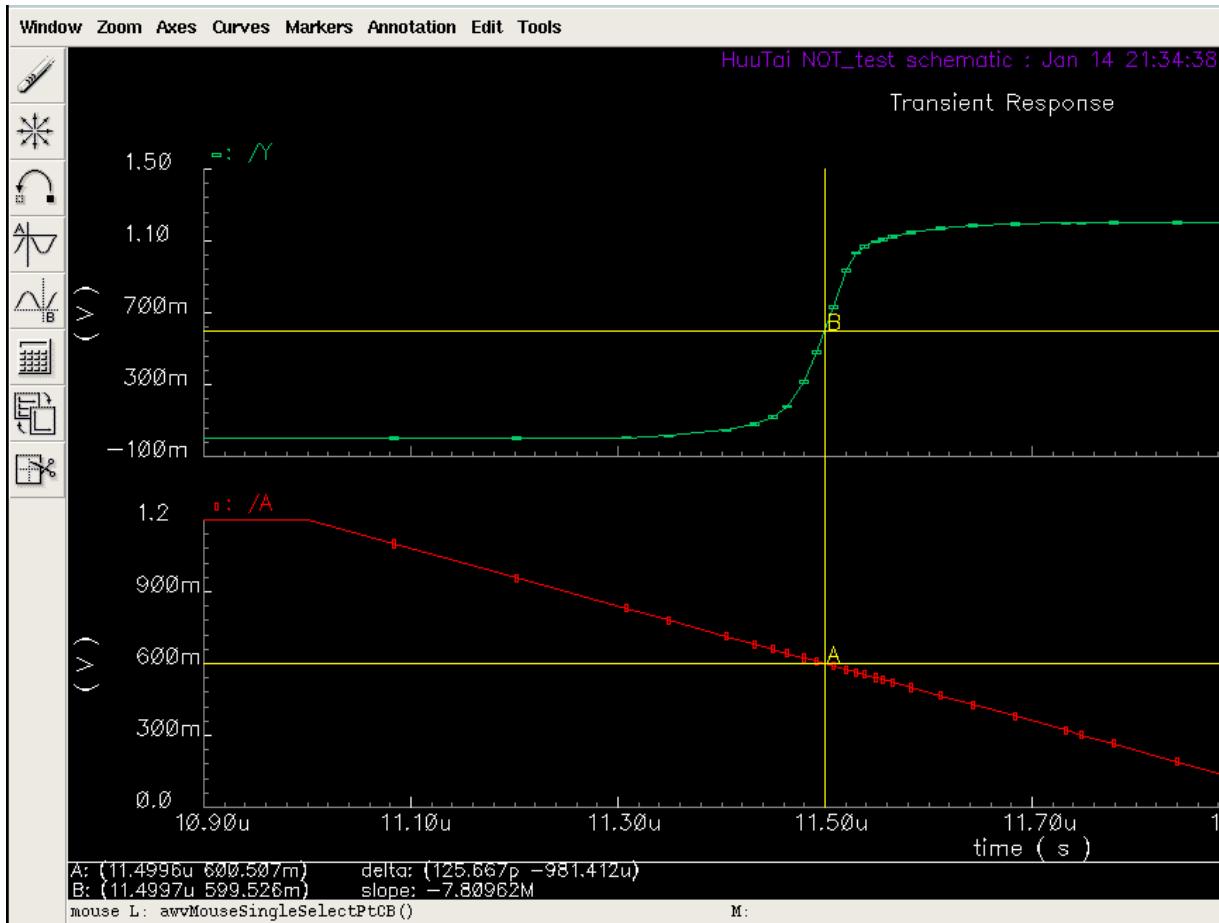
* Đánh giá độ trễ

Tương tự như trường hợp không có tụ C_L , ta tiến hành đo thời gian trễ cạnh lên (t_{pdr}) và thời gian trễ cạnh xuống (t_{pdf}) của đồ thị:



Hình 1.2.26. Đo thời gian trễ khi ngõ vào cạnh lên (trường hợp có tụ C_L)

Khi điện áp ngõ vào đạt đến 600,231 mV thì sau một khoảng thời gian 25,4559 ns điện áp ngõ ra hạ xuống mức 600,588 mV. Vậy $t_{pdr} = 25,4559$ ns.



Hình 1.2.27. Đo thời gian trễ khi ngõ vào cạnh xuống (trường hợp có tụ C_L)

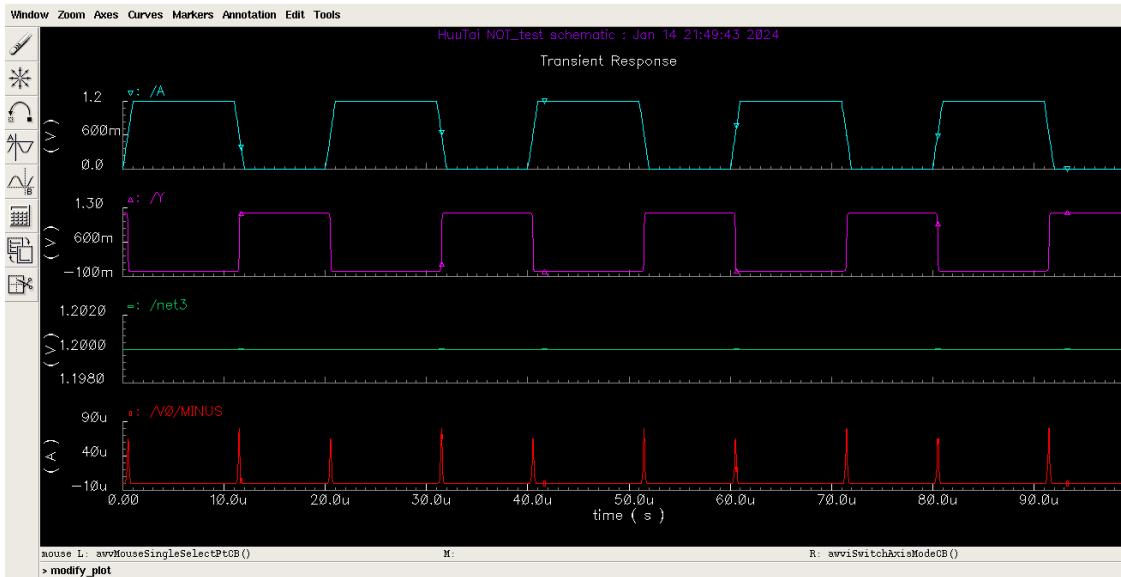
Khi điện áp ngõ vào đạt đến 600,507 mV (tại thời điểm A) thì sau một khoảng thời gian 125,667ps điện áp ngõ ra hạ xuống mức 599,526 mV. Vậy $t_{pdf} = 125,667$ ps.

Có được t_{pdr} và t_{pdf} , ta có thể tính được thời gian trễ:

$$t_{pd} = (t_{pdr} + t_{pdf}) / 2 = 12,79 \text{ ns}$$

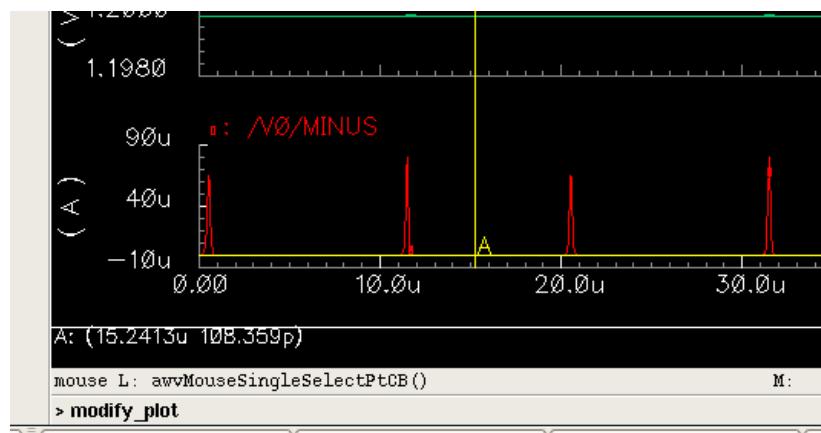
* Công suất

Vẽ điện áp và dòng điện của nguồn VDC cung cấp cho cổng NOT, ta được đồ thị như sau:



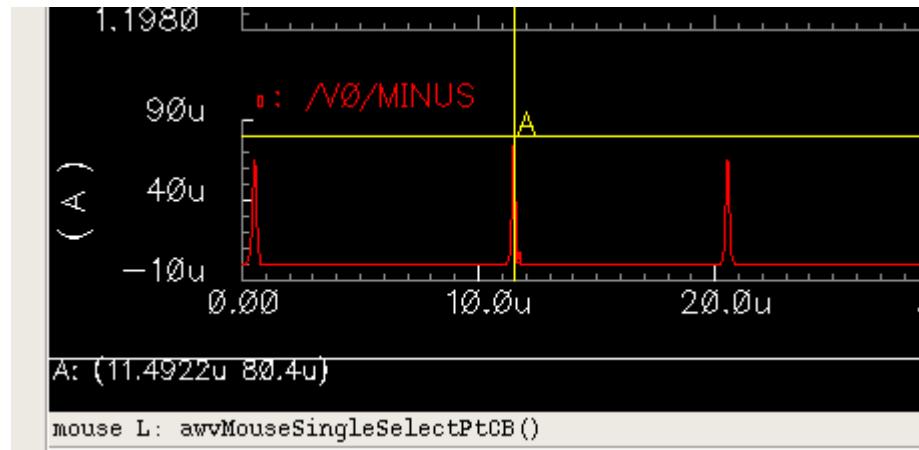
Hình 1.2.28. Dạng sóng điện áp (màu lục) và dòng (màu đỏ) do nguồn VDC cung cấp cổng NOT (trường hợp có tụ C_L)

Ta đánh dấu dòng điện tại thời điểm có dạng sóng ổn định:



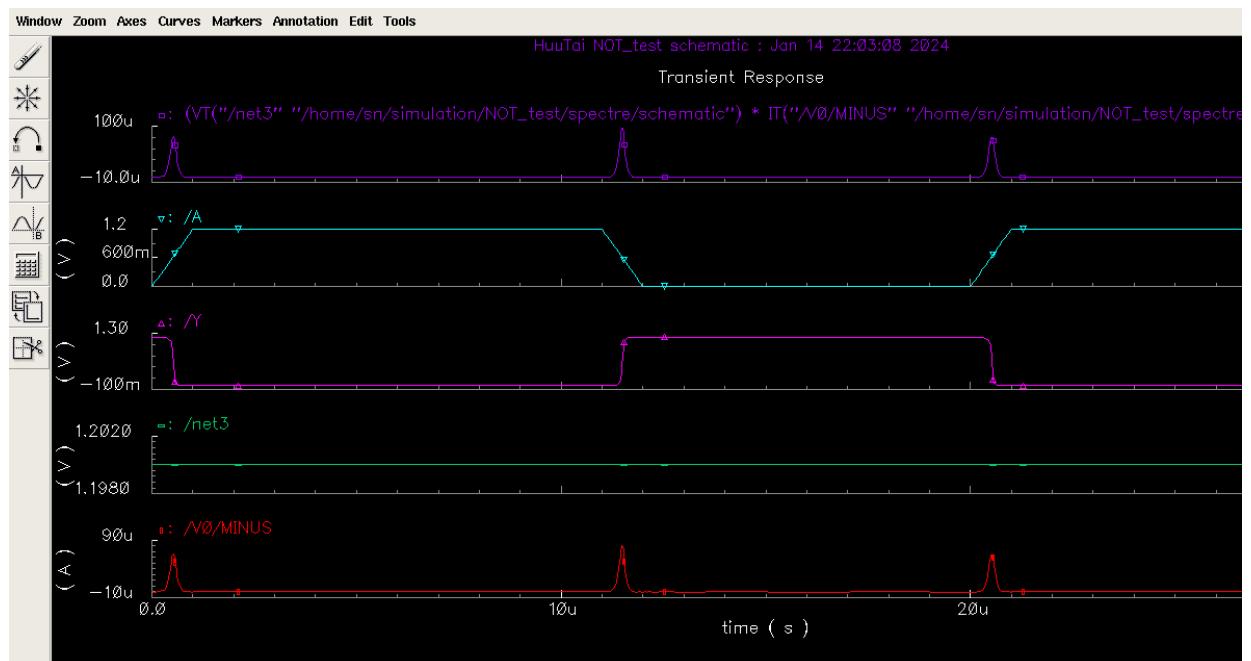
Hình 1.2.29. Dạng sóng dòng điện qua cổng NOT tại những điểm bình thường (trường hợp có tụ C_L)

Cường độ dòng điện tại những điểm trên có giá trị rất thấp ($108,359 \text{ pA}$) gần như bằng 0A , tuy nhiên tại những điểm chuyển mạch thì dòng điện lại tăng lên rất cao ($80,4 \mu\text{A}$):



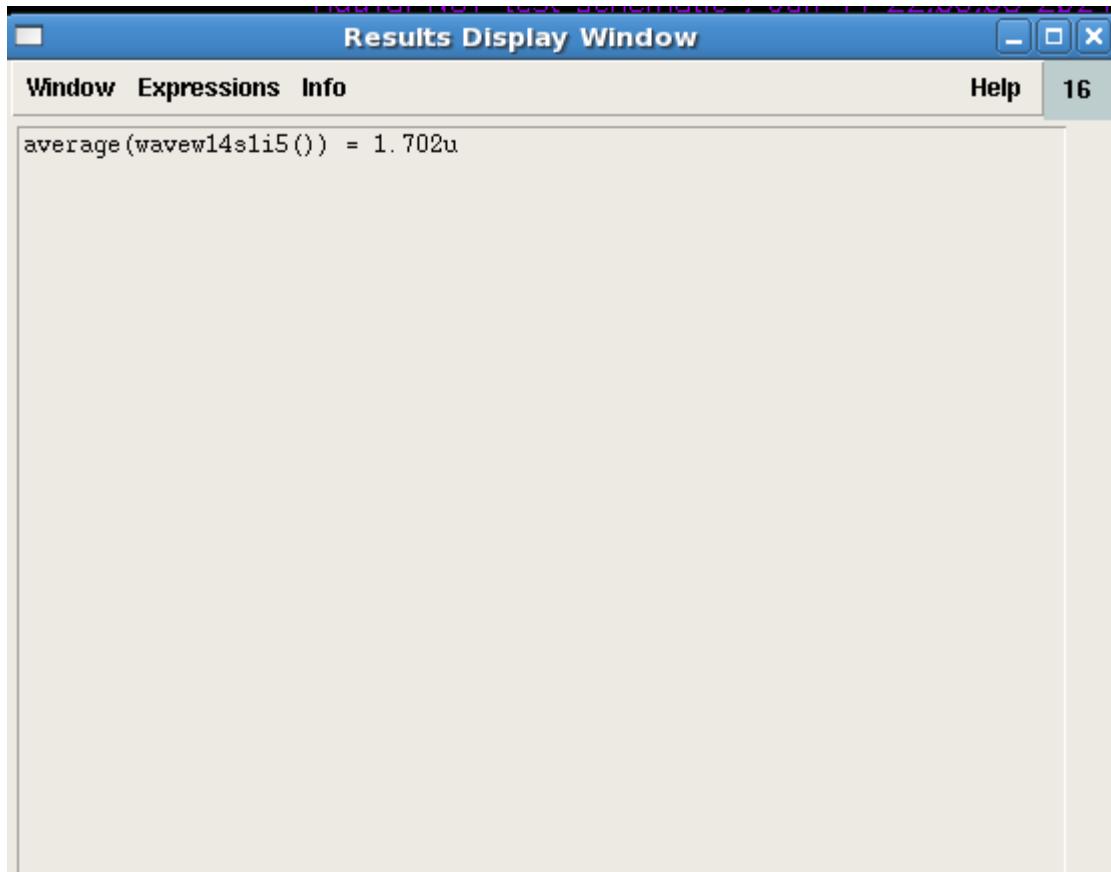
Hình 1.2.30. Đánh dấu dòng điện tại điểm chuyển mạch (trường hợp có tụ C_L)

Dựa vào đồ thị của áp và dòng, ta nhân 2 đồ thị với nhau để ra được đồ thị công suất tiêu thụ của công NOT như sau:



Hình 1.2.31. Dạng sóng của công suất tiêu thụ trên công NOT (đồ thị trên cùng)- Trường hợp có tụ C_L

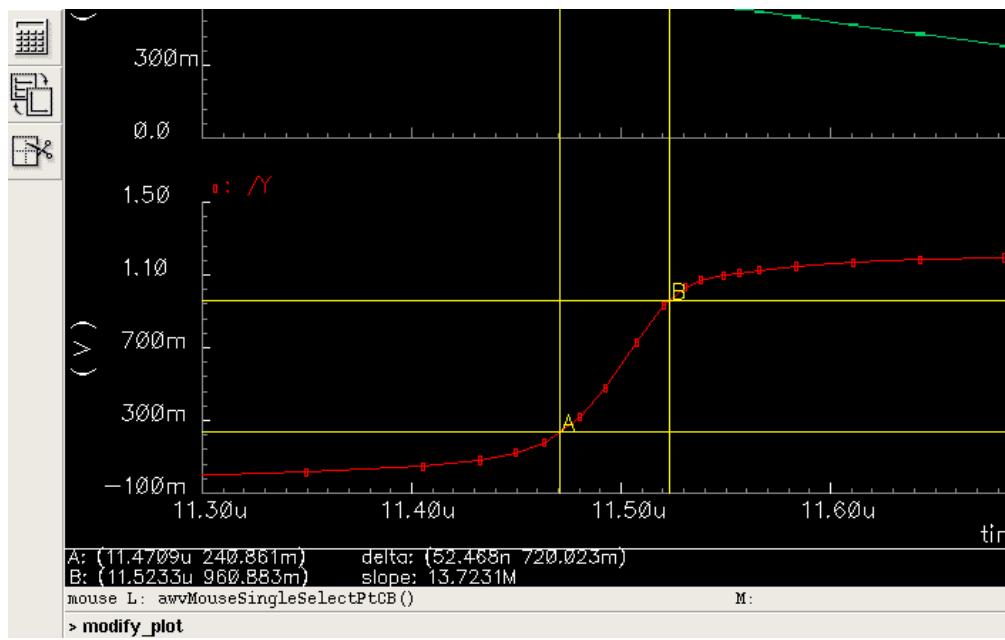
Ta lấy trung bình cộng của các công suất tức thời trên đồ thị, sử dụng công cụ Calculator tính được công suất trung bình là $1,702 \mu\text{W}$.



Hình 1.2.32. Kết quả tính công suất trung bình trên công NOT (trường hợp có tụ C_L)

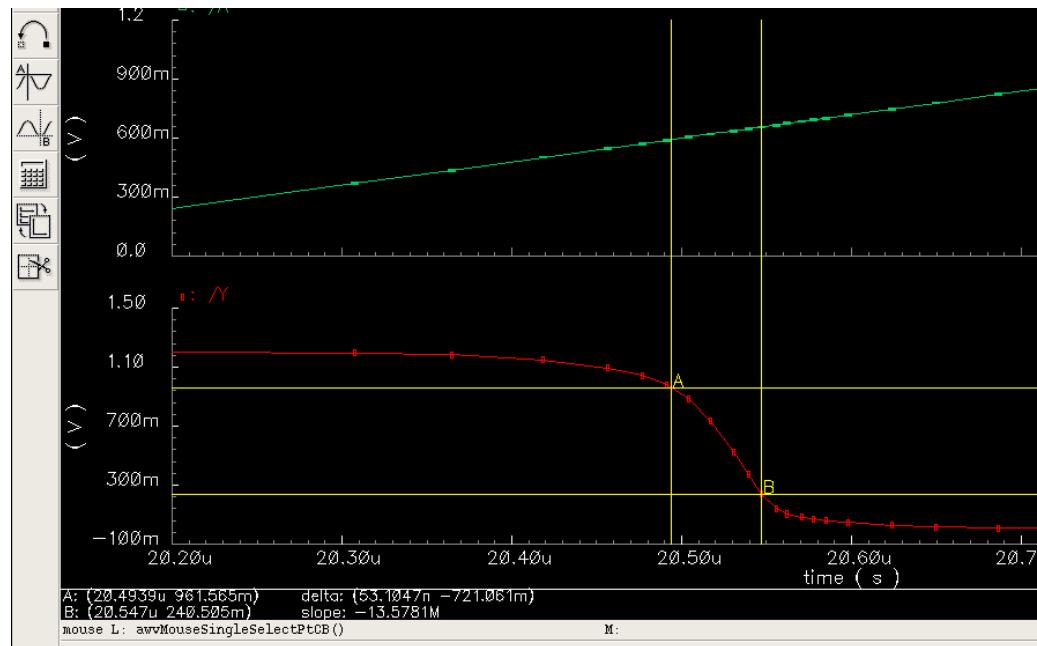
* Transition time

Tương tự như trường hợp không có tụ C_L , ta tiến hành đo Rise time và Fall time của sóng ngõ ra:



Hình 1.2.33. Đánh dấu điện áp ngõ ra cạnh lên từ mức 20% đến 80% điện áp tối đa (trường hợp có tụ C_L)

Dựa vào 2 điểm A và B đã đánh dấu, khoảng thời gian cách nhau là 52,468 ns. Vậy $t_r = 52,468$ ns.



Hình 1.2.33. Đánh dấu điện áp ngõ ra cạnh xuống từ mức 80% đến 20% điện áp tối đa (trường hợp có tụ C_L)

Dựa vào 2 điểm A và B đã đánh dấu, khoảng thời gian cách nhau là 53,1047 ns. Vậy $t_f = 53,1047$ ns.

Vậy thời gian chuyển mạch trung bình là: $(t_r + t_f) / 2 = 52,78635$ ns.

1.2.6. So sánh giữa hai trường hợp có tụ C_L và không có tụ C_L

Dựa vào kết quả tính toán cả 2 trường hợp trên, ta có bảng so sánh sau:

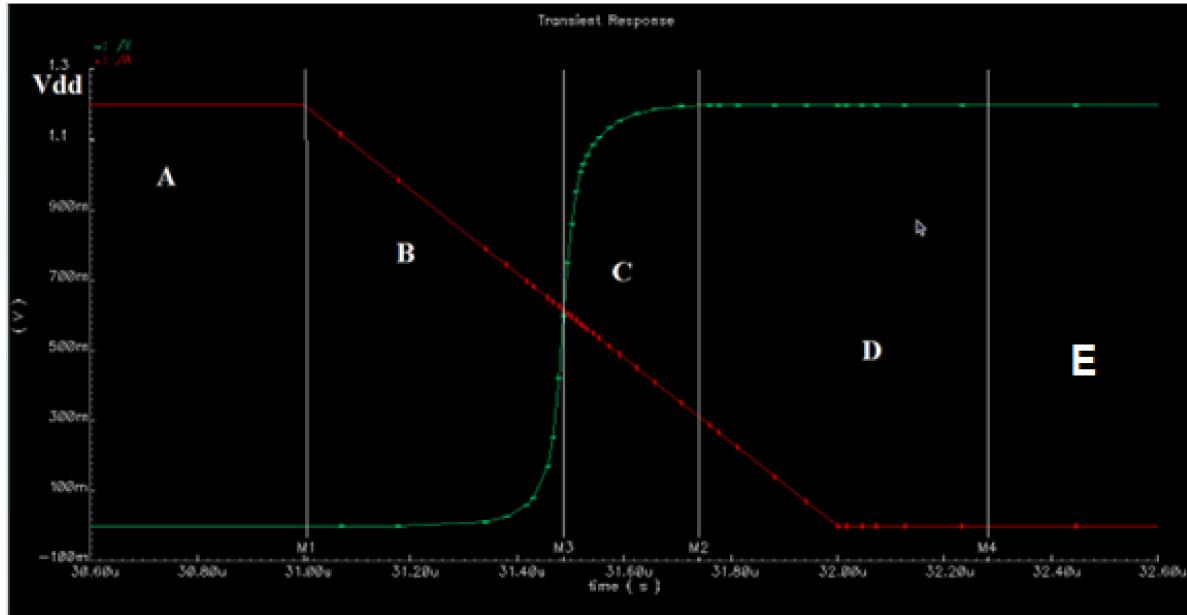
Bảng 1.2.4. So sánh giữa hai trường hợp có tụ C_L và không có tụ C_L

Thông số	Không có tụ C_L	Có tụ C_L
VDD	1,2V	1,2V
VSS	0V	0V
Độ trễ	12,5754 ns	12,79 ns
Công suất trung bình	1,698 μ W	1,702 μ W
Output transition time	46,71285 ns	52,78635 ns

Ta thấy ở cả 2 trường hợp thì các thông số gần như là giống nhau, không có sự cách biệt quá lớn.

1.3. Kết luận

Ta phân tích DC cỗng NOT bằng đồ thị sau:



Hình 1.3.1. Kết quả quá trình phân tích DC mạch cỗng NOT

Từ kết quả phân tích, khi tín hiệu ngõ vào (màu đỏ) tại thời điểm $31 \mu s$ ở vị trí M1 thì ngõ ra (màu xanh) bắt đầu chuyển dần từ thấp lên cao, tại ví trí M3 khi tín hiệu ngõ vào đạt $0,62 V$ ($VDD/2$), ngõ ra cũng tăng đến $1/2$ giá trị VDD và cứ thế lặp lại ở nửa chu kỳ sau. Ta tổng hợp được hoạt động của transistor nMOS và pMOS như bảng sau:

Bảng 1.3.1. Kết quả đánh giá điện áp ngõ ra tại các điểm bình thường

Vùng hoạt động	nMOS	pMOS	Ngõ ra
A	Khuêch đại	Ngưng dẫn	$V_{out} = 0V$
B	Khuêch đại	Bão hòa	$V_{out} < VDD/2$
C	Bão hòa	Bão hòa	V_{out} tăng mạnh
D	Bão hòa	Khuêch đại	$V_{out} > VDD/2$

E	Ngưng dẫn	Khuêch đại	$V_{out} = VDD$
---	-----------	------------	-----------------

Phần 2

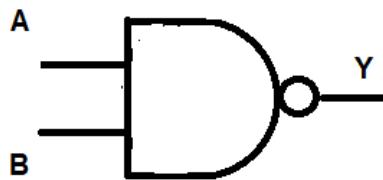
LÝ THUYẾT VÀ MÔ PHỎNG CÔNG NAND 2 NGÕ VÀO

2.1. Lý thuyết

2.1.1. Ký hiệu và bảng trạng thái công NAND

Trong điện tử kỹ thuật số, công NAND (NOT-AND) là công logic tạo ra đầu ra chỉ sai nếu tất cả các đầu vào của nó là đúng; do đó đầu ra của nó là phần bù cho công AND.

Ký hiệu: Công NAND 2 ngõ vào được ký hiệu như hình sau:



Hình 2.1.1. Ký hiệu của công NAND 2 ngõ vào

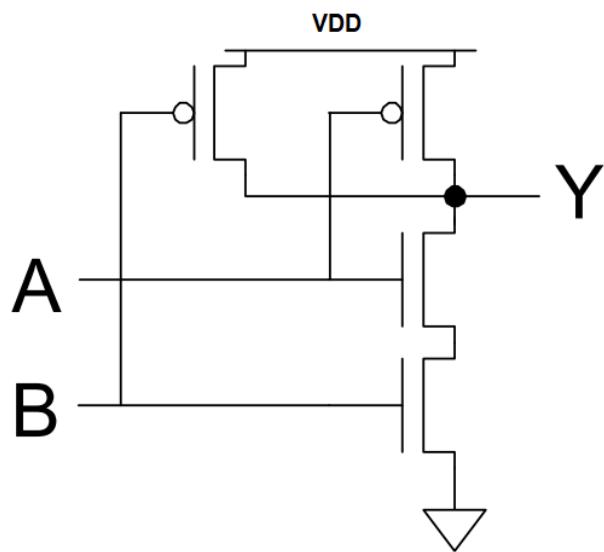
Bảng trạng thái:

Bảng 2.1.1. Bảng trạng thái của công NAND

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

2.1.2. Nguyên lý hoạt động của công NAND 2 ngõ vào

Mạch công NAND 2 ngõ vào sử dụng 4 transistor CMOS chia làm 2 phần. Phần 1 gồm 2 transistor pMOS mắc song song kéo lên nguồn VDD, phần 2 gồm 2 transistor nMOS mắc nối tiếp đưa xuống GND, hai phần này được ghép nối tiếp lại với nhau và ở giữa là ngõ ra Y. Cụ thể sơ đồ nguyên lý công NAND 2 vào được thể hiện như sau:



Hình 2.1.2. Sơ đồ nguyên lý của công NAND 2 ngõ vào sử dụng công nghệ CMOS

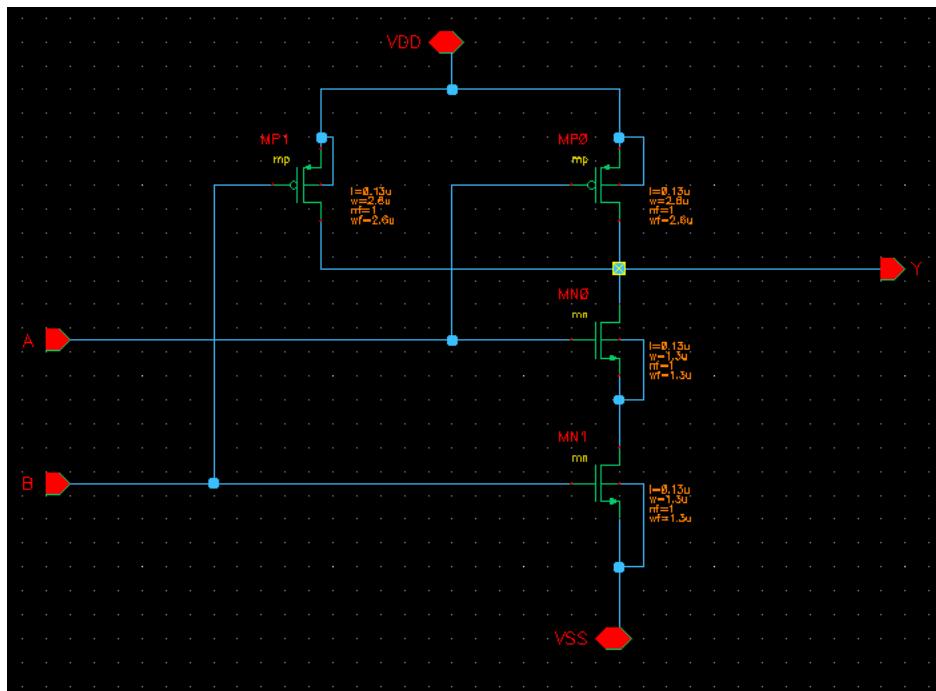
Do 2 pMOS ở phía trên được mắc song song nhau nên khi $A = 0$ hoặc $B = 0$ thì một trong 2 pMOS như công tắc đóng, do đó ngõ ra luôn được cấp nguồn từ VDD nên luôn đạt mức logic 1. Ngược lại, khi cả $A = 1$ và $B = 1$ thì cả 2 pMOS phía trên như 2 công tắc mở và ngõ ra Y bị ngắt với nguồn VDD, đồng thời 2 nMOS ở phía dưới mắc nối tiếp nhau và như 2 công tắc đóng làm cho ngõ ra Y được nối với GND, dẫn đến kết quả ngõ ra Y ở mức logic 0.

2.2. Mô phỏng với phần mềm Cadence

Ta sử dụng công nghệ CMOS 0.13 μm của Samsung để thiết kế cỗng NAND và đánh giá cỗng logic này từ kết quả mô phỏng thu được. Phần mềm thiết kế được sử dụng là Cadence để thiết kế và thực hiện mô phỏng thiết kế, tính toán các thông số như công suất tiêu thụ, độ trễ của mạch tích hợp.

2.2.1. Sơ đồ nguyên lý và bảng thông số

Dựa vào sơ đồ *Hình 2.1.2.* ta thiết kế cỗng NAND sử dụng công nghệ CMOS như sau:



Hình 2.2.1. Sơ đồ nguyên lý cỗng NAND thiết kế trên Cadence

* Thông số của transistor

Ta đặt các thông số cho transistor pMOS và nMOS như sau:

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	2.6 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 2.2.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	1.3 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

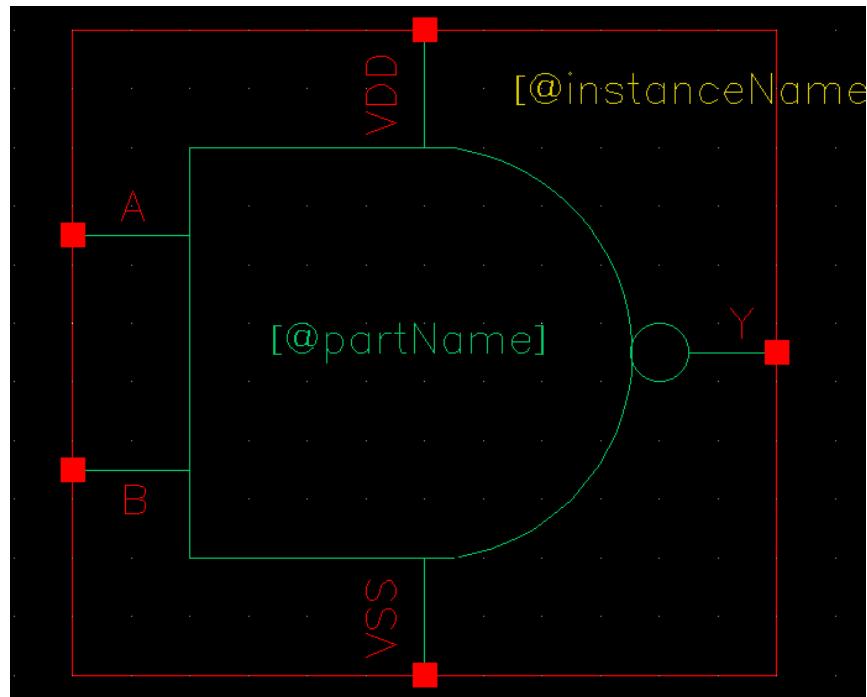
Hình 2.2.3. Thông số cài đặt cho transistor nMOS

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do

đó muôn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

2.2.2. Đóng gói sản phẩm

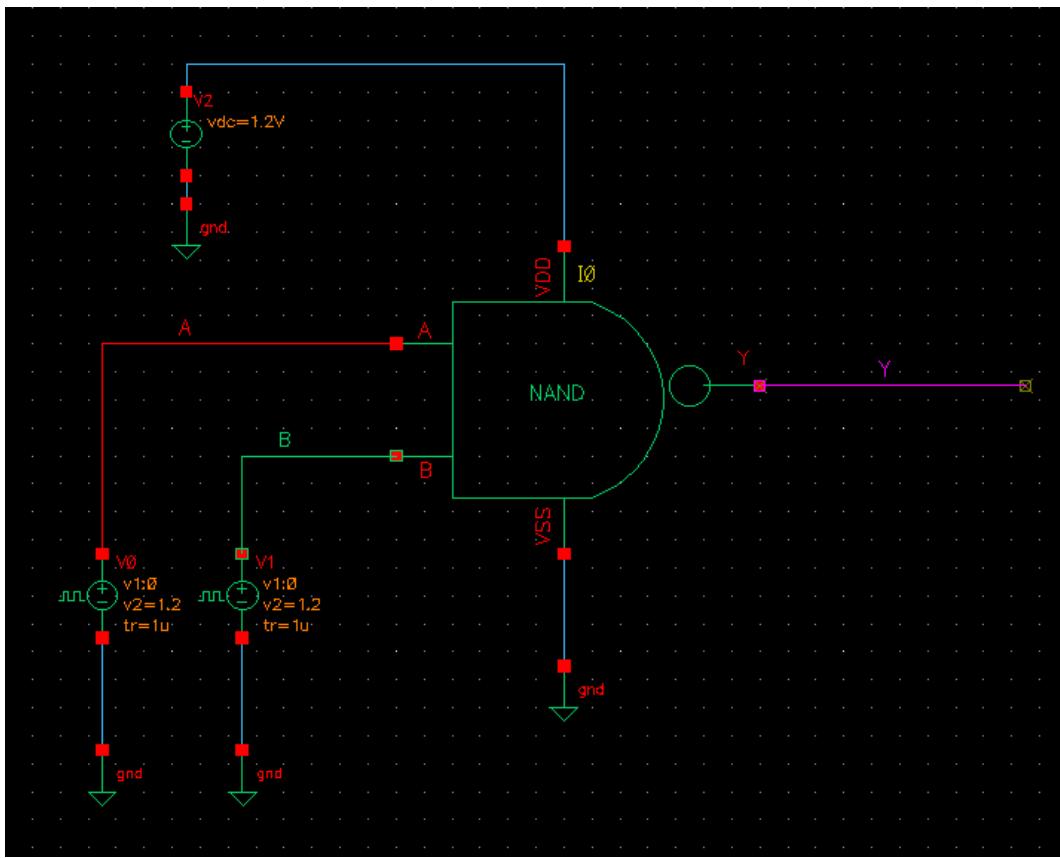
Sau khi hoàn thành sơ đồ nguyên lý mạch cỗng NAND, ta tiến hành đóng gói sơ đồ theo hình dạng là kí hiệu của cỗng NAND như *Hình 2.1.1*.



Hình 2.2.4. Kí hiệu cỗng NAND sau khi đóng gói

2.2.3. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cỗng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho cỗng NAND đã đóng gói như sau:



Hình 2.2.5. Cáp nguồn và tín hiệu cho cổng NAND sau khi đóng gói

Tại VCC của cổng NAND, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs		off

Hình 2.2.6. Thông số của nguồn cung cấp VDC cho cổng NAND

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào A và B, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 1 μ s, tuy nhiên để qua sát được đầy đủ các trường hợp của 2 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào A, độ rộng xung là 10 μ s và chu kỳ là 20 μ s. Tại B, độ rộng xung là 20 μ s và chu kỳ là 40 μ s.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	1u s	off
Fall time	1u s	off
Pulse width	10u s	off
Period	20u s	off
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off

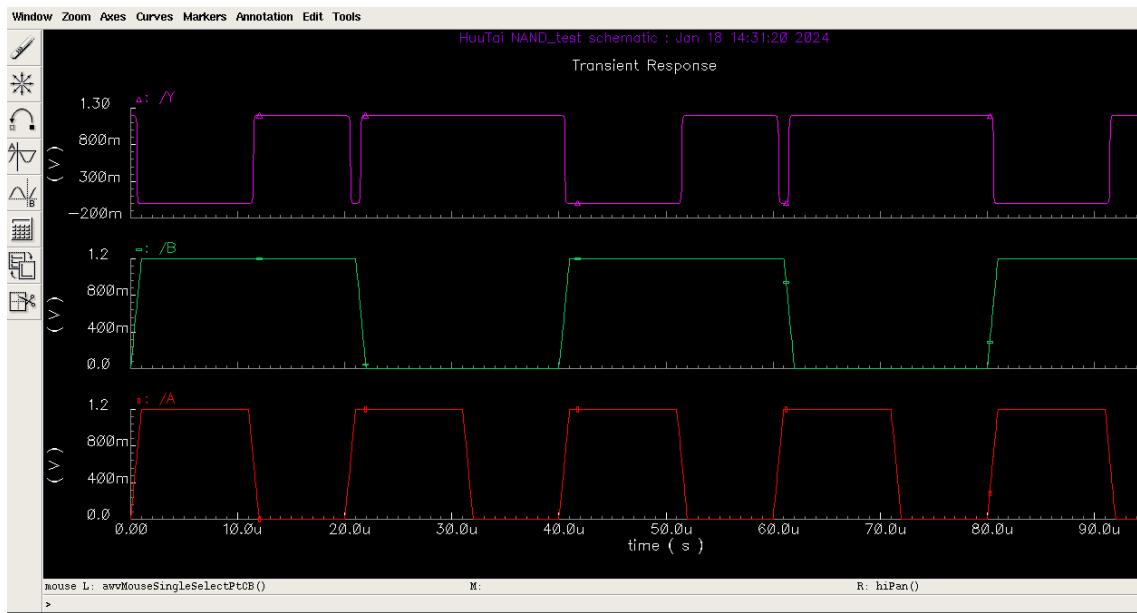
Hình 2.2.7. Thông số nguồn V_{pulse} tại ngõ vào A

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	1u s	off ▾
Fall time	1u s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
Type of rising & falling edge	—	off ▾

Hình 2.2.8. Thông số nguồn V_{pulse} tại ngõ vào B

2.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (A và B) và ngõ ra (Y) của cổng NAND và thu được kết quả như sau:

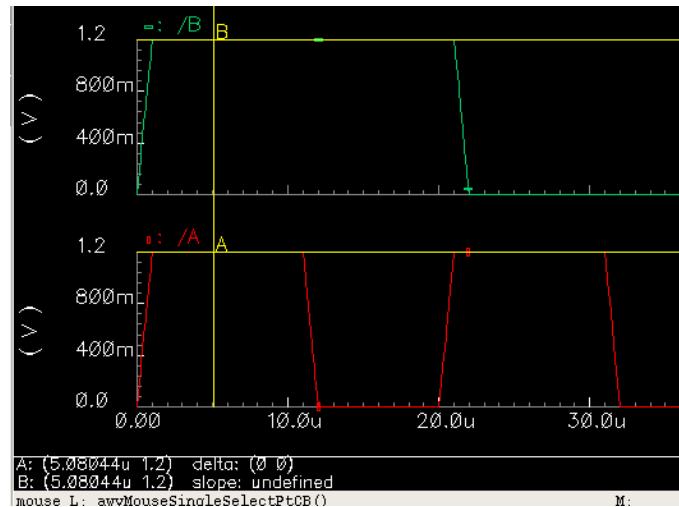


Hình 2.2.9. Dạng sóng điện áp ngõ vào A (màu đỏ), B (màu lục) và ngõ ra Y (màu tím)

2.2.4.1. Đánh giá mức điện áp

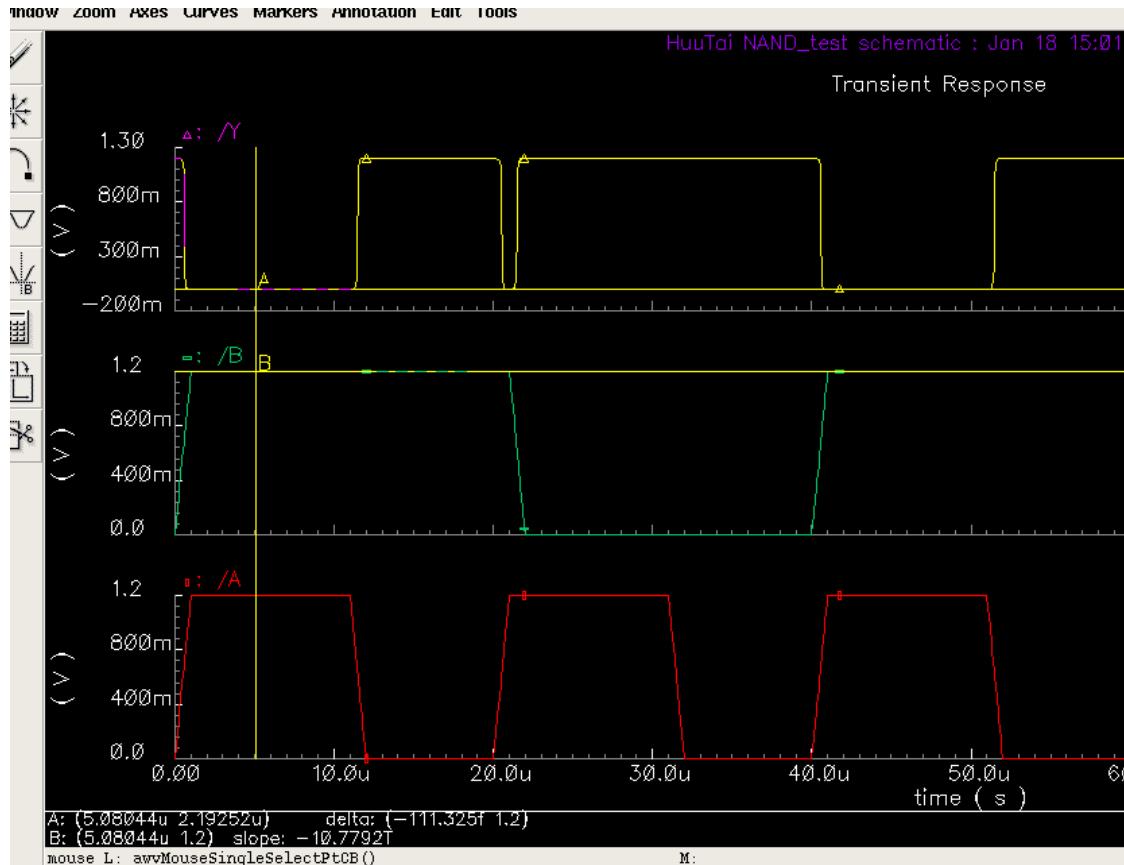
Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

* Trường hợp 1:



Hình 2.2.10. Điện áp ngõ vào A và B trong trường hợp I

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm 5,08044 μ s đều là 1,2V – tương ứng với mức logic 1. Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 2.2.11. Điện áp ngõ ra Y trong trường hợp 1

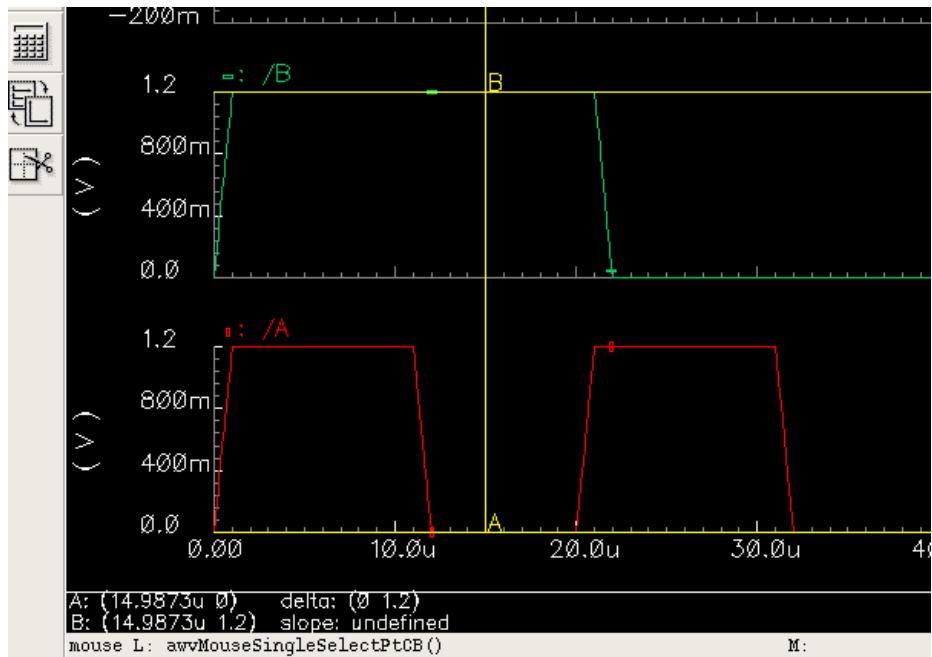
Tại điểm đánh dấu A thời điểm 5,08044 μ s, ta thấy mức điện áp ngõ ra là 2,19252 μ V – tương ứng với mức logic 0.

Vậy ở trường hợp 1, ta rút ra được bảng kết quả sau:

Bảng 2.2.1. Bảng kết luận mức logic trong trường hợp 1

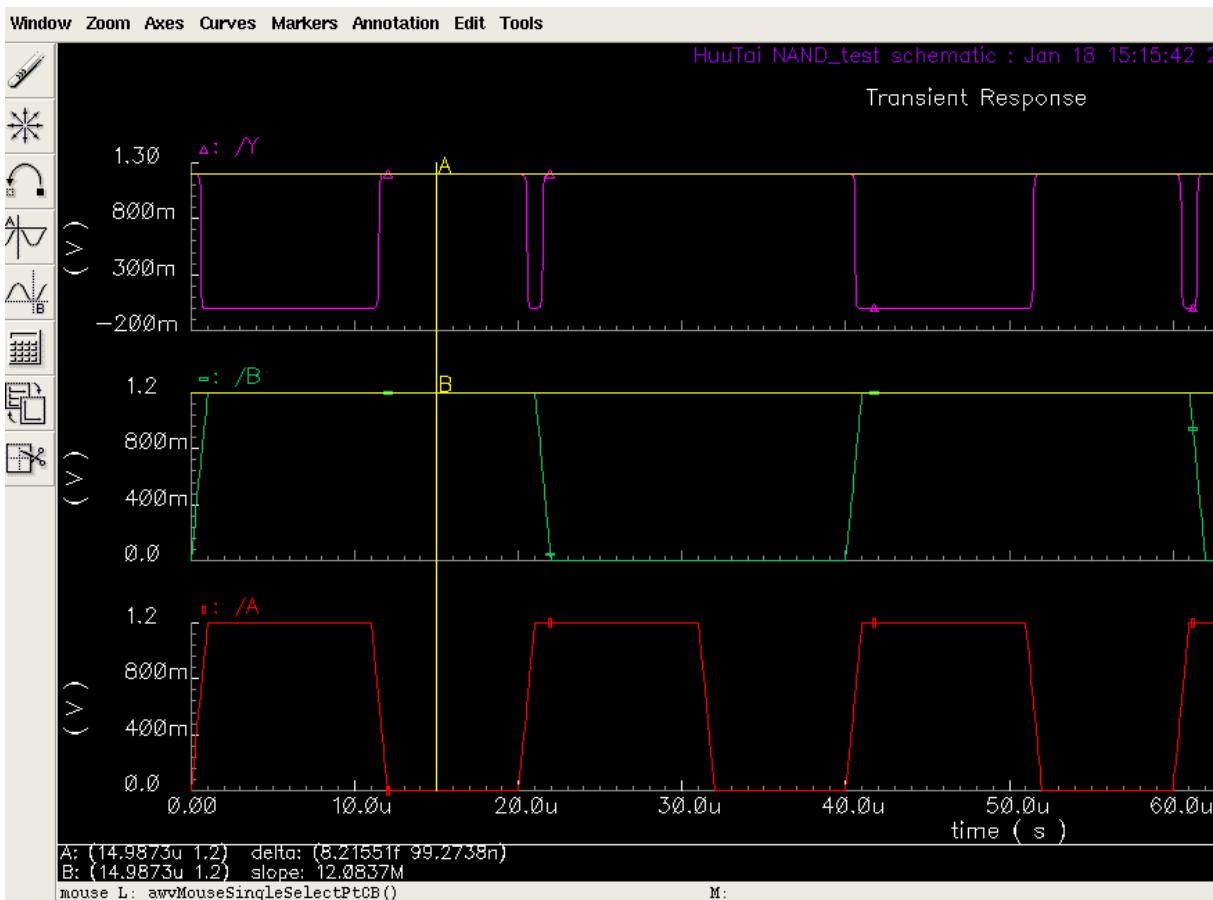
A	B	Y
1	1	0

* Trường hợp 2:



Hình 2.2.12. Điện áp ngõ vào A và B trong trường hợp 2

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $14,9873 \mu\text{s}$ lần lượt là 0V (tương ứng với mức logic 0) và 1,2V (tương ứng mức logic 1). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 2.2.13. Điện áp ngõ ra Y trong trường hợp 2

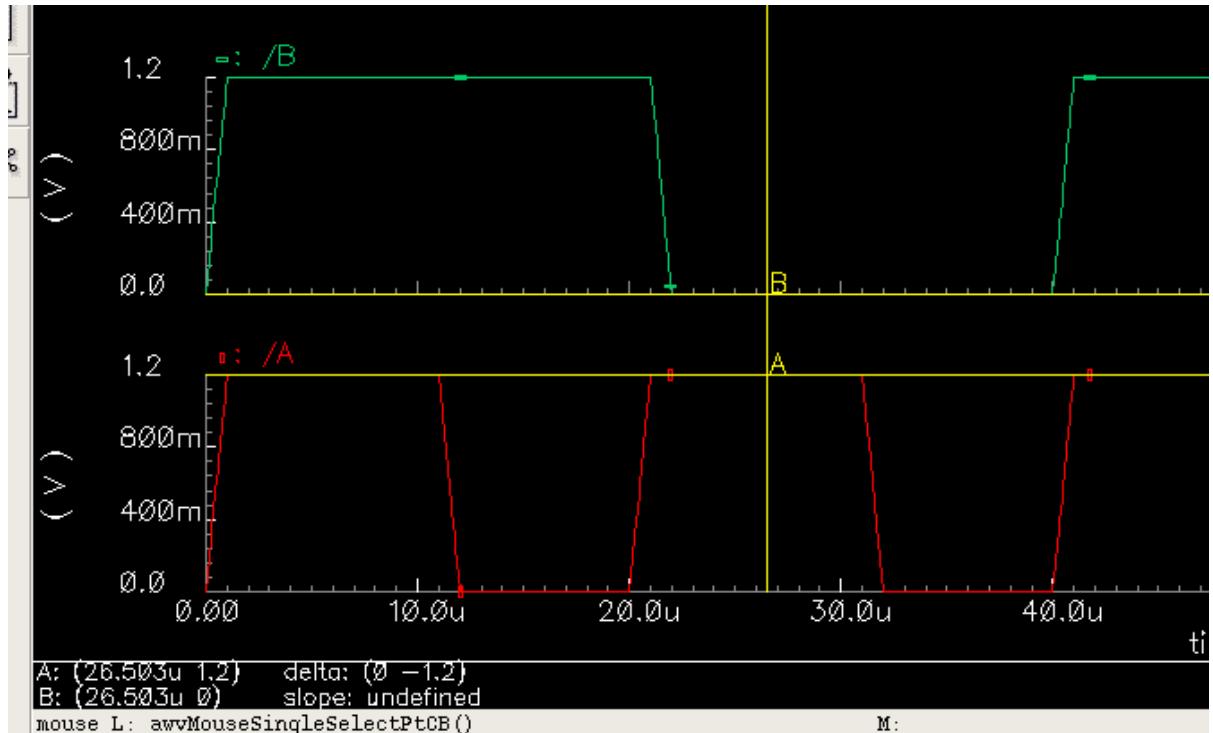
Tại điểm đánh dấu A thời điểm $14,9873 \mu\text{s}$, ta thấy mức điện áp ngõ ra là $1,2\text{V}$ (tương ứng với mức logic 1).

Vậy ở trường hợp 2, ta rút ra được bảng kết quả sau:

Bảng 2.2.2. Bảng kết luận mức logic trong trường hợp 2

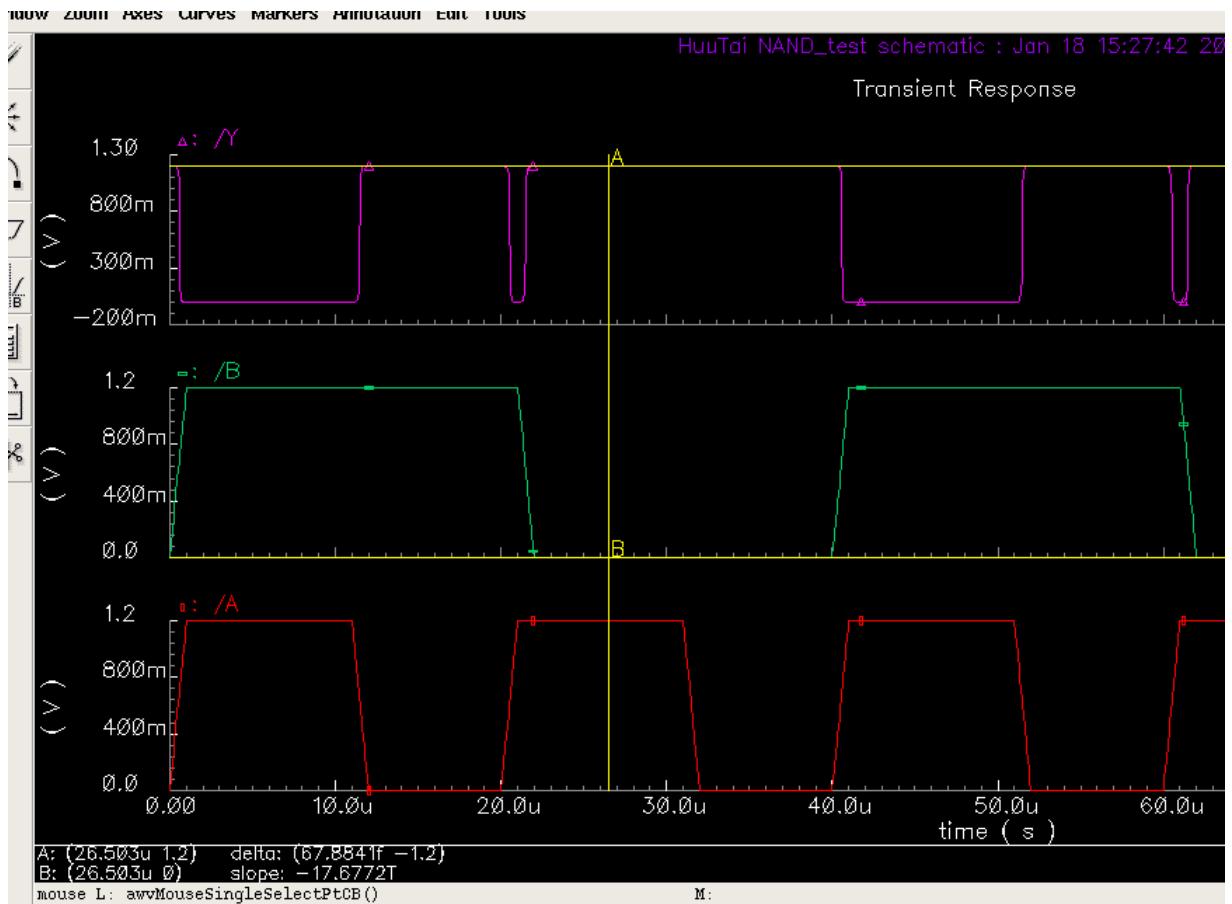
A	B	Y
0	1	1

* Trường hợp 3:



Hình 2.2.14. Điện áp ngõ vào A và B trong trường hợp 3

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $26,503 \mu s$ lần lượt là 1,2V (tương ứng với mức logic 1) và 0V (tương ứng mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 2.2.15. Điện áp ngõ ra Y trong trường hợp 3

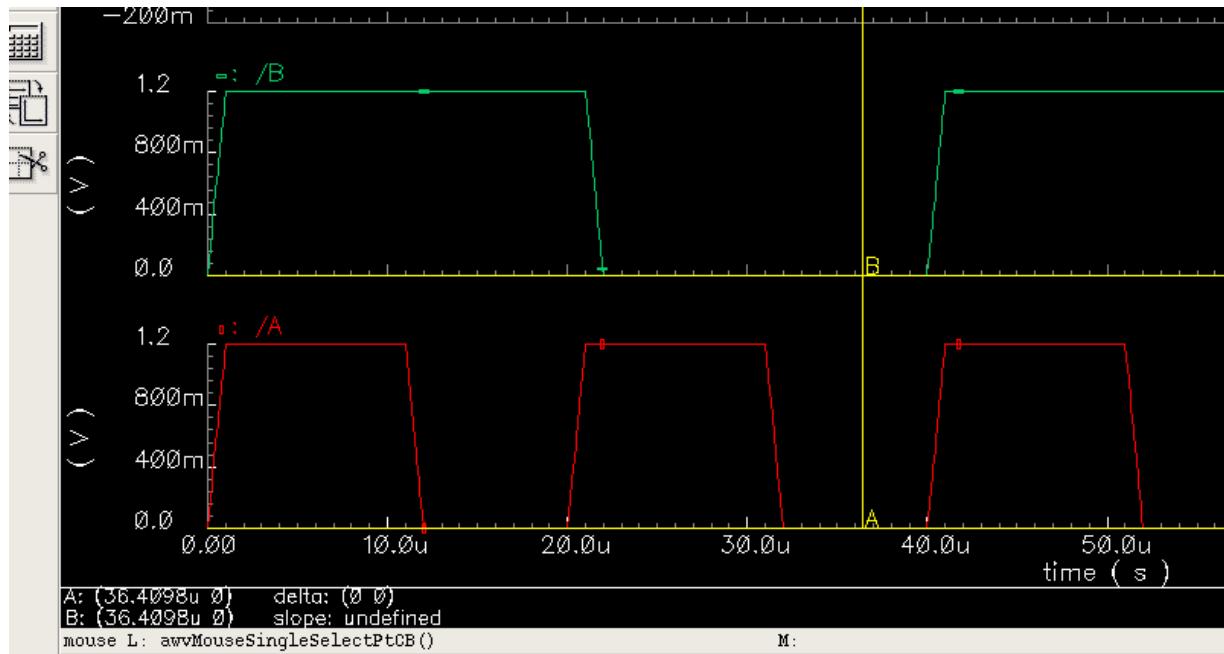
Tại điểm đánh dấu A thời điểm $26,503 \mu\text{s}$, ta thấy mức điện áp ngõ ra là $1,2\text{V}$ (tương ứng với mức logic 1).

Vậy ở trường hợp 3, ta rút ra được bảng kết quả sau:

Bảng 2.2.3. Bảng kết luận mức logic trong trường hợp 3

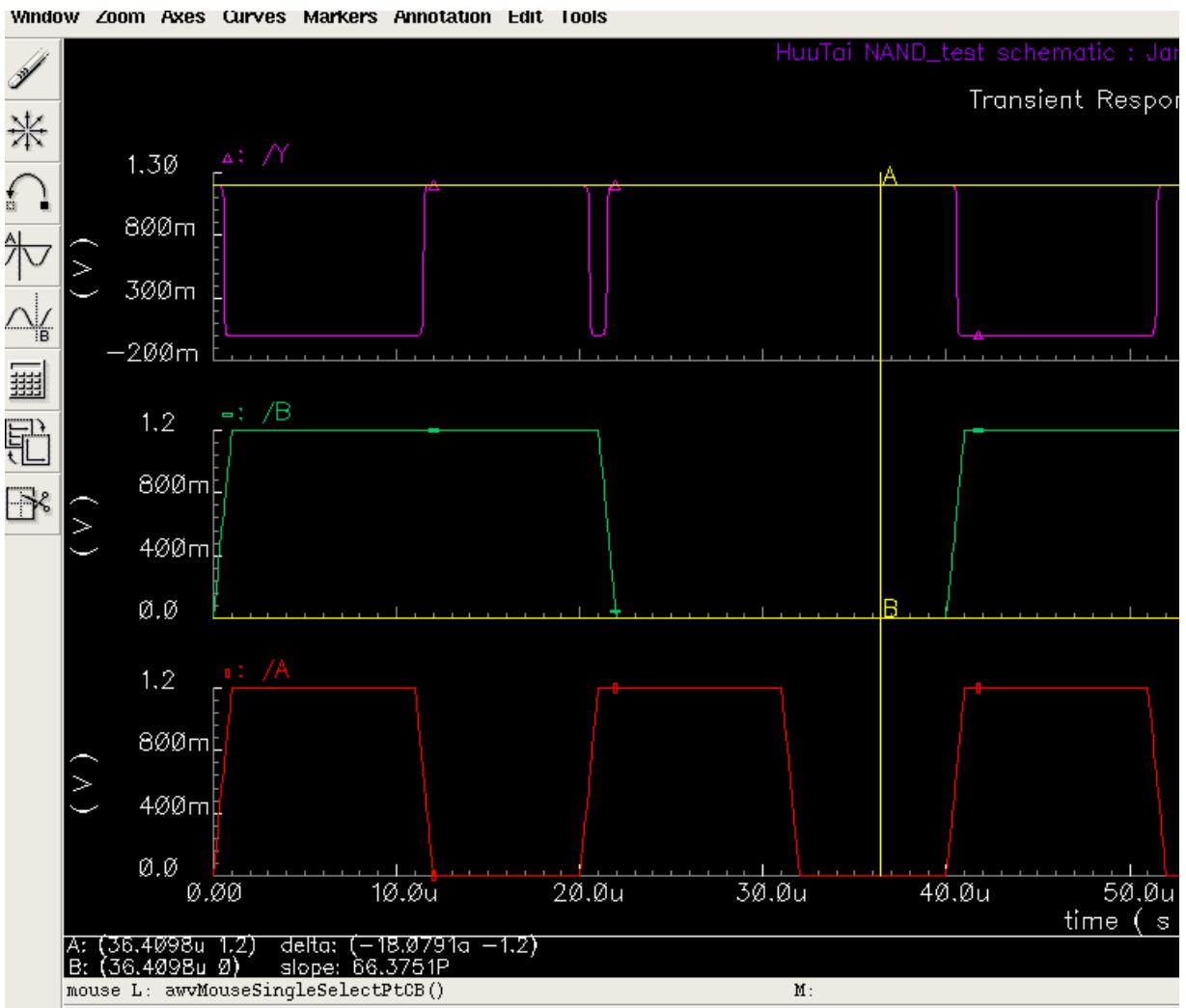
A	B	Y
1	0	1

* Trường hợp 4:



Hình 2.2.16. Điện áp ngõ vào A và B trong trường hợp 4

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $36,4098 \mu\text{s}$ đều là 0V (tương ứng với mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 2.2.17. Điện áp ngõ ra Y trong trường hợp 4

Tại điểm đánh dấu A thời điểm $36,4098 \mu s$, ta thấy mức điện áp ngõ ra là 1,2V (tương ứng với mức logic 1).

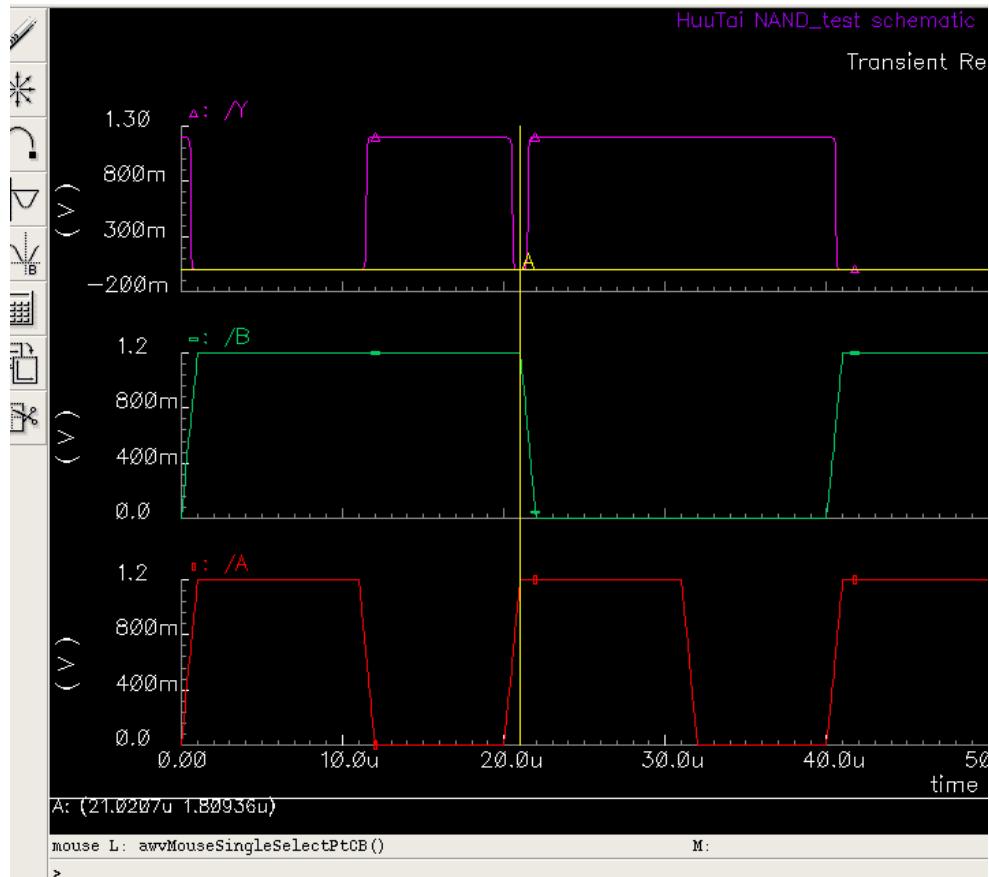
Vậy ở trường hợp 4, ta rút ra được bảng kết quả sau:

Bảng 2.2.4. Bảng kết luận mức logic trong trường hợp 4

A	B	Y
0	0	1

Từ kết quả của 4 trường hợp trên, ta kết luận rằng kết quả này là hoàn toàn đúng với lý thuyết bảng trạng thái của cổng NAND như *Bảng 2.1.1*.

Tuy nhiên tại một số thời điểm ta thấy ngõ ra Y bị đảo trạng thái trong một thời gian ngắn như sau:



Hình 2.2.18. Dạng sóng ngõ ra tại một số điểm bất thường

Nguyên nhân là do quá trình chuyển mạch của ngõ vào tại thời điểm ngõ vào A đang lên mức HIGH, ngõ vào B đang xuống mức LOW nhưng do ngõ vào A chuyển mạch trước mà tại thời điểm đó ngõ vào B chưa kịp xuống mức LOW nên A và B đều ở mức HIGH khiến cho ngõ ra giảm xuống mức LOW trong 1 khoảng thời gian rất nhỏ sau đó lên lại mức HIGH.

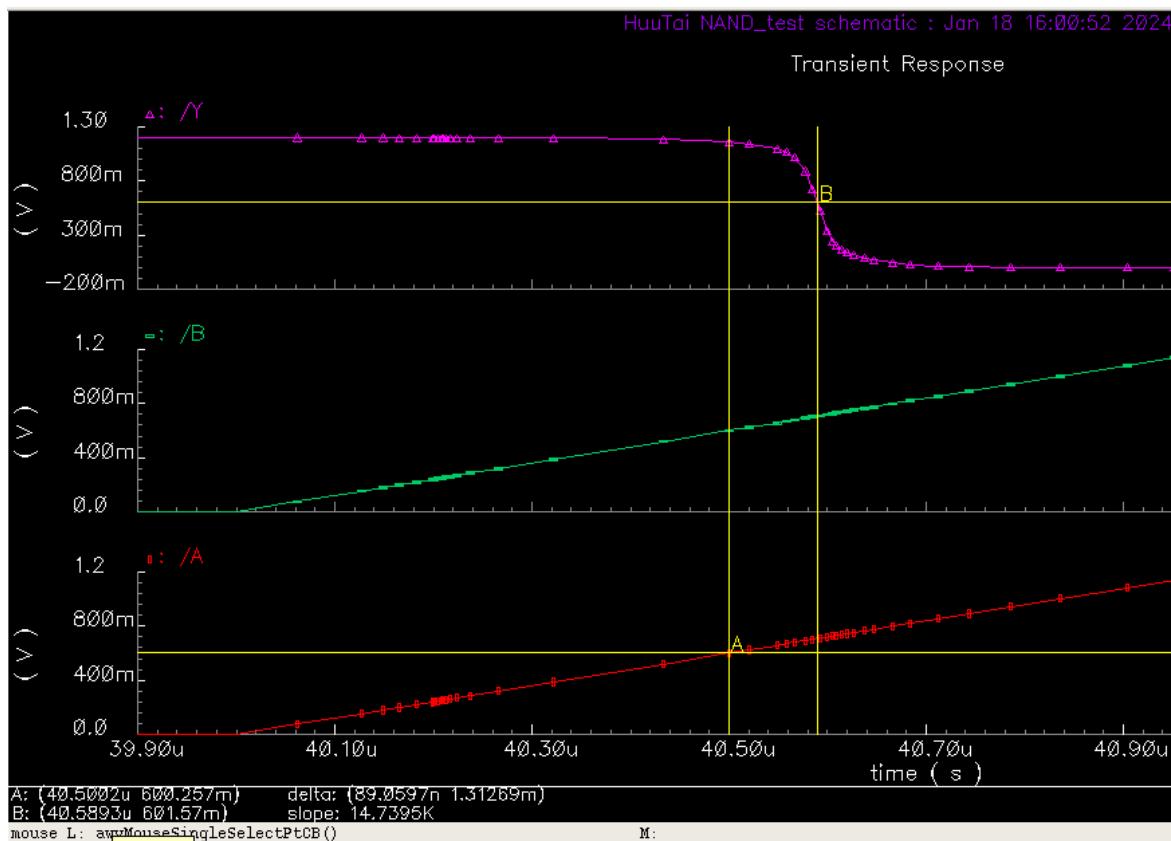
2.2.4.2. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

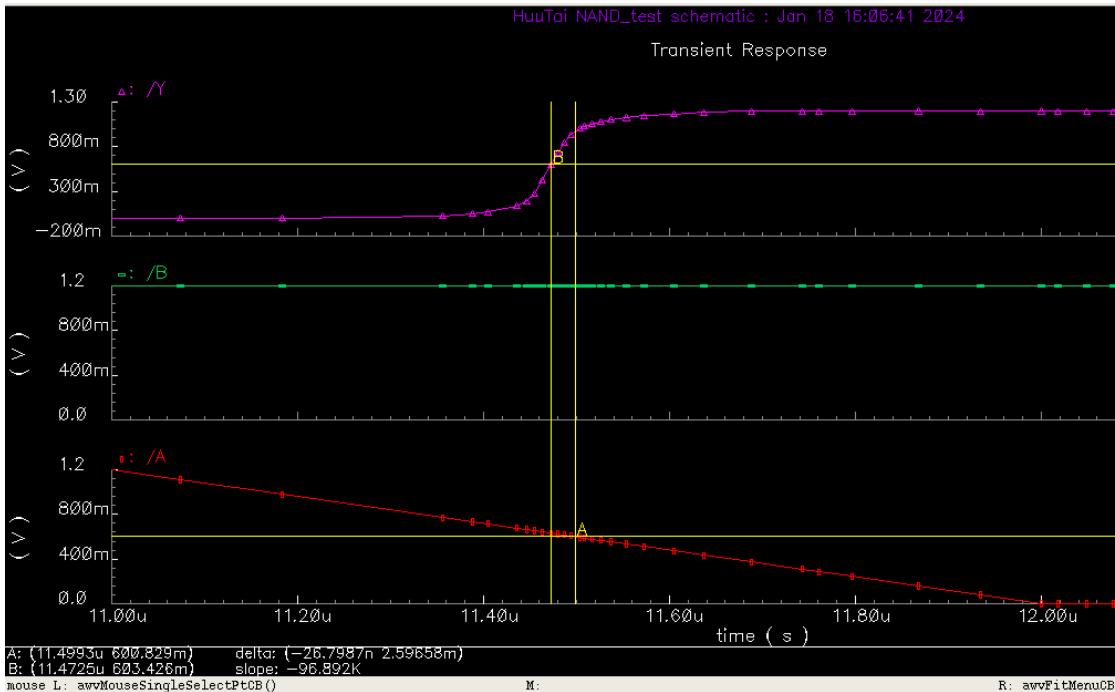
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 2.2.19. Đo thời gian trễ khi ngõ vào A cạnh lên

Khi điện áp ngõ vào tăng lên đến 600,257 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 601,57 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 89,0597 ns hay nói $t_{pdr(A)} = 89,0597$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 2.2.20. Đo thời gian trễ khi ngõ vào A cạnh xuống

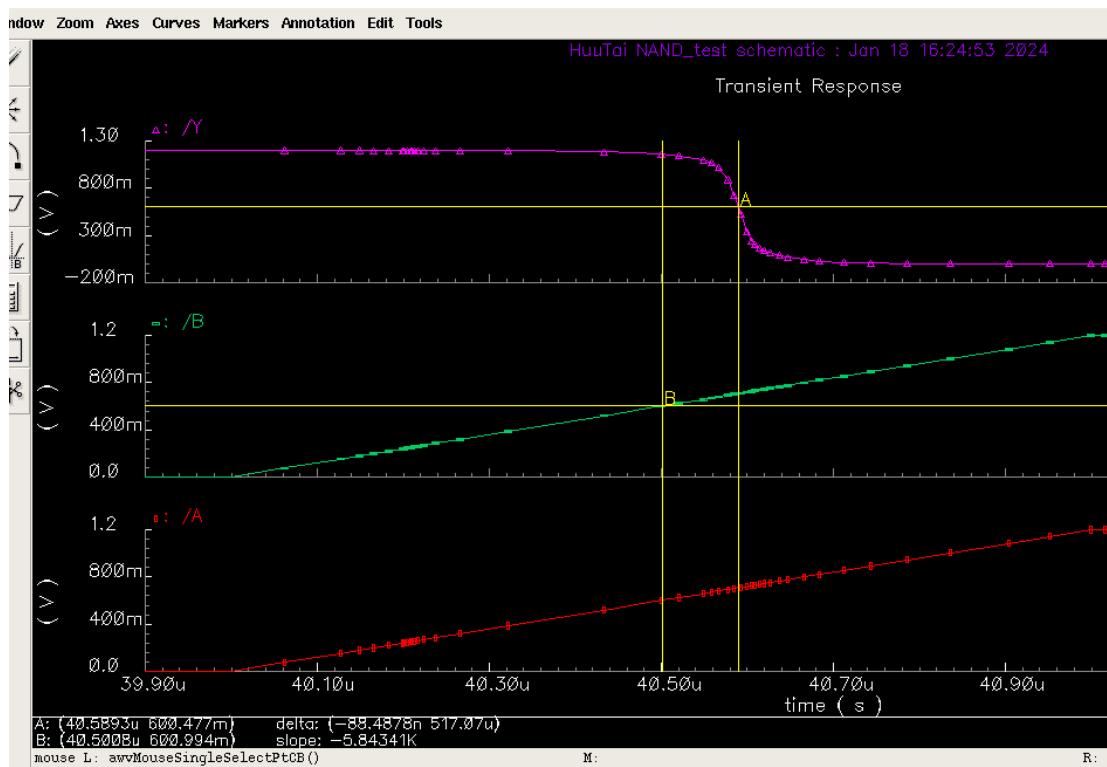
Khi điện áp ngõ vào A giảm xuống đến 600,829 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 603,426 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 26,7987 ns hay nói $t_{pdf(A)} = 26,7987$ ns.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (89,0597 \text{ ns} + 26,7987 \text{ ns}) / 2 = 57,9292 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

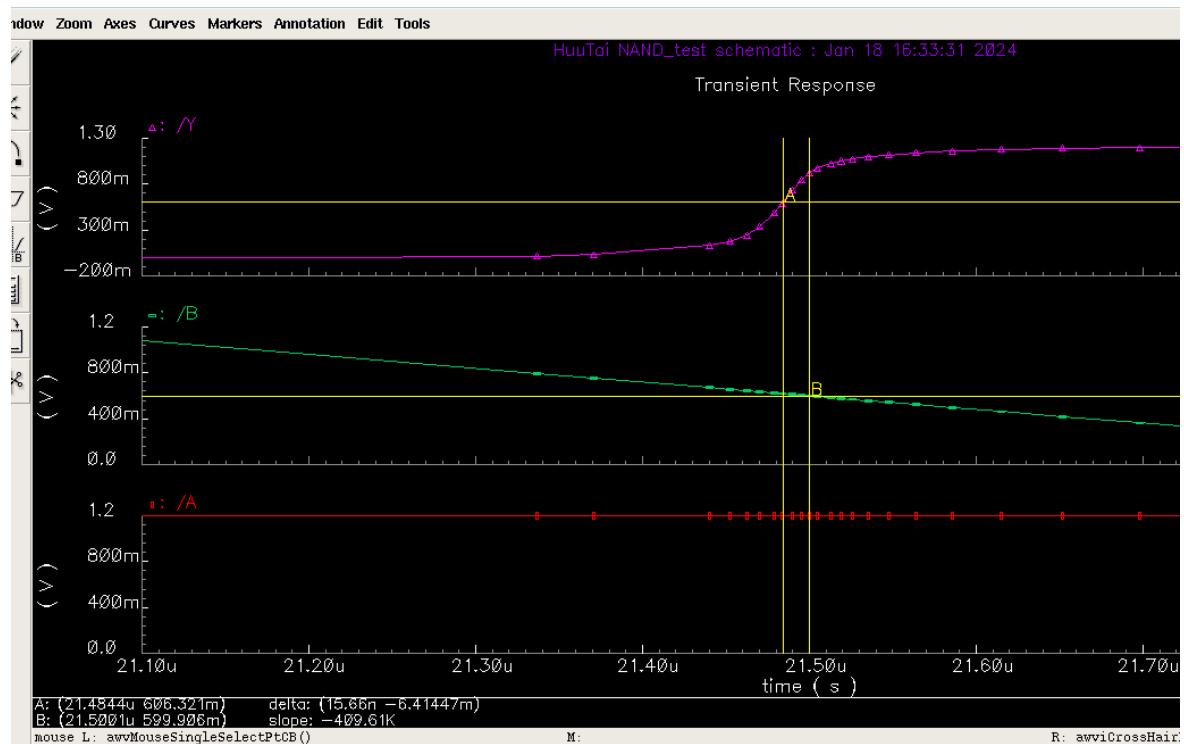
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 2.2.21. Đo thời gian trễ khi ngõ vào B cạnh lên

Khi điện áp ngõ vào B tăng lên đến 600,994 mV (điểm đánh dấu B) và điện áp ngõ ra giảm xuống đến 600,477 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 88,4878 ns hay nói $t_{pdr(B)} = 88,4878$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 2.2.22. Do thời gian trễ khi ngõ vào B cạnh xuống

Khi điện áp ngõ vào B giảm xuống đến 599,906 mV (điểm đánh dấu B) và điện áp ngõ ra tăng lên đến 606,321 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 15,66 ns hay nói $t_{pdf(B)}$ = 15,66 ns.

Có được $t_{pdr(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pdr(B)} + t_{pdf(B)}) / 2 = (88,4878 \text{ ns} + 15,66 \text{ ns}) / 2 = 52,0739 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

Bảng 2.2.5. Bảng kết quả thời gian trễ

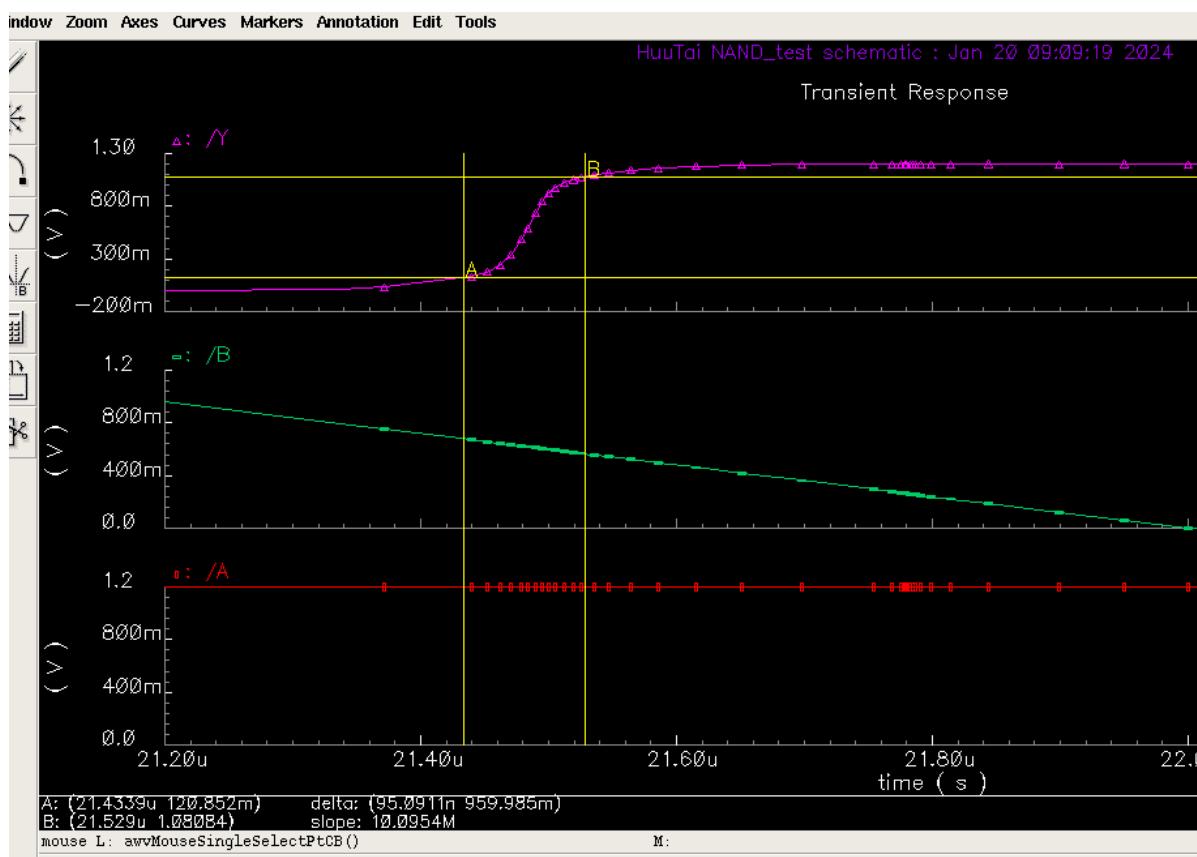
Ngõ vào	Thời gian trễ (t_{pd})
Tại A	57,9292 ns
Tại B	52,0739 ns

2.2.4.3. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

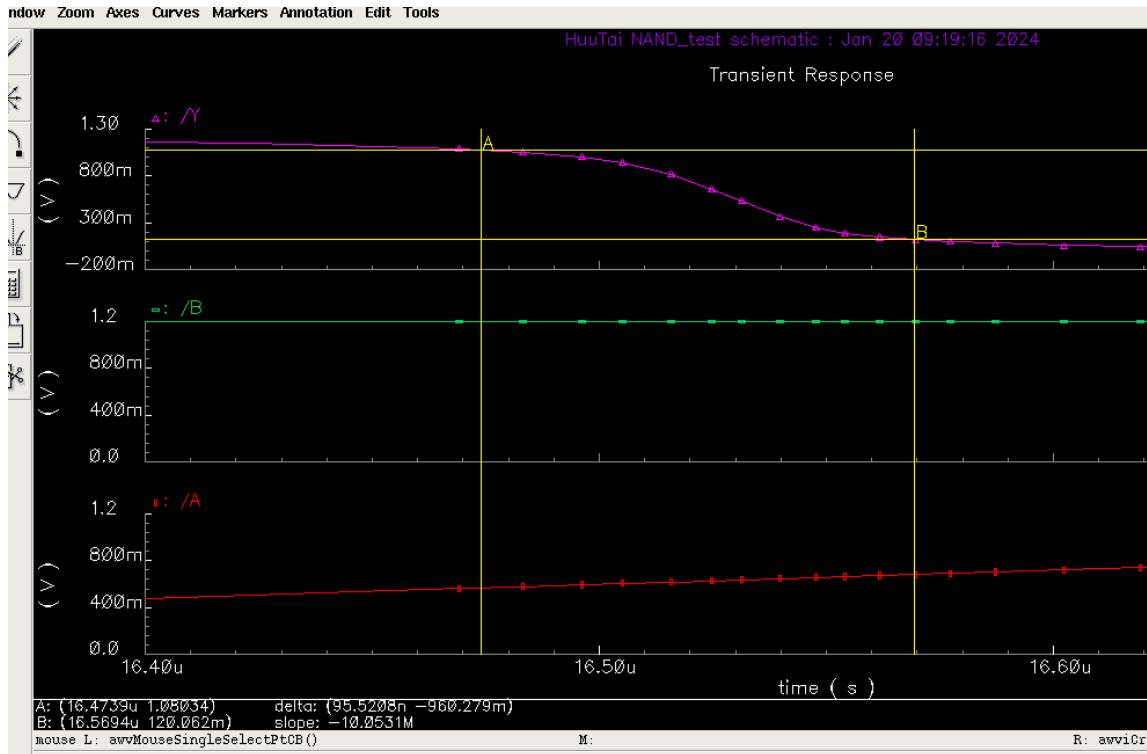
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 120,852$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08084$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 95,0911 ns hay $t_r = 95,0911$ ns.



Hình 2.2.23. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08034$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,062$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 95,5208 ns hay $t_f = 95,5208$ ns.

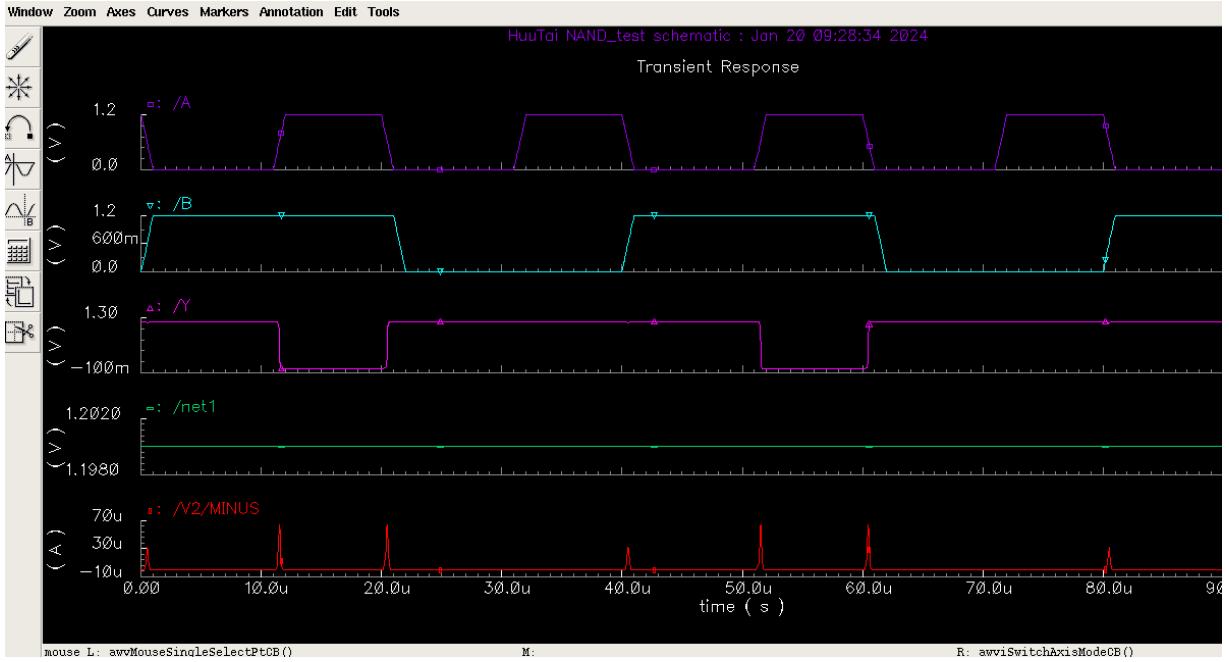


Hình 2.2.24. Đánh giá thời gian chuyển mạch ngoặt từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 95,30595$ ns.

2.2.4.4. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho công NAND và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

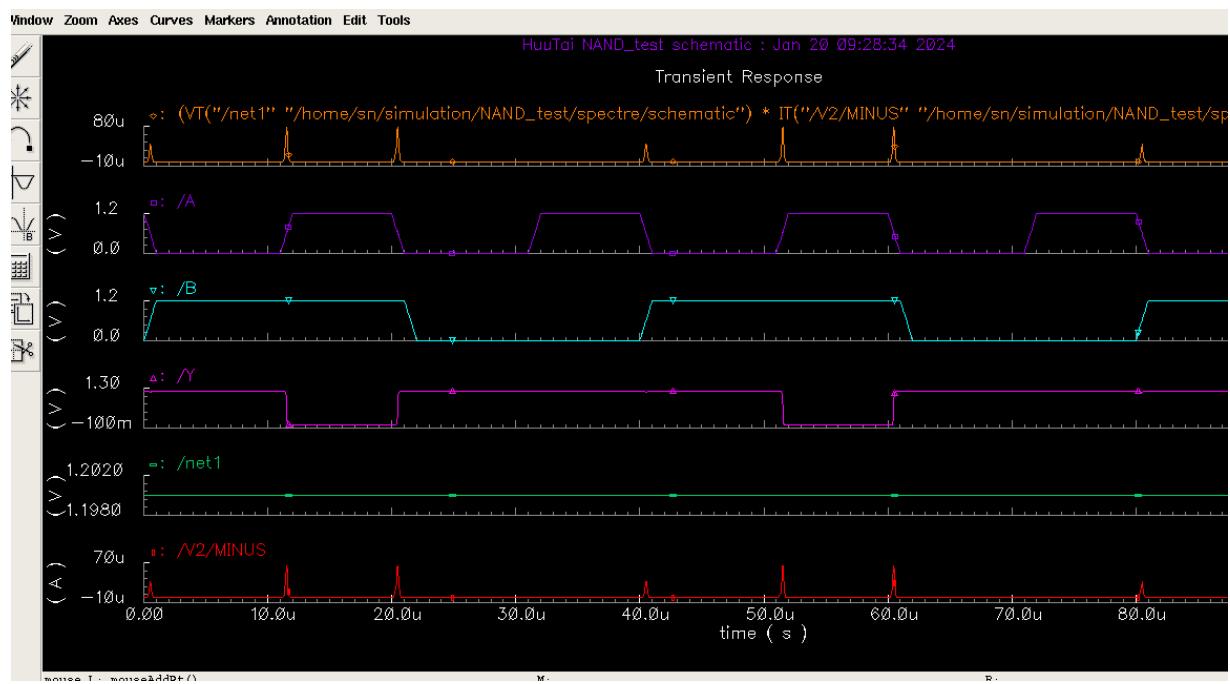
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 2.2.25. Dạng sóng điện áp và dòng điện của nguồn cung cấp

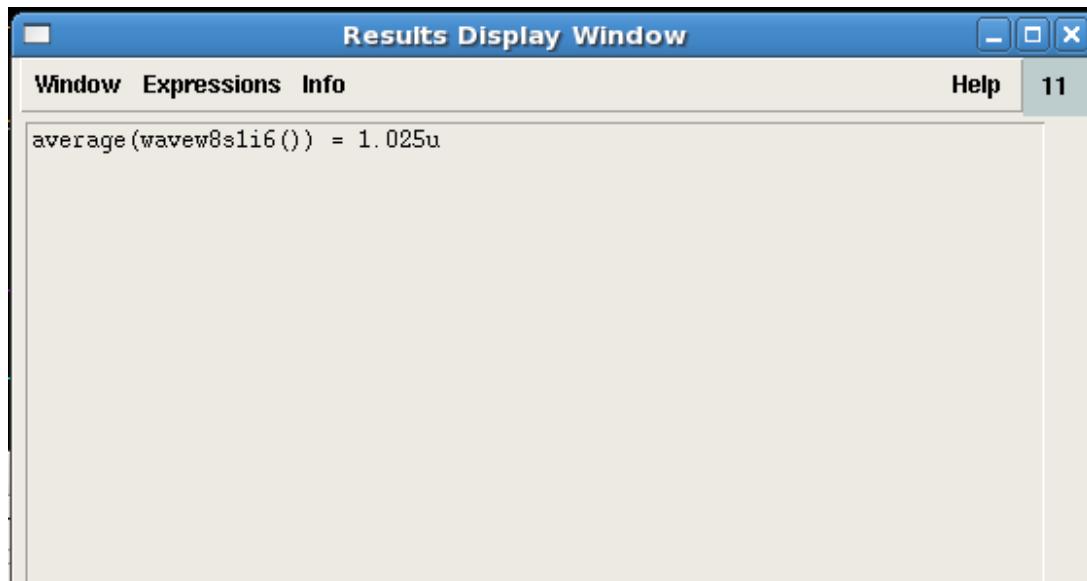
Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của cổng NAND để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của cổng NAND.

Ta vẽ dạng sóng công suất tức thời của cổng NAND bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 2.2.26. Dạng sóng công suất tíc thời của cổng NAND

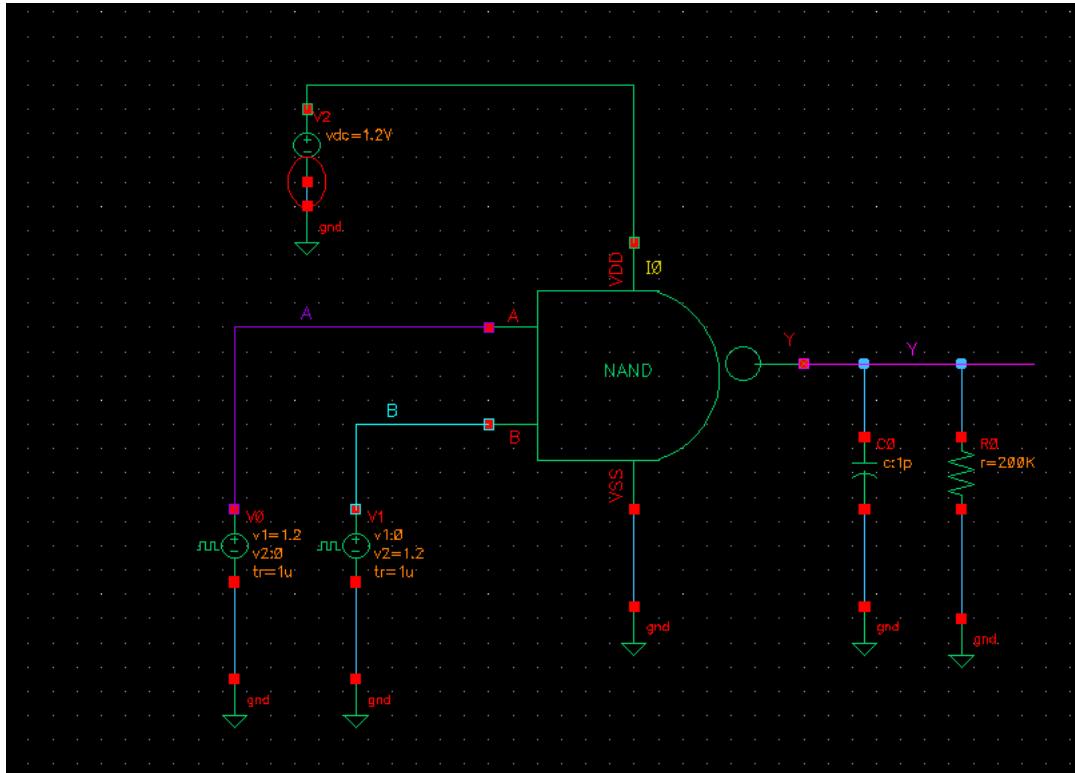
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tíc thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $1,025 \mu\text{W}$.



Hình 2.2.27. Kết quả tính giá trị trung bình trên cổng NAND

2.2.5. Mô phỏng công NAND khi có tải C_L , R_L

Ta gắn thêm 1 tụ có độ lớn 1 pF và 1 tải có độ lớn $200\text{ k}\Omega$ song song với ngõ ra của công NAND như sau:



Hình 2.2.28. Trường hợp có tải C_L , R_L

Để mô phỏng chức năng của công NAND trường hợp có tải, ta thực hiện mô phỏng tương tự trường hợp không có tải.

2.2.5.1. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 2.2.29. Đo thời gian trễ khi ngõ vào A cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào tăng lên đến 599,821 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 600,183 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 38,9496 ns hay nói $t_{pdr(A)} = 38,9496$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 2.2.30. Đo thời gian trễ khi ngõ vào A cạnh xuống (trường hợp có tải)

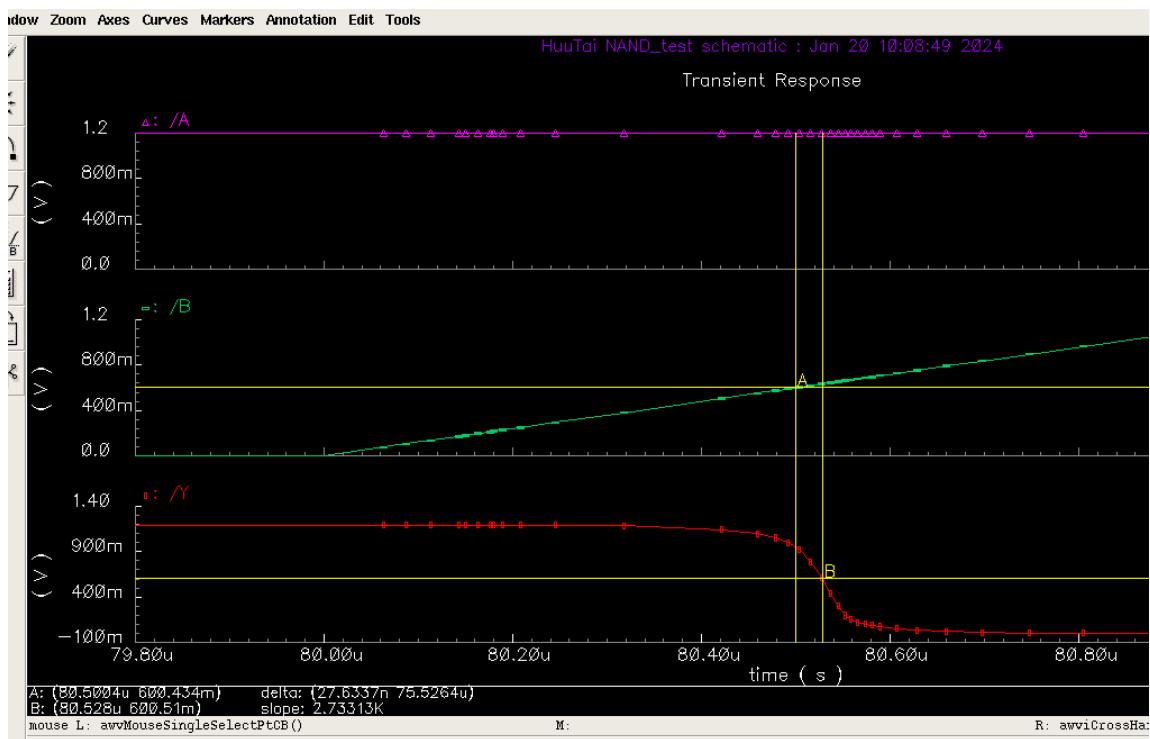
Khi điện áp ngõ vào A giảm xuống đến 599,97 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 601,962 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 10,3181 ns hay nói $t_{pdf(A)} = 10,3181$ ns.

Có được $t_{pdf(A)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdf(A)} + t_{pdf(B)}) / 2 = (38,9496 \text{ ns} + 10,3181 \text{ ns}) / 2 = 24,63385 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

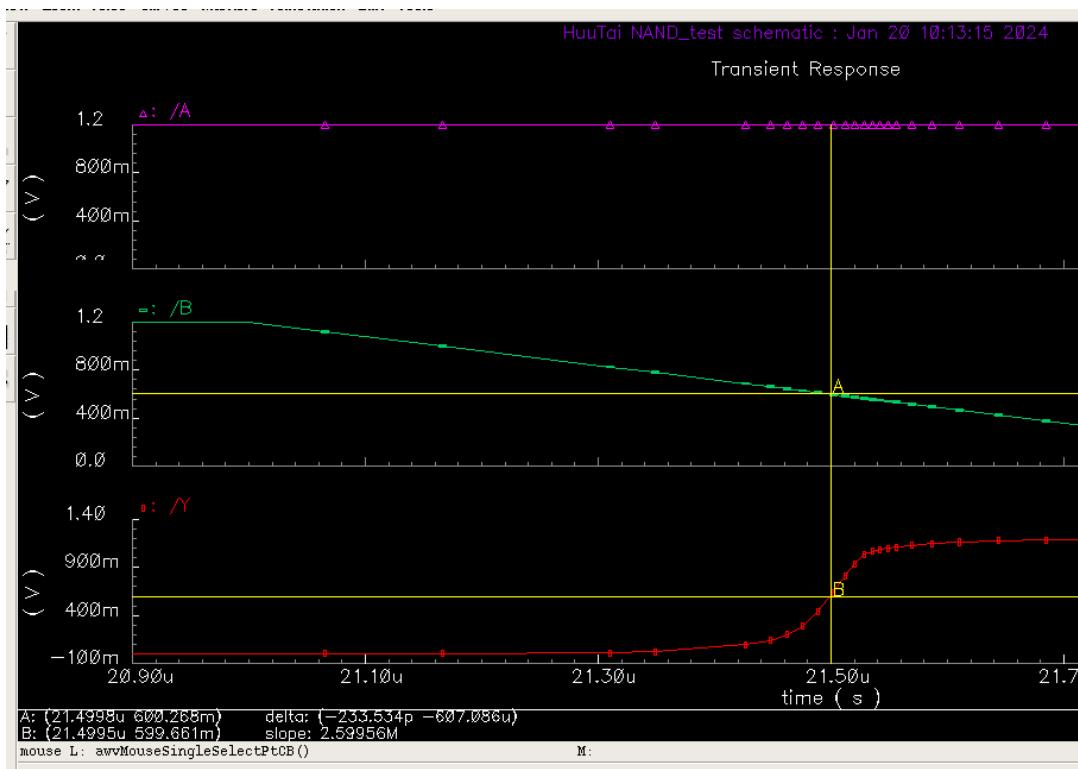
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 2.2.31. Đo thời gian trễ khi ngõ vào B cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào B tăng lên đến 600,434 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 600,51 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 27,6337 ns hay nói $t_{pdr(B)} = 27,6337$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 2.2.32. Đo thời gian trễ khi ngõ vào B cạnh xuống (trường hợp có tải)

Khi điện áp ngõ vào B giảm xuống đến 600,268 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 599,661 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 233,534 ps hay nói $t_{pd(B)} = 233,534$ ps.

Có được $t_{pd(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pd(B)} + t_{pdf(B)}) / 2 = (27,6337 \text{ ns} + 233,534 \text{ ps}) / 2 = 13,9336 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

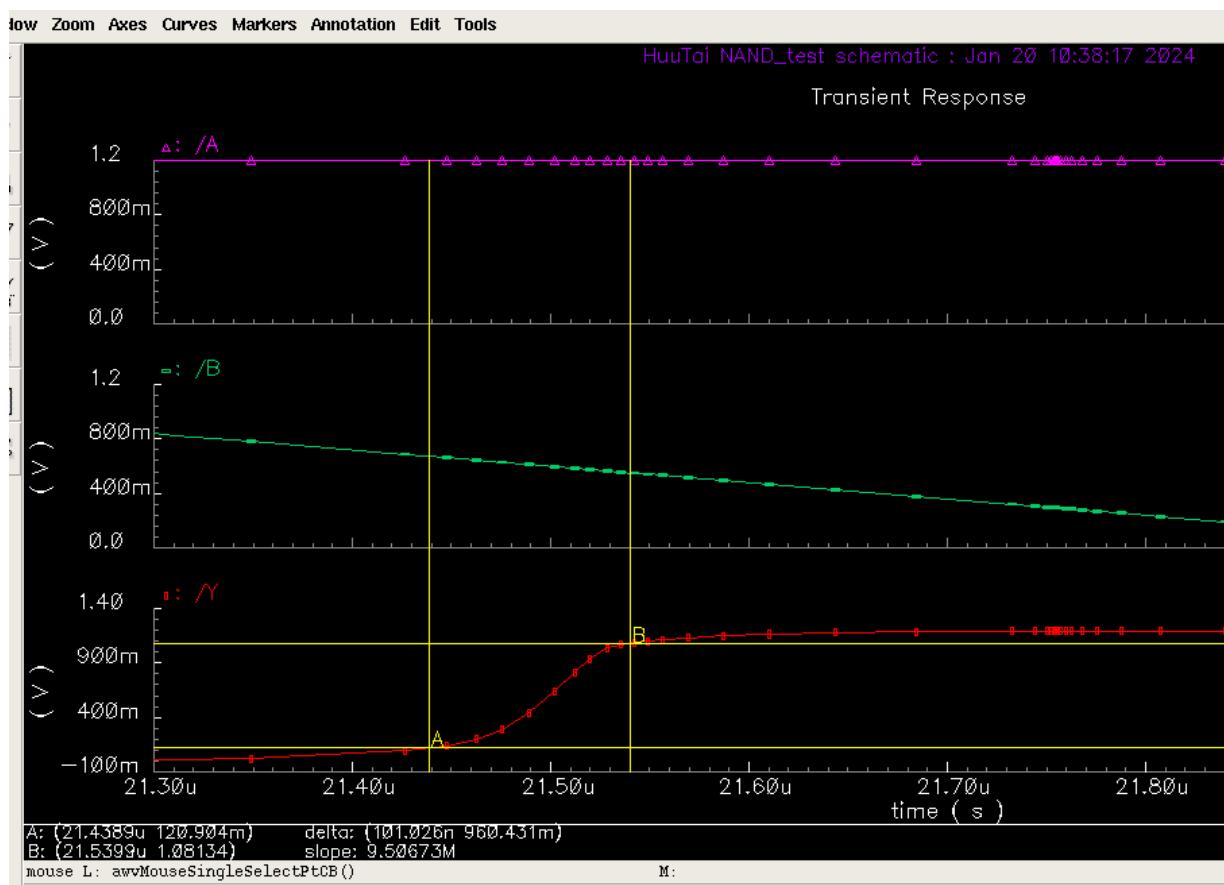
Bảng 2.2.6. Bảng kết quả thời gian trễ trường hợp có tải

Ngõ vào	Thời gian trễ (t_{pd})
Tại A	24,63385 ns
Tại B	13,9336 ns

2.2.5.2. Transition time

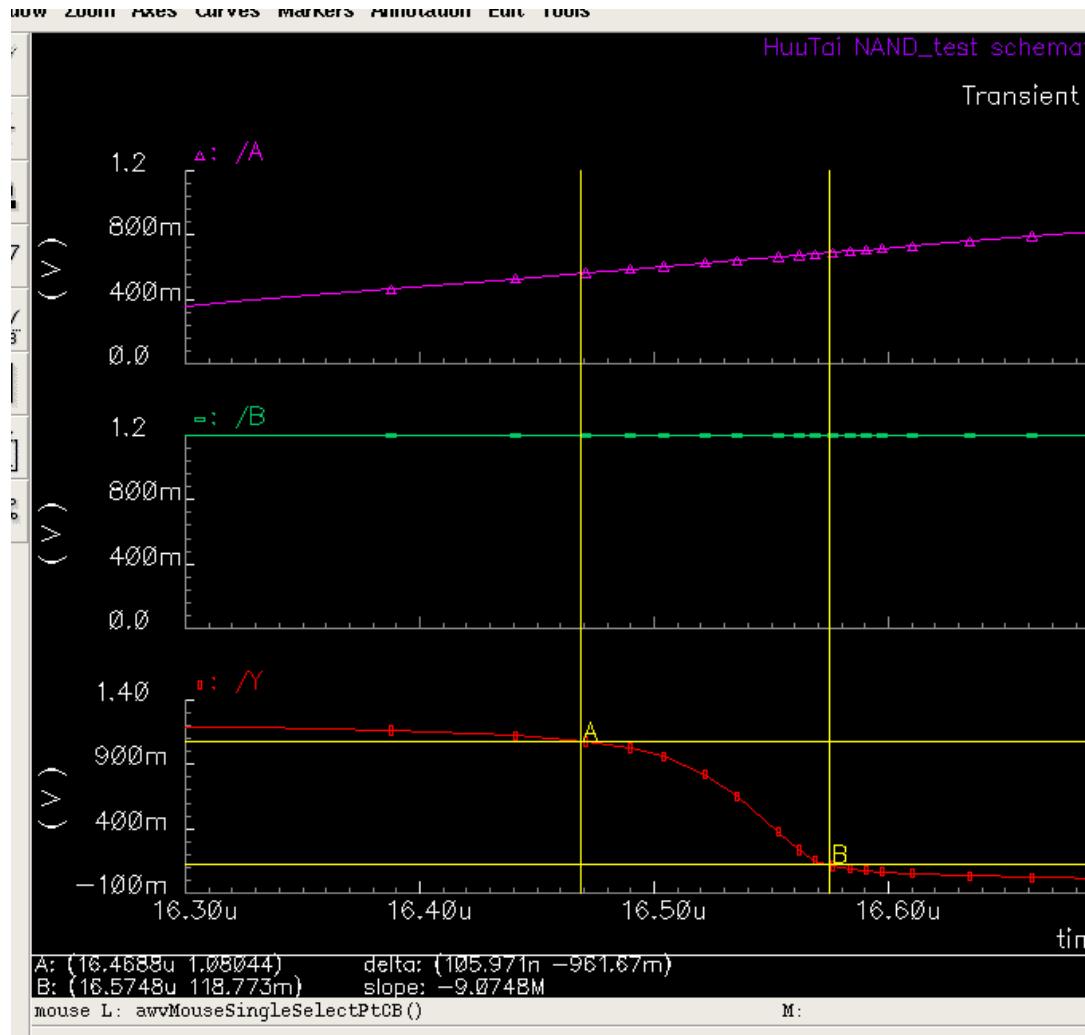
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 120,904$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08134$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 101,026 ns hay $t_r = 101,026$ ns.



Hình 2.2.33. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1
(trường hợp có tải)

Ta đánh dấu tại điểm A khi $V_{out} = 1,08044$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 118,773$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 105,971 ns hay $t_f = 105,971$ ns.

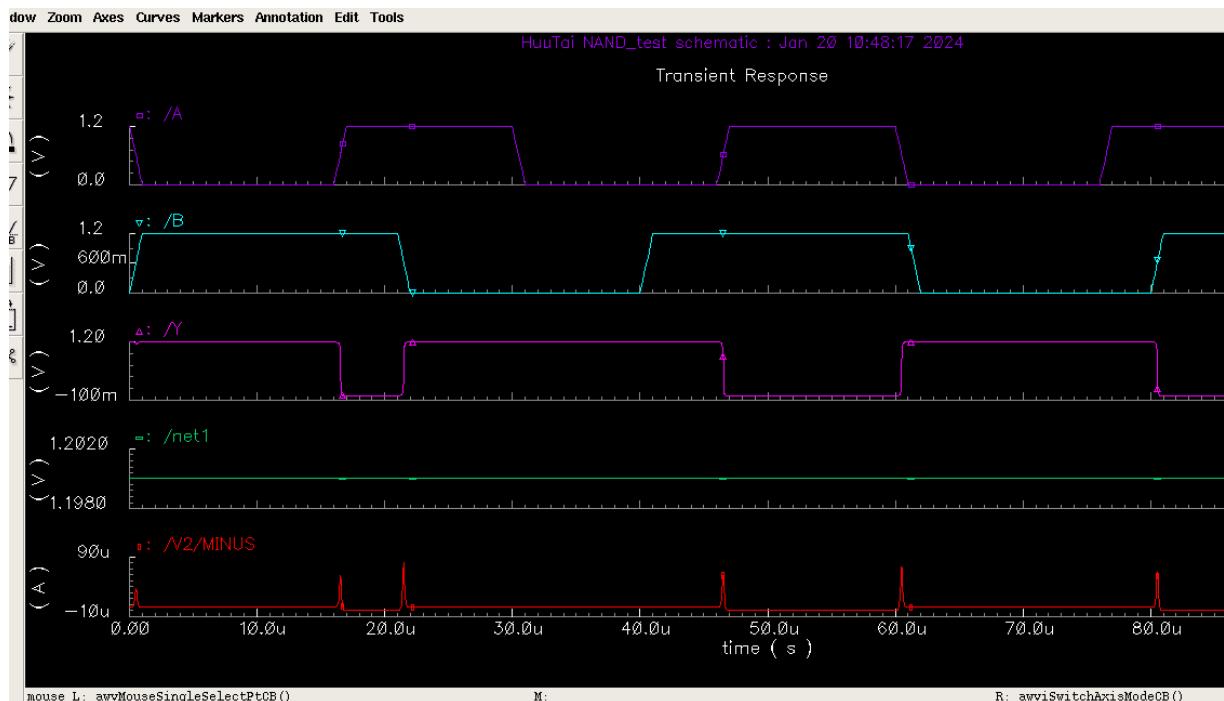


*Hình 2.2.34. Đánh giá thời gian chuyển mạch ngơ ra từ mức 1 xuống 0
(trường hợp có tải)*

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 103,4985$ ns.

2.2.5.3. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng NAND và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

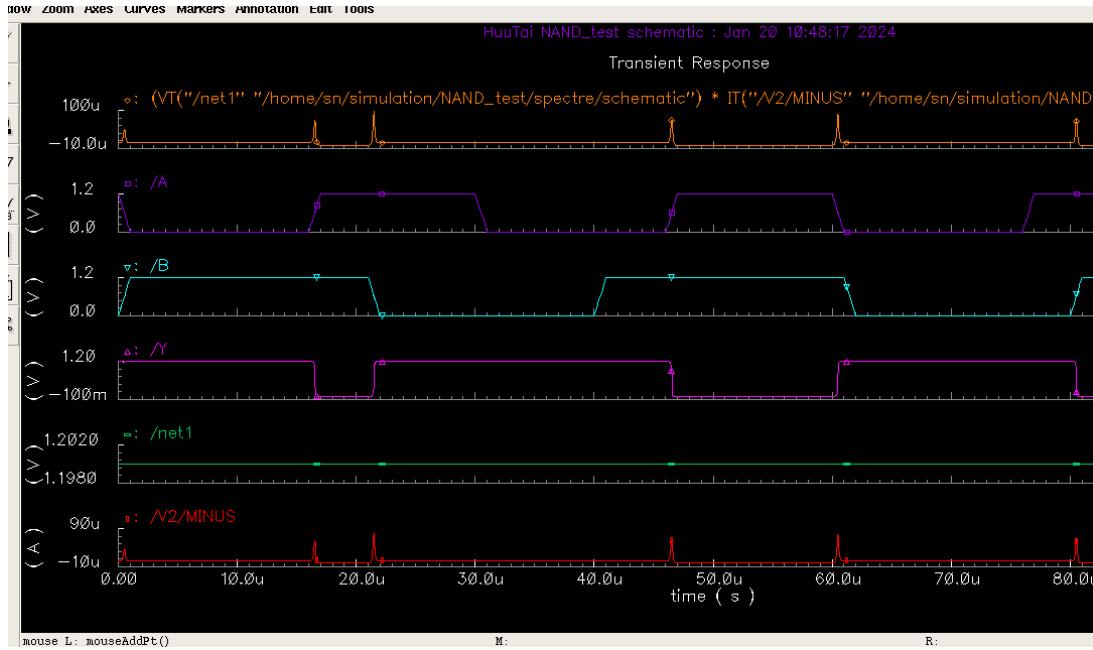
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 2.2.35. Dạng sóng điện áp và dòng điện của nguồn cung cấp (trường hợp có tải)

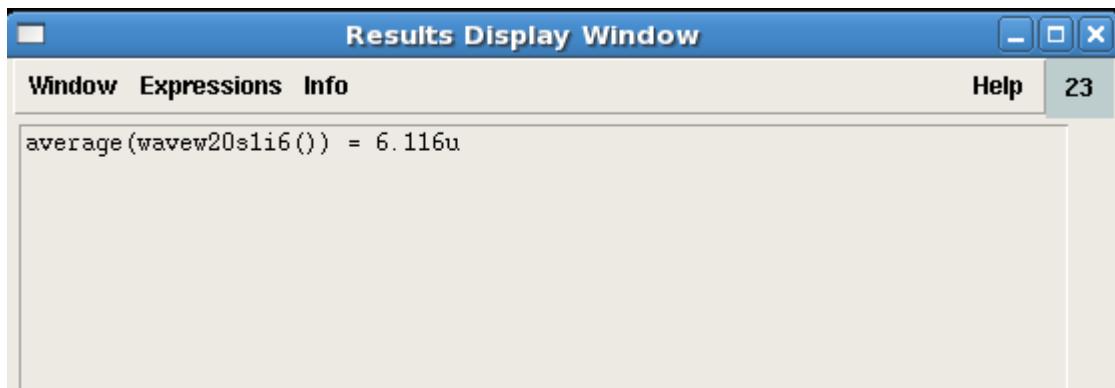
Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của cổng NAND để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của cổng NAND.

Ta vẽ dạng sóng công suất tức thời của cổng NAND bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 2.2.36. Dạng sóng công suất tức thời của cổng NAND (trường hợp có tải)

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $6,116 \mu\text{W}$.



Hình 2.2.37. Kết quả tính giá trị trung bình trên cổng NAND (trường hợp có tải)

2.2.6. So sánh giữa hai trường hợp có tải và lý tưởng

Dựa vào kết quả tính toán cả 2 trường hợp trên, ta có bảng so sánh sau:

Bảng 2.2.7. So sánh giữa hai trường hợp có tải C_L , R_L và lý tưởng

Thông số	Lý tưởng	Có tải C_L , R_L
VDD	1,2V	1,2V
VSS	0V	0V
Độ trễ đối với ngõ vào A	57,9292 ns	24,63385 ns
Độ trễ đối với ngõ vào B	52,0739 ns	13,9336 ns
Công suất trung bình	1,025 μ W	6,116 μ W
Output transition time	95,30595 ns	103,4985 ns

Đánh giá:

Trong trường hợp có tải, ta thấy thời gian trễ đối với ngõ vào A và B đều giảm đi rất nhiều so với trường hợp lý tưởng, tuy nhiên công suất tiêu thụ trên công đã tăng lên nhiều lần.

Output transition time ở cả hai trường hợp đều gần bằng nhau nên ta thấy không có sự suy hao tín hiệu ngõ ra ở cả 2 mạch.

Phần 3

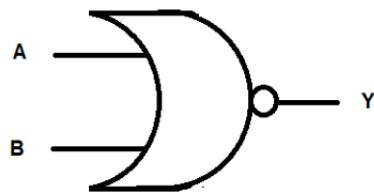
LÝ THUYẾT VÀ MÔ PHỎNG CÔNG NOR 2 NGÕ VÀO

3.1. Lý thuyết

3.1.1. Ký hiệu và bảng trạng thái công NOR

Công NOR là công logic tạo ra ngõ ra cao (1) chỉ khi tất cả các ngõ vào của nó là sai và ngược lại ngõ ra thấp (0).

Ký hiệu: Công NOR 2 ngõ vào được ký hiệu như hình sau:



Hình 3.1.1. Ký hiệu của công NOR 2 ngõ vào

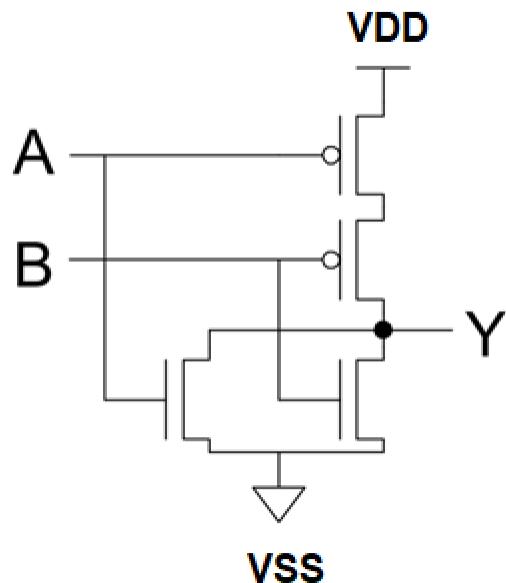
Bảng trạng thái:

Bảng 3.1.1. Bảng trạng thái của công NOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

3.1.2. Nguyên lý hoạt động của công NOR 2 ngõ vào

Mạch công NOR 2 ngõ vào sử dụng 4 transistor CMOS chia làm 2 phần. Phần 1 gồm 2 transistor pMOS mắc nối tiếp kéo lên nguồn VDD, phần 2 gồm 2 transistor nMOS mắc song song đưa xuống GND, hai phần này được ghép nối tiếp lại với nhau và ở giữa là ngõ ra Y. Cụ thể sơ đồ nguyên lý công NOR 2 vào được thể hiện như sau:



Hình 3.1.2. Sơ đồ nguyên lý của công NOR 2 ngõ vào sử dụng công nghệ CMOS

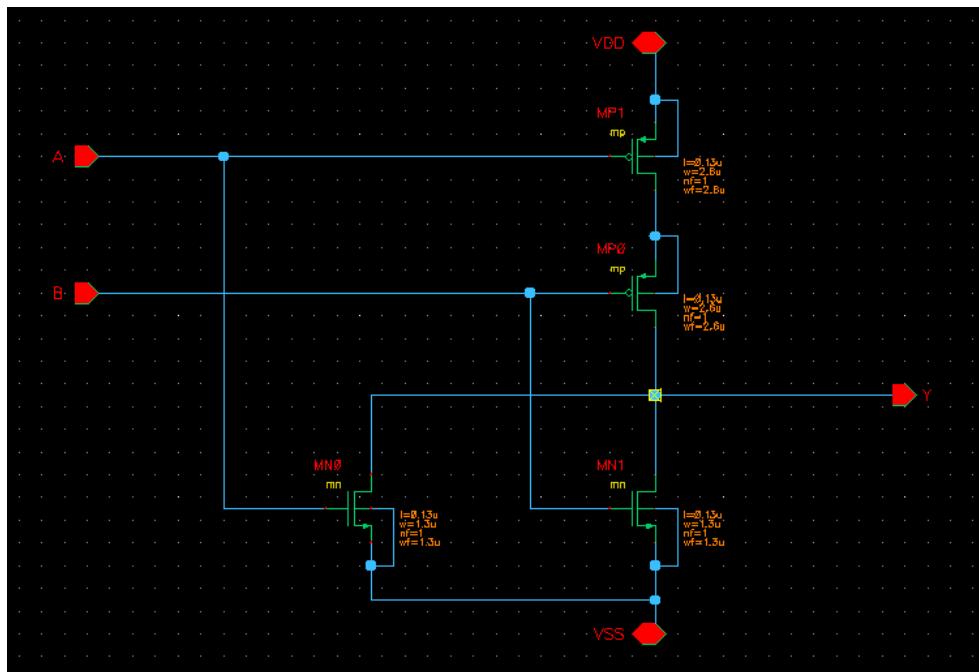
Do 2 pMOS ở phía trên được mắc nối tiếp nhau nên khi cả $A = 0$ và $B = 0$ thì 2 pMOS như 2 công tắc đóng, do đó ngõ ra luôn được cấp nguồn từ VDD nên luôn đạt mức logic 1. Ngược lại, khi $A = 1$ hoặc $B = 1$ thì cả 2 pMOS phía trên như 2 công tắc mở và ngõ ra Y bị ngắt với nguồn VDD, đồng thời 2 nMOS ở phía dưới mắc song song nhau và như công tắc đóng làm cho ngõ ra Y được nối với GND, dẫn đến kết quả ngõ ra Y ở mức logic 0.

3.2. Mô phỏng với phần mềm Cadence

Ta sử dụng công nghệ CMOS 0.13 μm của Samsung để thiết kế cổng NOR và đánh giá cổng logic này từ kết quả mô phỏng thu được. Phần mềm thiết kế được sử dụng là Cadence để thiết kế và thực hiện mô phỏng thiết kế, tính toán các thông số như công suất tiêu thụ, độ trễ của mạch tích hợp.

3.2.1. Sơ đồ nguyên lý và bảng thông số

Dựa vào sơ đồ *Hình 3.1.2.* ta thiết kế cổng NAND sử dụng công nghệ CMOS như sau:



Hình 3.2.1. Sơ đồ nguyên lý cổng NOR thiết kế trên Cadence

* Thông số của transistor

Ta đặt các thông số cho transistor pMOS và nMOS như sau:

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	2.6 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 3.2.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	1.3 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

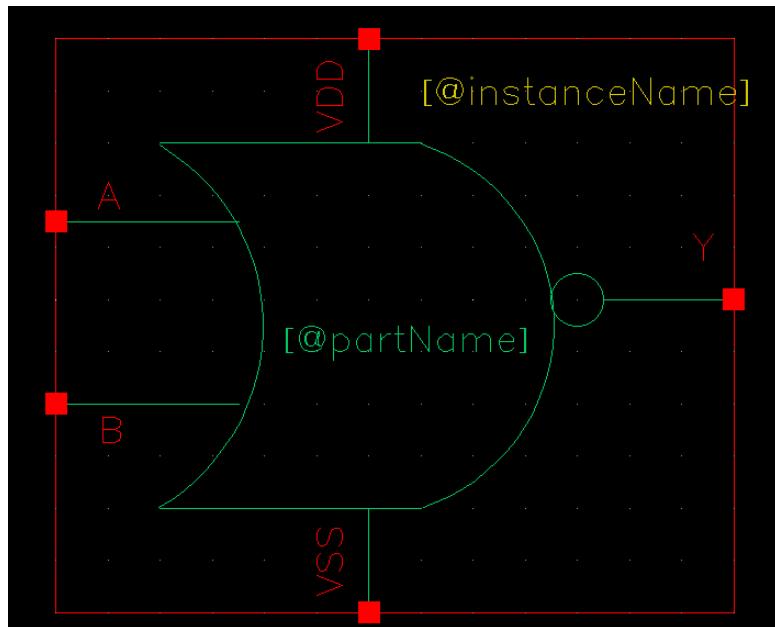
Hình 3.2.3. Thông số cài đặt cho transistor nMOS

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do

đó muôn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

3.2.2. Đóng gói sản phẩm

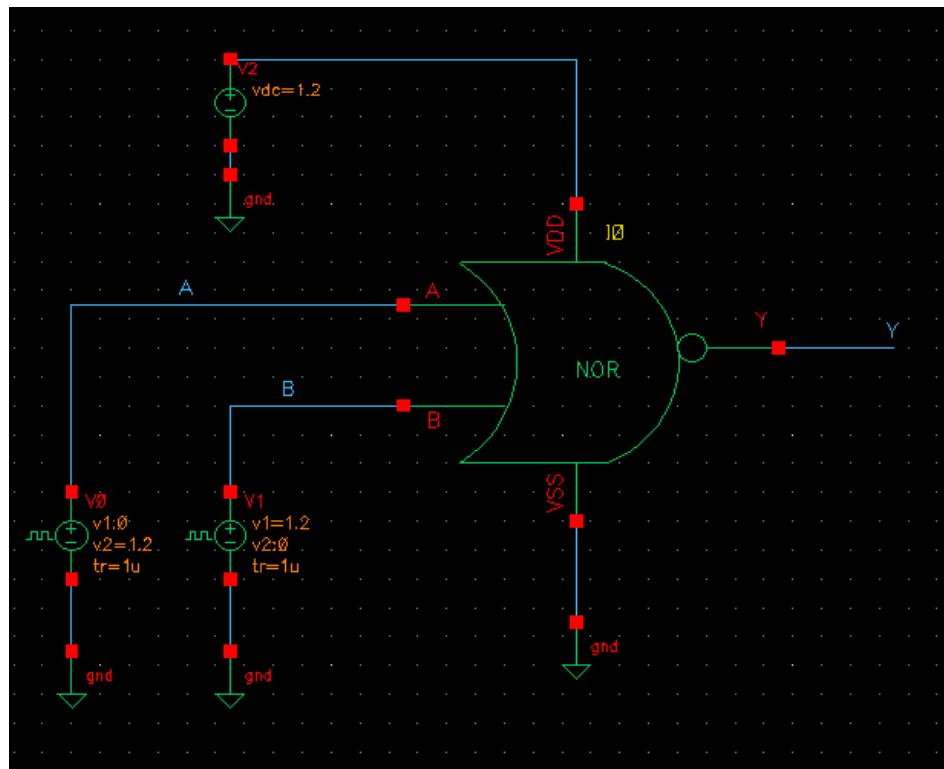
Sau khi hoàn thành sơ đồ nguyên lý mạch cỗng NOR, ta tiến hành đóng gói sơ đồ theo hình dạng là kí hiệu của cỗng NOR như *Hình 3.1.1*.



Hình 3.2.4. Kí hiệu cỗng NOR sau khi đóng gói

3.2.3. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cỗng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho cỗng NOT đã đóng gói như sau:



Hình 3.2.5. Cáp nguồn và tín hiệu cho cổng NOR sau khi đóng gói

Tại VCC của cổng NOR, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 3.2.6. Thông số của nguồn cung cấp VDC cho cổng NOR

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào A và B, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 1 μ s, tuy nhiên để qua sát được đầy đủ các trường hợp của 2 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào A, độ rộng xung là 10 μ s và chu kỳ là 20 μ s. Tại B, độ rộng xung là 20 μ s và chu kỳ là 40 μ s.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	1u s	off
Fall time	1u s	off
Pulse width	10u s	off
Period	20u s	off
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off

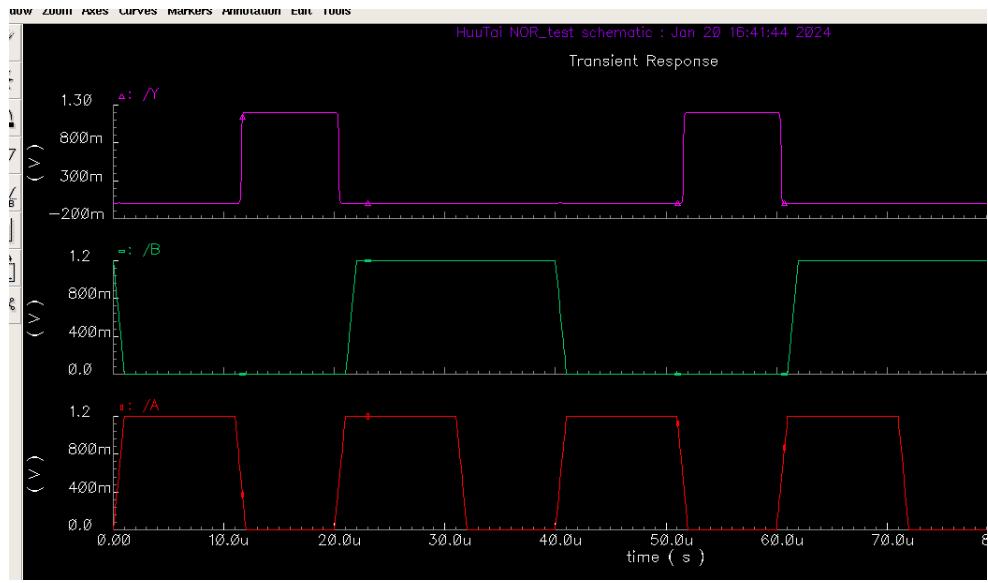
Hình 3.2.7. Thông số nguồn V_{pulse} tại ngõ vào A

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	1.2 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	1u s	off
Fall time	1u s	off
Pulse width	20u s	off
Period	40u s	off
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off
Type of rising & falling edge	-	off

Hình 3.2.8. Thông số nguồn V_{pulse} tại ngõ vào B

3.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (A và B) và ngõ ra (Y) của cổng NOR và thu được kết quả như sau:

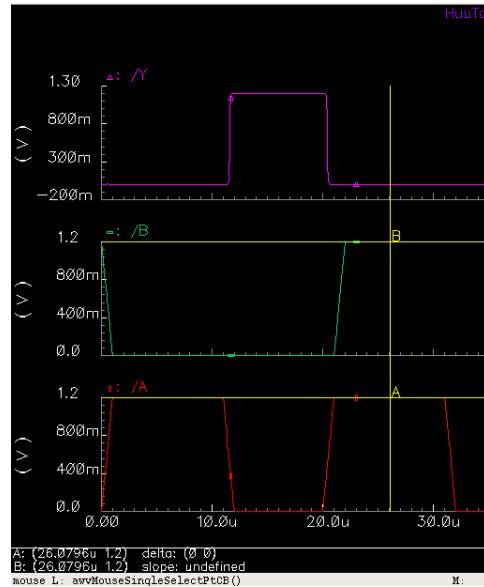


Hình 3.2.9. Dạng sóng điện áp ngõ vào A (màu đỏ), B (màu lục) và ngõ ra Y (màu tím)

3.2.4.1. Đánh giá mức điện áp

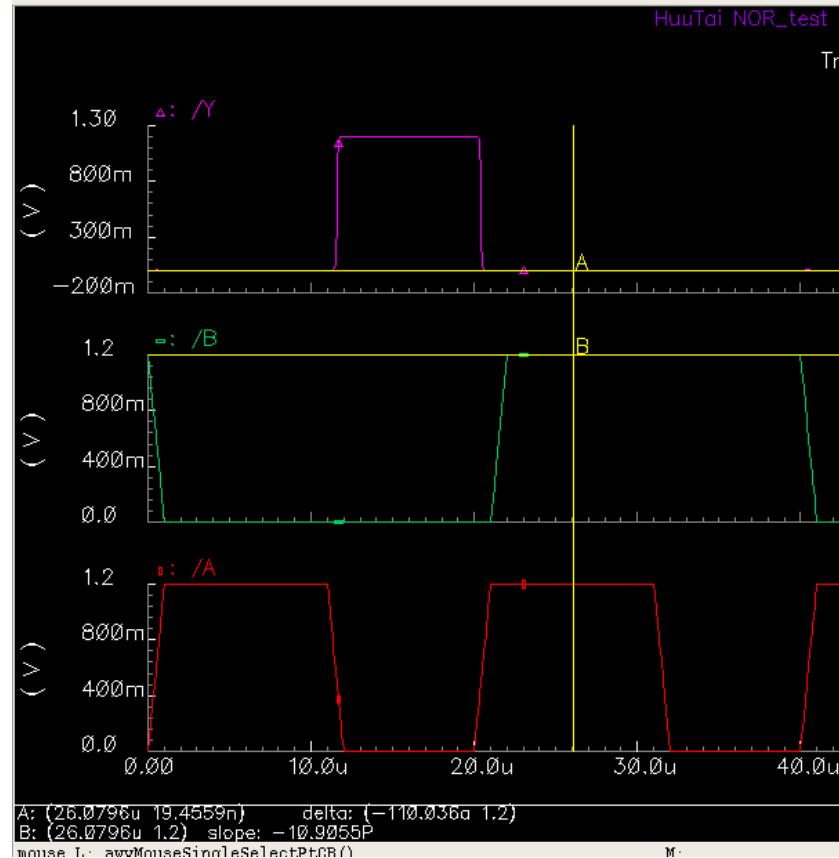
Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

* Trường hợp 1:



Hình 3.2.10. Điện áp ngõ vào A và B trong trường hợp I

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm 26,0796 μ s đều là 1,2V – tương ứng với mức logic 1. Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 3.2.11. Điện áp ngõ ra Y trong trường hợp 1

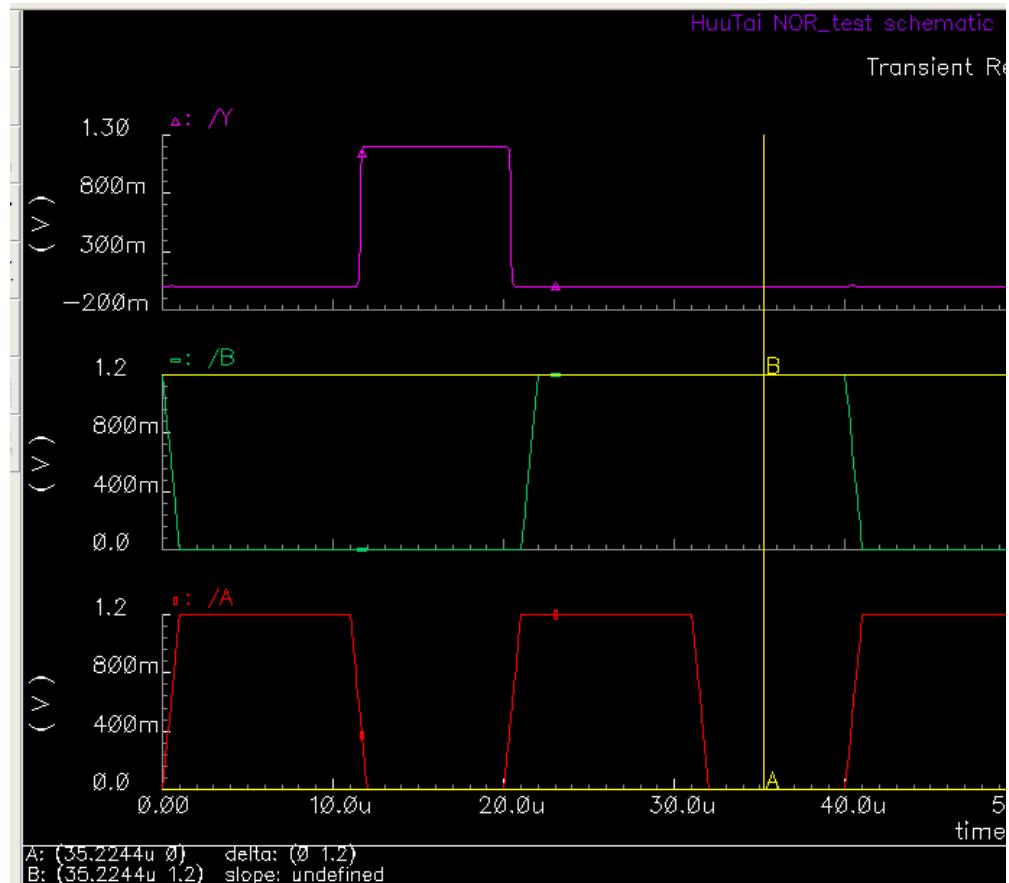
Tại điểm đánh dấu A thời điểm 26,0796 μ s, ta thấy mức điện áp ngõ ra là 19,4559 nV – tương ứng với mức logic 0.

Vậy ở trường hợp 1, ta rút ra được bảng kết quả sau:

Bảng 3.2.1. Bảng kết luận mức logic trong trường hợp 1

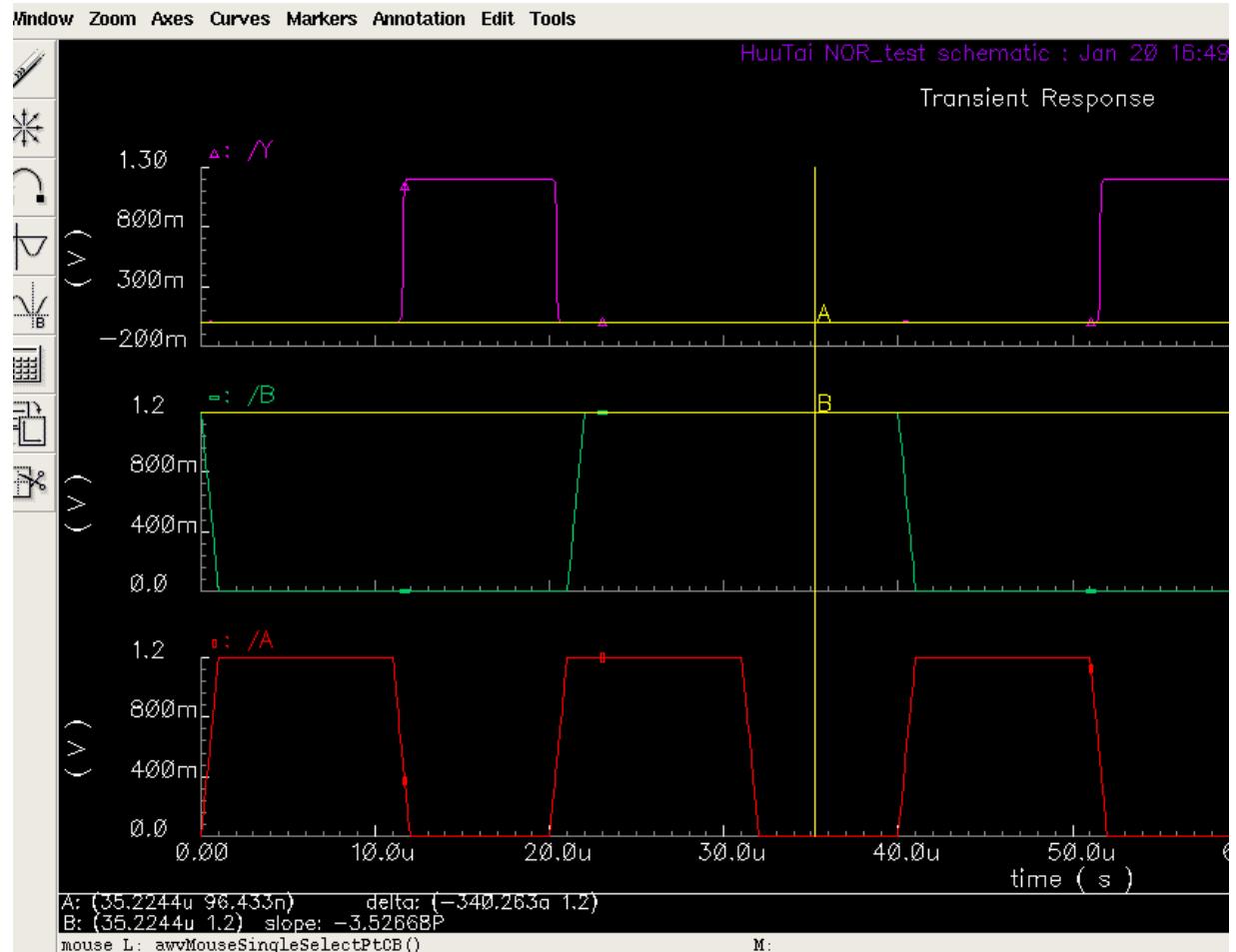
A	B	Y
1	1	0

* Trường hợp 2:



Hình 3.2.12. Điện áp ngõ vào A và B trong trường hợp 2

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm 35,2244 μ s lần lượt là 0V (tương ứng với mức logic 0) và 1,2V (tương ứng mức logic 1). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 3.2.13. Điện áp ngõ ra Y trong trường hợp 2

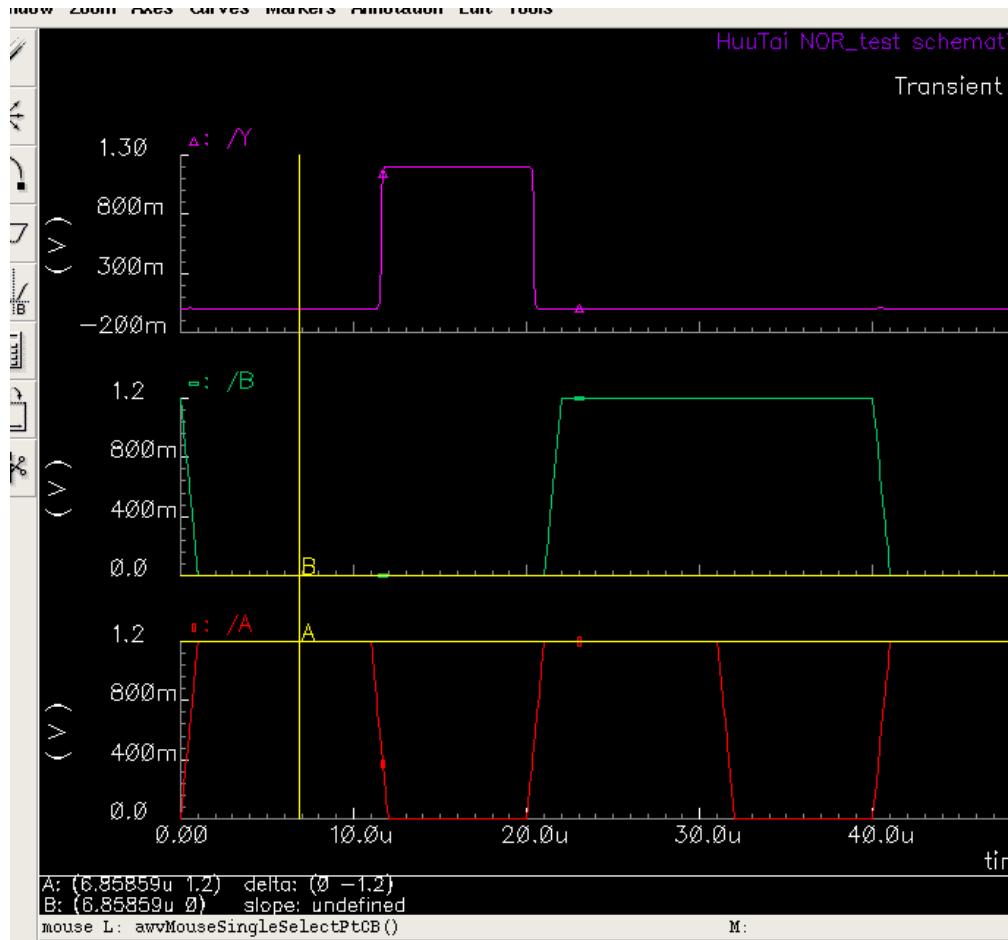
Tại điểm đánh dấu A thời điểm $35,2244 \mu s$, ta thấy mức điện áp ngõ ra là $96,433 \text{ nV}$ (tương ứng với mức logic 0).

Vậy ở trường hợp 2, ta rút ra được bảng kết quả sau:

Bảng 3.2.2. Bảng kết luận mức logic trong trường hợp 2

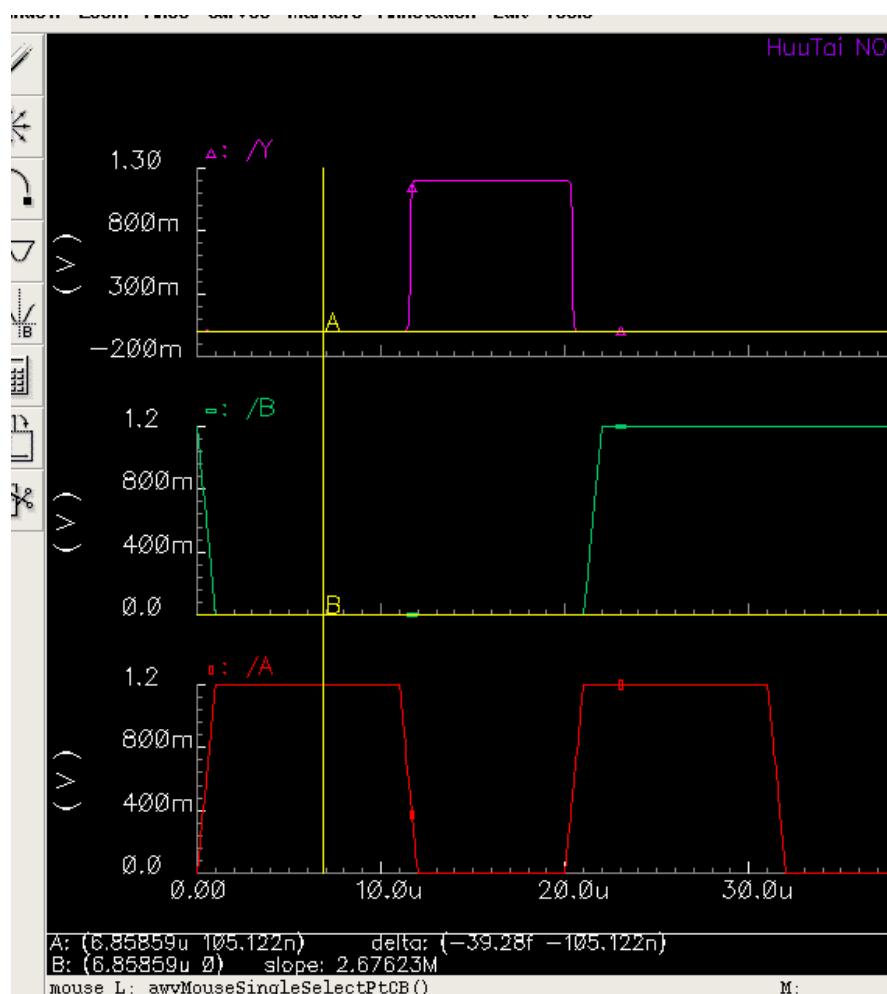
A	B	Y
0	1	0

* Trường hợp 3:



Hình 3.2.14. Điện áp ngõ vào A và B trong trường hợp 3

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm 6,85859 μ s lần lượt là 1,2V (tương ứng với mức logic 1) và 0V (tương ứng mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 3.2.15. Điện áp ngõ ra Y trong trường hợp 3

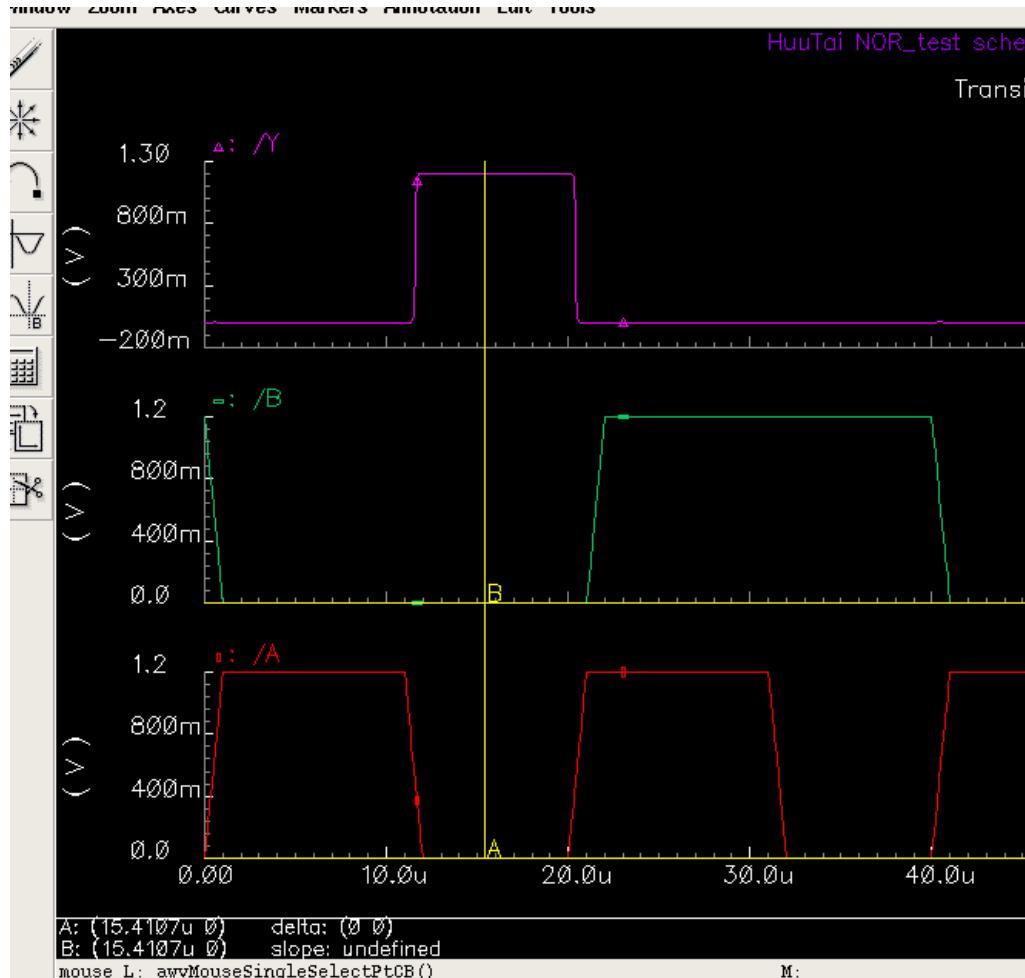
Tại điểm đánh dấu A thời điểm $6,85859 \mu s$, ta thấy mức điện áp ngõ ra là $105,122$ nV (tương ứng với mức logic 0).

Vậy ở trường hợp 3, ta rút ra được bảng kết quả sau:

Bảng 3.2.3. Bảng kết luận mức logic trong trường hợp 3

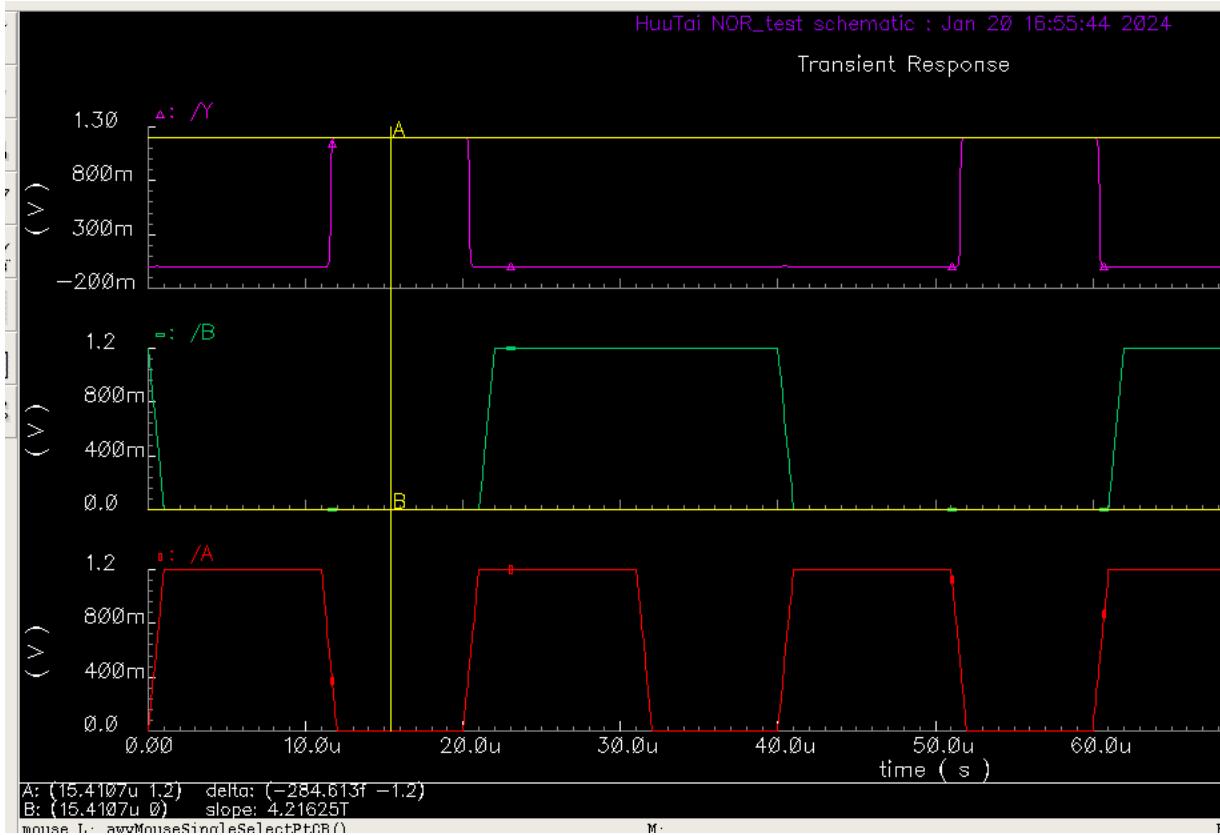
A	B	Y
1	0	0

* Trường hợp 4:



Hình 3.2.16. Điện áp ngõ vào A và B trong trường hợp 4

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $15,4107 \mu s$ đều là 0V (tương ứng với mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 3.2.17. Điện áp ngõ ra Y trong trường hợp 4

Tại điểm đánh dấu A thời điểm $15,4107 \mu\text{s}$, ta thấy mức điện áp ngõ ra là 1,2V (tương ứng với mức logic 1).

Vậy ở trường hợp 4, ta rút ra được bảng kết quả sau:

Bảng 3.2.4. Bảng kết luận mức logic trong trường hợp 4

A	B	Y
0	0	1

Từ kết quả của 4 trường hợp trên, ta kết luận rằng kết quả này là hoàn toàn đúng với lý thuyết bảng trạng thái của công NOR như *Bảng 3.1.1*.

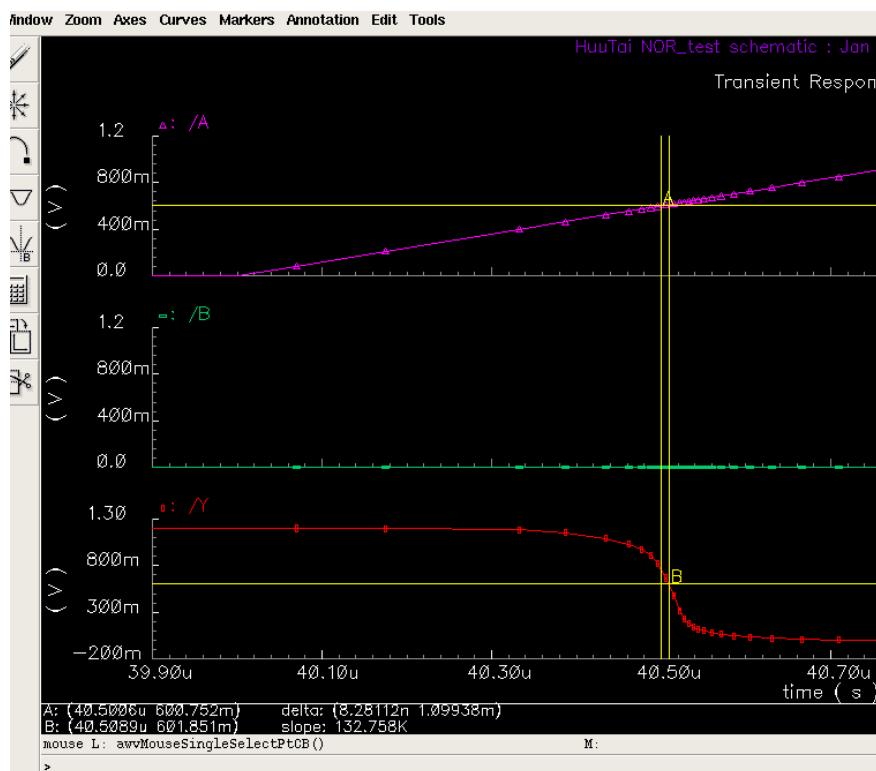
3.2.4.2. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

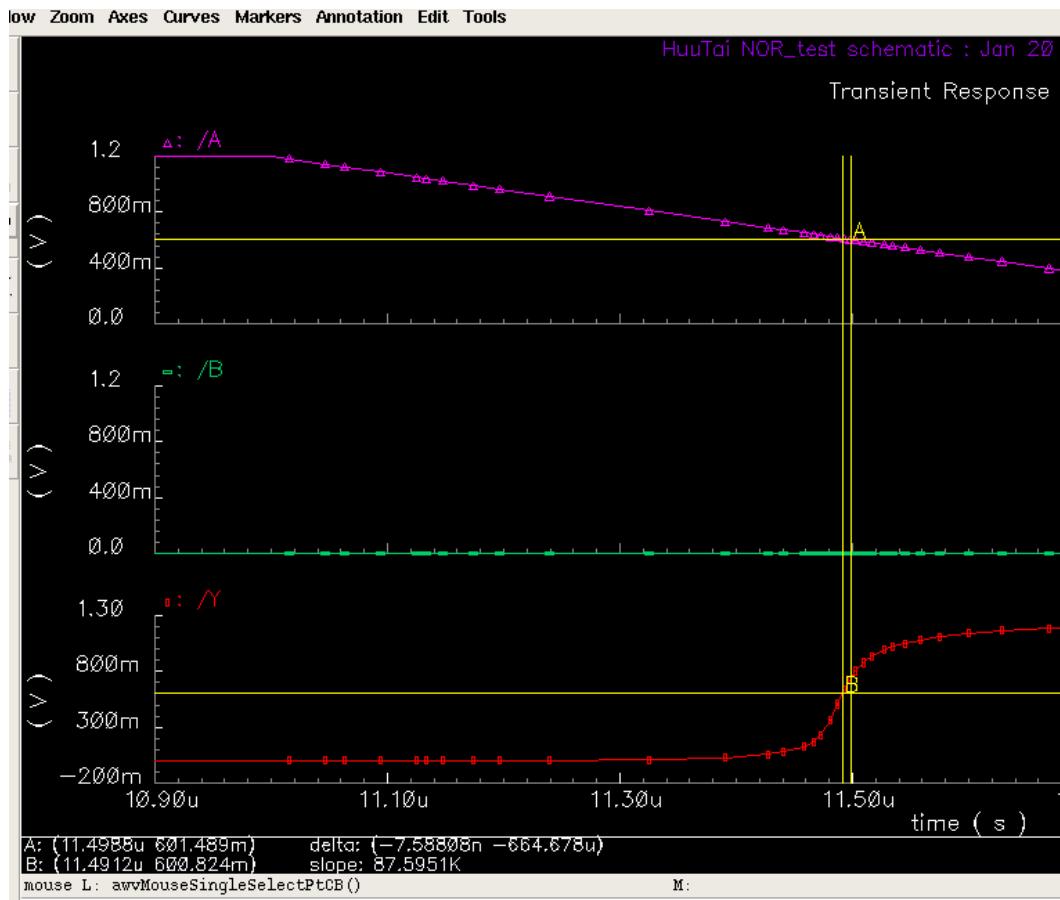
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 3.2.18. Đo thời gian trễ khi ngõ vào A cạnh lên

Khi điện áp ngõ vào tăng lên đến 600,752 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 601,851 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 8,28112 ns hay nói $t_{pdr(A)} = 8,28112$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 3.2.19. Đo thời gian trễ khi ngõ vào A cạnh xuống

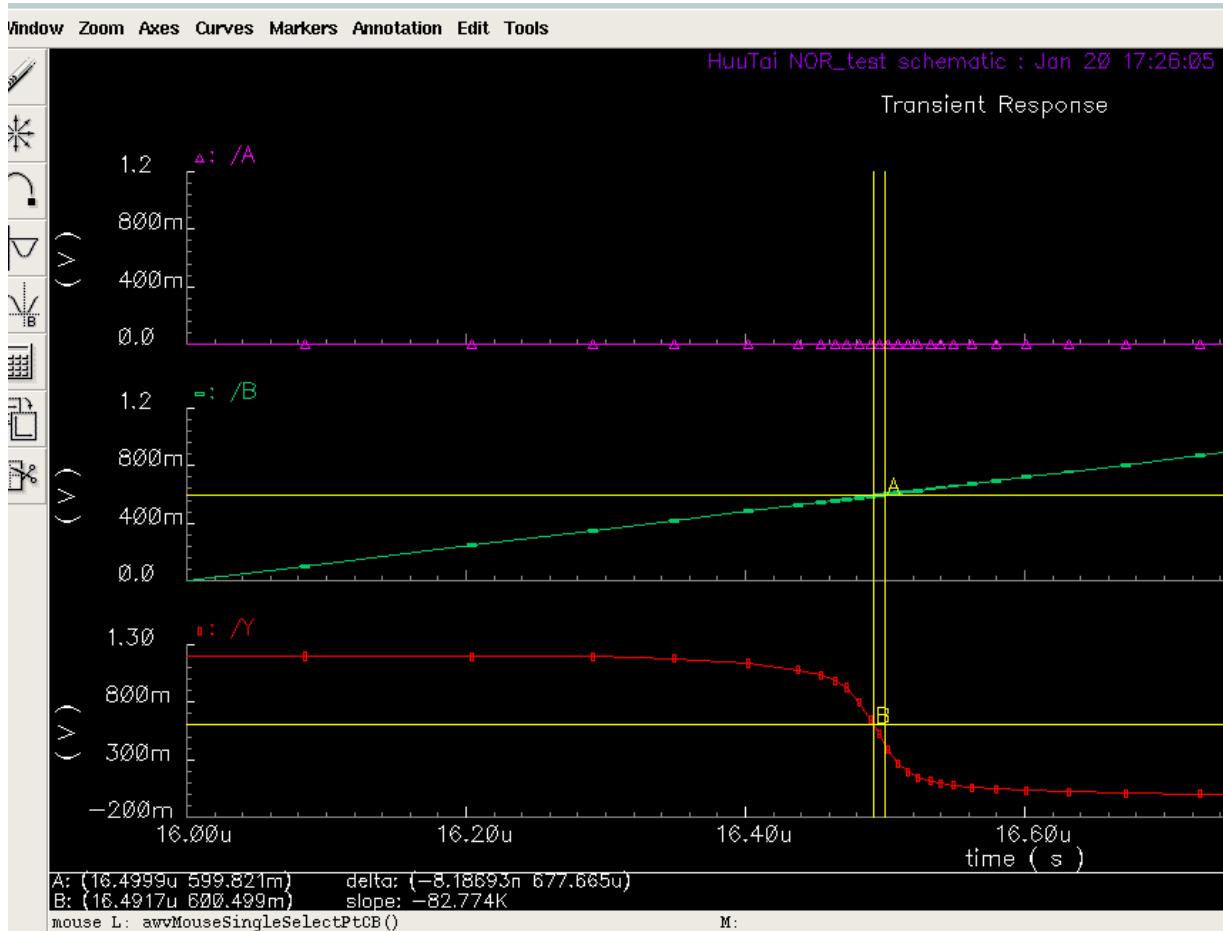
Khi điện áp ngõ vào A giảm xuống đến 601,489 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 600,824 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 7,58808 ns hay nói $t_{pd(A)} = 7,58808$ ns.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (8,28112 \text{ ns} + 7,58808 \text{ ns}) / 2 = 7,9346 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

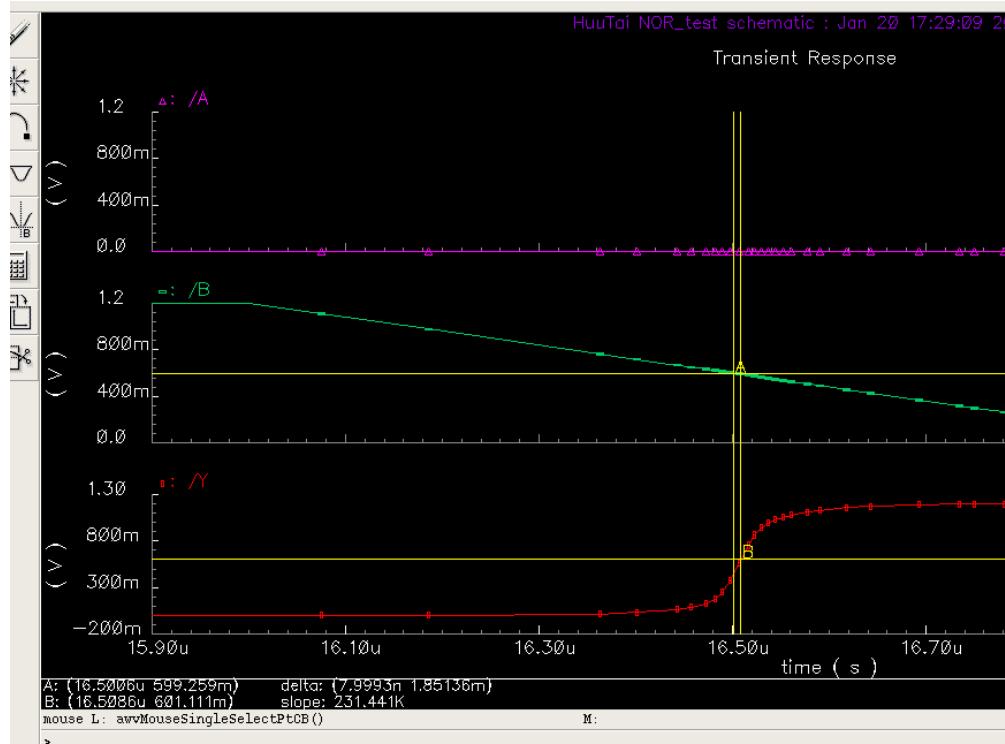
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 3.2.20. Đo thời gian trễ khi ngõ vào B cạnh lên

Khi điện áp ngõ vào B tăng lên đến 599,821 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 600,499 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 8,18693 ns hay nói $t_{pdr(B)} = 8,18693$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 3.2.21. Đo thời gian trễ khi ngõ vào B cạnh xuống

Khi điện áp ngõ vào B giảm xuống đến 599,259 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 601,111 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 7,9993 ns hay nói $t_{pd(B)} = 7,9993$ ns.

Có được $t_{pd(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pd(B)} + t_{pdf(B)}) / 2 = (8,18693 \text{ ns} + 7,9993 \text{ ns}) / 2 = 8,093115 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

Bảng 3.2.5. Bảng kết quả thời gian trễ

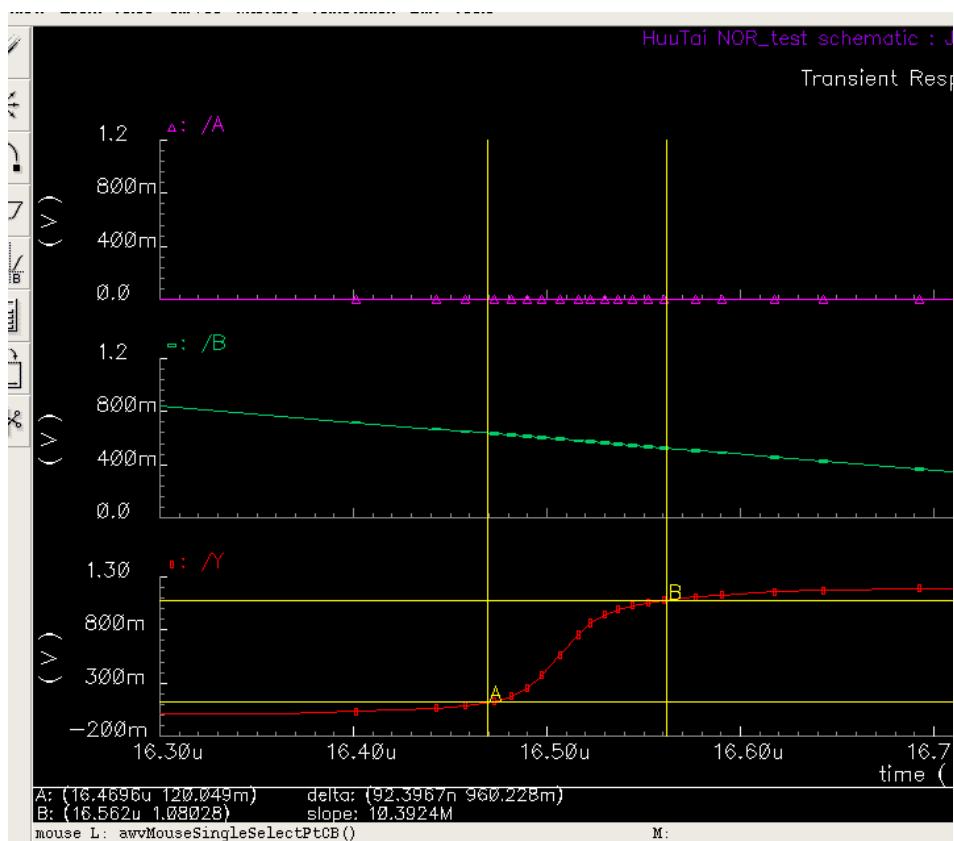
Ngõ vào	Thời gian trễ (t_{pd})
Tại A	7,9346 ns
Tại B	8,093115 ns

3.2.4.3. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

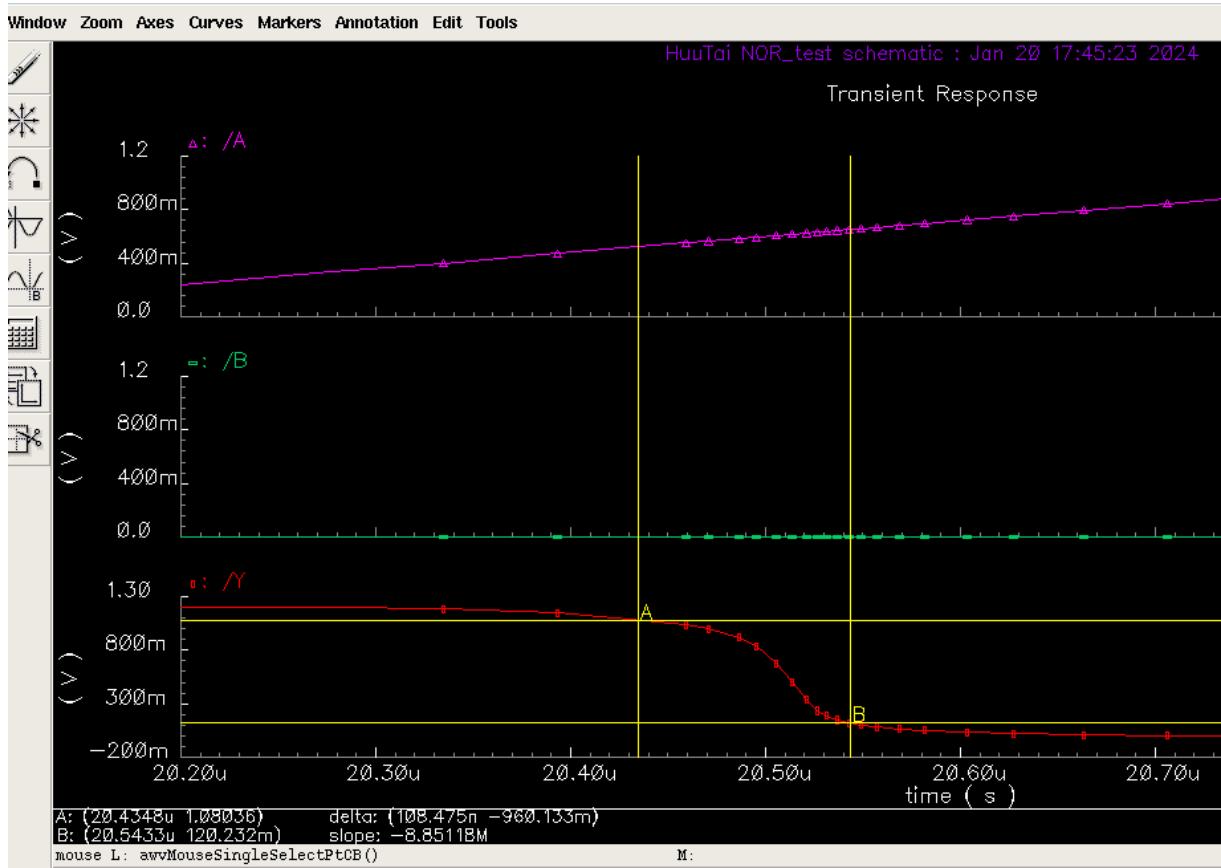
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 120,049$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08028$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 92,3967 ns hay $t_r = 92,3967$ ns.



Hình 3.2.22. Dánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08036$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,232$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 108,475 ns hay $t_f = 108,475$ ns.

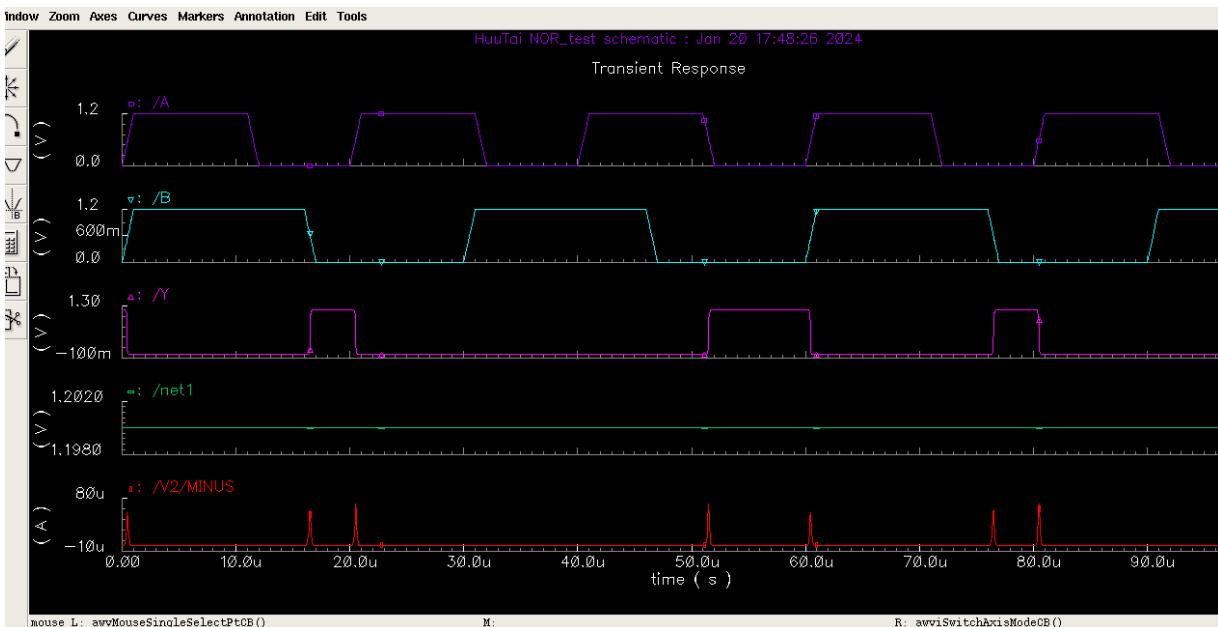


Hình 3.2.23. Đánh giá thời gian chuyển mạch ngoặt từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 100,43585$ ns.

3.2.4.4. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng NOR và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

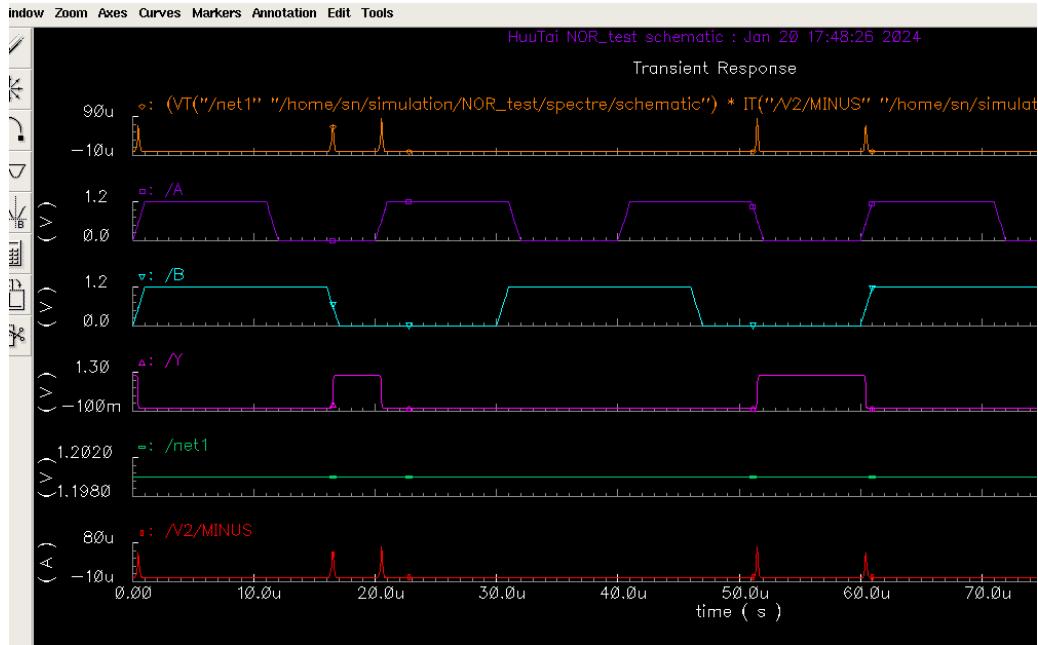
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 3.2.24. Dạng sóng điện áp và dòng điện của nguồn cung cấp

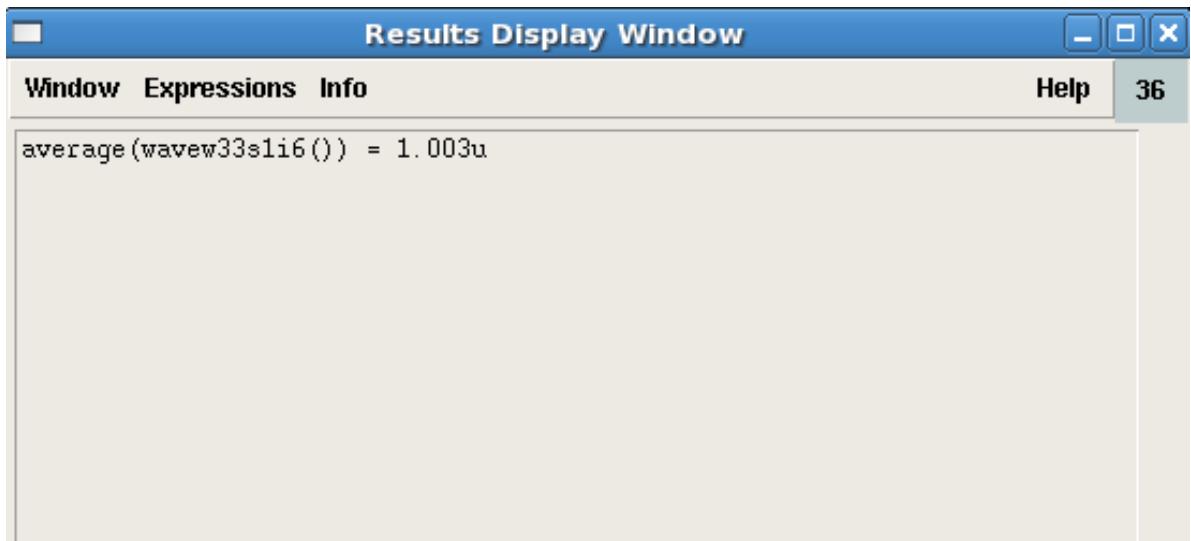
Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của công NOR để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của công NOR.

Ta vẽ dạng sóng công suất tức thời của công NOR bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 3.2.25. Dạng sóng công suất tức thời của cổng NOR

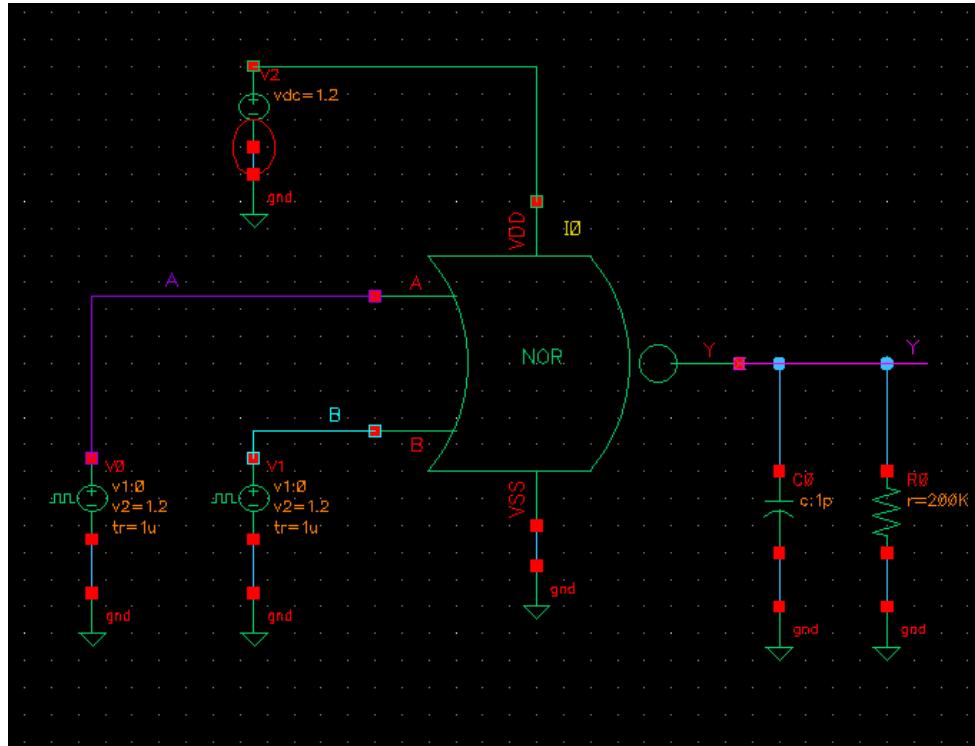
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $1,003 \mu\text{W}$.



Hình 3.2.26. Kết quả tính giá trị trung bình trên cổng NOR

3.2.5. Mô phỏng công NOR khi có tải C_L , R_L

Ta gắn thêm 1 tụ có độ lớn 1 pF và 1 tải có độ lớn $200\text{ k}\Omega$ song song với ngõ ra của công NOR như sau:



Hình 3.2.27. Trường hợp có tải C_L , R_L

Để mô phỏng chức năng của công NOR trường hợp có tải, ta thực hiện mô phỏng tương tự trường hợp không có tải.

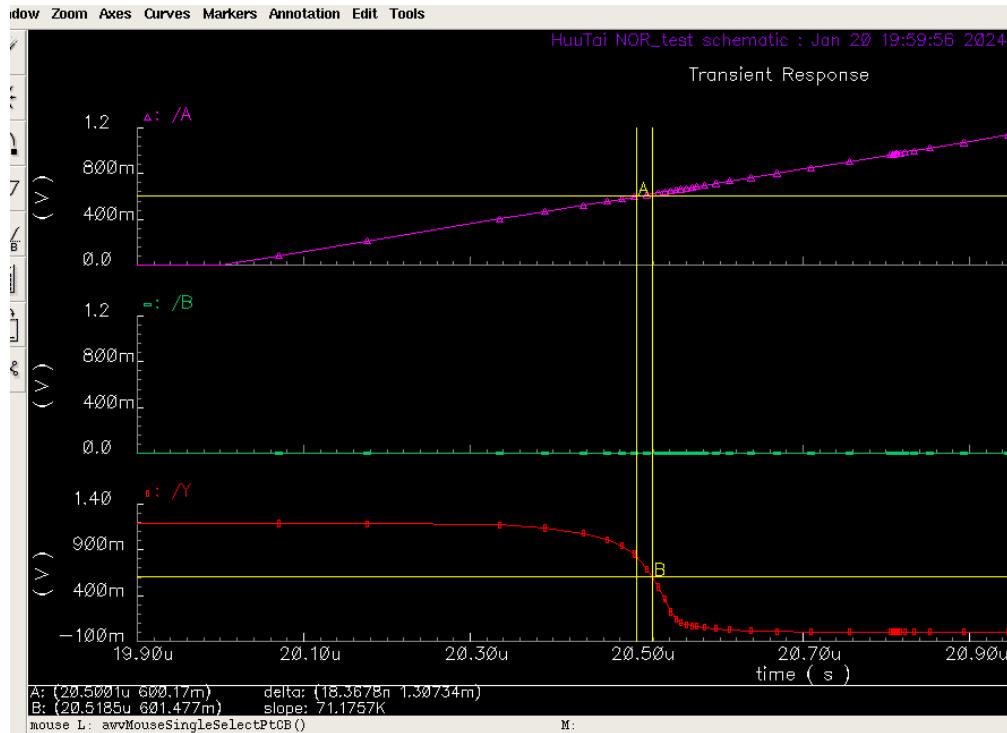
3.2.5.1. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

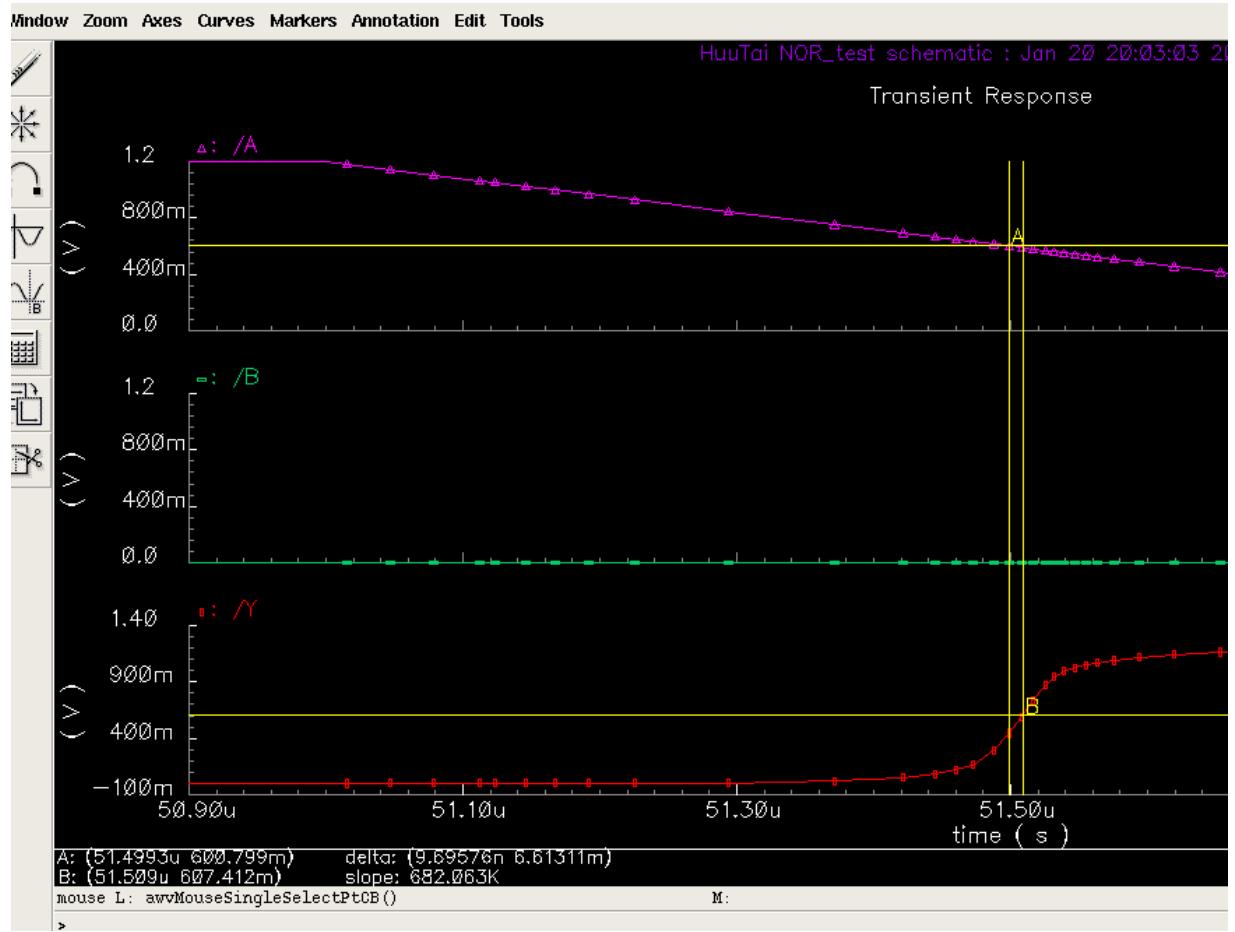
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 3.2.28. Đo thời gian trễ khi ngõ vào A cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào tăng lên đến 600,17 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 601,477 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 18,3678 ns hay nói $t_{pdr}(A) = 18,3678$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 3.2.29. Đo thời gian trễ khi ngõ vào A cạnh xuống (trường hợp có tải)

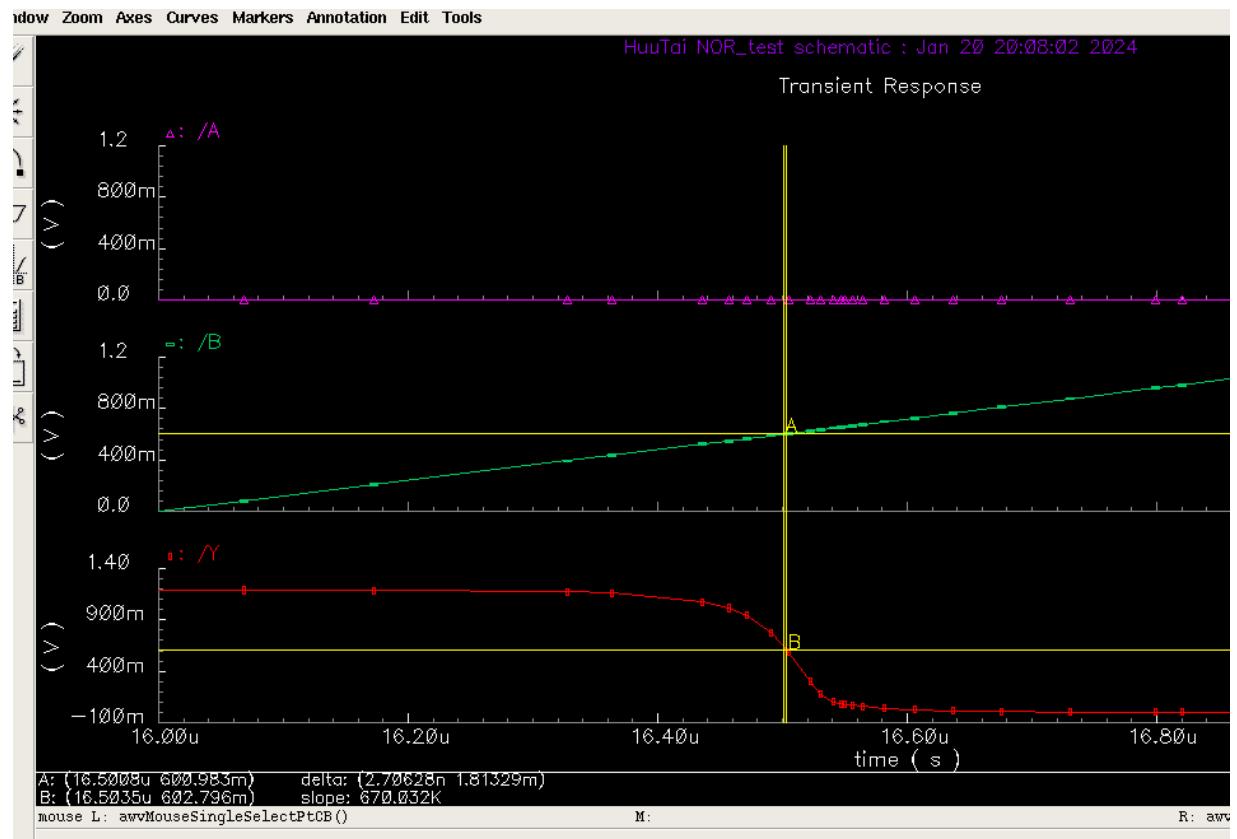
Khi điện áp ngõ vào A giảm xuống đến 600,799 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 607,412 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 9,69576 ns hay nói $t_{pdf(A)}$ = 9,69576 ns.

Có được $t_{pdf(A)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdf(A)} + t_{pdf(B)}) / 2 = (18,3678 \text{ ns} + 9,69576 \text{ ns}) / 2 = 14,03178 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

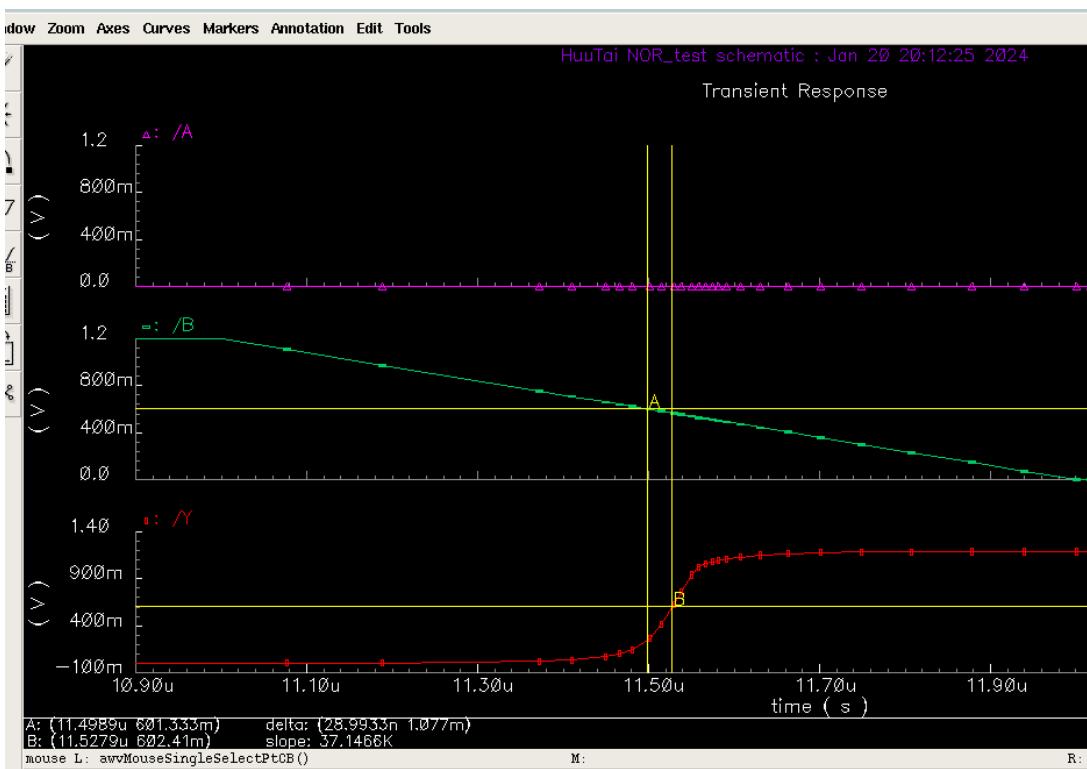
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 3.2.30. Đo thời gian trễ khi ngõ vào B cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào B tăng lên đến 600,983 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 602,796 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 2,70628 ns hay nói $t_{pdr(B)} = 2,70628$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 3.2.31. Đo thời gian trễ khi ngõ vào B cạnh xuống (trường hợp có tải)

Khi điện áp ngõ vào B giảm xuống đến 601,333 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 602,41 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 28,9933 ns hay nói $t_{pd(B)} = 28,9933$ ns.

Có được $t_{pd(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pd(B)} + t_{pdf(B)}) / 2 = (2,70628 \text{ ns} + 28,9933 \text{ ns}) / 2 = 15,84979 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

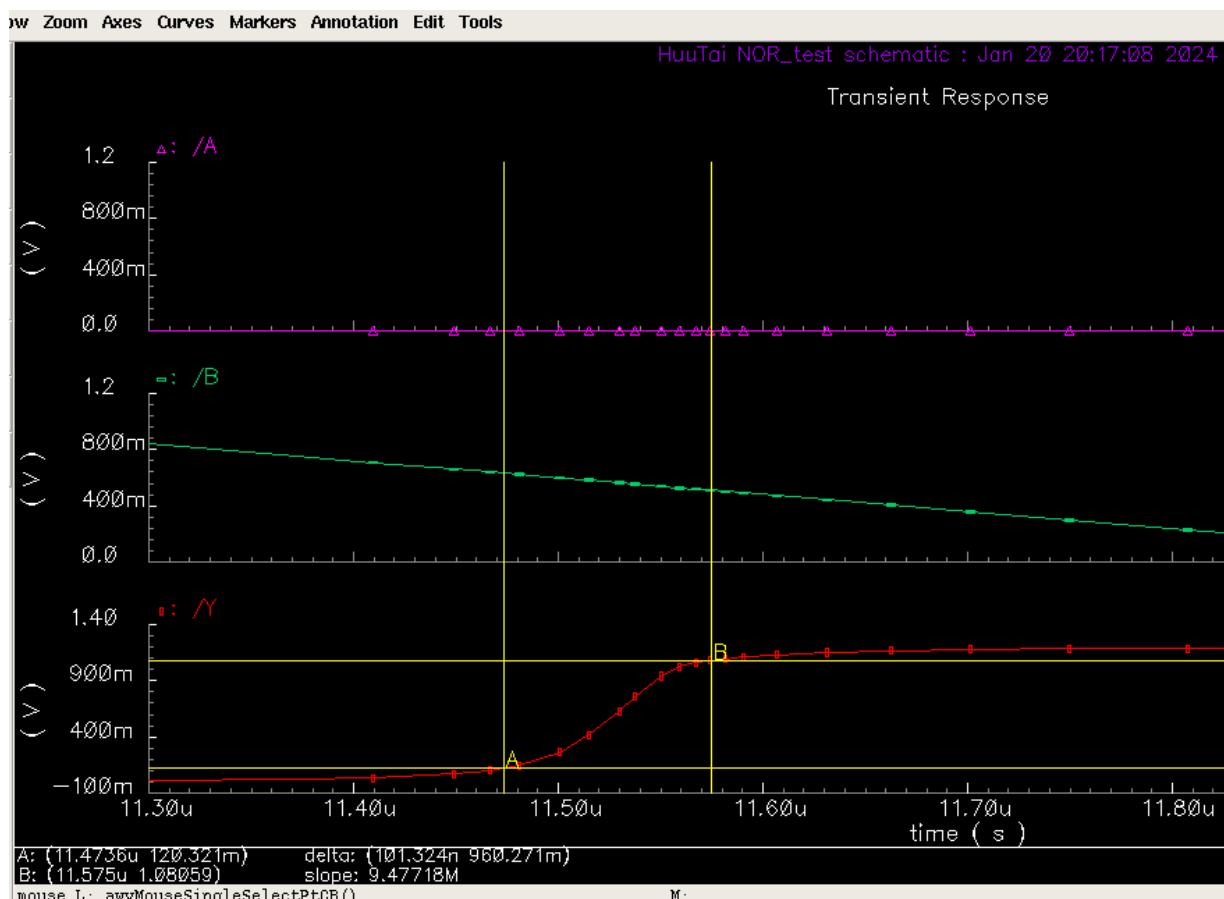
Bảng 3.2.6. Bảng kết quả thời gian trễ trường hợp có tải

Ngõ vào	Thời gian trễ (t_{pd})
Tại A	14,03178 ns
Tại B	15,84979 ns

3.2.5.2. Transition time

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

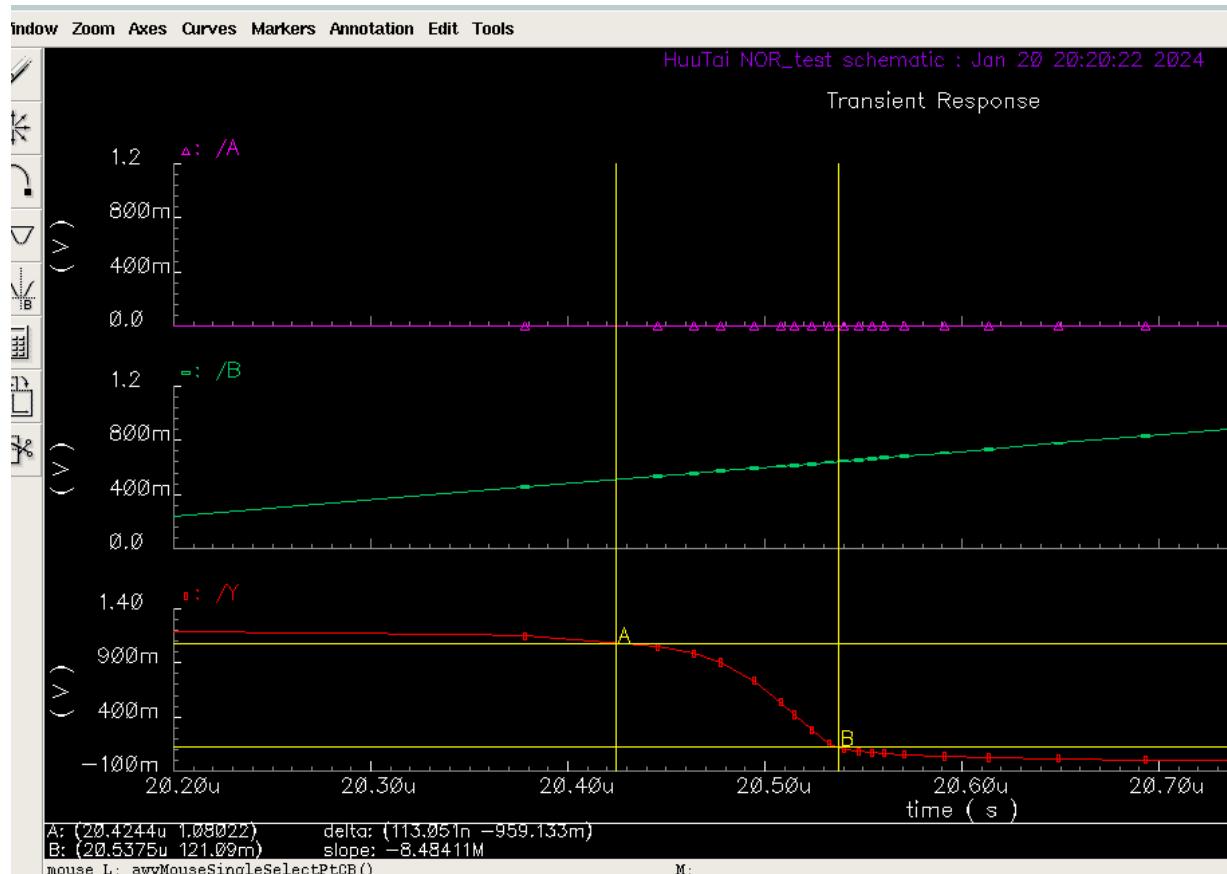
Ta đánh dấu tại điểm A khi $V_{out} = 120,321$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08059$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 101,324 ns hay $t_r = 101,324$ ns.



Hình 3.2.32. Dánh giá thời gian chuyển mạch ngơ ra từ mức 0 lên 1

(trường hợp có tải)

Ta đánh dấu tại điểm A khi $V_{out} = 1,08022$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 121,09$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 113,051 ns hay $t_f = 113,051$ ns.



Hình 3.2.33. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0

(trường hợp có tải)

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 107,1875$ ns.

3.2.5.3. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng NAND và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

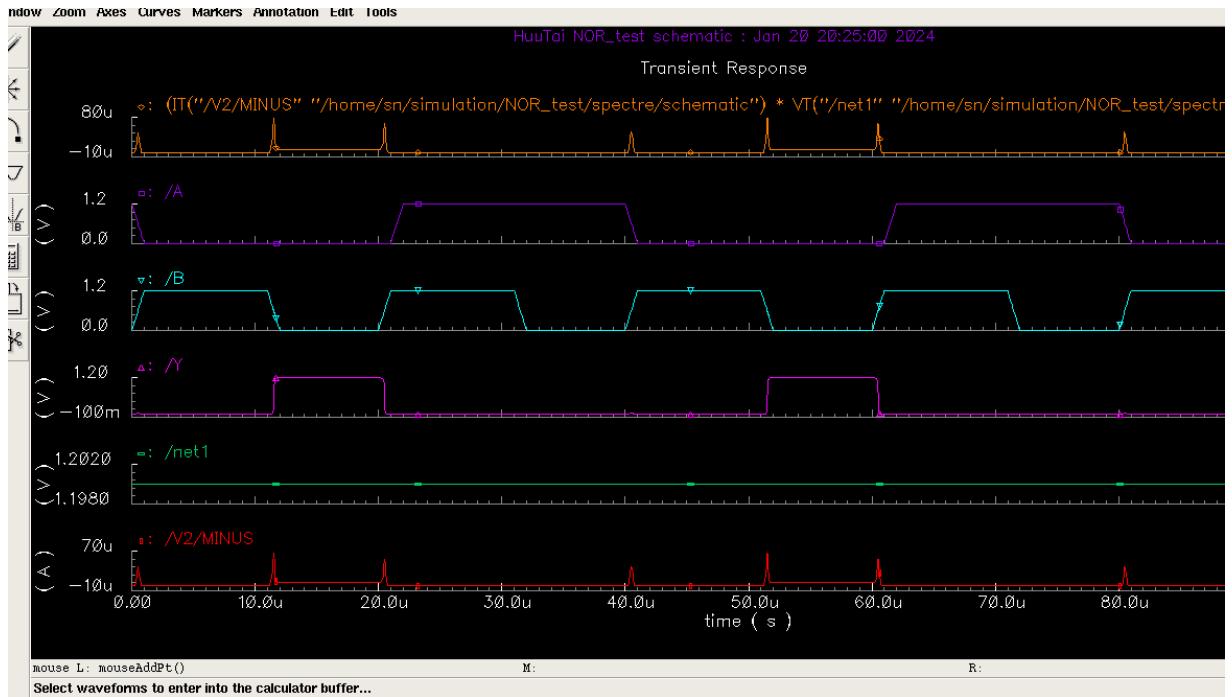
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 3.2.34. Dạng sóng điện áp và dòng điện của nguồn cung cấp (trường hợp có tải)

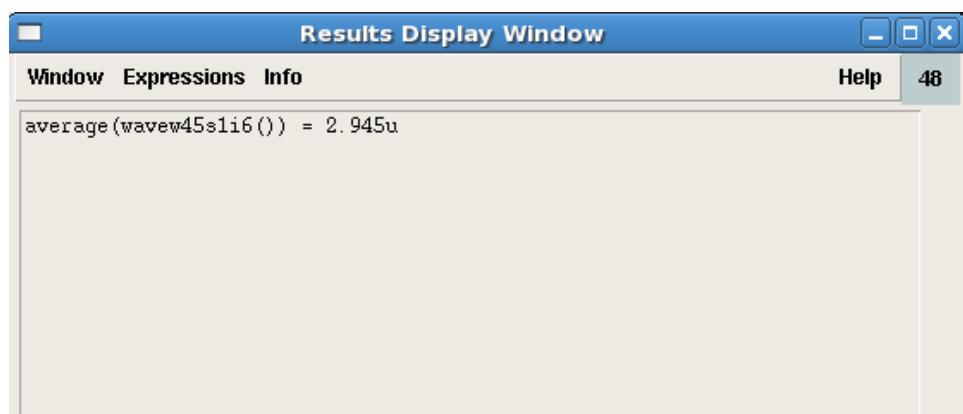
Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của cổng NOR để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của cổng NOR.

Ta vẽ dạng sóng công suất tức thời của cổng NOR bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 3.2.35. Dạng sóng công suất tức thời của cổng NOR (trường hợp có tải)

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $2,945 \mu\text{W}$.



Hình 3.2.36. Kết quả tính giá trị trung bình trên cổng NAND (trường hợp có tải)

3.2.6. So sánh giữa hai trường hợp có tải và lý tưởng

Dựa vào kết quả tính toán cả 2 trường hợp trên, ta có bảng so sánh sau:

Bảng 3.2.7. So sánh giữa hai trường hợp có tải C_L , R_L và lý tưởng

Thông số	Lý tưởng	Có tải C_L , R_L
VDD	1,2V	1,2V
VSS	0V	0V
Độ trễ đối với ngõ vào A	7,9346 ns	14,03178 ns
Độ trễ đối với ngõ vào B	8,093119 ns	15,84979 ns
Công suất trung bình	1,003 μ W	2,945 μ W
Output transition time	100,43589 ns	107,1875 ns

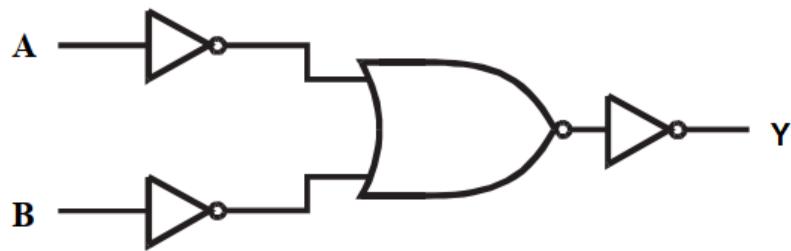
Đánh giá:

Trong trường hợp có tải, ta thấy thời gian trễ đối với ngõ vào A và B đều tăng lên so với trường hợp lý tưởng và công suất tiêu thụ trên cổng đã tăng lên.

Output transition time ở cả hai trường hợp đều gần bằng nhau nên ta thấy không có sự suy hao tín hiệu ngõ ra ở cả 2 mạch.

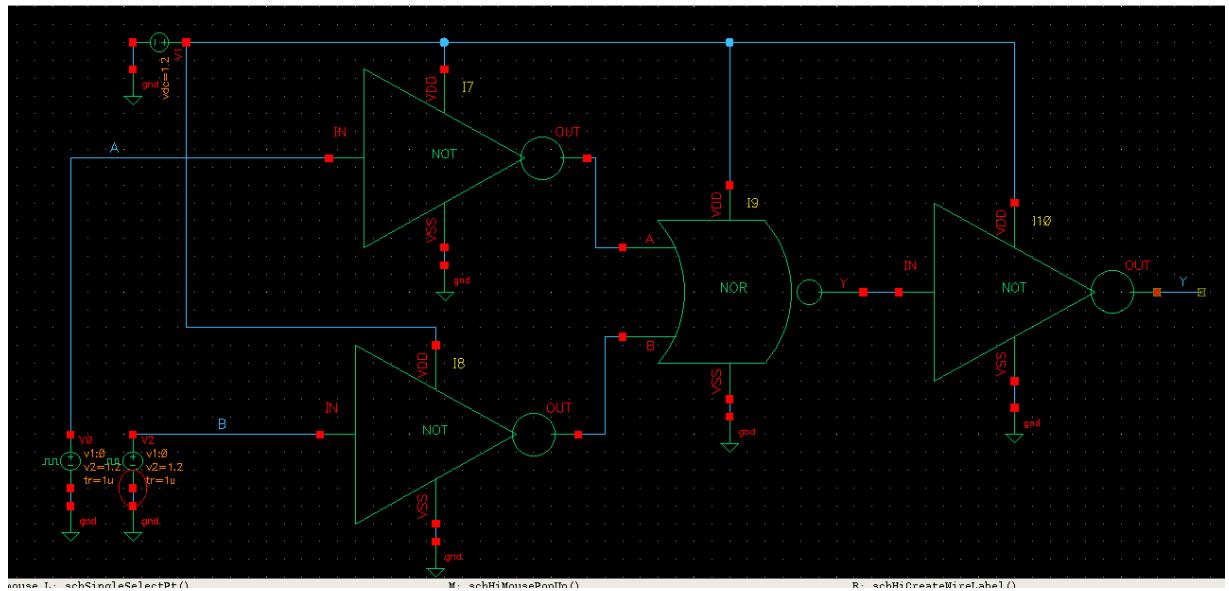
3.3. Tạo NAND từ cỗng NOR

Từ cỗng NOR và NOT đã có, ta tiến hành ghép lại để tạo thành cỗng NAND theo sơ đồ sau:



Hình 3.3.1. Sơ đồ kết hợp cỗng NOR và NOT để tạo thành cỗng NAND

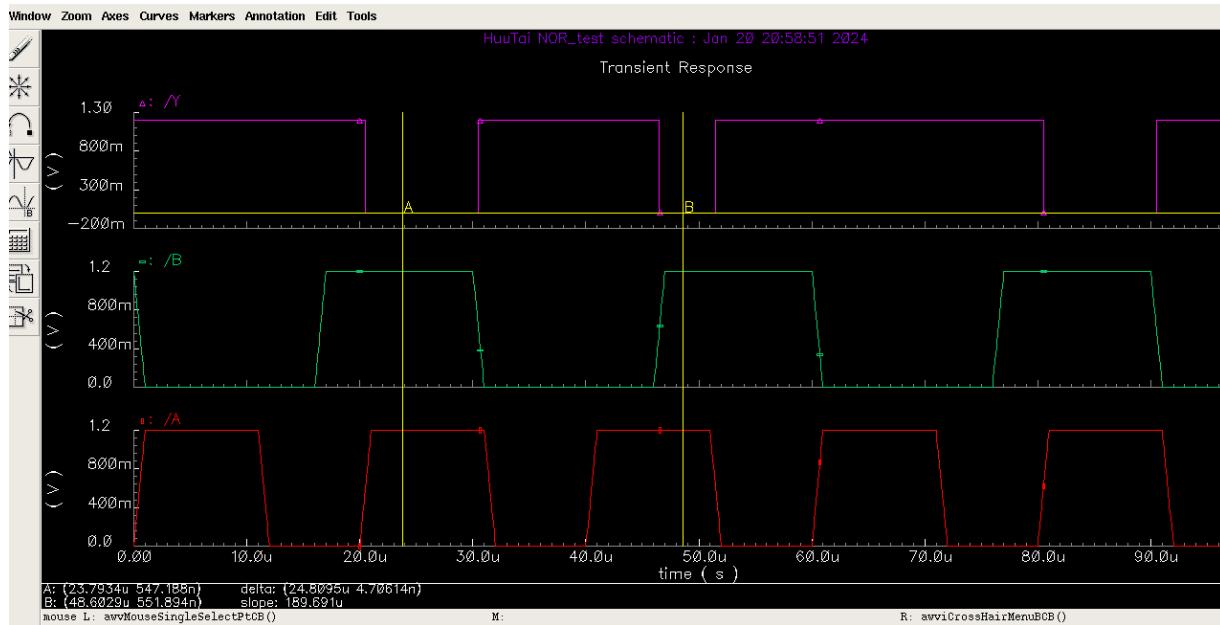
Trên Cadence, ta tiến hành ghép mạch lại theo sơ đồ *Hình 3.3.1*. thu được kết quả sau:



Hình 3.3.2. Sơ đồ cỗng NAND được tạo từ cỗng NOR và NOT trên Cadence

3.3.1. Đánh giá dạng sóng ngõ ra

Khi truyền các tín hiệu vào các chân A, B, ta vẽ ra được dạng sóng ngõ ra như sau:



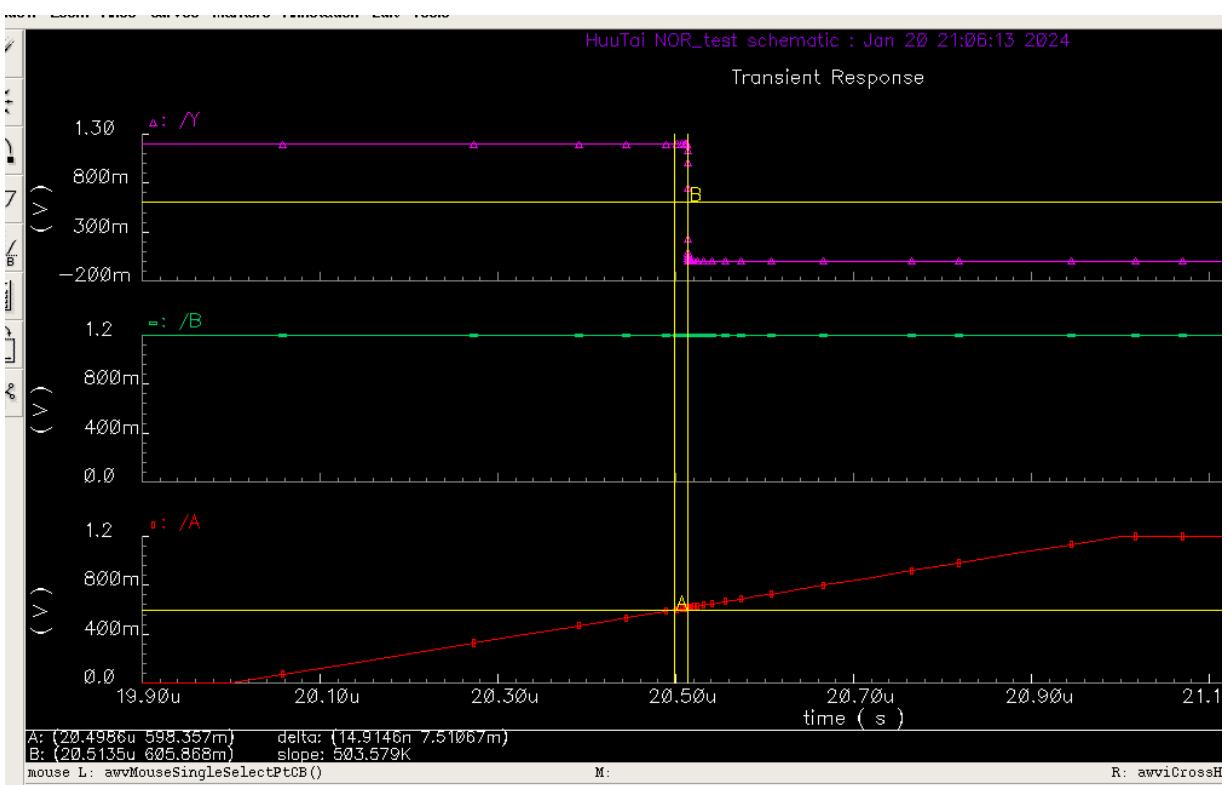
Hình 3.3.3. Kết quả sóng ngõ ra

Từ kết quả dạng sóng ngõ ra ta thấy rằng giá trị Y chỉ đạt mức logic 0 khi và chỉ khi tại ngõ vào A và B đều cùng đạt mức logic 1. Điều này hoàn toàn đúng với bảng trạng thái của công NAND ở *Bảng 2.1.1*.

3.3.2. Đánh giá độ trễ

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

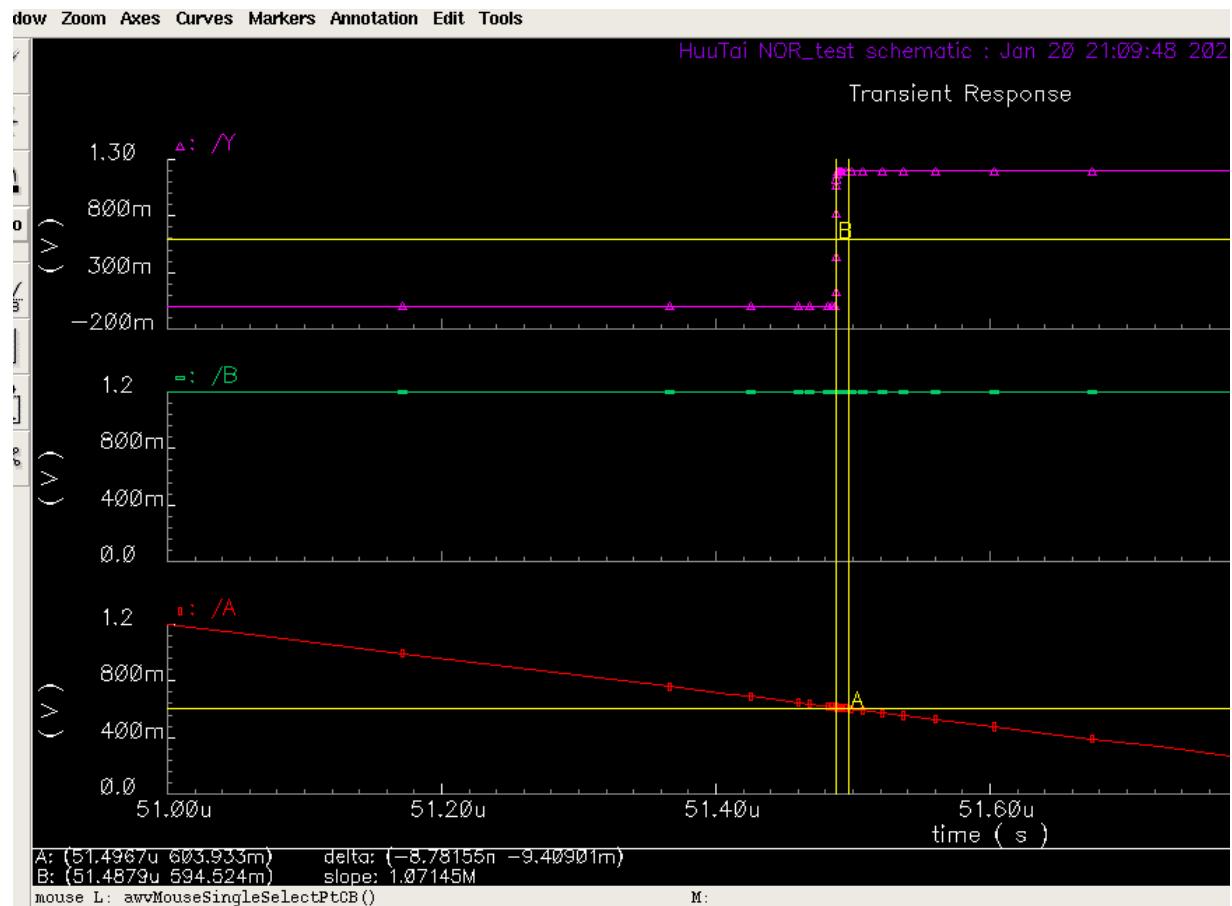
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 3.3.4. Đo thời gian trễ khi ngõ vào A cạnh lên

Khi điện áp ngõ vào tăng lên đến 598,357 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 605,868 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 14,9146 ns hay nói $t_{pdr(A)} = 14,9146$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 3.3.4. Đo thời gian trễ khi ngõ vào A cạnh xuống

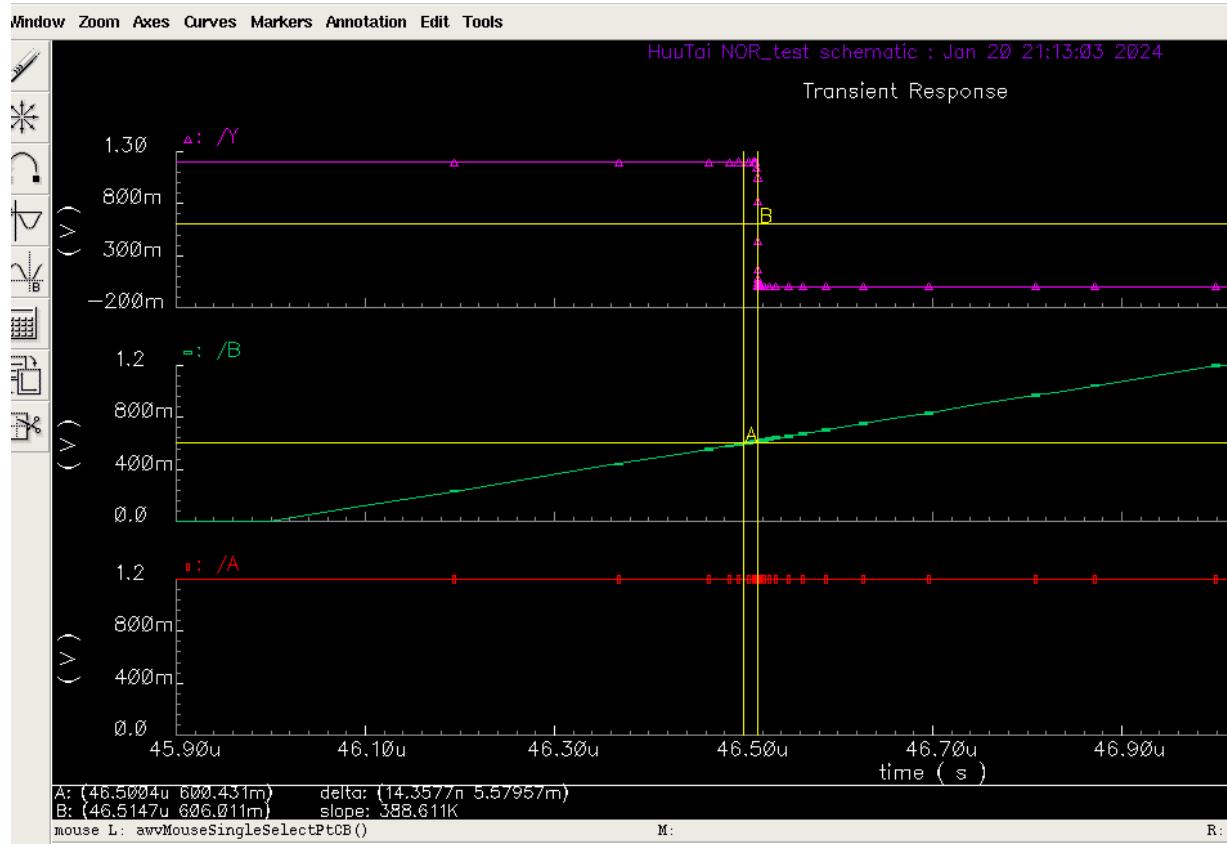
Khi điện áp ngõ vào A giảm xuống đến 603,933 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 594,524 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 8,78155 ns hay nói $t_{pdf(A)}$ = 8,78155 ns.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (14,9146 \text{ ns} + 8,78155 \text{ ns}) / 2 = 11,848 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

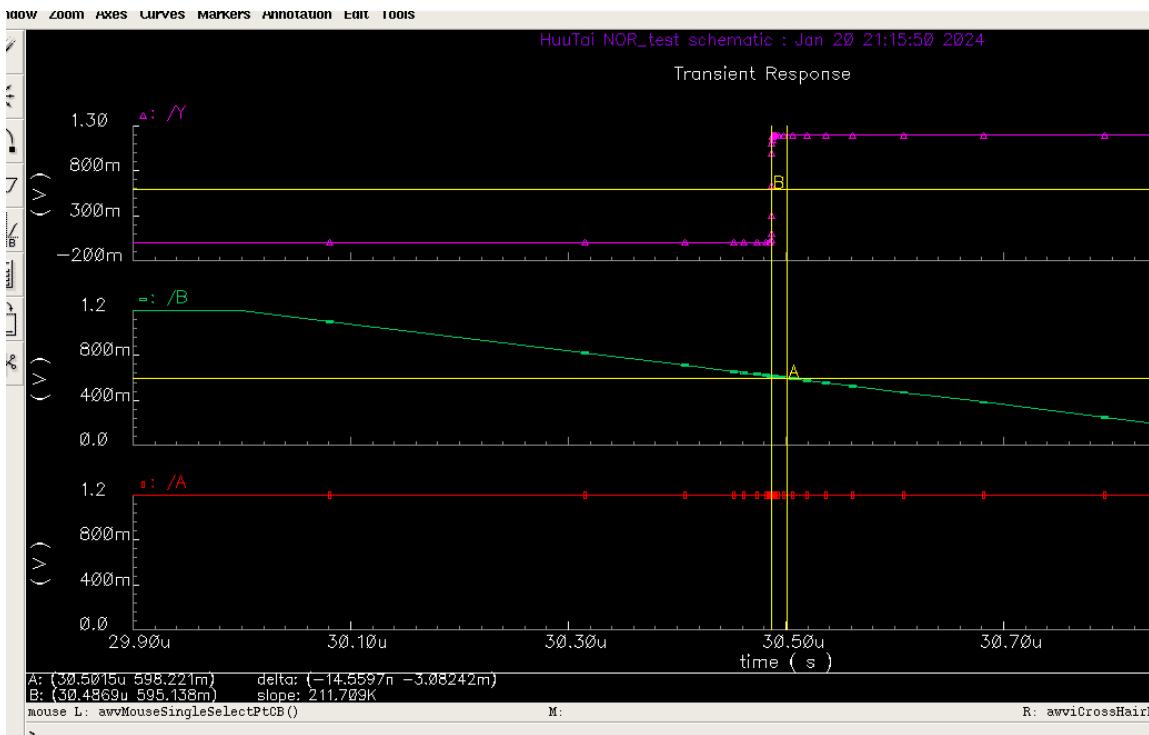
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 3.3.5. Đo thời gian trễ khi ngõ vào B cạnh lên

Khi điện áp ngõ vào B tăng lên đến 600,431 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 606,011 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 14,3577 ns hay nói $t_{pdr(B)} = 14,3577$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 3.3.6. Do thời gian trễ khi ngõ vào B cạnh xuống

Khi điện áp ngõ vào B giảm xuống đến 598,221 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 595,138 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 14,5597 ns hay nói $t_{pd(B)} = 14,5597$ ns.

Có được $t_{pdr(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pdr(B)} + t_{pdf(B)}) / 2 = (14,3577 \text{ ns} + 14,5597 \text{ ns}) / 2 = 14,4587 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

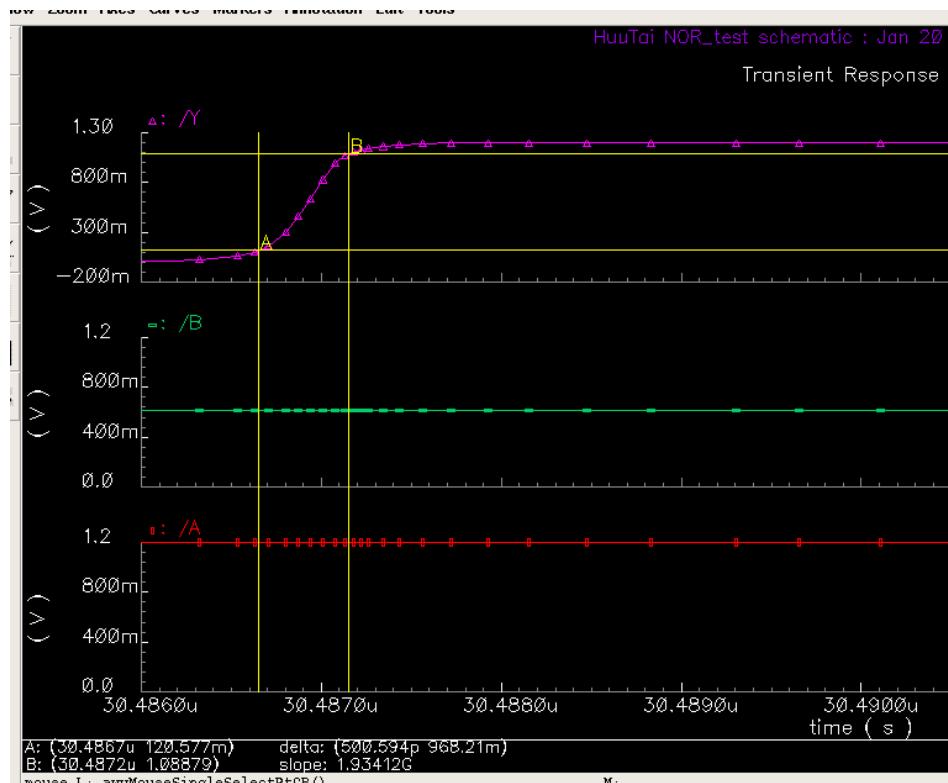
Bảng 3.3.1. Bảng kết quả thời gian trễ

Ngõ vào	Thời gian trễ (t_{pd})
Tại A	11,848 ns
Tại B	14,4587 ns

3.3.3. Transition time

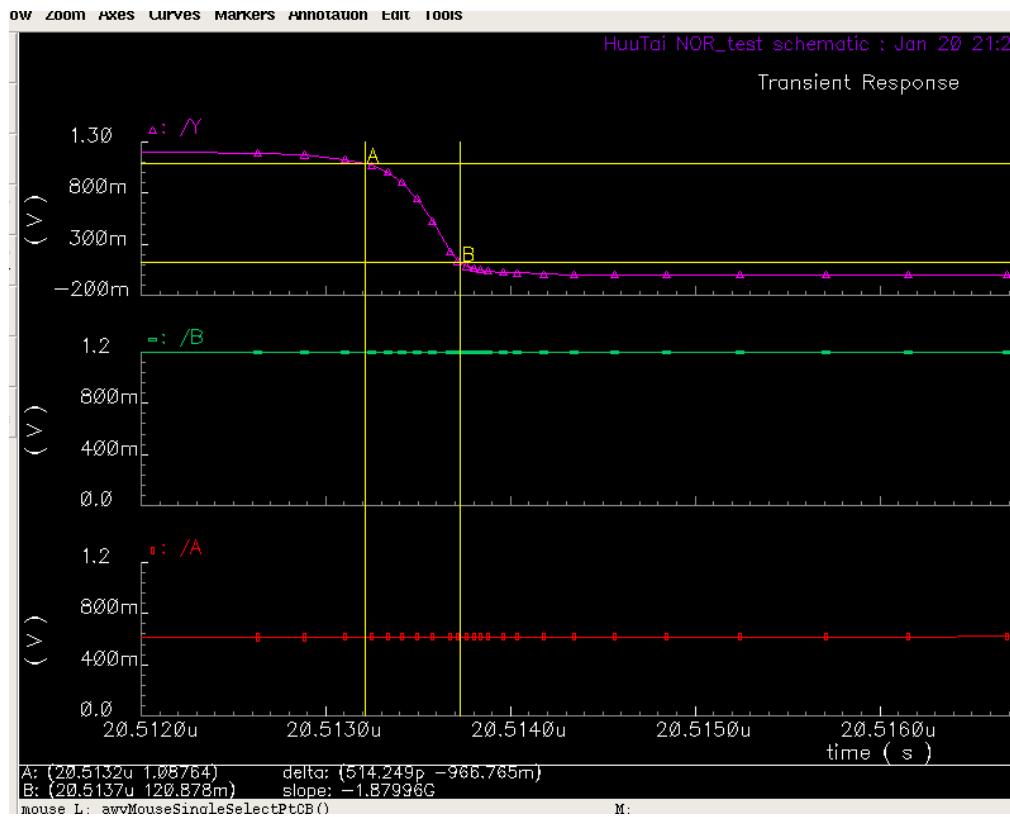
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 120,577$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08879$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 95,0911 ns hay $t_r = 500,594$ ps.



Hình 3.3.7. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08764$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,878$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 514,249 ps hay $t_f = 514,249$ ps.

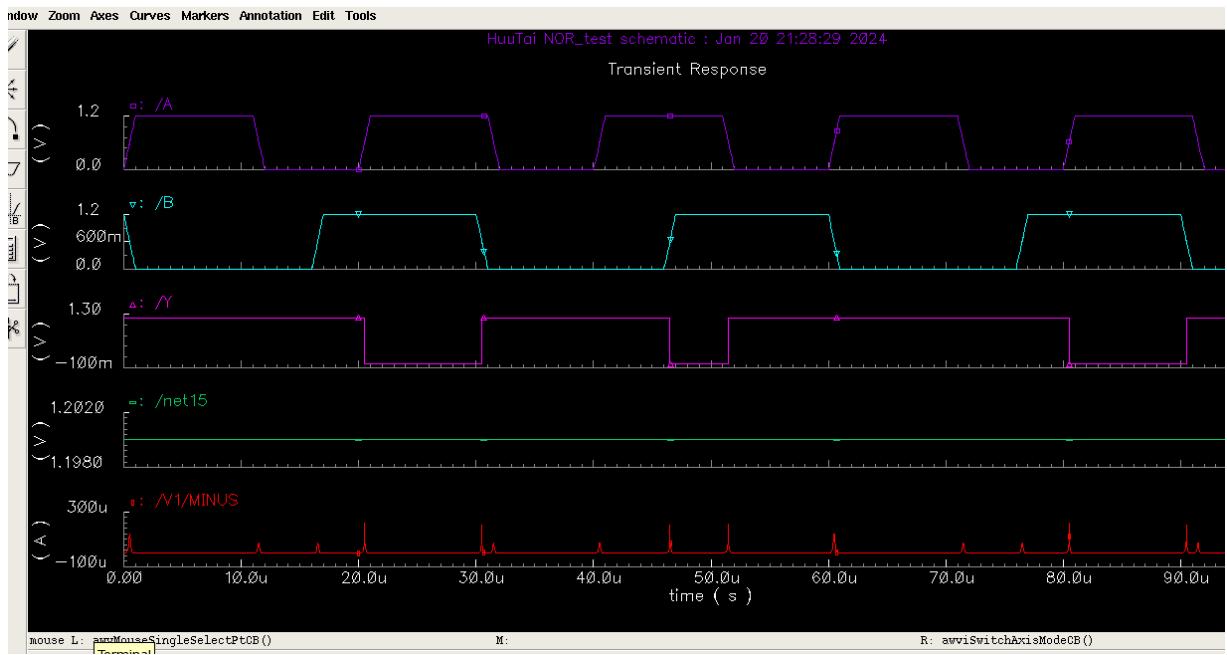


Hình 3.3.8. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 507,4215 \text{ ns}$.

3.3.4. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng NAND và dạng sóng của dòng điện qua nguồn cung cấp như sau:



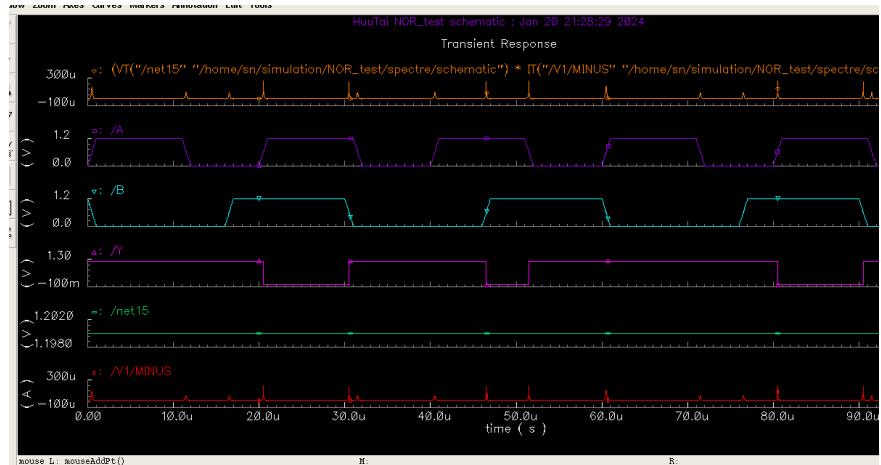
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

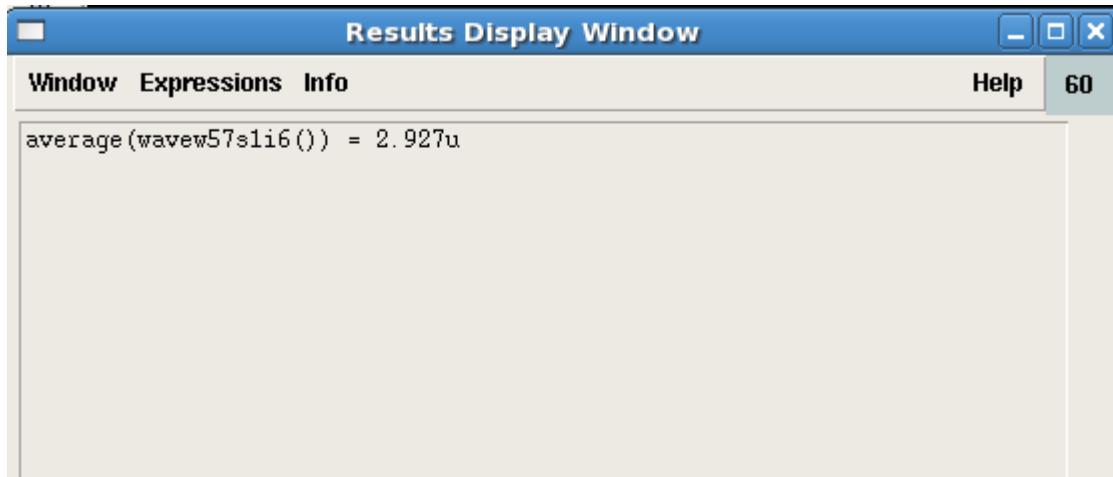
Hình 3.3.9. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời của cổng NAND bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 3.3.10. Dạng sóng công suất tức thời của cổng NAND

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $2,927 \mu\text{W}$.



Hình 3.3.11. Kết quả tính giá trị trung bình

3.3.5. So sánh với cổng NAND theo thiết kế CMOS

Dựa vào kết quả tính toán trường hợp trên, ta có bảng so sánh sau:

Bảng 3.3.2. So sánh cổng NAND theo thiết kế CMOS và bằng cách ghép cổng NOR-NOT

Thông số	CMOS	Ghép từ cổng NOR-NOT
VDD	1,2V	1,2V
VSS	0V	0V
Độ trễ đổi với ngõ vào A	57,9292 ns	11,848 ns
Độ trễ đổi với ngõ vào B	52,0739 ns	14,4587 ns
Công suất trung bình	$1,025 \mu\text{W}$	$2,927 \mu\text{W}$
Output transition time	95,30595 ns	507,4215 ps

Đánh giá:

Ta thấy rằng công NAND trong trường hợp ghép từ công NOR-NOT có thời gian trễ cũng như thời gian chuyển mạch nhỏ hơn rất nhiều lần so với thiết kế CMOS thông thường, tuy nhiên công suất tiêu thụ trên mạch lại cao gấp 3 lần so với thiết kế CMOS.

Phần 4

LÝ THUYẾT VÀ MÔ PHỎNG CÔNG XOR

4.1. Lý thuyết

4.1.1. Ký hiệu và bảng trạng thái công XOR

Trong điện tử kỹ thuật số, công XOR thực hiện một hàm logic mang lại giá trị đúng nếu một và chỉ một trong hai giá trị được cung cấp cho công là đúng. Đó là một “bộ so sánh” trả về true nếu hai đầu vào khác nhau.

Ký hiệu: Công XOR được ký hiệu như hình sau:



Hình 4.1.1. Ký hiệu của công XOR

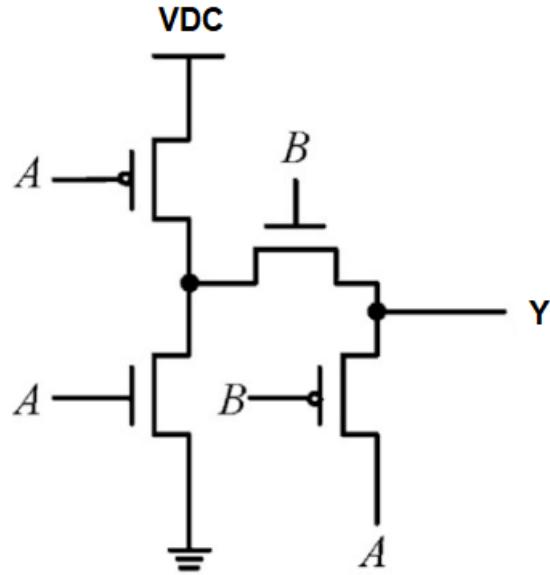
Bảng trạng thái:

Bảng 4.1.1. Bảng trạng thái của công XOR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

4.1.2. Sơ đồ nguyên lý của công XOR

Mạch công XOR sử dụng 4 transistor CMOS gồm 2 transistor nMOS và 2 transistor pMOS, cụ thể sơ đồ nguyên lý công XOR vào được mắc như sau:



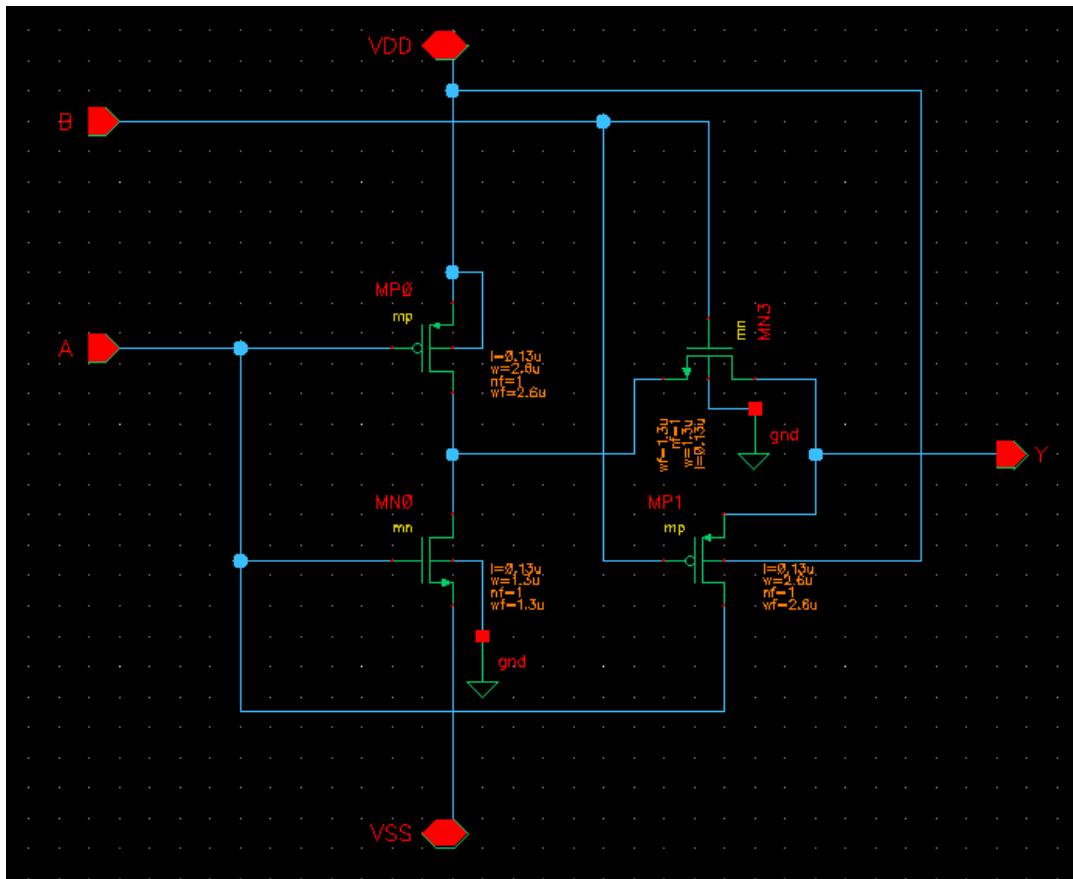
Hình 4.1.2. Sơ đồ nguyên lý của công XOR sử dụng công nghệ CMOS

4.2. Mô phỏng với phần mềm Cadence

Ta sử dụng công nghệ CMOS 0.13 μm của Samsung để thiết kế cỗng XOR và đánh giá cỗng logic này từ kết quả mô phỏng thu được. Phần mềm thiết kế được sử dụng là Cadence để thiết kế và thực hiện mô phỏng thiết kế, tính toán các thông số như công suất tiêu thụ, độ trễ của mạch tích hợp.

4.2.1. Sơ đồ nguyên lý và bảng thông số

Dựa vào sơ đồ *Hình 4.1.2.*, ta thiết kế cỗng XOR sử dụng công nghệ CMOS như sau:



Hình 4.2.1. Sơ đồ nguyên lý cỗng XOR thiết kế trên Cadence

* Thông số của transistor

Ta đặt các thông số cho transistor pMOS và nMOS như sau:

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	2.6 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 4.2.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	1.3 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

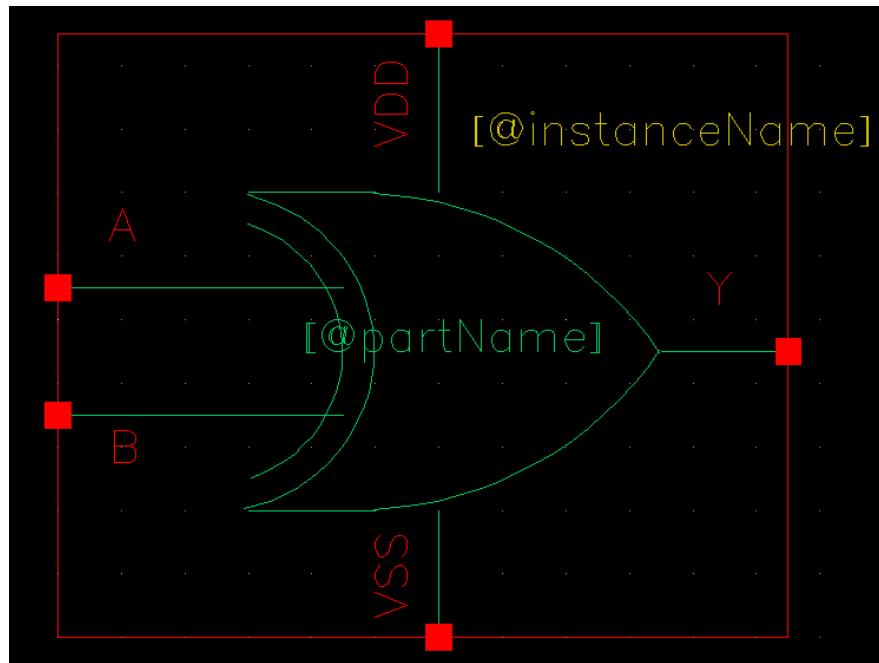
Hình 4.2.3. Thông số cài đặt cho transistor nMOS

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do

đó muôn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

4.2.2. Đóng gói sản phẩm

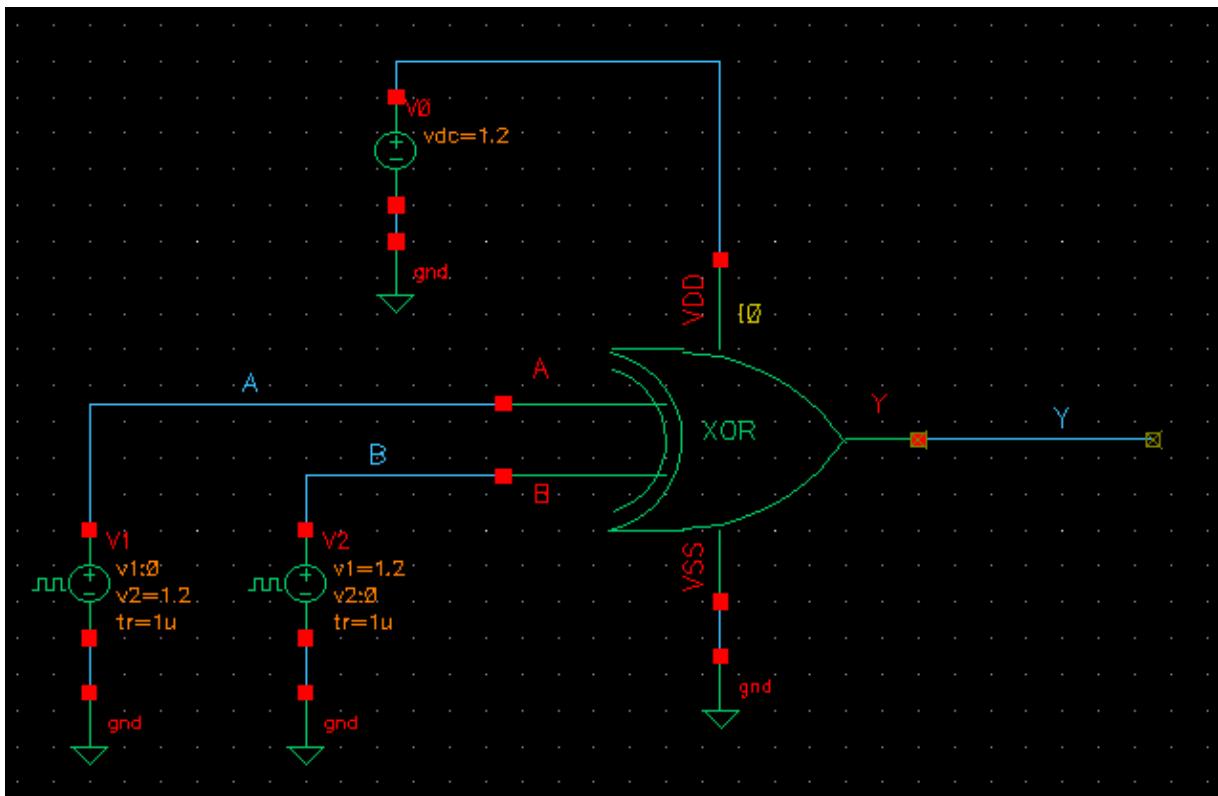
Sau khi hoàn thành sơ đồ nguyên lý mạch cỗng XOR, ta tiến hành đóng gói sơ đồ theo hình dạng là kí hiệu của cỗng XOR như *Hình 4.1.1*.



Hình 4.2.4. Kí hiệu cỗng XOR sau khi đóng gói

4.2.3. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cỗng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho cỗng XOR đã đóng gói như sau:



Hình 4.2.5. Cấp nguồn và tín hiệu cho cổng XOR sau khi đóng gói

Tại VDD của cổng XOR, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 4.2.6. Thông số của nguồn cung cấp VDC cho cổng XOR

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào A và B, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là $0.1\mu s$, tuy nhiên để qua sát được đầy đủ các trường hợp của 2 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào A, độ rộng xung là $10\mu s$ và chu kỳ là $20\mu s$. Tại B, độ rộng xung là $20\mu s$ và chu kỳ là $40\mu s$.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	100.0n s	off
Fall time	100.0n s	off
Pulse width	10u s	off
Period	20u s	off
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off
Type of rising & falling edge		off

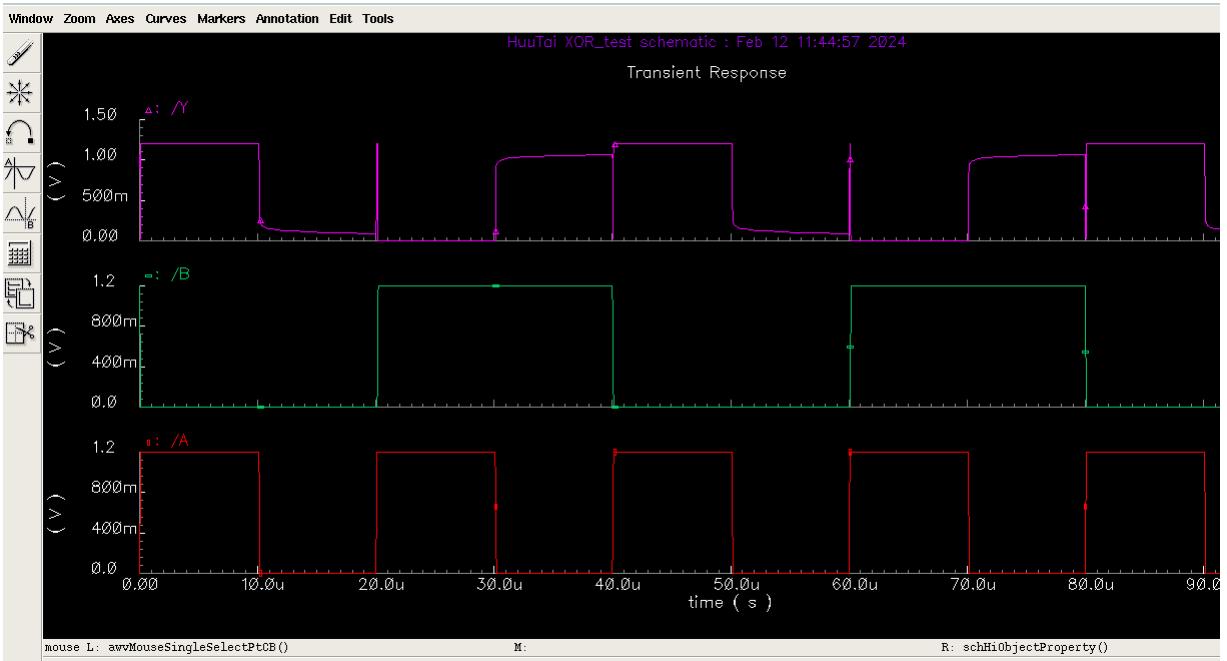
Hình 4.2.7. Thông số nguồn V_{pulse} tại ngõ vào A

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	1.2 V	off ▾
Voltage 2	0 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
Type of rising & falling edge	— —	off ▾

Hình 4.2.8. Thông số nguồn V_{pulse} tại ngõ vào B

4.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (A và B) và ngõ ra (Y) của cổng XOR và thu được kết quả như sau:

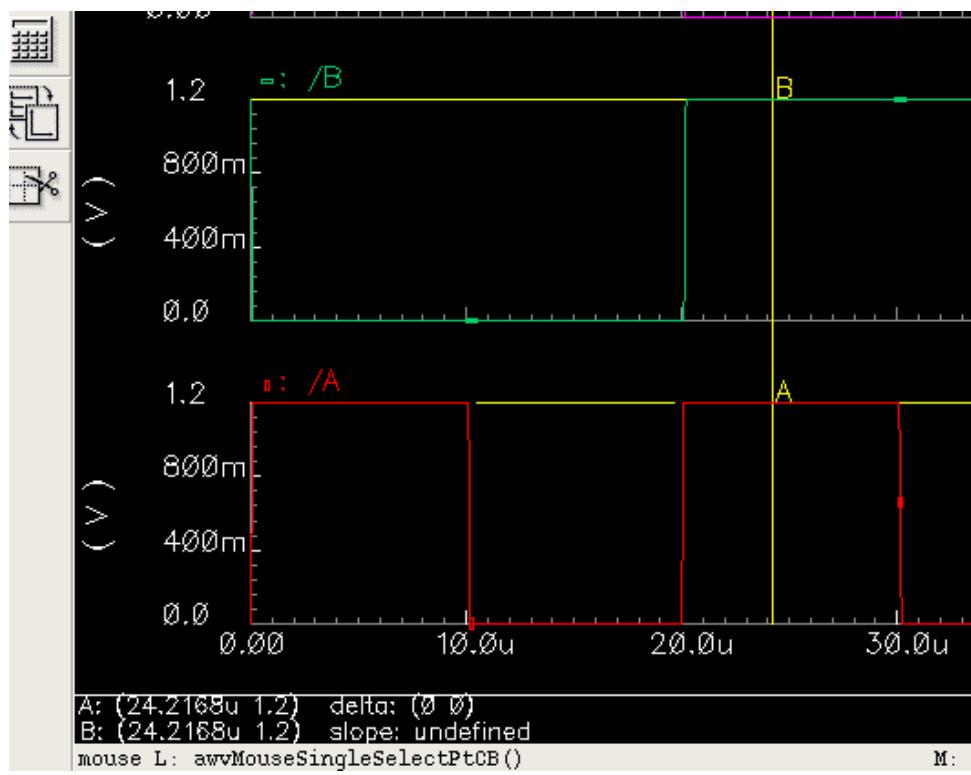


Hình 4.2.9. Dạng sóng điện áp ngõ vào A (màu đỏ), B (màu lục) và ngõ ra Y (màu tím)

4.2.4.1. Đánh giá mức điện áp

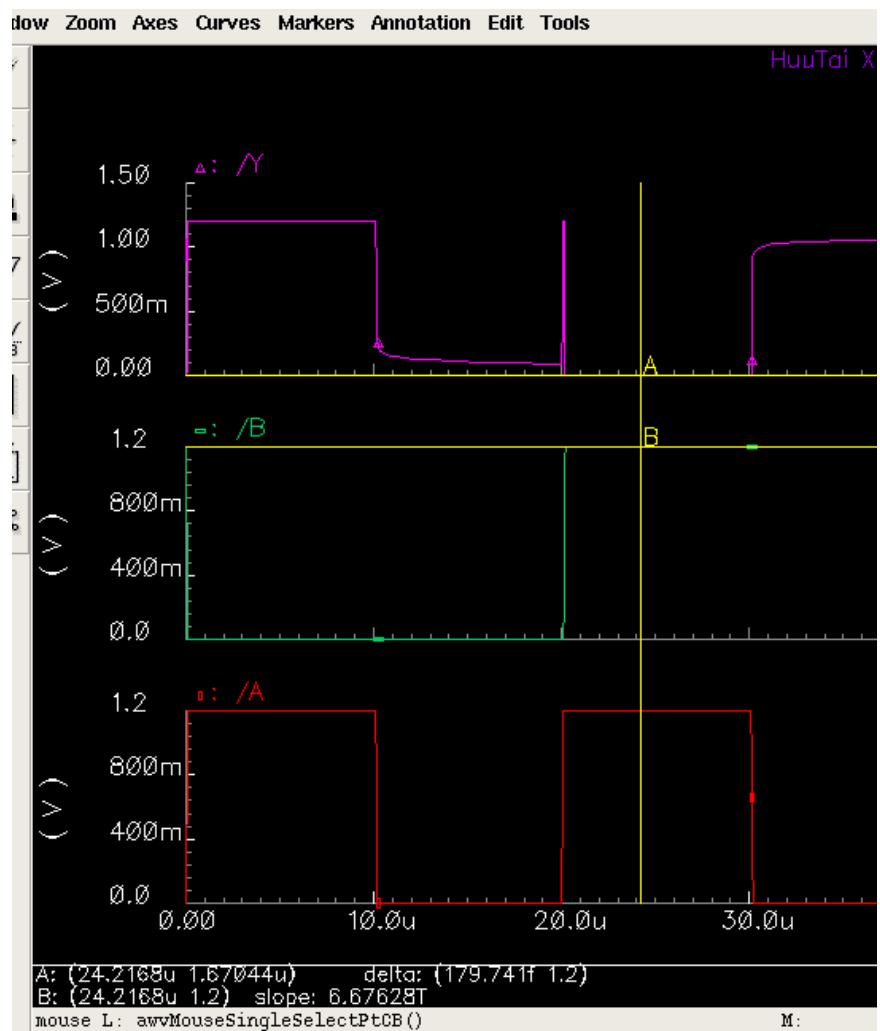
Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

* Trường hợp 1:



Hình 4.2.10. Điện áp ngõ vào A và B trong trường hợp I

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm 24,2168 μ s đều là 1,2V – tương ứng với mức logic 1. Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 4.2.11. Điện áp ngõ ra Y trong trường hợp 1

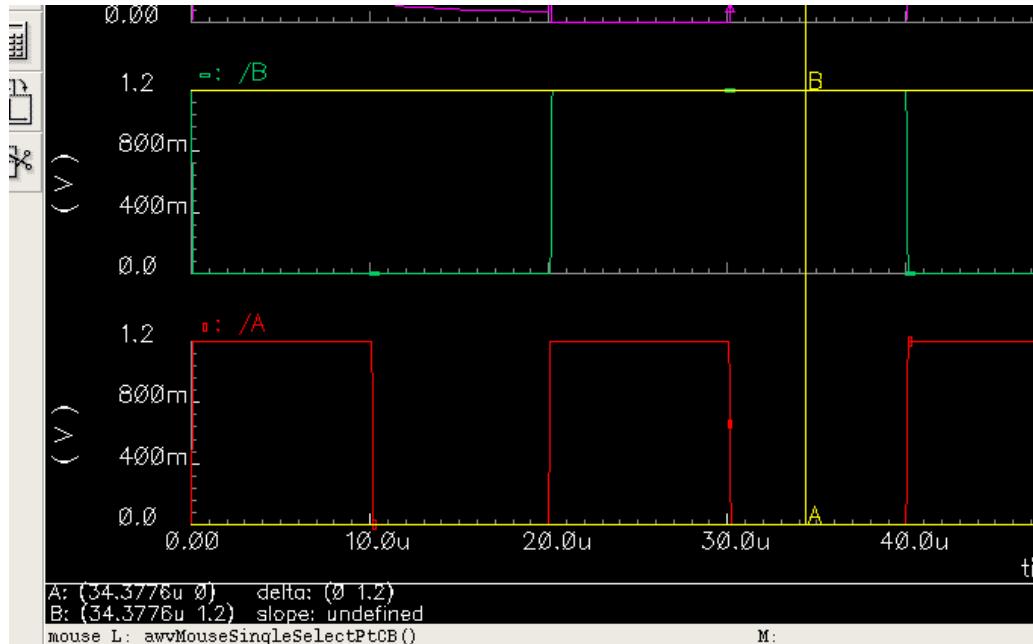
Tại điểm đánh dấu A thời điểm $24,2168 \mu s$, ta thấy mức điện áp ngõ ra là $1,67044 \mu V$ – tương ứng với mức logic 0.

Vậy ở trường hợp 1, ta rút ra được bảng kết quả sau:

Bảng 4.2.1. Bảng kết luận mức logic trong trường hợp 1

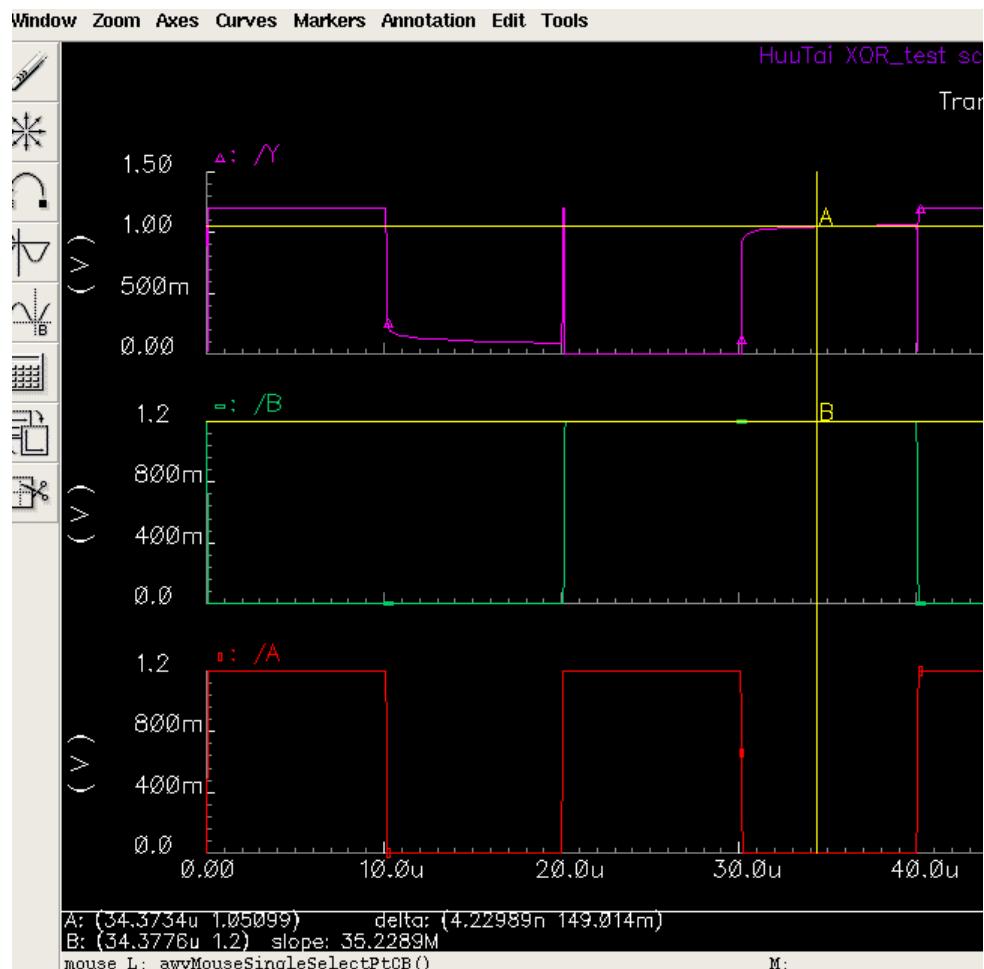
A	B	Y
1	1	0

* Trường hợp 2:



Hình 4.2.12. Điện áp ngõ vào A và B trong trường hợp 2

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $34,3776 \mu\text{s}$ lần lượt là 0V (tương ứng với mức logic 0) và 1,2V (tương ứng mức logic 1). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 4.2.13. Điện áp ngõ ra Y trong trường hợp 2

Tại điểm đánh dấu A thời điểm $34,3734 \mu s$, ta thấy mức điện áp ngõ ra là $1,05099V$ (tương ứng với mức logic 1).

Vậy ở trường hợp 2, ta rút ra được bảng kết quả sau:

Bảng 4.2.2. Bảng kết luận mức logic trong trường hợp 2

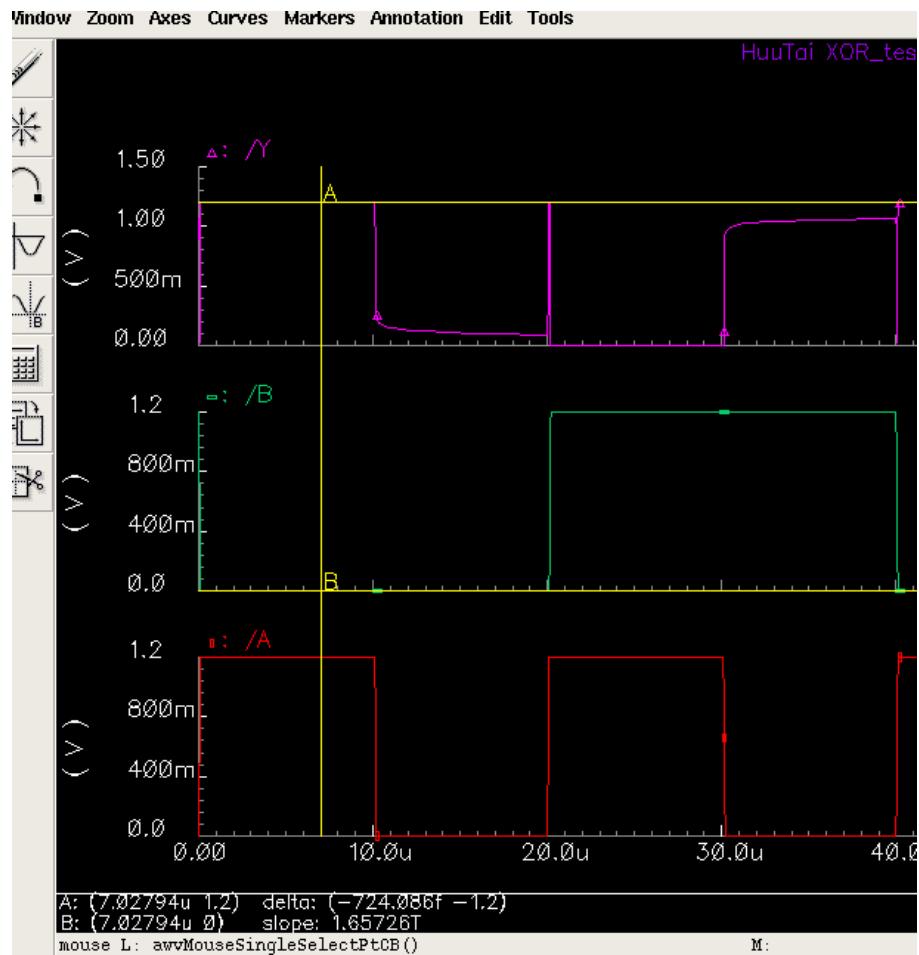
A	B	Y
0	1	1

* Trường hợp 3:



Hình 4.2.14. Điện áp ngõ vào A và B trong trường hợp 3

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $7,02794 \mu s$ lần lượt là 1,2V (tương ứng với mức logic 1) và 0V (tương ứng mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 4.2.15. Điện áp ngõ ra Y trong trường hợp 3

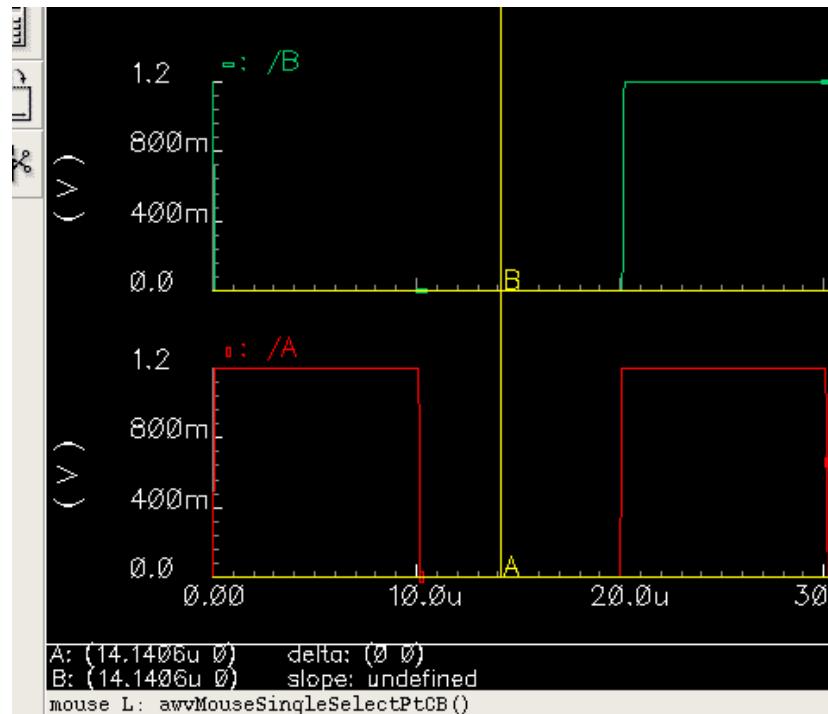
Tại điểm đánh dấu A thời điểm $7,02794 \mu\text{s}$, ta thấy mức điện áp ngõ ra là $1,2\text{V}$ (tương ứng với mức logic 1).

Vậy ở trường hợp 3, ta rút ra được bảng kết quả sau:

Bảng 4.2.3. Bảng kết luận mức logic trong trường hợp 3

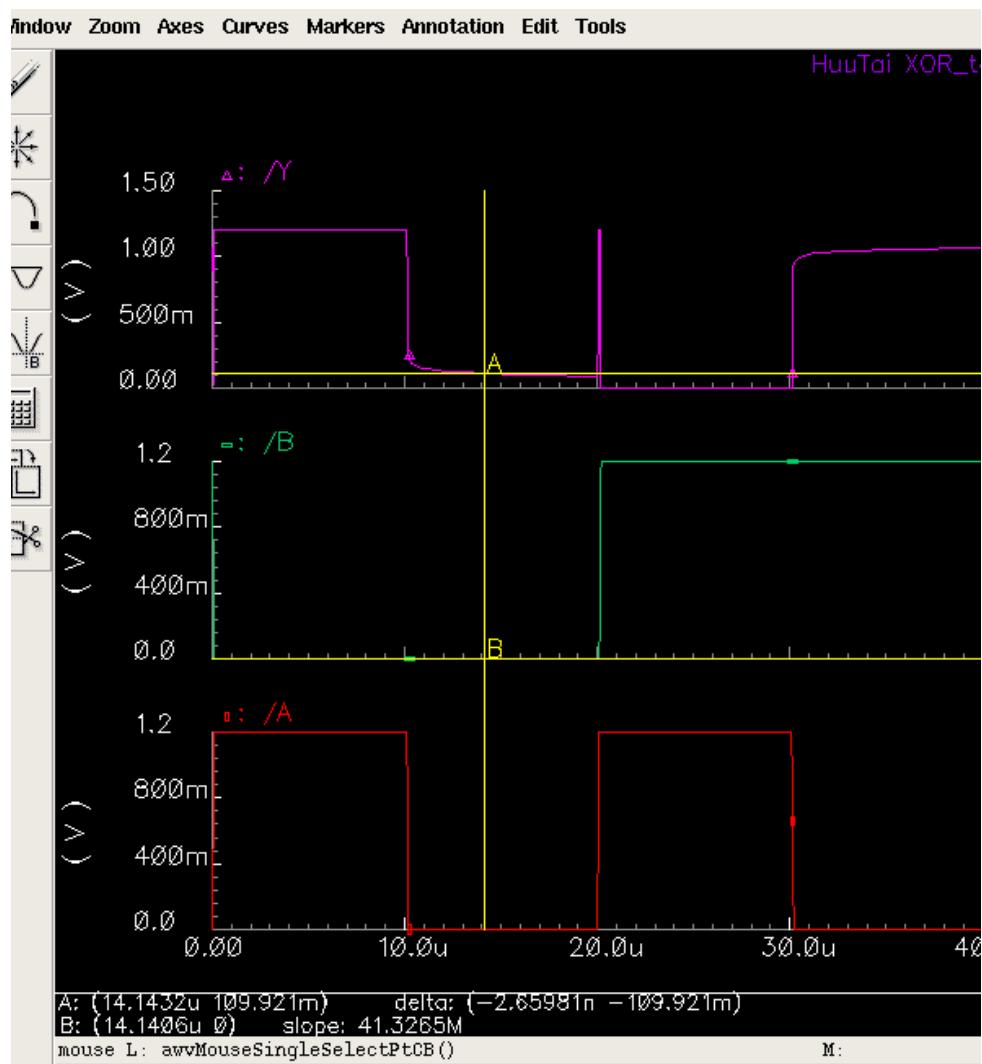
A	B	Y
1	0	1

* Trường hợp 4:



Hình 4.2.16. Điện áp ngõ vào A và B trong trường hợp 4

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $14,1406 \mu s$ đều là 0V (tương ứng với mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 4.2.17. Điện áp ngõ ra Y trong trường hợp 4

Tại điểm đánh dấu A thời điểm $14,1432 \mu s$, ta thấy mức điện áp ngõ ra là $109,921$ mV (tương ứng với mức logic 0).

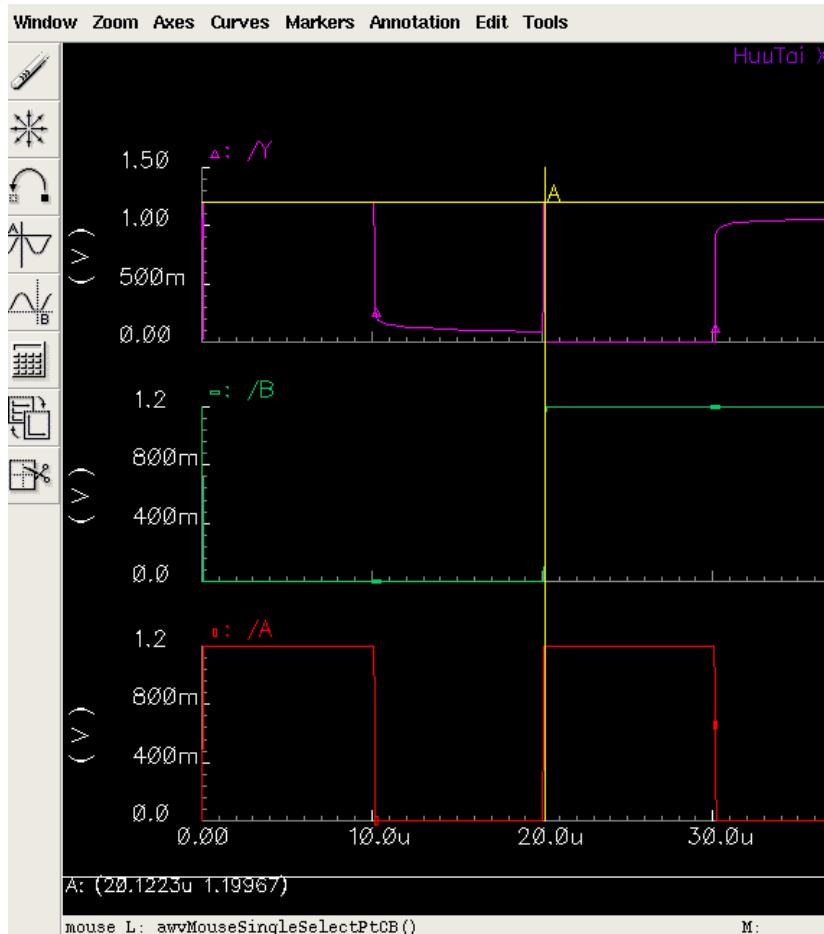
Vậy ở trường hợp 4, ta rút ra được bảng kết quả sau:

Bảng 4.2.4. Bảng kết luận mức logic trong trường hợp 4

A	B	Y
0	0	0

Từ kết quả của 4 trường hợp trên, ta kết luận rằng kết quả này là hoàn toàn đúng với lý thuyết bảng trạng thái của cỗng XOR như *Bảng 4.1.1*.

Tuy nhiên tại một số thời điểm ta thấy ngõ ra Y bị đảo trạng thái trong một thời gian ngắn như sau:



Hình 4.2.18. Dạng sóng ngõ ra tại một số điểm bất thường

Nguyên nhân là do quá trình chuyển mạch của ngõ vào tại thời điểm ngõ vào A và B đang xuống mức LOW nhưng do ngõ vào A chuyển mạch trước mà tại thời điểm đó ngõ vào B chưa kịp xuống mức LOW nên A và B ở 2 mức logic khác nhau khiến cho ngõ ra tăng lên mức HIGH trong 1 khoảng thời gian rất nhỏ sau đó xuống lại mức LOW.

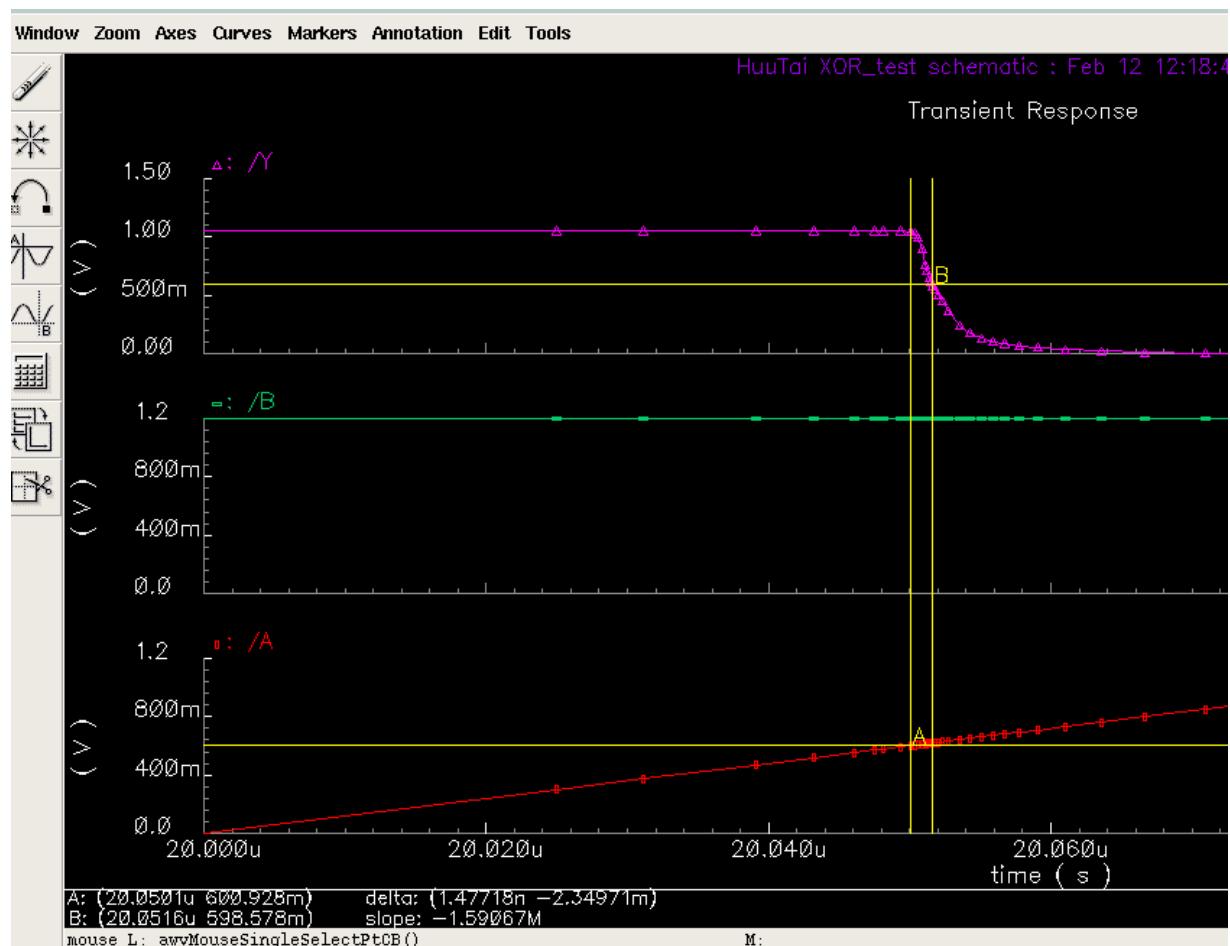
4.2.4.2. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

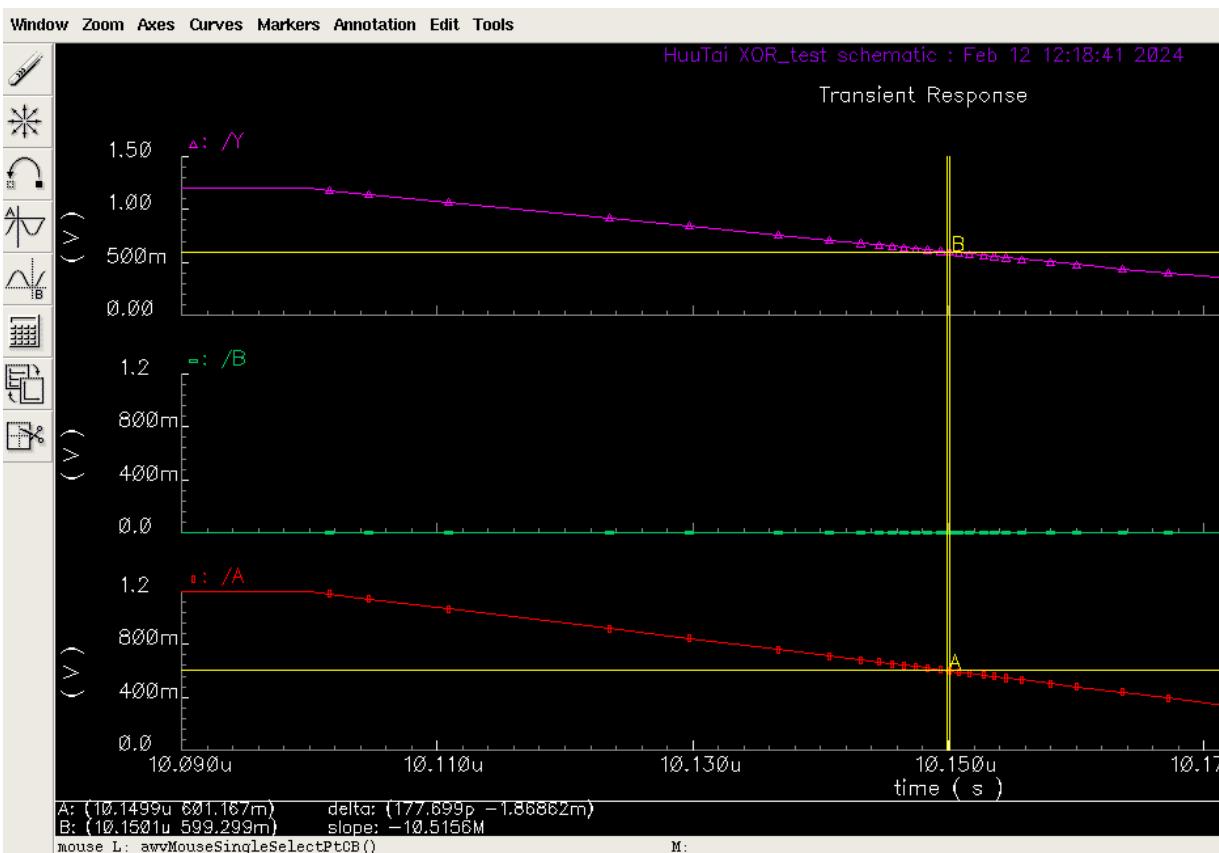
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 4.2.19. Đo thời gian trễ khi ngõ vào A cạnh lên

Khi điện áp ngõ vào tăng lên đến 600,928 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 598,578 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 1,47718 ns hay nói $t_{pdr(A)} = 1,47718$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 4.2.20. Đo thời gian trễ khi ngõ vào A cạnh xuống

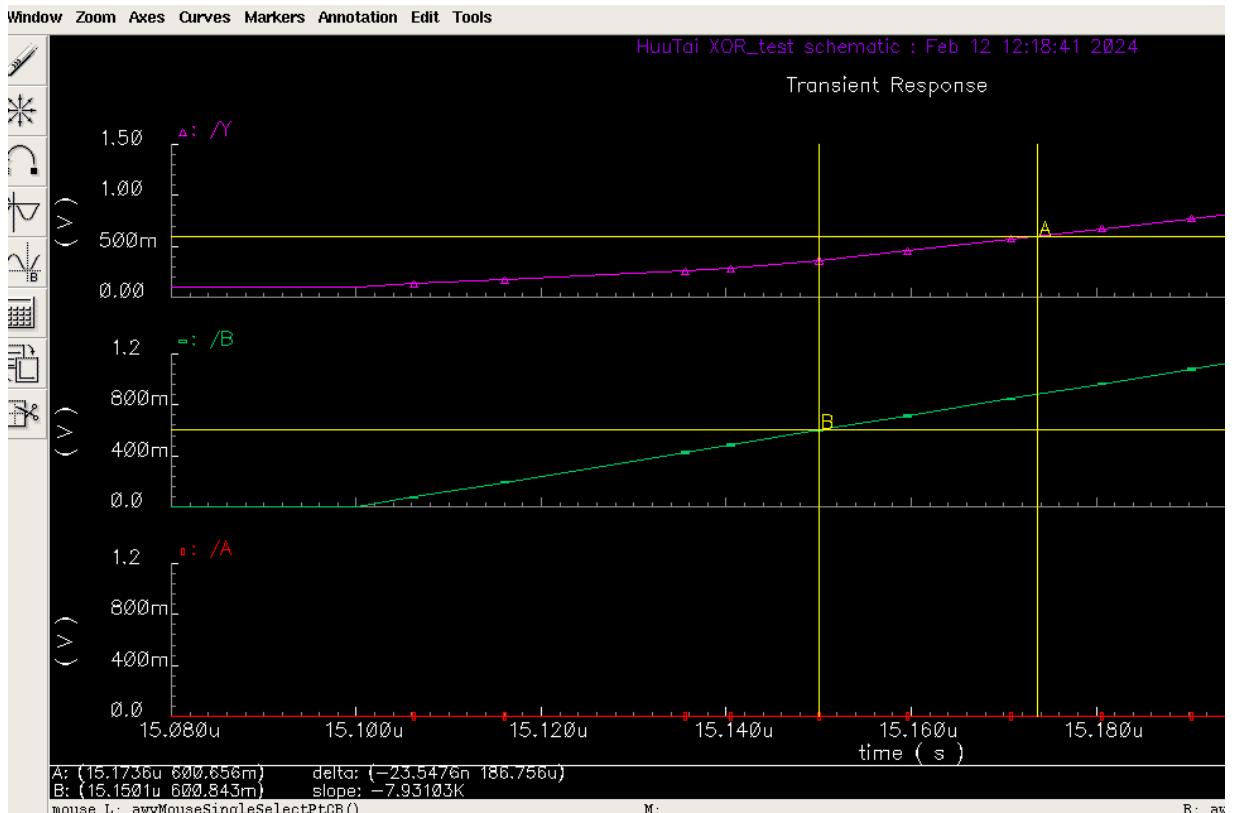
Khi điện áp ngõ vào A giảm xuống đến 601,167 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 599,299 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 177,699 ps hay nói $t_{pdf(A)} = 177,699$ ps.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (1,47718 \text{ ns} + 177,699 \text{ ps}) / 2 = 0,8274 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

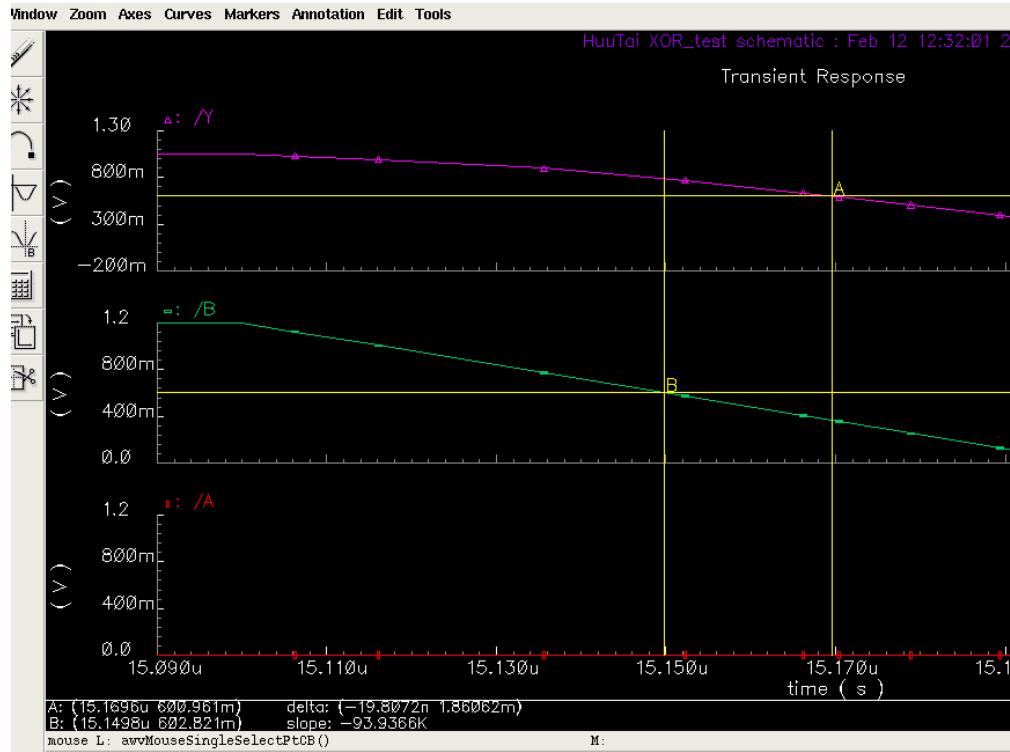
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 4.2.21. Đo thời gian trễ khi ngõ vào B cạnh lên

Khi điện áp ngõ vào B tăng lên đến 600,843 mV (điểm đánh dấu B) và điện áp ngõ ra cũng tăng đến 600,656 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 23,5476 ns hay nói $t_{pdr(B)} = 23,5476$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 4.2.22. Đo thời gian trễ khi ngõ vào B cạnh xuống

Khi điện áp ngõ vào B giảm xuống đến 602,821 mV (điểm đánh dấu B) và điện áp ngõ ra cũng giảm đến 600,961 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 19,8072 ns hay nói $t_{pdf(B)} = 19,8072$ ns.

Có được $t_{pdr(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pdr(B)} + t_{pdf(B)}) / 2 = (23,5476 \text{ ns} + 19,8072 \text{ ns}) / 2 = 21,6774 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

Bảng 4.2.5. Bảng kết quả thời gian trễ

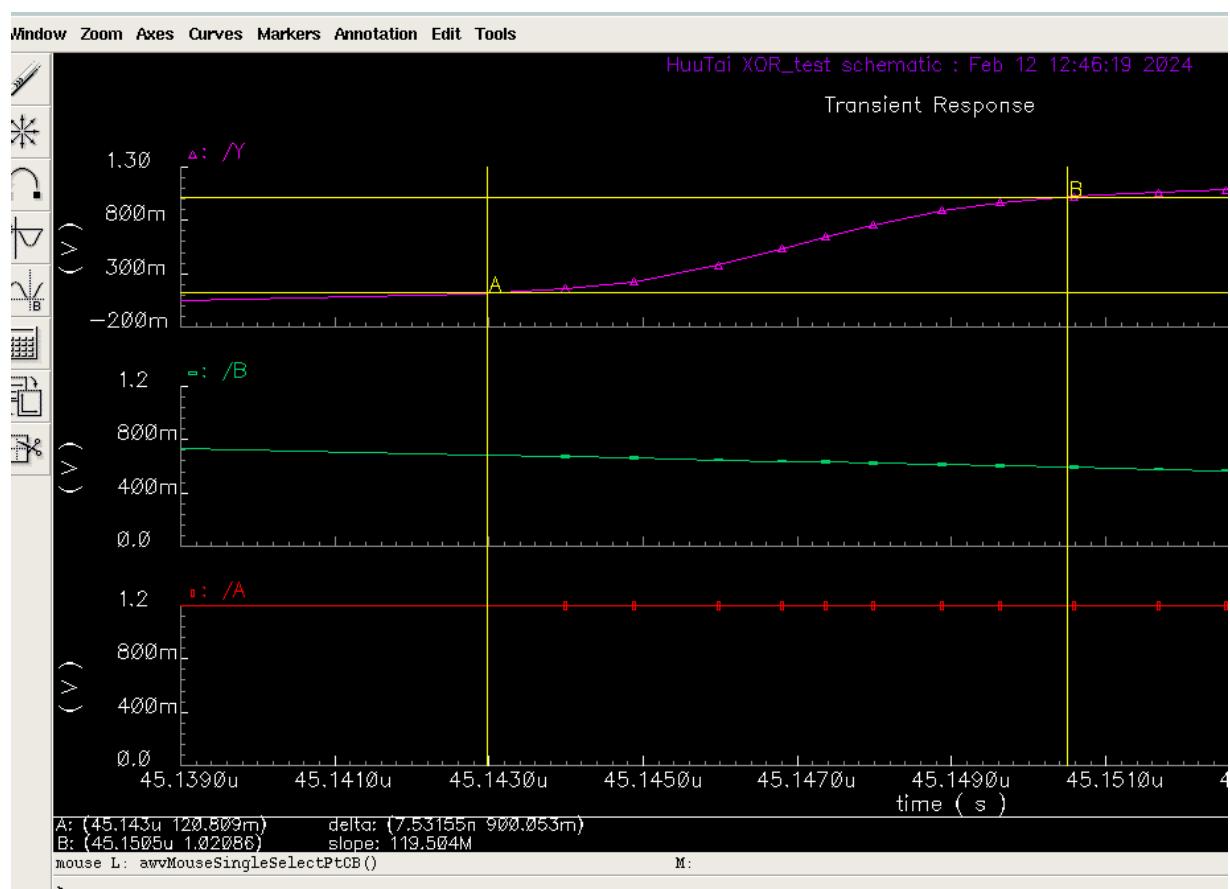
Ngõ vào	Thời gian trễ (t_{pd})
Tại A	0,8274 ns
Tại B	21,6774 ns

4.2.4.3. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

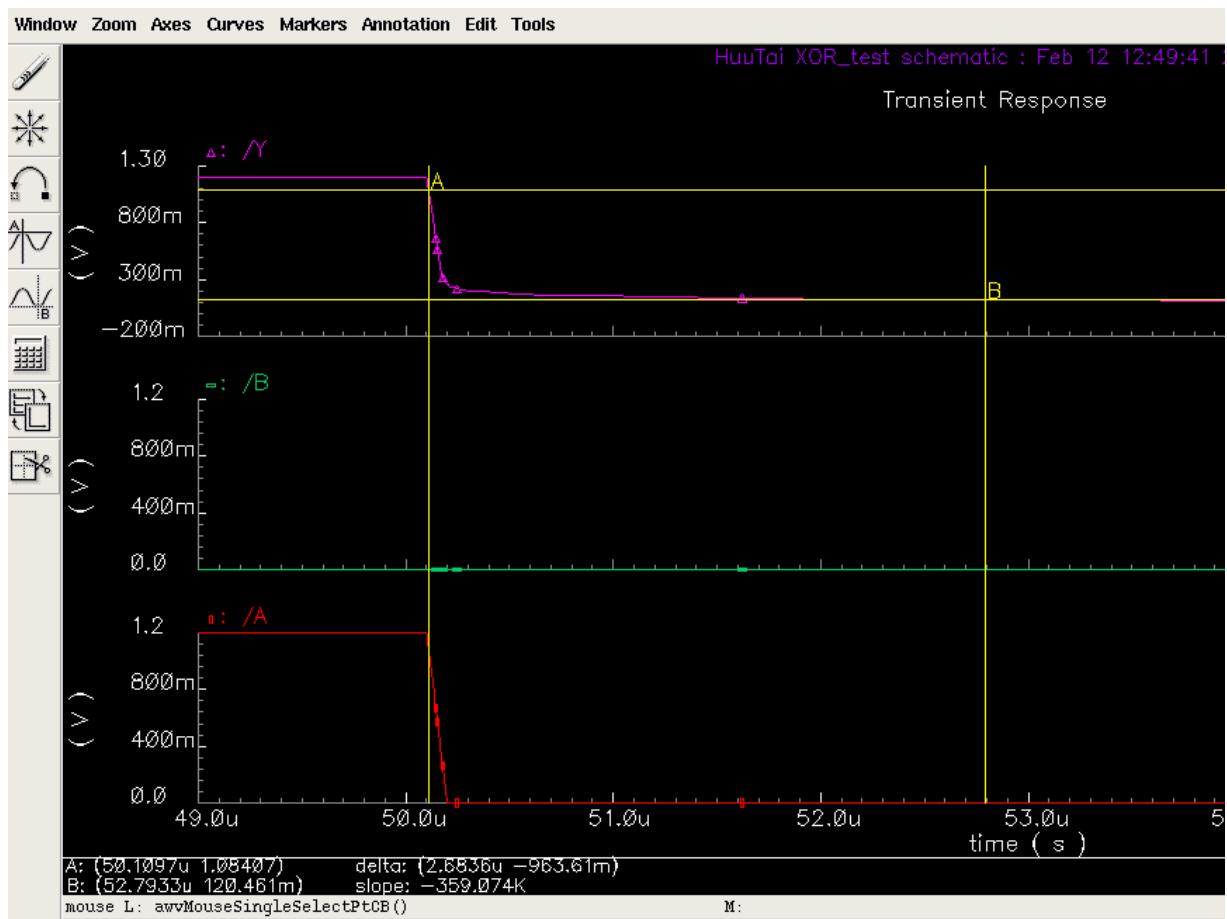
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 120,809 \text{ mV}$ (10% giá trị biên độ) và điểm B khi $V_{out} = 1,02086 \text{ V}$ (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 7,53155 ns hay $t_r = 7,53155 \text{ ns}$.



Hình 4.2.23. Dánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,0840$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,461$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 2,6836 us hay $t_f = 2,6836$ us.

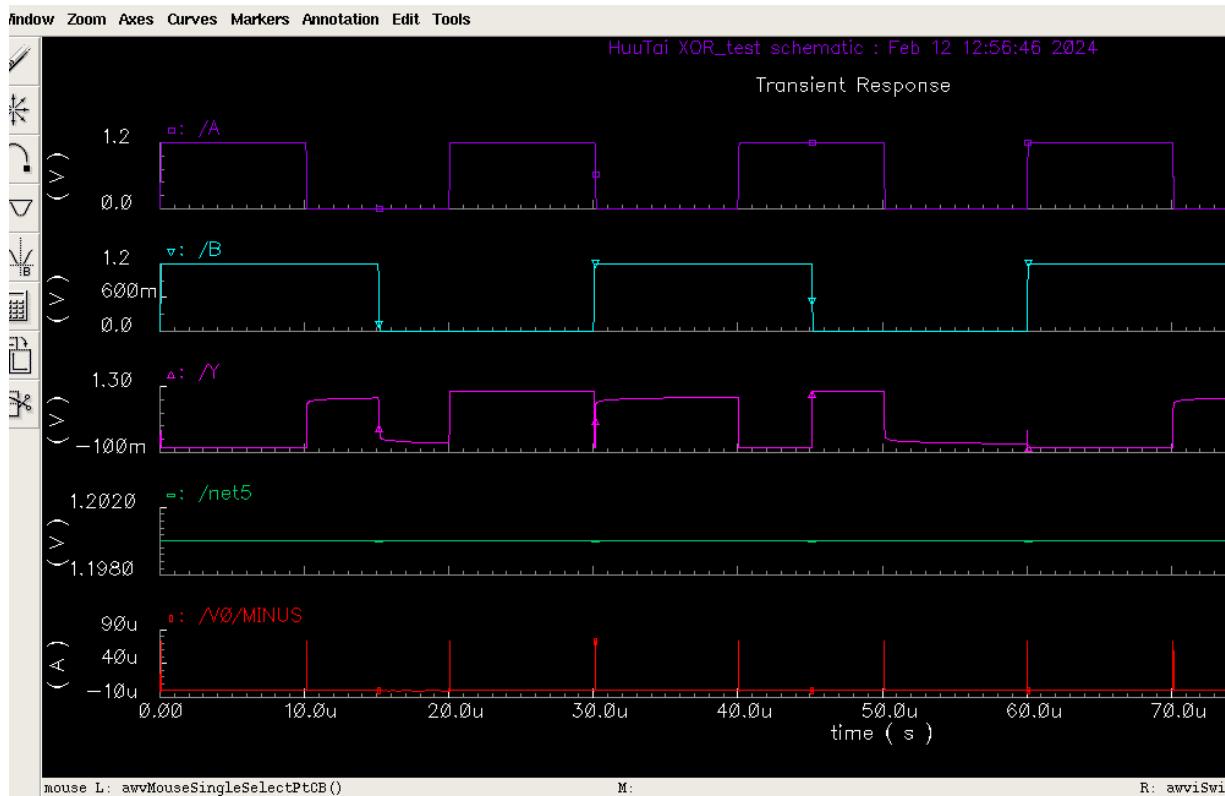


Hình 4.2.24. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 13,4557$ us.

4.2.4.4. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng XOR và dạng sóng của dòng điện qua nguồn cung cấp như sau:



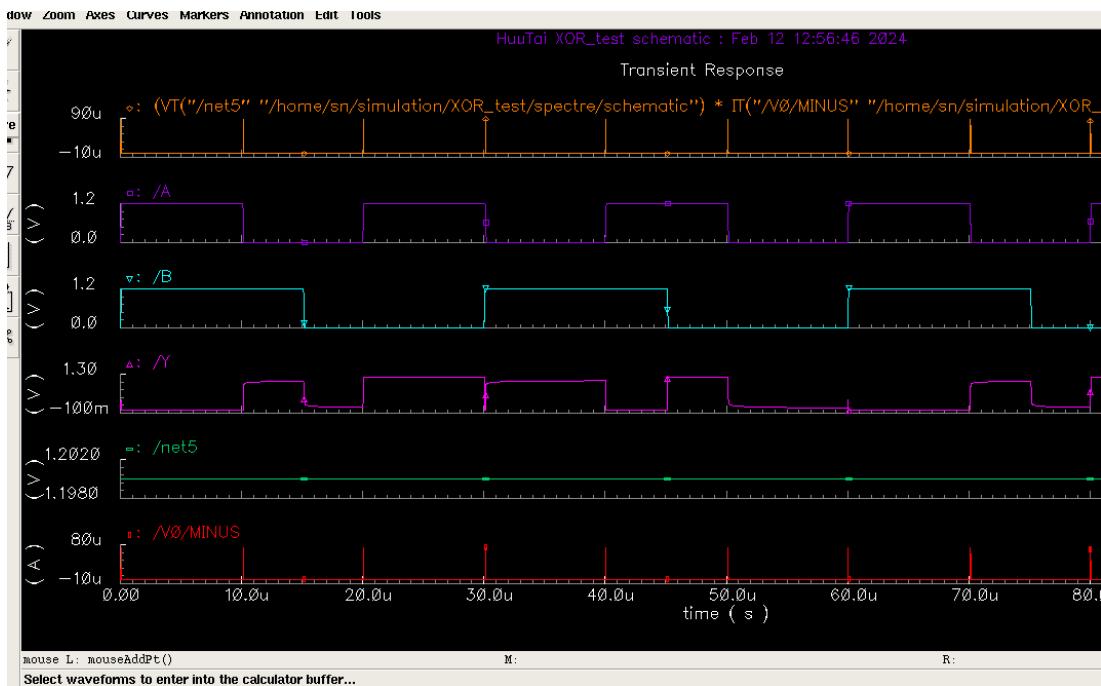
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

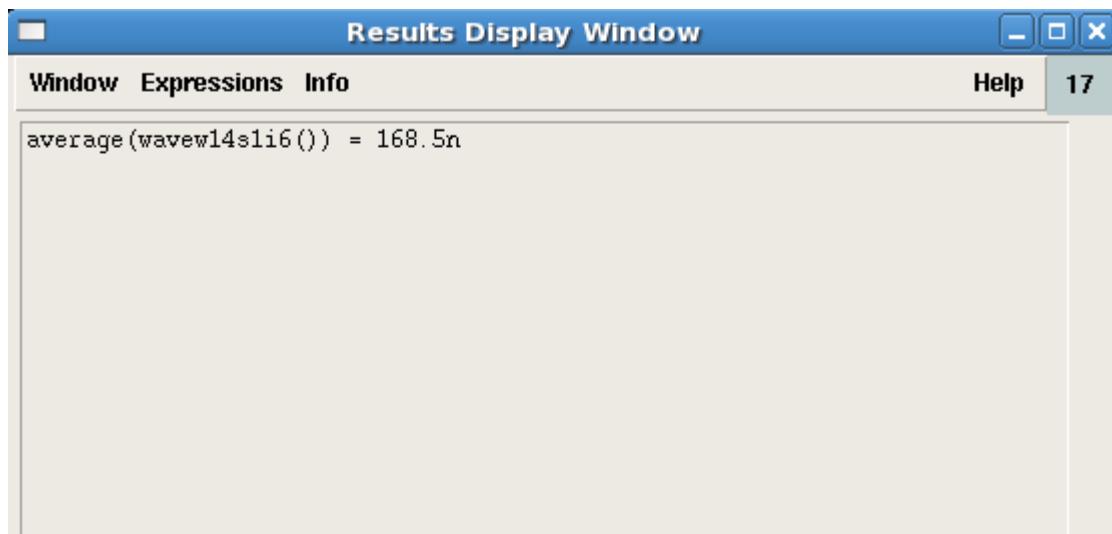
Hình 4.2.25. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời của cổng XOR bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 4.2.26. Dạng sóng công suất tức thời của công XOR

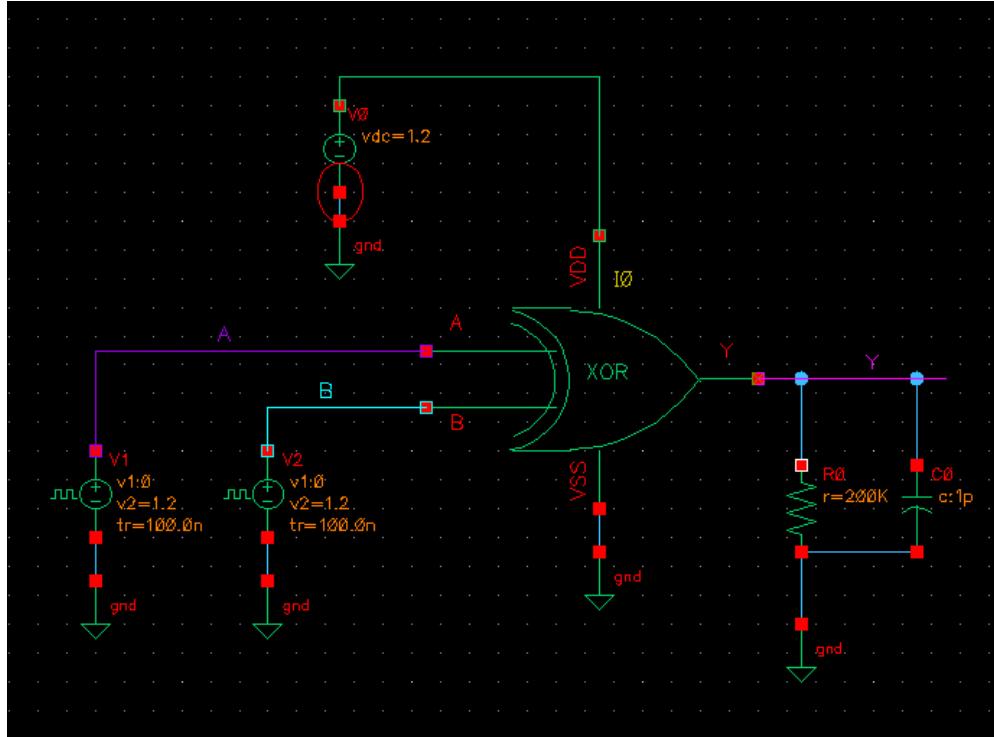
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 168,5 nW.



Hình 4.2.27. Kết quả tính giá trị trung bình trên công XOR

4.2.5. Mô phỏng công XOR khi có tải C_L , R_L

Ta gắn thêm 1 tụ có độ lớn 1 pF và 1 tải có độ lớn $200\text{ k}\Omega$ song song với ngõ ra của công XOR như sau:



Hình 4.2.28. Trưởng hợp có tải C_L , R_L

Để mô phỏng chức năng của công XOR trường hợp có tải, ta thực hiện mô phỏng tương tự trường hợp không có tải.

4.2.5.1. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

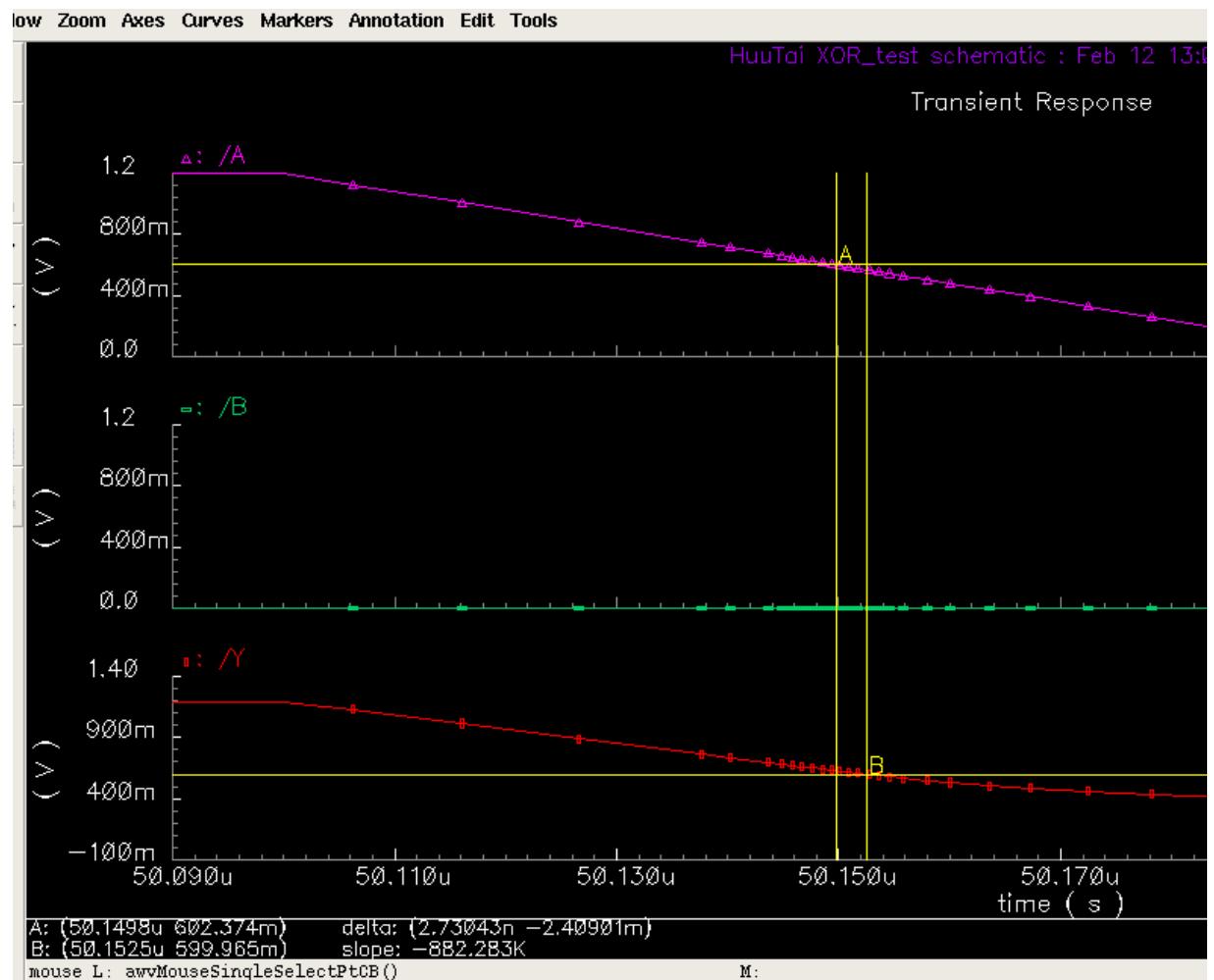
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 4.2.29. Đo thời gian trễ khi ngõ vào A cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào tăng lên đến 601,055 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng lên đến 599,563 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 8,98825 ns hay nói $t_{pdr(A)} = 8,98825$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 4.2.30. Đo thời gian trễ khi ngõ vào A cạnh xuống (trường hợp có tải)

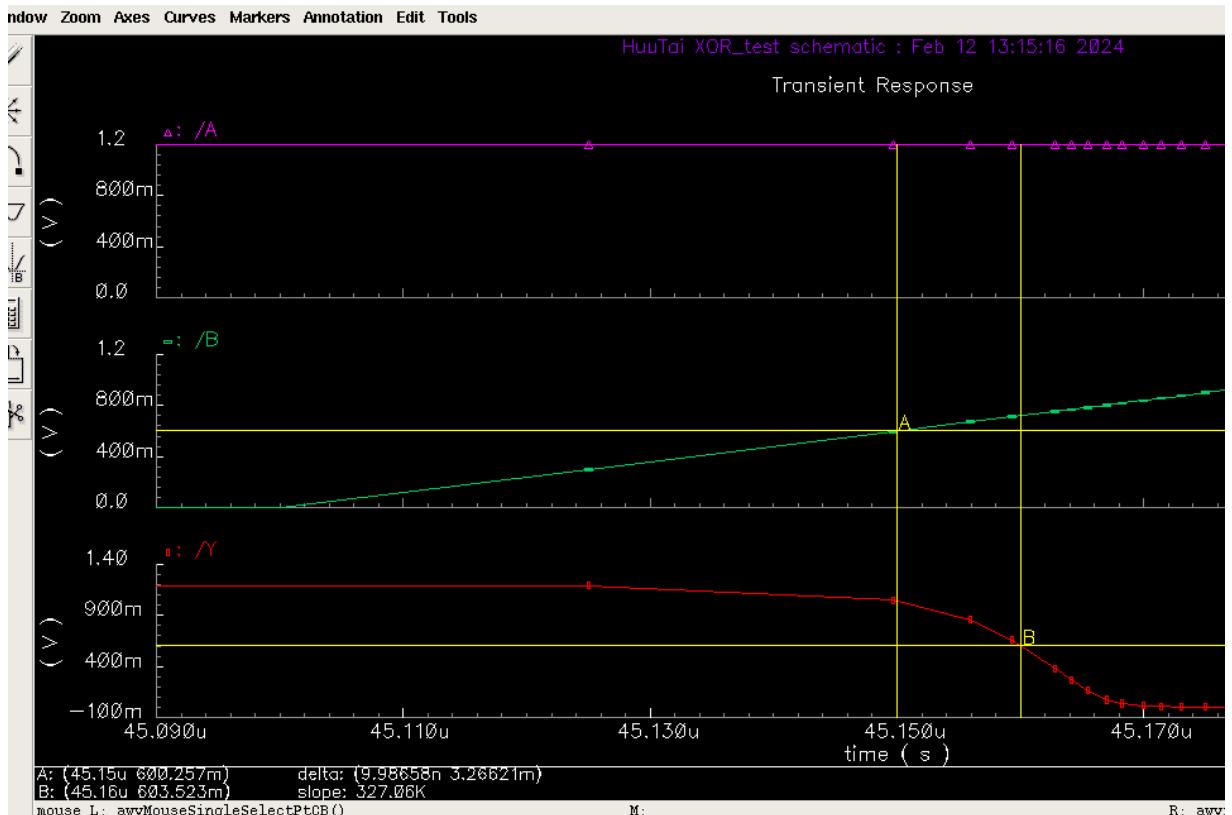
Khi điện áp ngõ vào A giảm xuống đến 602,374 mV (điểm đánh dấu A) và điện áp ngõ ra cũng giảm đến 599,965 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 2,73043 ns hay nói $t_{pdf(A)} = 2,73043$ ns.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (8,98825 \text{ ns} + 2,73043 \text{ ns}) / 2 = 5,85934 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 4.2.31. Đo thời gian trễ khi ngõ vào B cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào B tăng lên đến 600,257 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 603,523 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 9,98658 ns hay nói $t_{pdr(B)} = 9,98658$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 4.2.32. Do thời gian trễ khi ngõ vào B cạnh xuống (trường hợp có tải)

Khi điện áp ngõ vào B giảm xuống đến 600,728 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 600,614 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 4,99299 ns hay nói $t_{pdf(B)}$ = 4,99299 ns.

Có được $t_{pdr(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pdr(B)} + t_{pdf(B)}) / 2 = (9,98658 \text{ ns} + 4,99299 \text{ ps}) / 2 = 7,489785 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

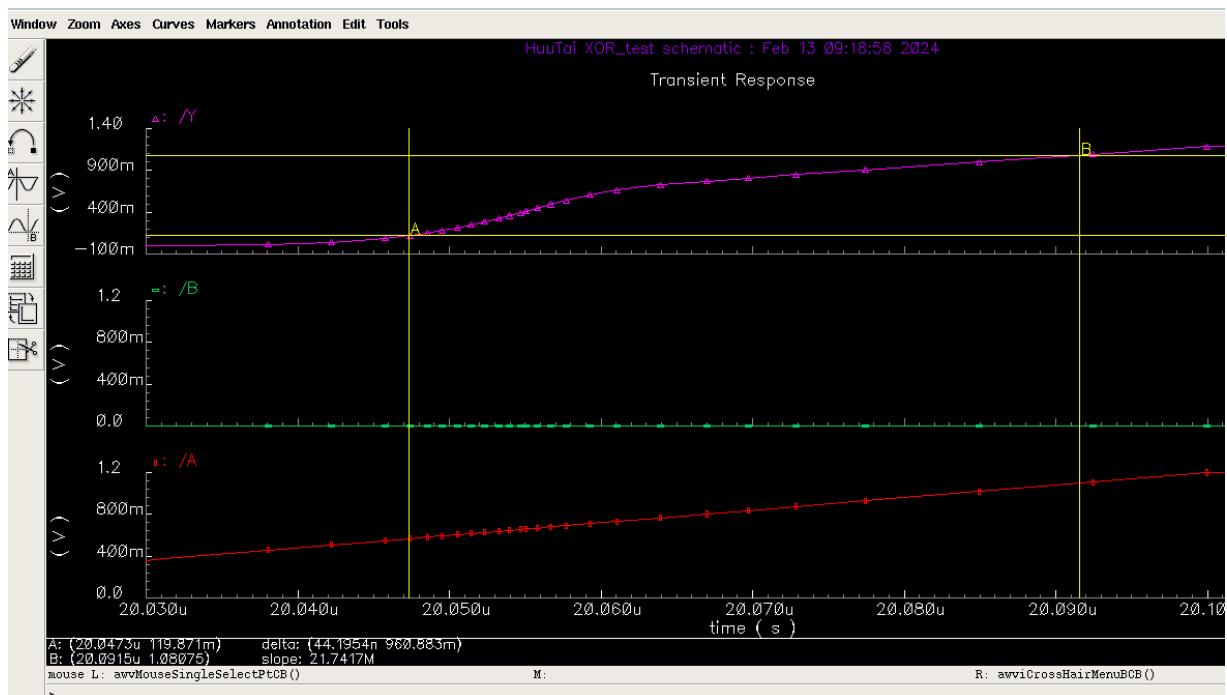
Bảng 4.2.6. Bảng kết quả thời gian trễ trường hợp có tải

Ngõ vào	Thời gian trễ (t_{pd})
Tại A	5,85934 ns
Tại B	7,489785 ns

4.2.5.2. Transition time

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

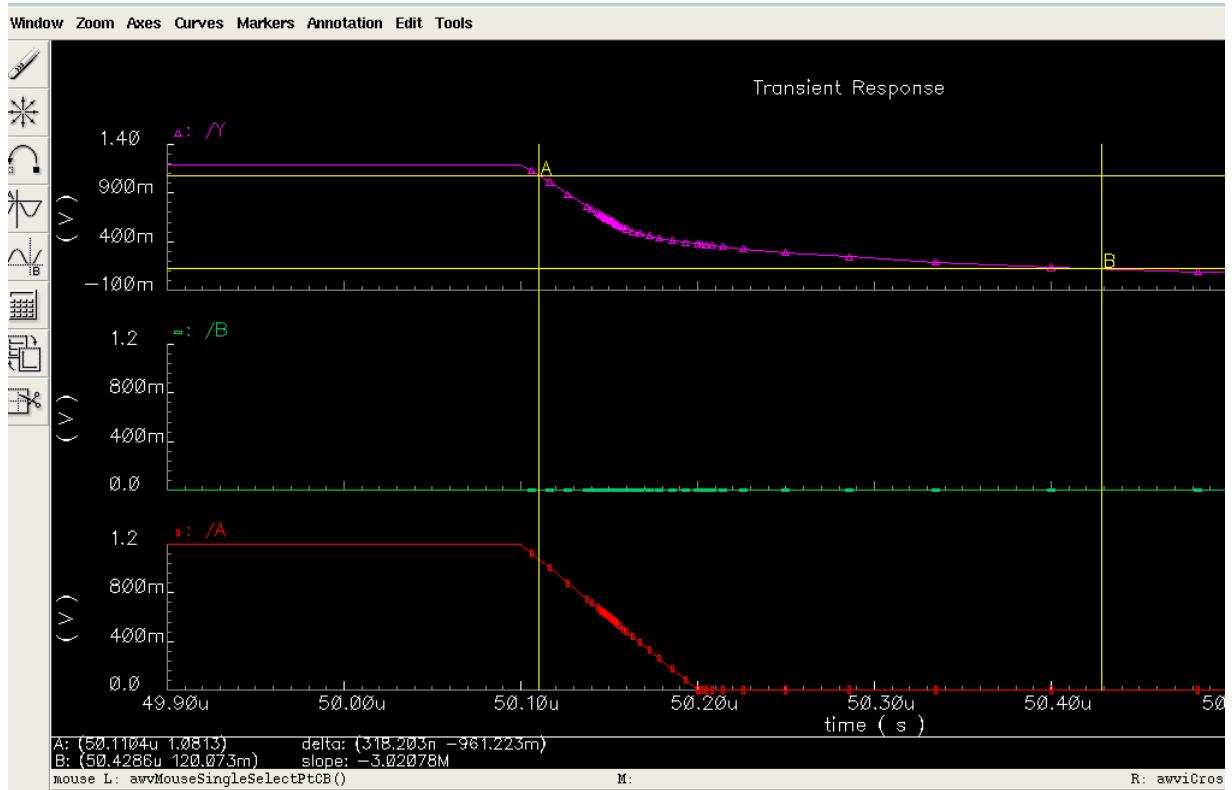
Ta đánh dấu tại điểm A khi $V_{out} = 119,871$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08075$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 44,1954 ns hay $t_r = 44,1954$ ns.



Hình 4.2.33. Dánh giá thời gian chuyển mạch ngoặt ra từ mức 0 lên 1

(trường hợp có tải)

Ta đánh dấu tại điểm A khi $V_{out} = 1,0813$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,073$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 318,203 ns hay $t_f = 318,203$ ns.

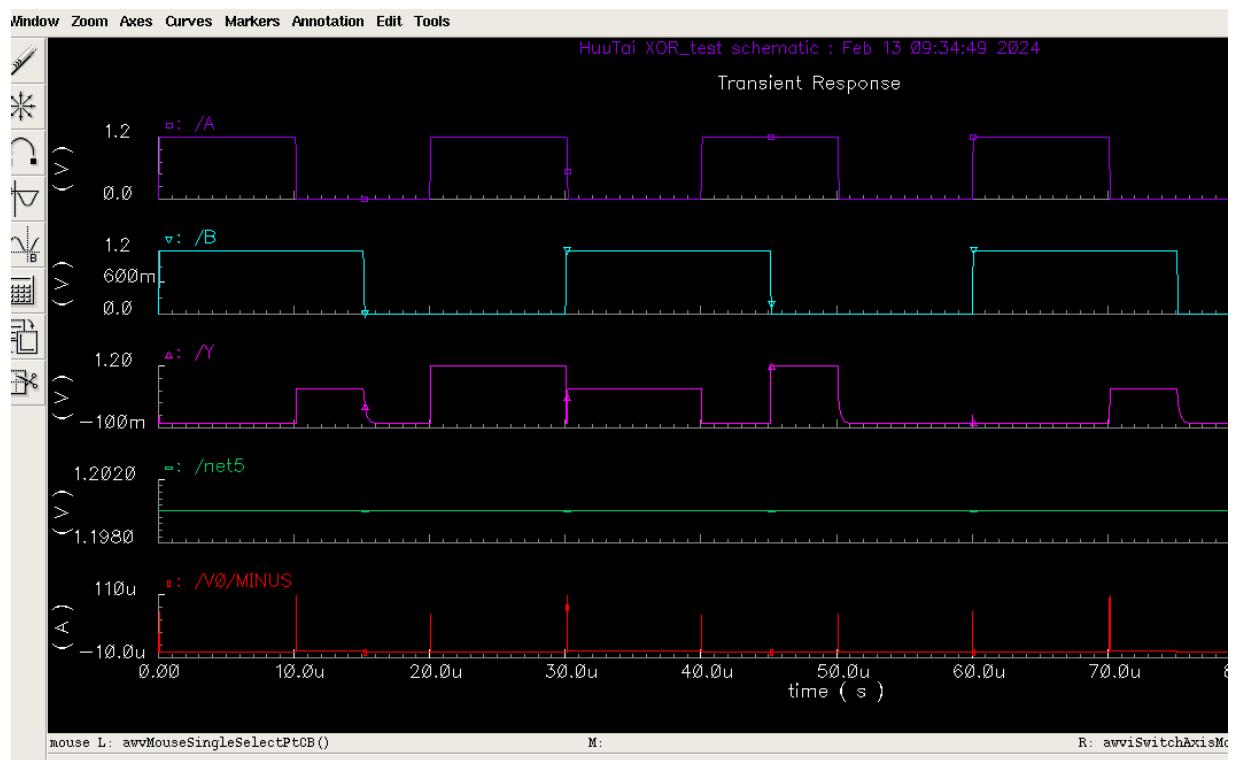


Hình 4.2.34. Đánh giá thời gian chuyển mạch ngơ ra từ mức 1 xuống 0
(trường hợp có tải)

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 181,1992 \text{ ns}$.

4.2.5.3. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng XOR và dạng sóng của dòng điện qua nguồn cung cấp như sau:



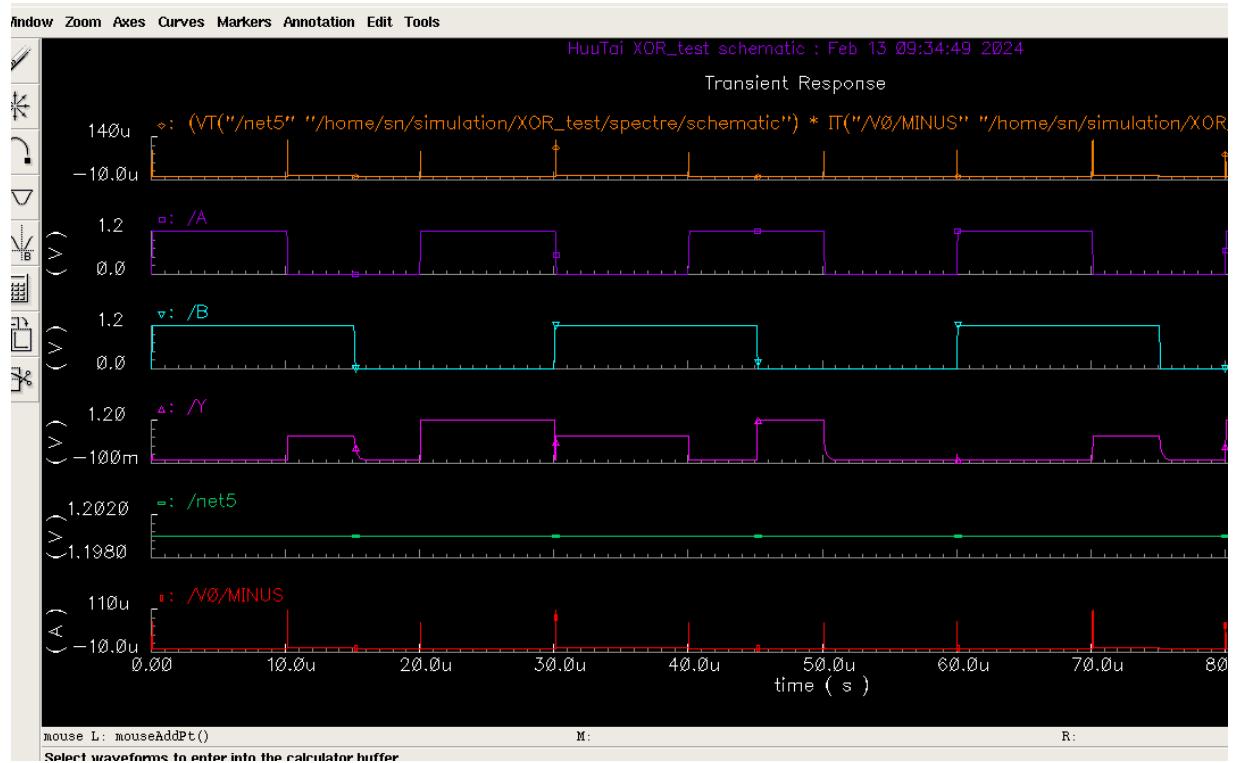
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

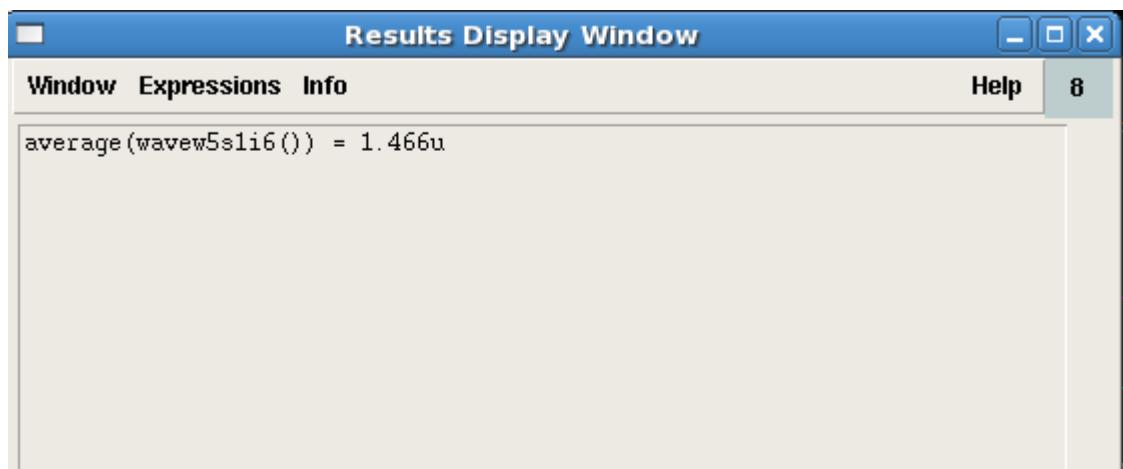
Hình 4.2.35. Dạng sóng điện áp và dòng điện của nguồn cung cấp (trường hợp có tải)

Ta vẽ dạng sóng công suất tức thời của cổng XOR bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 4.2.36. Dạng sóng công suất tức thời của cổng XOR (trường hợp có tải)

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $1,466 \mu\text{W}$.



Hình 4.2.37. Kết quả tính giá trị trung bình trên cổng XOR (trường hợp có tải)

4.2.6. So sánh giữa hai trường hợp có tải và lý tưởng

Dựa vào kết quả tính toán cả 2 trường hợp trên, ta có bảng so sánh sau:

Bảng 4.2.7. So sánh giữa hai trường hợp có tải C_L , R_L và lý tưởng

Thông số	Lý tưởng	Có tải C_L , R_L
VDD	1,2V	1,2V
VSS	0V	0V
Độ trễ đổi với ngõ vào A	0,8274 ns	5,85934 ns
Độ trễ đổi với ngõ vào B	21,6774 ns	7,489785 ns
Công suất trung bình	168,5 nW	1,466 μ W
Output transition time	13,4557 μ s	181,1992 ns

Đánh giá:

Trong trường hợp có tải, ta thấy công suất tiêu thụ trên cổng đã tăng lên nhiều lần và Output transition time ở trường hợp có tải cũng đã giảm đi rất nhiều lần.

Phần 5

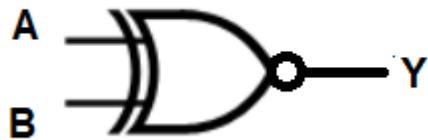
LÝ THUYẾT VÀ MÔ PHỎNG CÔNG XNOR

5.1. Lý thuyết

5.1.1. Ký hiệu và bảng trạng thái công XNOR

Trong điện tử kỹ thuật số, công XNOR thực hiện một hàm logic mang lại giá trị đúng nếu cả hai giá trị được cung cấp cho công là cùng đúng hoặc cùng sai. Đó là một “bộ so sánh” trả về đúng nếu hai đầu vào giống nhau.

Ký hiệu: Công XNOR được ký hiệu như hình sau:



Hình 5.1.1. Ký hiệu của công XNOR

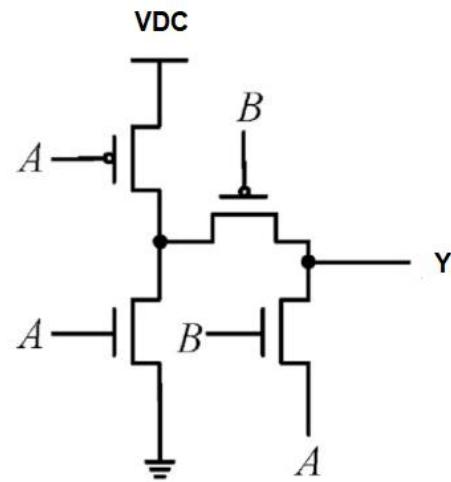
Bảng trạng thái:

Bảng 5.1.1. Bảng trạng thái của công XNOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

5.1.2. Sơ đồ nguyên lý của công XNOR

Mạch công XNOR sử dụng 4 transistor CMOS gồm 2 transistor nMOS và 2 transistor pMOS, cụ thể sơ đồ nguyên lý công XNOR vào được mắc như sau:



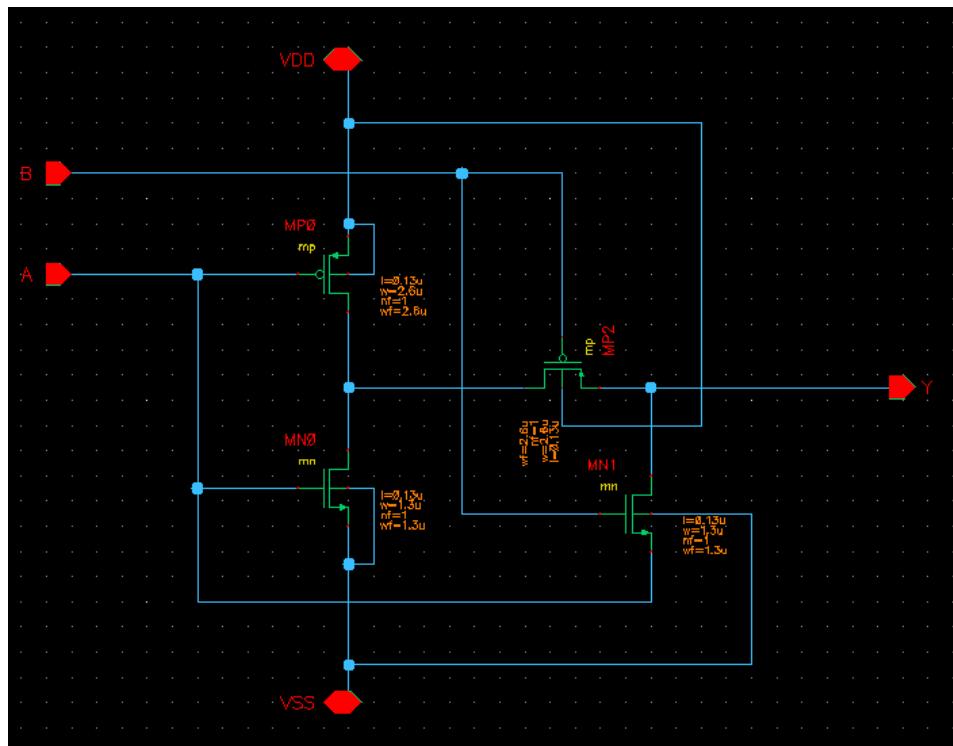
Hình 5.1.2. Sơ đồ nguyên lý của công XNOR sử dụng công nghệ CMOS

5.2. Mô phỏng với phần mềm Cadence

Ta sử dụng công nghệ CMOS 0.13 μm của Samsung để thiết kế cỗng XNOR và đánh giá cỗng logic này từ kết quả mô phỏng thu được. Phần mềm thiết kế được sử dụng là Cadence để thiết kế và thực hiện mô phỏng thiết kế, tính toán các thông số như công suất tiêu thụ, độ trễ của mạch tích hợp.

5.2.1. Sơ đồ nguyên lý và bảng thông số

Dựa vào sơ đồ *Hình 5.1.2.* ta thiết kế cỗng XNOR sử dụng công nghệ CMOS như sau:



Hình 5.2.1. Sơ đồ nguyên lý cỗng XNOR thiết kế trên Cadence

* Thông số của transistor

Ta đặt các thông số cho transistor pMOS và nMOS như sau:

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	2.6 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 5.2.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	1.3 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

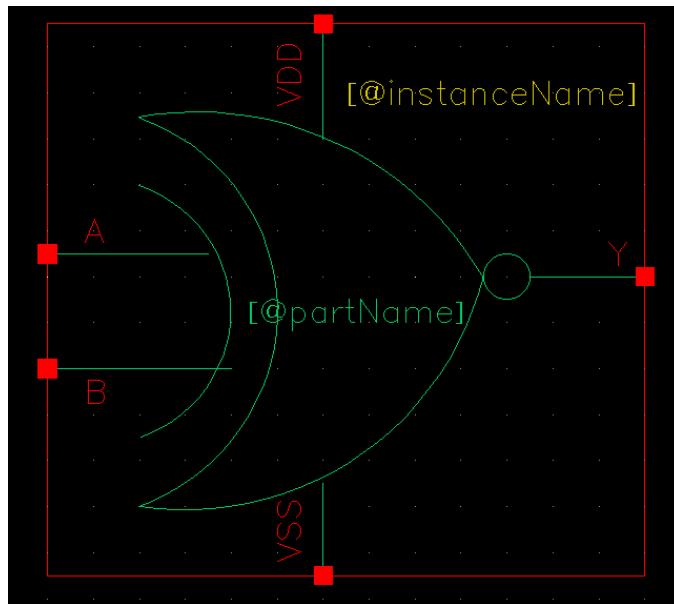
Hình 5.2.3. Thông số cài đặt cho transistor nMOS

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do

đó muôn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

5.2.2. Đóng gói sản phẩm

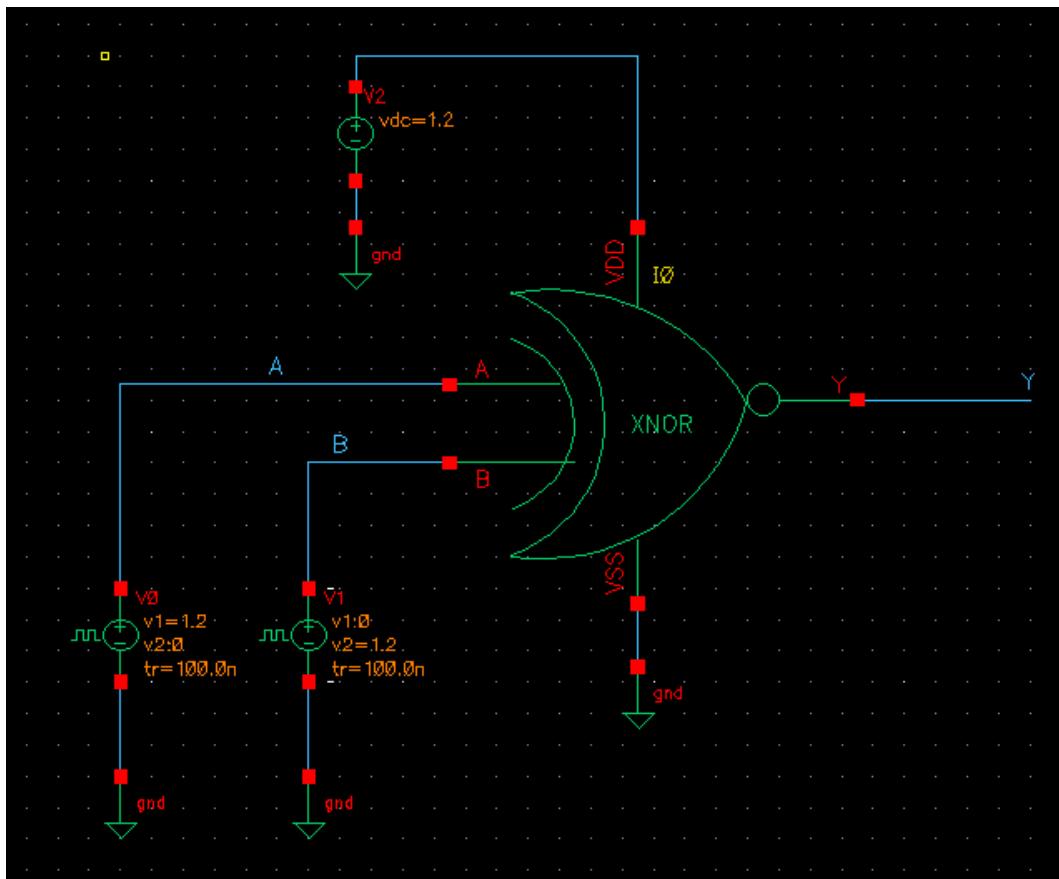
Sau khi hoàn thành sơ đồ nguyên lý mạch công XNOR, ta tiến hành đóng gói sơ đồ theo hình dạng là kí hiệu của công XNOR như *Hình 5.1.1*.



Hình 5.2.4. Kí hiệu công XNOR sau khi đóng gói

5.2.3. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của công, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho công XNOR đã đóng gói như sau:



Hình 5.2.5. Cáp nguồn và tín hiệu cho cổng XNOR sau khi đóng gói

Tại VDD của cổng XNOR, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V ✓	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 5.2.6. Thông số của nguồn cung cấp VDC cho cổng XNOR

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào A và B, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là $0.1\mu s$, tuy nhiên để qua sát được đầy đủ các trường hợp của 2 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào A, độ rộng xung là $10\mu s$ và chu kỳ là $20\mu s$. Tại B, độ rộng xung là $20\mu s$ và chu kỳ là $40\mu s$.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	100.0n s	off
Fall time	100.0n s	off
Pulse width	10u s	off
Period	20u s	off
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off
Type of rising & falling edge		off

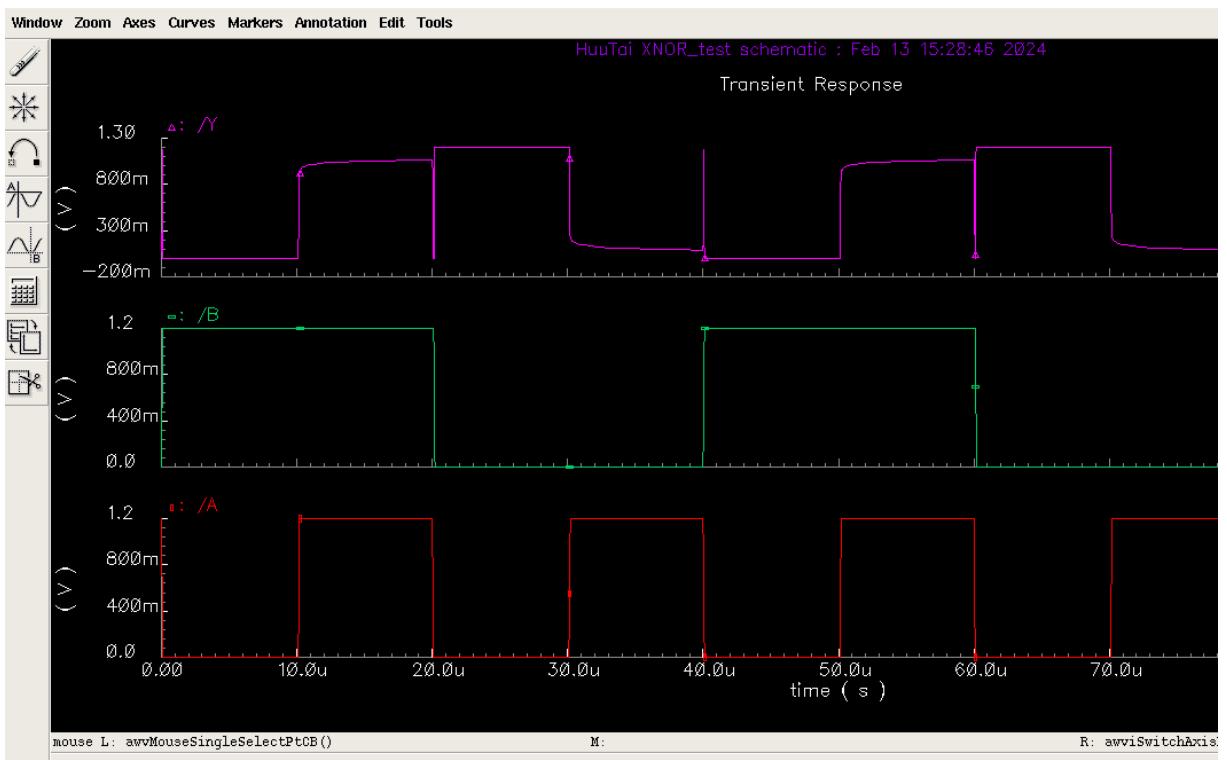
Hình 5.2.7. Thông số nguồn V_{pulse} tại ngõ vào A

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	1.2 V	off ▾
Voltage 2	0 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
Type of rising & falling edge	—	off ▾

Hình 5.2.8. Thông số nguồn V_{pulse} tại ngõ vào B

5.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (A và B) và ngõ ra (Y) của cổng XNOR và thu được kết quả như sau:

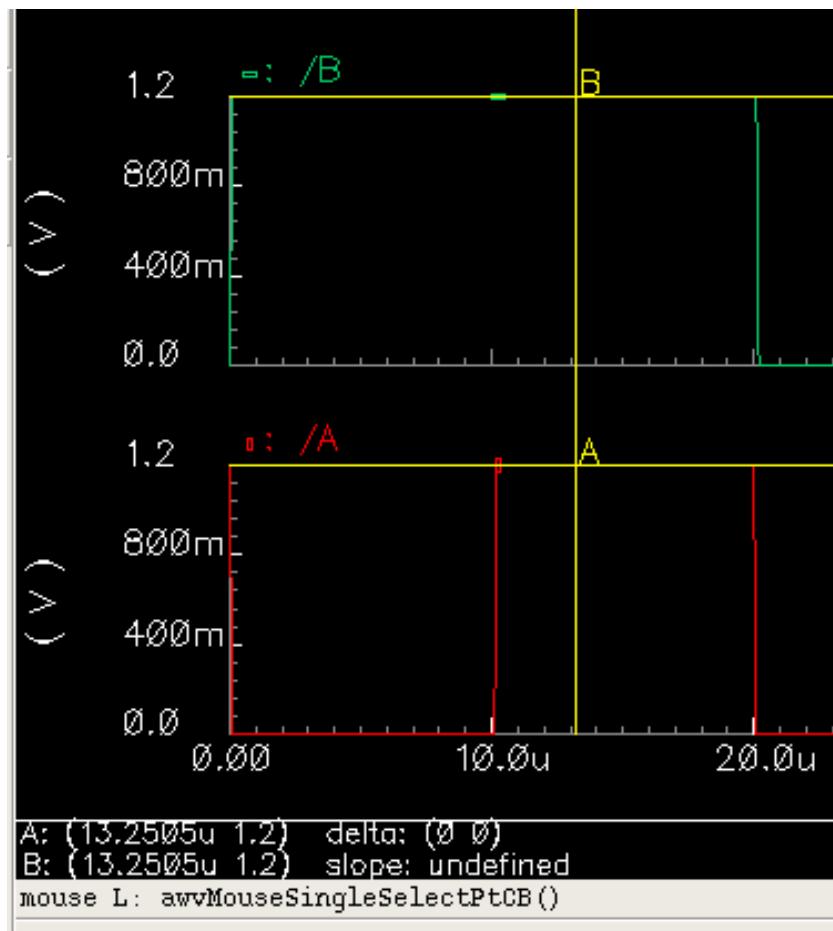


Hình 5.2.9. Dạng sóng điện áp ngõ vào A (màu đỏ), B (màu lục) và ngõ ra Y (màu tím)

5.2.4.1. Đánh giá mức điện áp

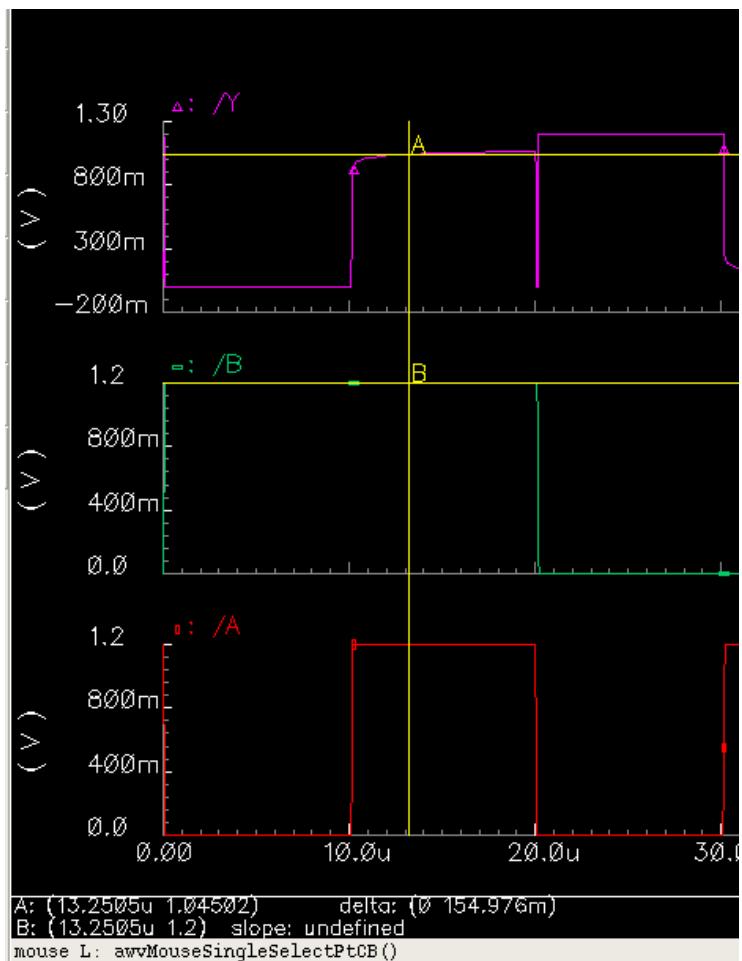
Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

* Trường hợp 1:



Hình 5.2.10. Điện áp ngõ vào A và B trong trường hợp I

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $13,2505 \mu s$ đều là $1,2V$ – tương ứng với mức logic 1. Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 5.2.11. Điện áp ngõ ra Y trong trường hợp 1

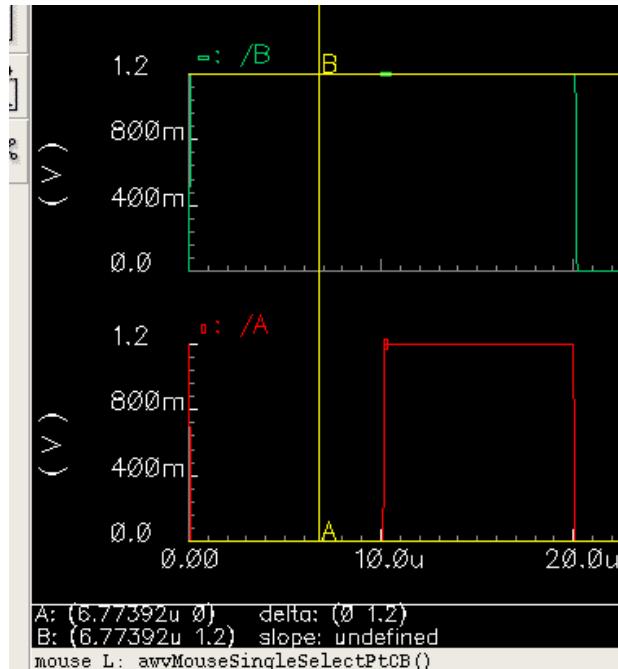
Tại điểm đánh dấu A thời điểm 13,2505 μ s, ta thấy mức điện áp ngõ ra là 1,04502 V – tương ứng với mức logic 1.

Vậy ở trường hợp 1, ta rút ra được bảng kết quả sau:

Bảng 5.2.1. Bảng kết luận mức logic trong trường hợp 1

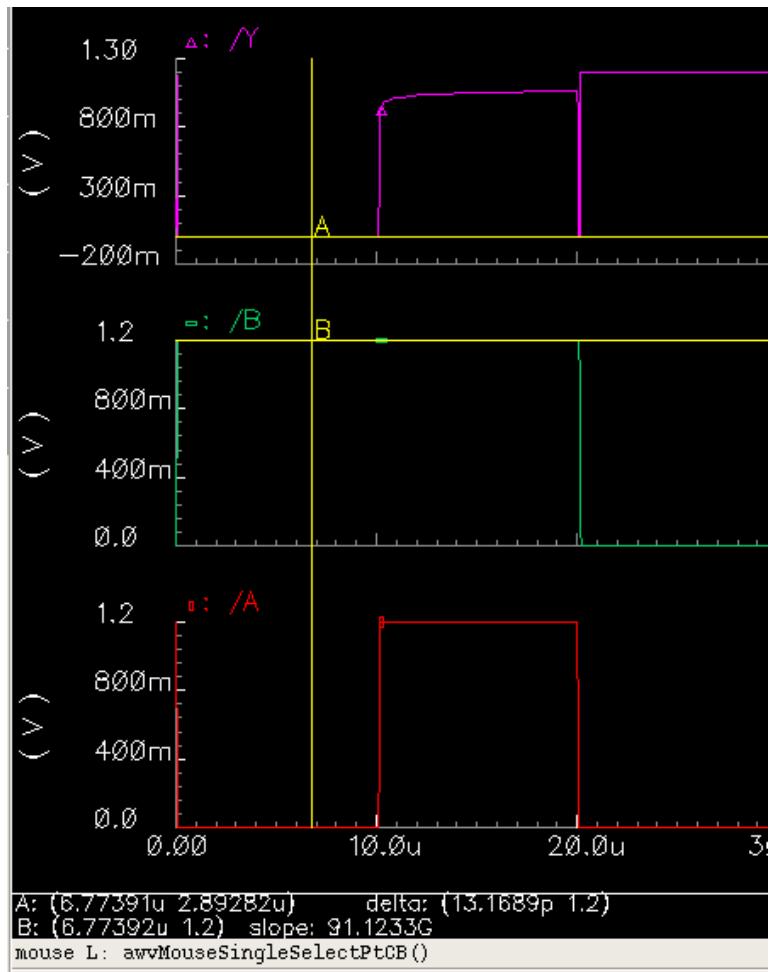
A	B	Y
1	1	1

* Trường hợp 2:



Hình 5.2.12. Điện áp ngõ vào A và B trong trường hợp 2

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $6,77392 \mu s$ lần lượt là 0V (tương ứng với mức logic 0) và 1,2V (tương ứng mức logic 1). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 5.2.13. Điện áp ngõ ra Y trong trường hợp 2

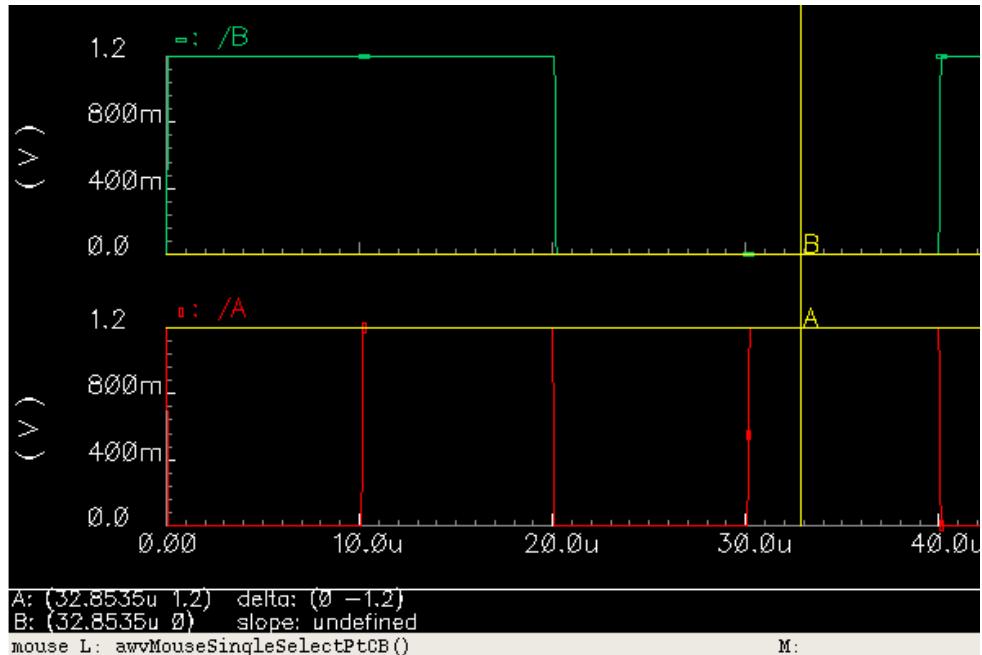
Tại điểm đánh dấu A thời điểm $6,77391 \mu\text{s}$, ta thấy mức điện áp ngõ ra là $2,89282 \mu\text{V}$ (tương ứng với mức logic 0).

Vậy ở trường hợp 2, ta rút ra được bảng kết quả sau:

Bảng 5.2.2. Bảng kết luận mức logic trong trường hợp 2

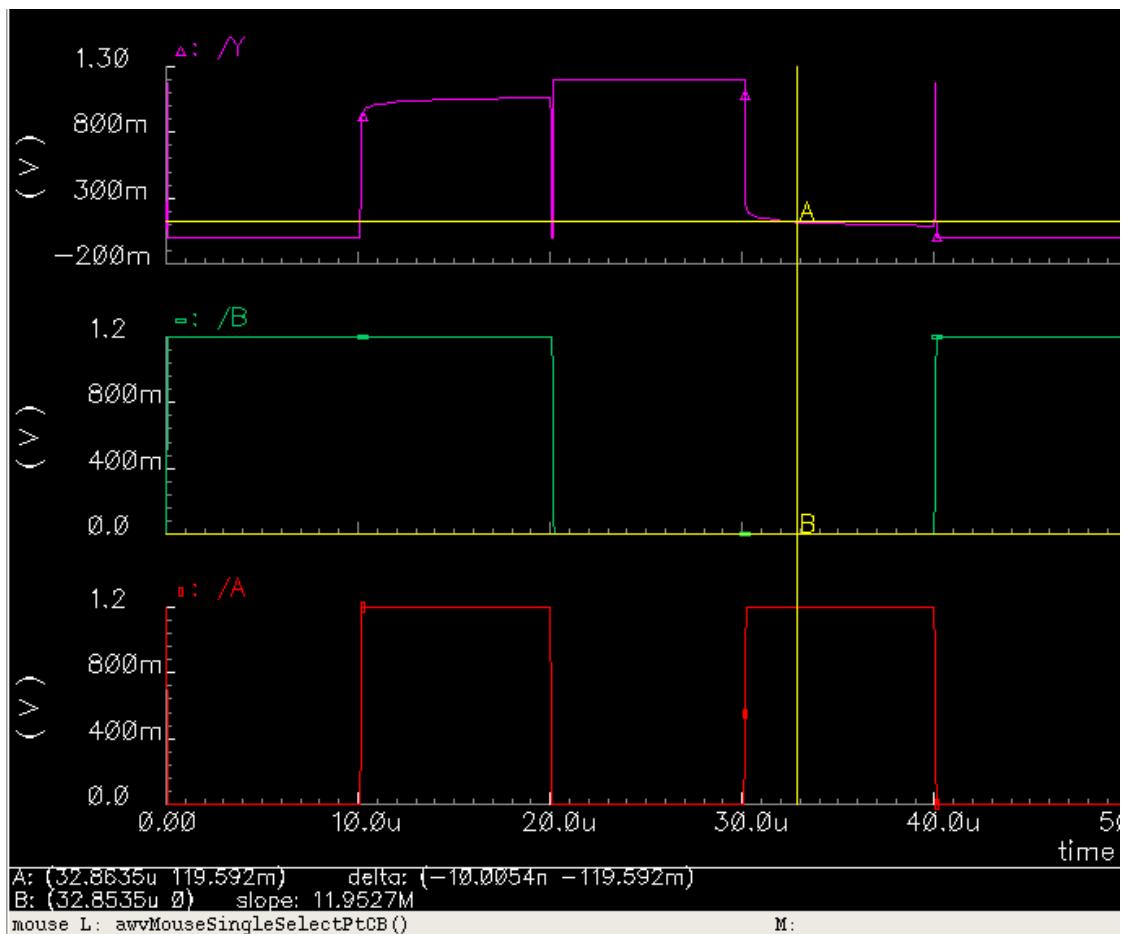
A	B	Y
0	1	0

* Trường hợp 3:



Hình 5.2.14. Điện áp ngõ vào A và B trong trường hợp 3

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $32,8535 \mu s$ lần lượt là 1,2V (tương ứng với mức logic 1) và 0V (tương ứng mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 5.2.15. Điện áp ngõ ra Y trong trường hợp 3

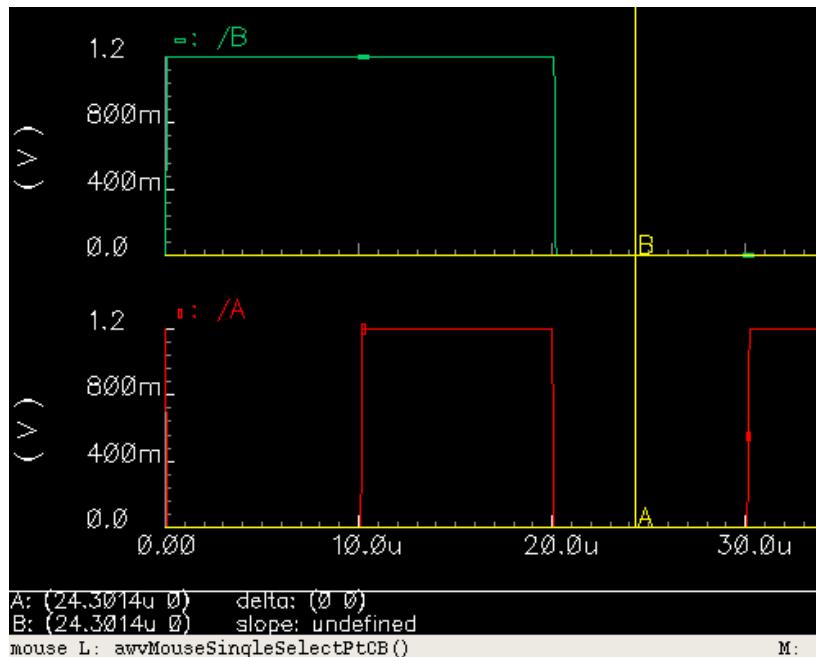
Tại điểm đánh dấu A thời điểm $32,8635 \mu s$, ta thấy mức điện áp ngõ ra là $119,592$ mV (tương ứng với mức logic 0).

Vậy ở trường hợp 3, ta rút ra được bảng kết quả sau:

Bảng 5.2.3. Bảng kết luận mức logic trong trường hợp 3

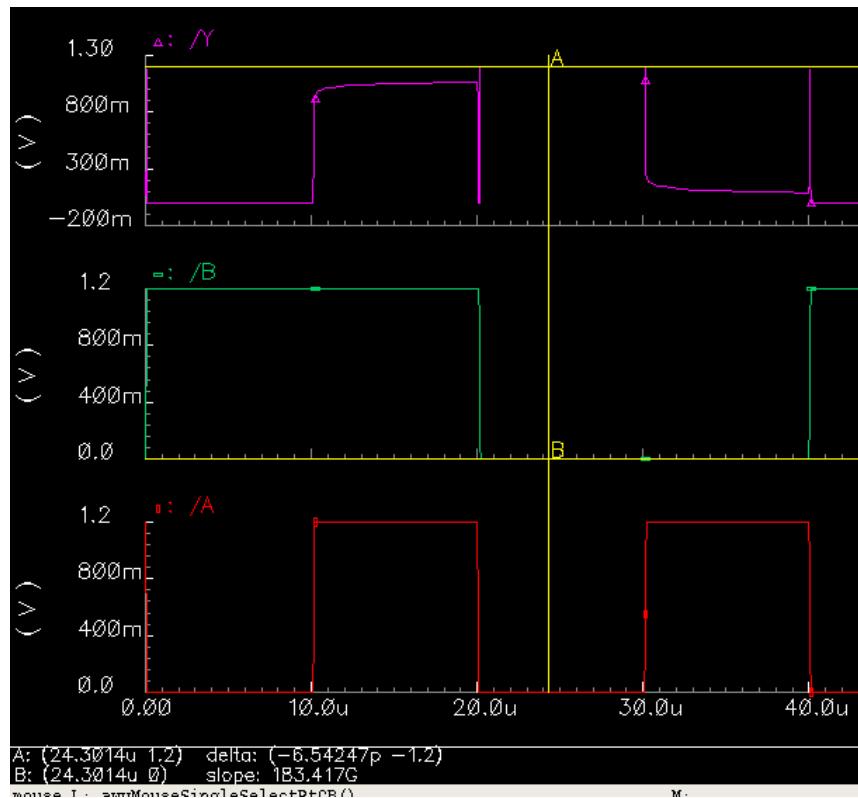
A	B	Y
1	0	0

* Trường hợp 4:



Hình 5.2.16. Điện áp ngõ vào A và B trong trường hợp 4

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm 24,3014 μ s đều là 0V (tương ứng với mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 5.2.17. Điện áp ngõ ra Y trong trường hợp 4

Tại điểm đánh dấu A thời điểm $24,3014 \mu s$, ta thấy mức điện áp ngõ ra là $1,2 V$ (tương ứng với mức logic 1).

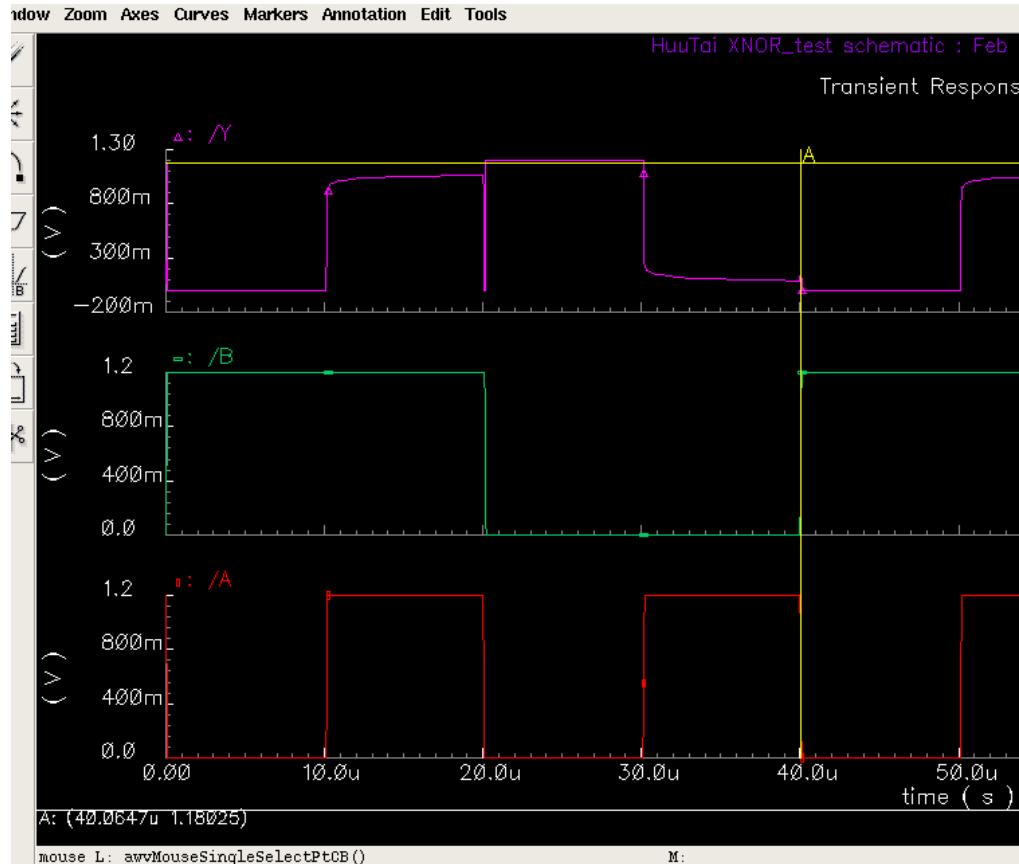
Vậy ở trường hợp 4, ta rút ra được bảng kết quả sau:

Bảng 5.2.4. Bảng kết luận mức logic trong trường hợp 4

A	B	Y
0	0	1

Từ kết quả của 4 trường hợp trên, ta kết luận rằng kết quả này là hoàn toàn đúng với lý thuyết bảng trạng thái của công XNOR như *Bảng 5.1.1*.

Tuy nhiên tại một số thời điểm ta thấy ngõ ra Y bị đảo trạng thái trong một thời gian ngắn như sau:



Hình 5.2.18. Dạng sóng ngõ ra tại một số điểm bất thường

Nguyên nhân là do quá trình chuyển mạch của ngõ vào tại thời điểm ngõ vào A và B đang xuống mức LOW nhưng do ngõ vào A chuyển mạch trước mà tại thời điểm đó ngõ vào B chưa kịp xuống mức LOW nên A và B ở 2 mức logic khác nhau khiến cho ngõ ra tăng lên mức HIGH trong 1 khoảng thời gian rất nhỏ sau đó xuống lại mức LOW.

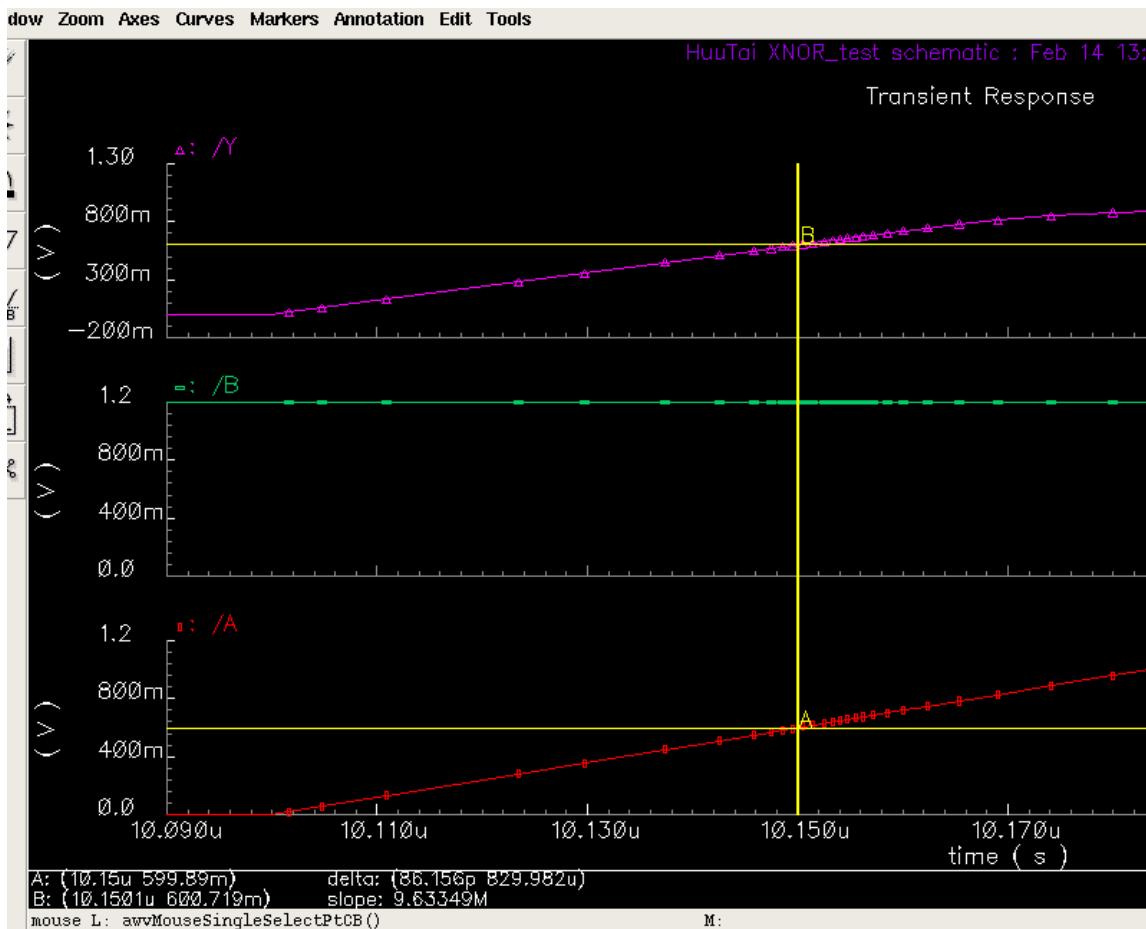
5.2.4.2. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

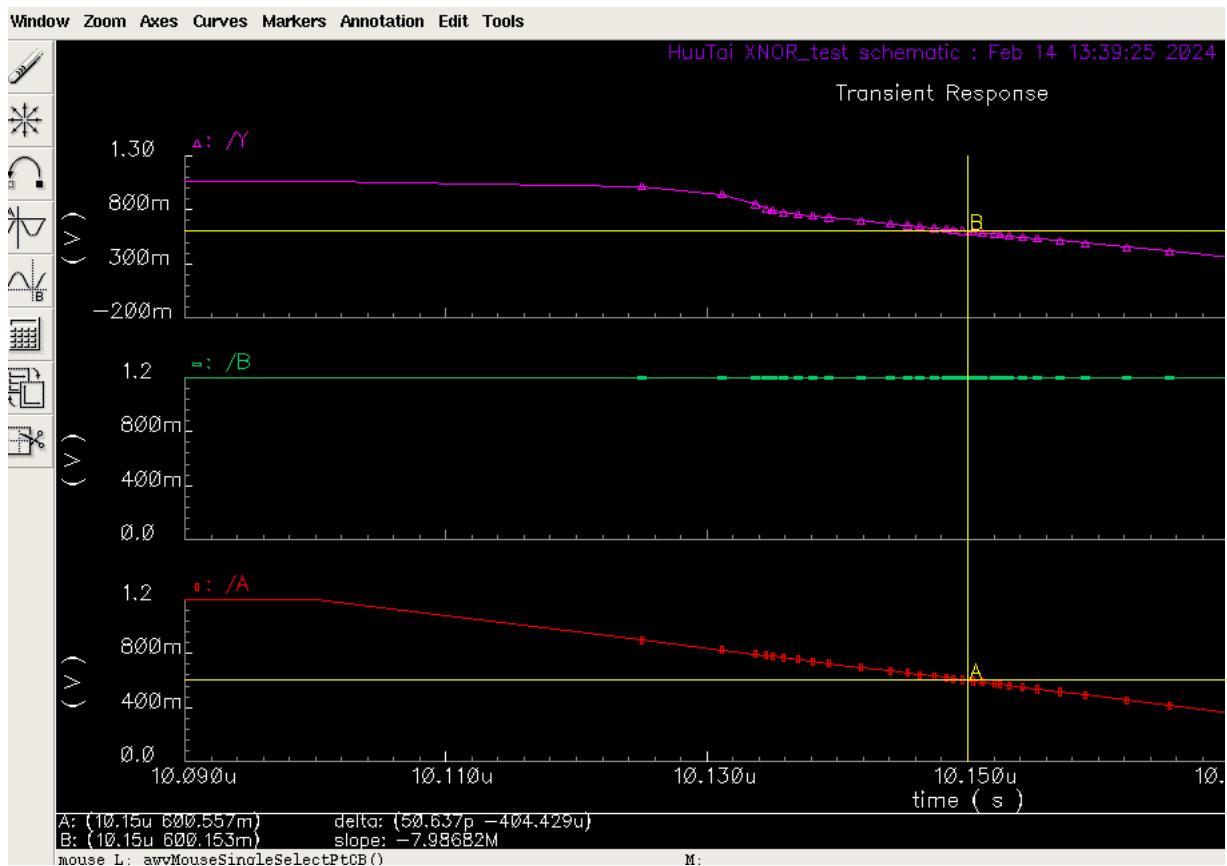
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 5.2.19. Đo thời gian trễ khi ngõ vào A cạnh lên

Khi điện áp ngõ vào tăng lên đến 599,89 mV (điểm đánh dấu A) và điện áp ngõ ra cũng lên đến 600,791 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 86,156 ps hay nói $t_{pdr}(A) = 86,156$ ps.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 5.2.20. Đo thời gian trễ khi ngõ vào A cạnh xuống

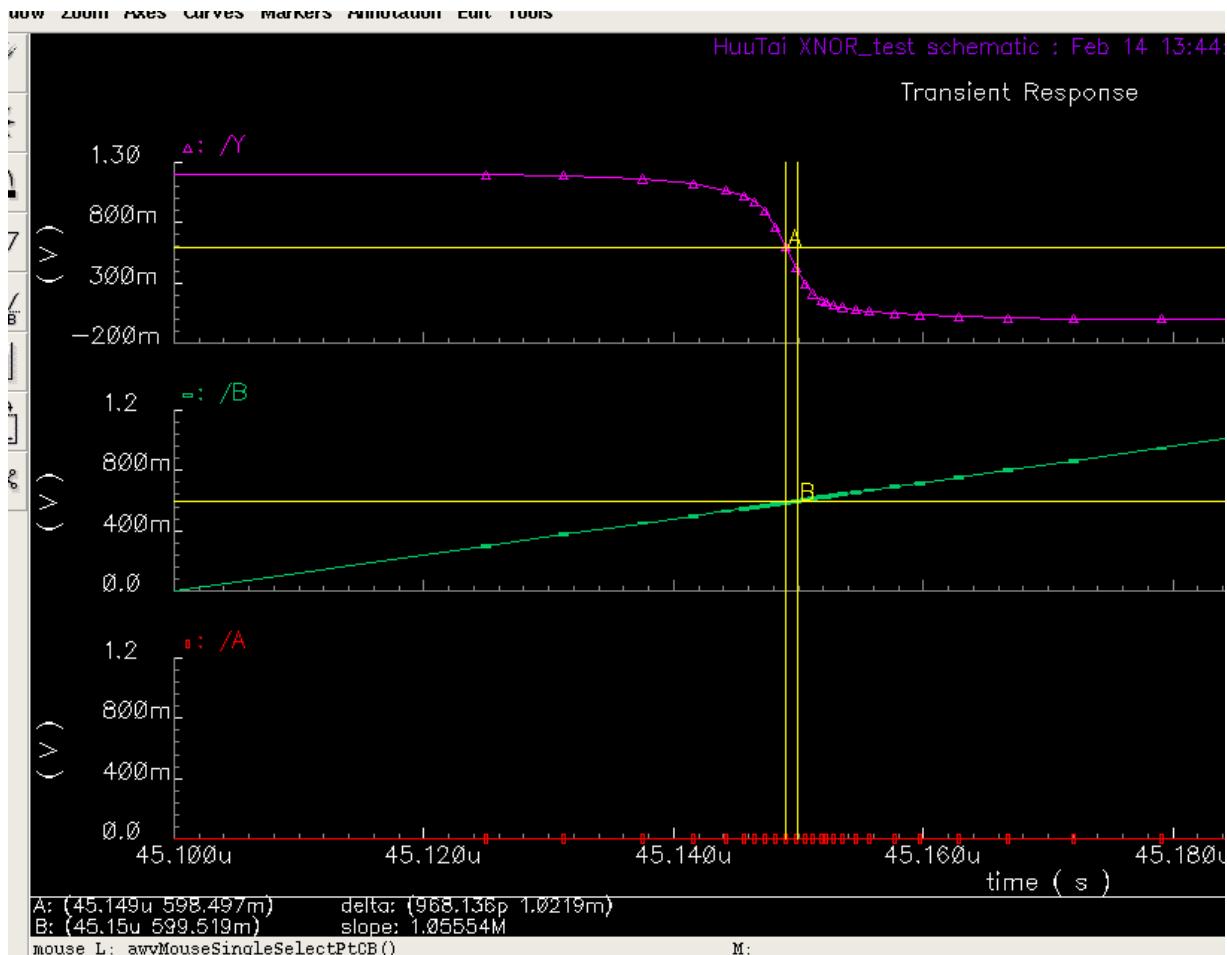
Khi điện áp ngõ vào A giảm xuống đến 600,557 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 600,153 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 50,637 ps hay nói $t_{pdf(A)}$ = 50,637 ps.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (86,156 \text{ ps} + 50,637 \text{ ps}) / 2 = 68,3965 \text{ ps}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

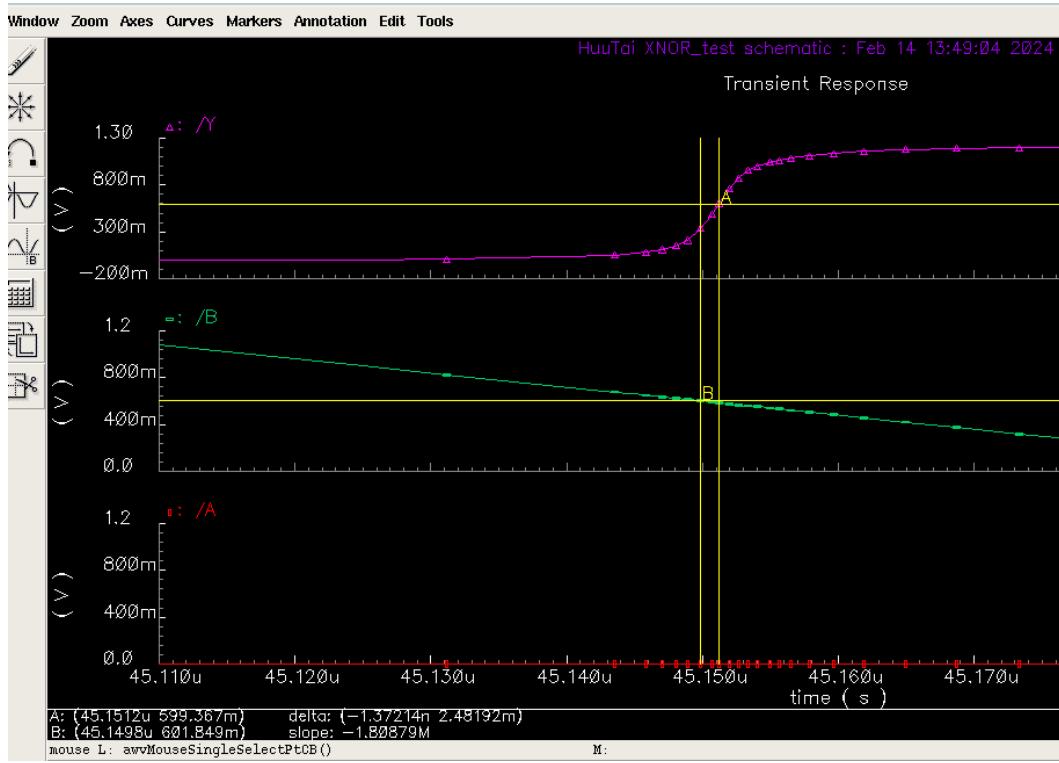
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 5.2.21. Đo thời gian trễ khi ngõ vào B cạnh lên

Khi điện áp ngõ vào B tăng lên đến 599,519 mV (điểm đánh dấu B) và điện áp ngõ ra giảm xuống đến 598,497 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 968,136 ps hay nói $t_{pdr(B)} = 968,136$ ps.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 5.2.22. Đo thời gian trễ khi ngõ vào B cạnh xuống

Khi điện áp ngõ vào B giảm xuống đến 601,849 mV (điểm đánh dấu B) và điện áp ngõ ra tăng lên đến 599,367 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 1,37214 ns hay nói $t_{pd(B)} = 1,37214$ ns.

Có được $t_{pd(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pd(B)} + t_{pdf(B)}) / 2 = (968,136 \text{ ps} + 1,37214 \text{ ns}) / 2 = 1,170138 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

Bảng 5.2.5. Bảng kết quả thời gian trễ

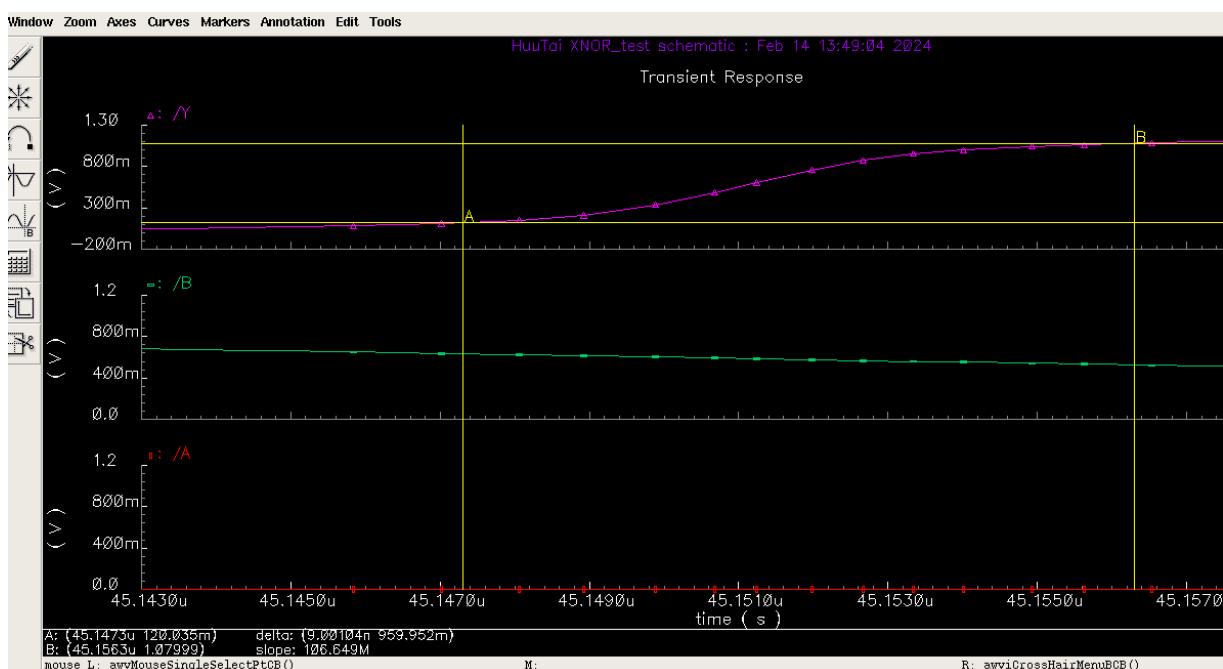
Ngõ vào	Thời gian trễ (t_{pd})
Tại A	68,3965 ps
Tại B	1,170138 ns

5.2.4.3. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

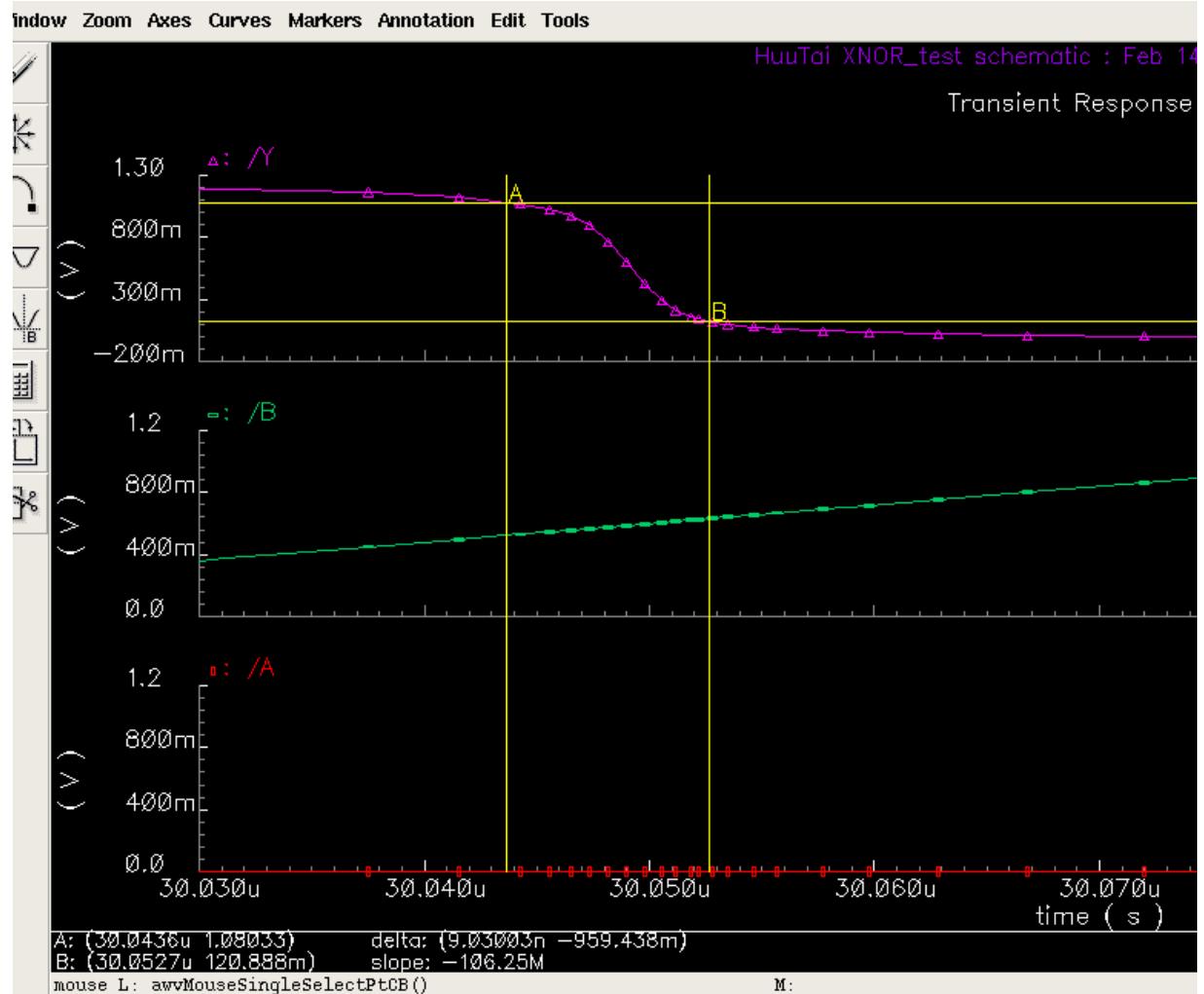
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 120,035$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,07999$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 9,00104 ns hay $t_r = 9,00104$ ns.



Hình 5.2.23. Dánh giá thời gian chuyển mạch ngơ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08033$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,888$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 9,03003 ns hay $t_f = 9,03003$ us.

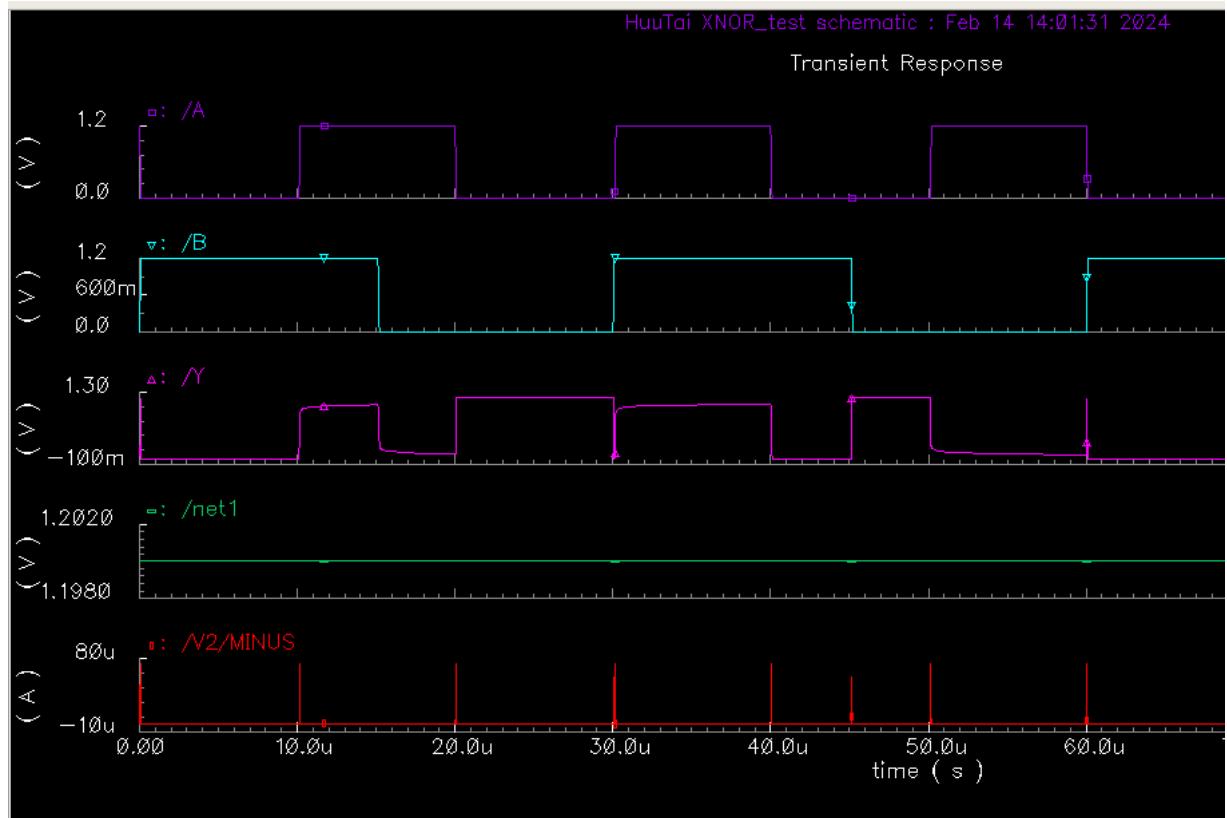


Hình 5.2.24. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 9,015535 \text{ ns}$.

5.2.4.4. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng XNOR và dạng sóng của dòng điện qua nguồn cung cấp như sau:



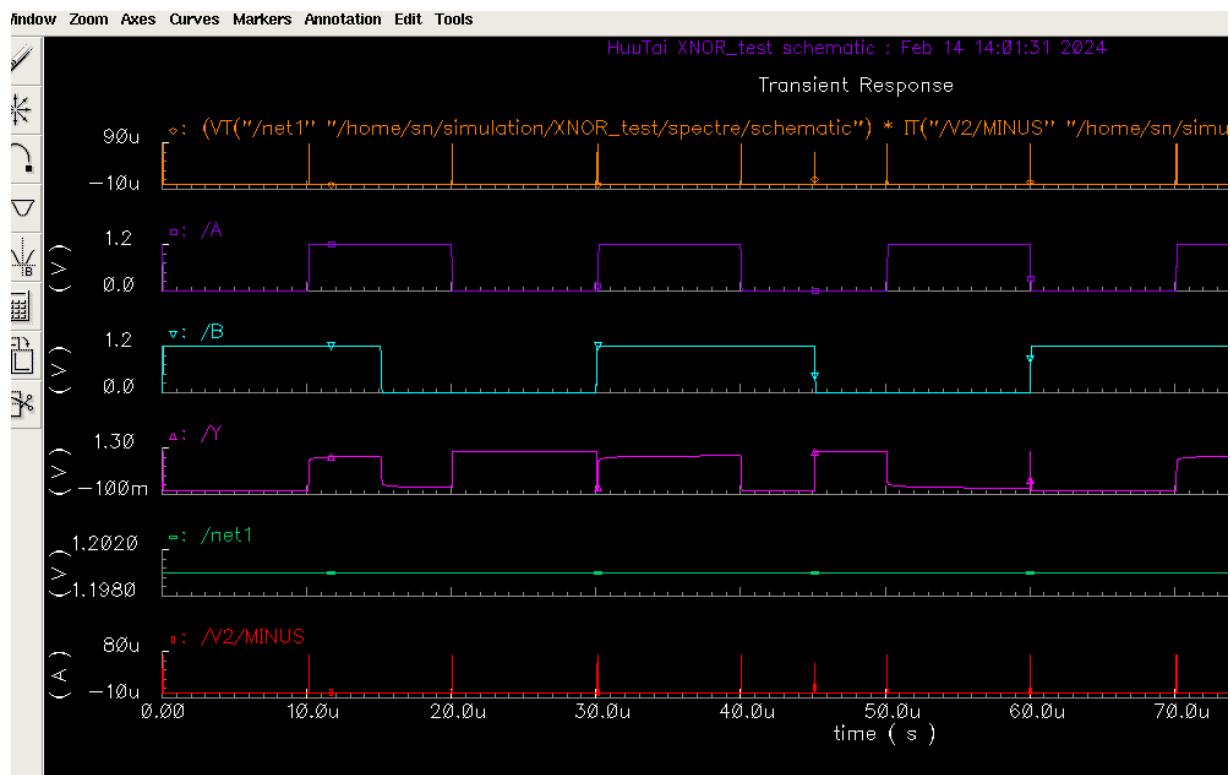
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

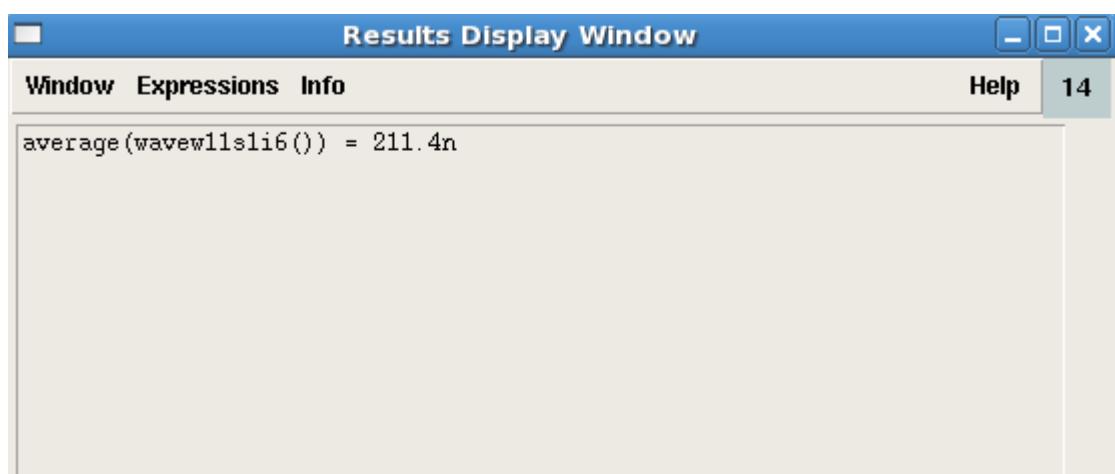
Hình 5.2.25. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời của công XNOR bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 5.2.26. Dạng sóng công suất tức thời của công XNOR

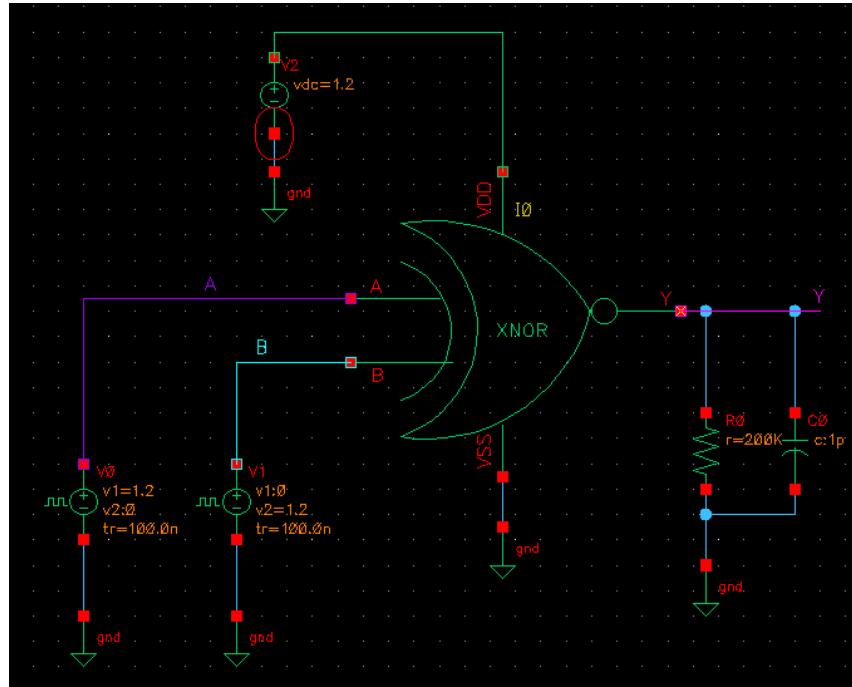
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 211,4 nW.



Hình 5.2.27. Kết quả tính giá trị trung bình trên công XNOR

5.2.5. Mô phỏng công XNOR khi có tải C_L , R_L

Ta gắn thêm 1 tụ có độ lớn 1 pF và 1 tải có độ lớn $200\text{ k}\Omega$ song song với ngõ ra của công XNOR như sau:



Hình 5.2.28. Trường hợp có tải C_L , R_L

Để mô phỏng chức năng của công XNOR trường hợp có tải, ta thực hiện mô phỏng tương tự trường hợp không có tải.

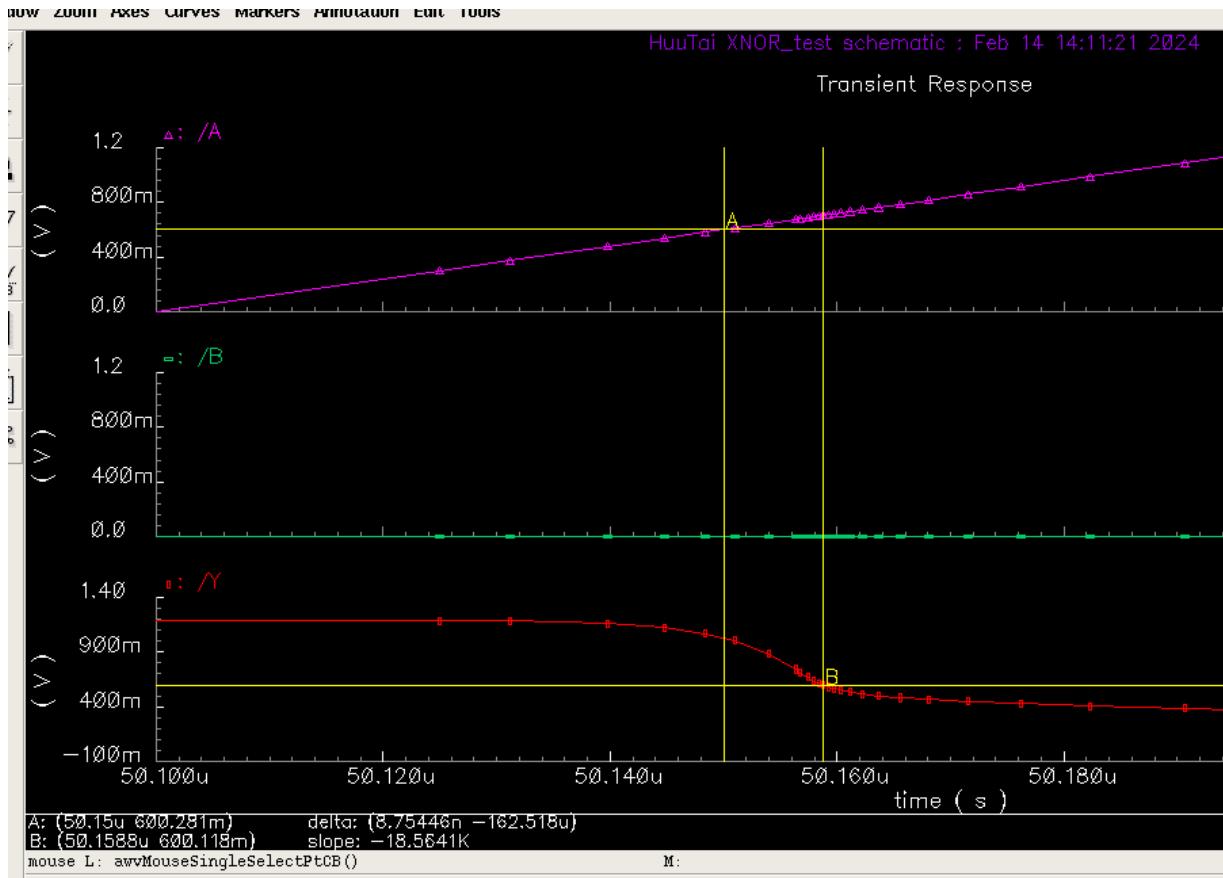
5.2.5.1. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

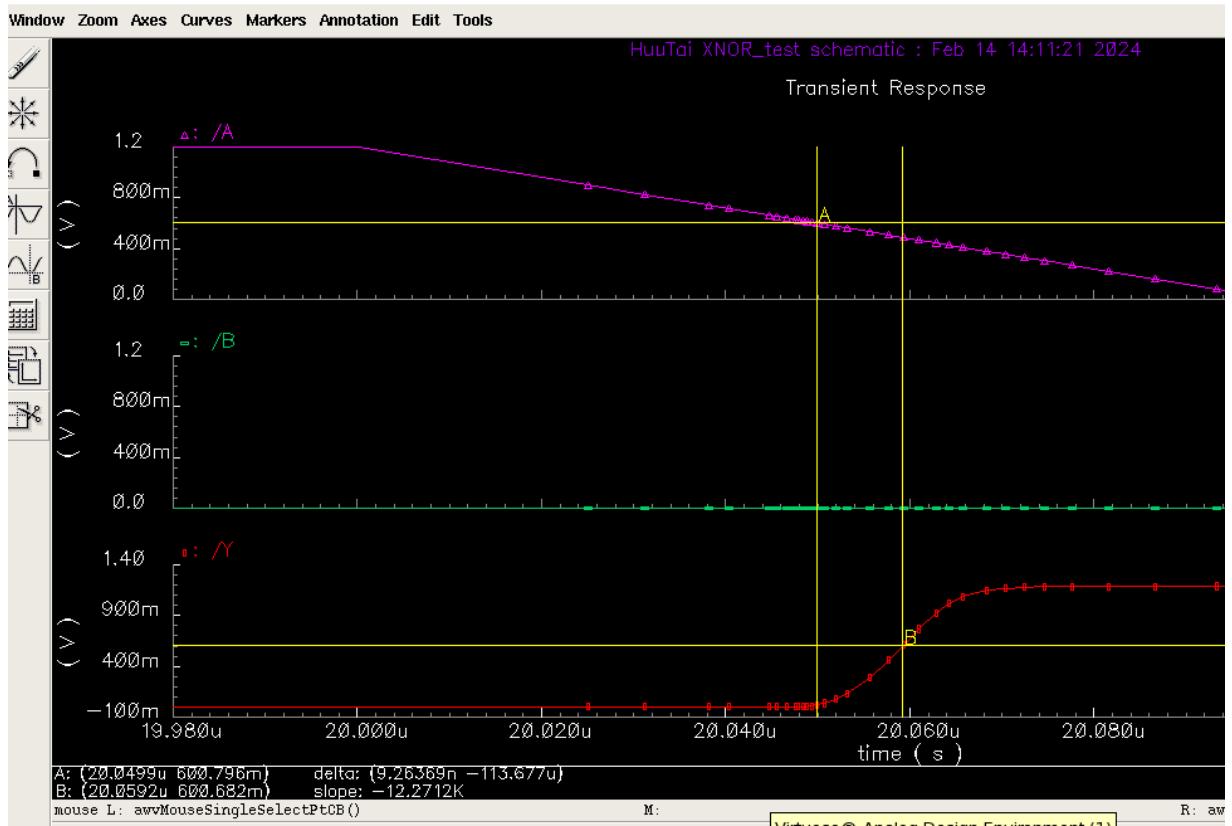
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 5.2.29. Đo thời gian trễ khi ngõ vào A cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào tăng lên đến 600,218 mV (điểm đánh dấu A) và điện áp ngõ ra giảm xuống đến 600,118 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 8,75446 ns hay nói $t_{pdr(A)} = 8,75446$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 5.2.30. Đo thời gian trễ khi ngõ vào A cạnh xuống (trường hợp có tải)

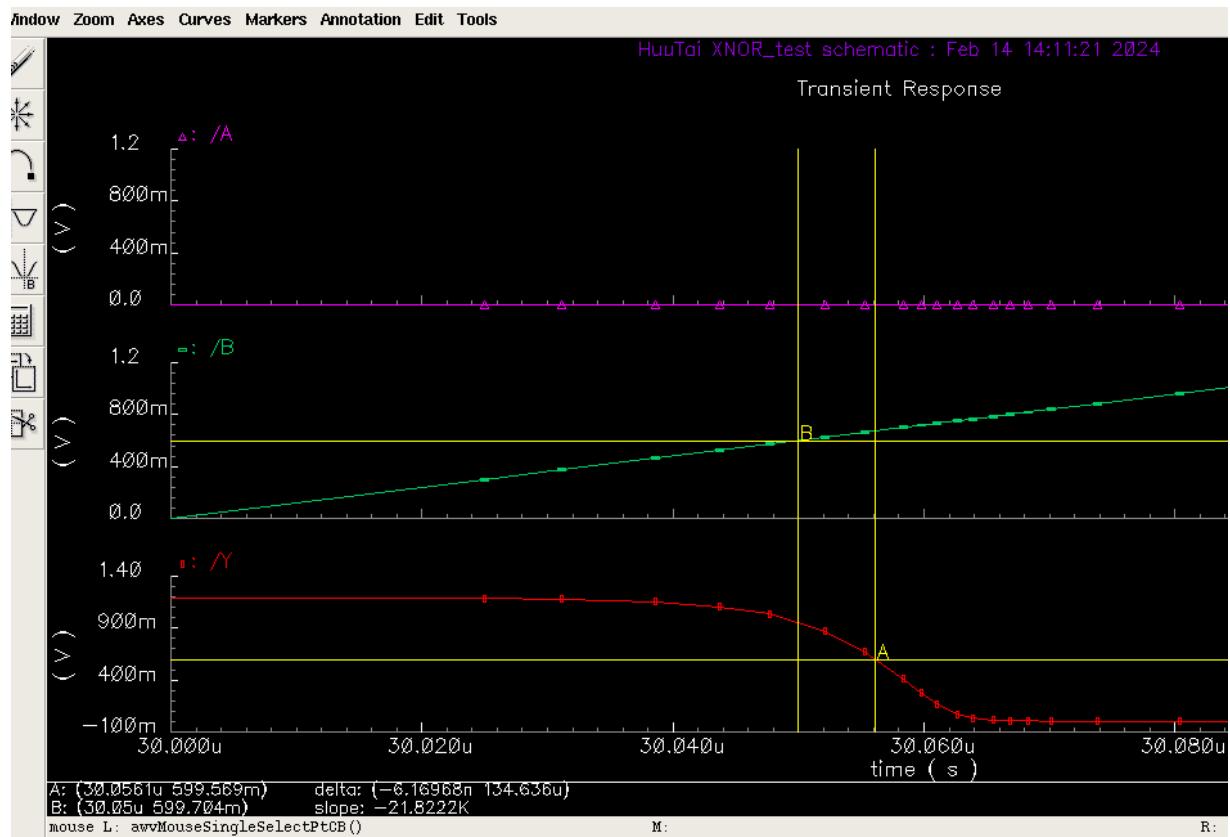
Khi điện áp ngõ vào A giảm xuống đến 600,796 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 600,682 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 9,26369 ns hay nói $t_{pd(A)} = 9,26369$ ns.

Có được $t_{pd(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pd(A)} + t_{pdf(A)}) / 2 = (8,75446 \text{ ns} + 9,26369 \text{ ns}) / 2 = 9,009075 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

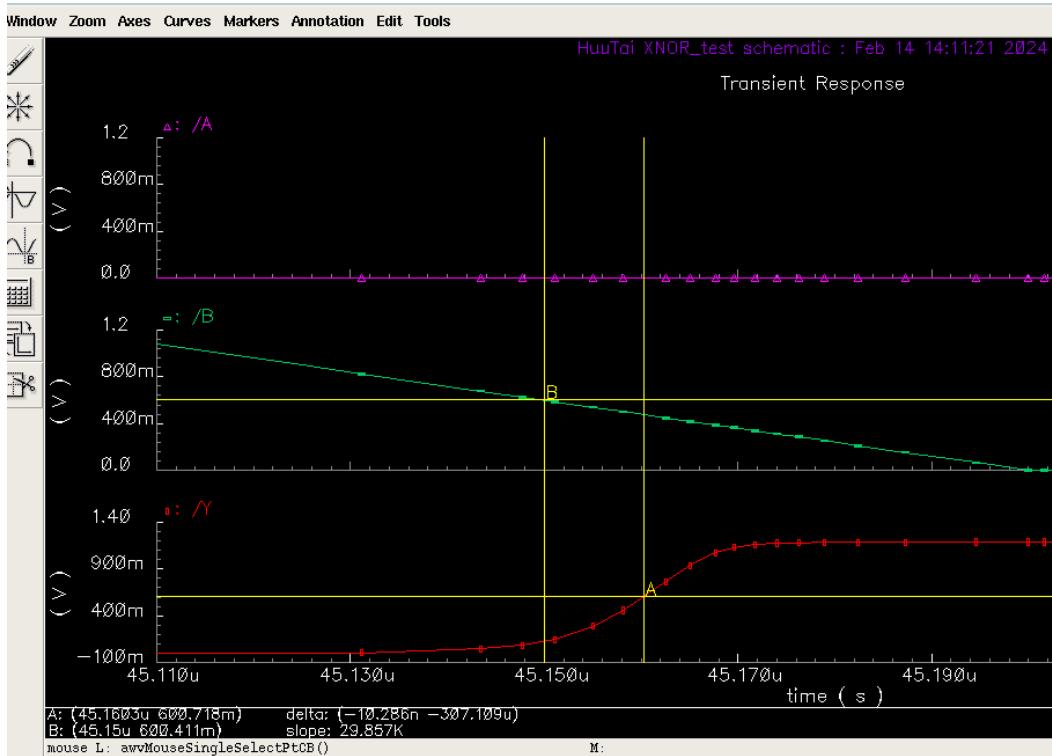
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 5.2.31. Đo thời gian trễ khi ngõ vào B cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào B tăng lên đến 599,704 mV (điểm đánh dấu B) và điện áp ngõ ra giảm xuống đến 599,569 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 6,16968 ns hay nói $t_{pdr(B)} = 6,16968$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 5.2.32. Do thời gian trễ khi ngõ vào B cạnh xuống (trường hợp có tải)

Khi điện áp ngõ vào B giảm xuống đến 600,718 mV (điểm đánh dấu B) và điện áp ngõ ra tăng lên đến 600,411 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 10,286 ns hay nói $t_{pd(B)} = 10,286$ ns.

Có được $t_{pdr(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pdr(B)} + t_{pdf(B)}) / 2 = (6,16968 \text{ ns} + 10,286 \text{ ns}) / 2 = 8,22784 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

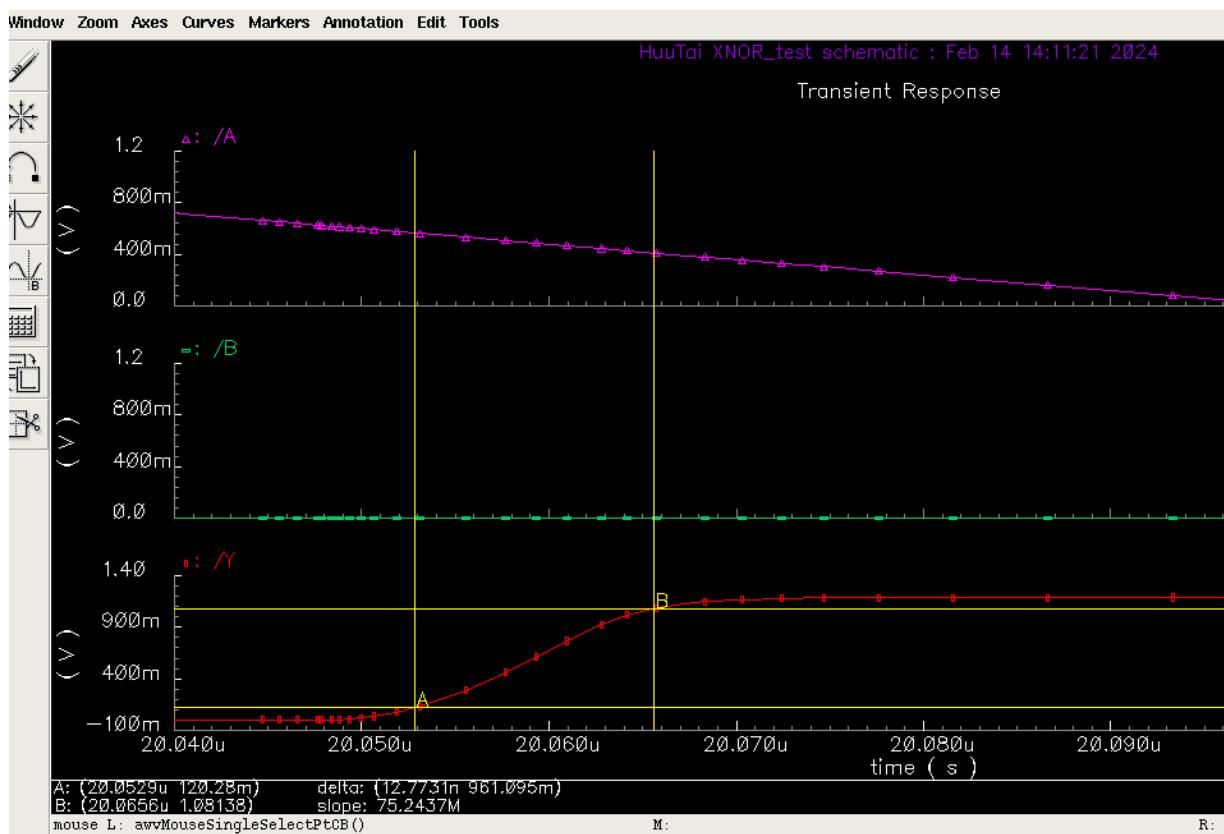
Bảng 5.2.6. Bảng kết quả thời gian trễ trường hợp có tải

Ngõ vào	Thời gian trễ (t_{pd})
Tại A	9,009075 ns
Tại B	8,22784 ns

5.2.5.2. Transition time

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

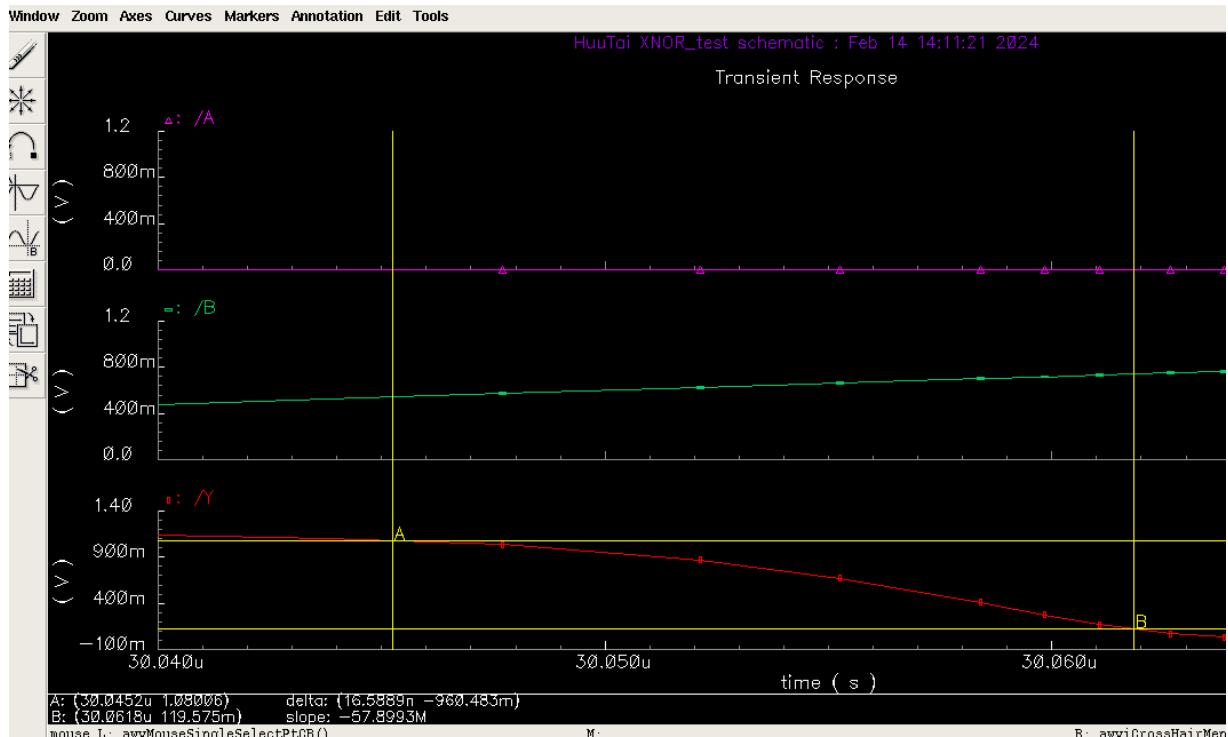
Ta đánh dấu tại điểm A khi $V_{out} = 120,28$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08138$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 12,7731 ns hay $t_r = 12,7731$ ns.



Hình 5.2.33. Dánh giá thời gian chuyển mạch ngơ ra từ mức 0 lên 1

(trường hợp có tải)

Ta đánh dấu tại điểm A khi $V_{out} = 1,08006$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 119,575$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 16,5889 ns hay $t_f = 16,5889$ ns.

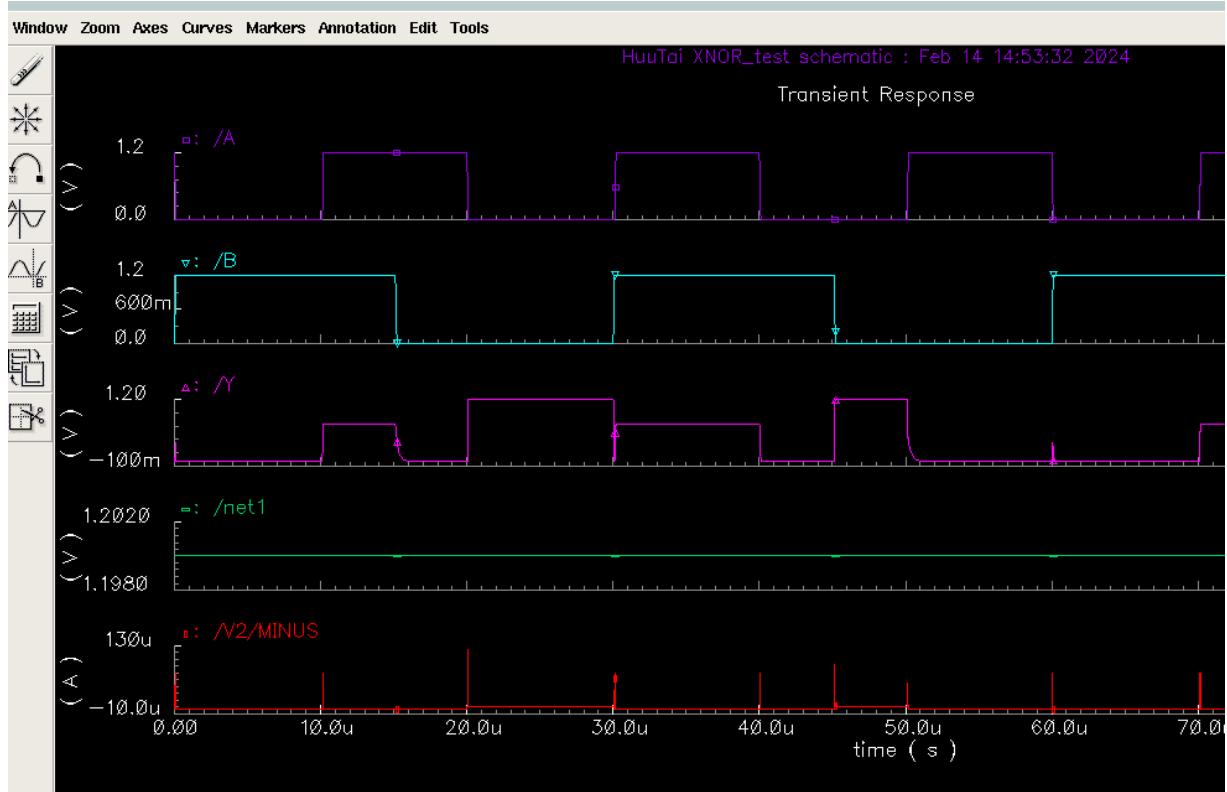


*Hình 5.2.34. Đánh giá thời gian chuyển mạch ngôc ra từ mức 1 xuống 0
(trường hợp có tải)*

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 14,681$ ns.

5.2.5.3. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng XNOR và dạng sóng của dòng điện qua nguồn cung cấp như sau:



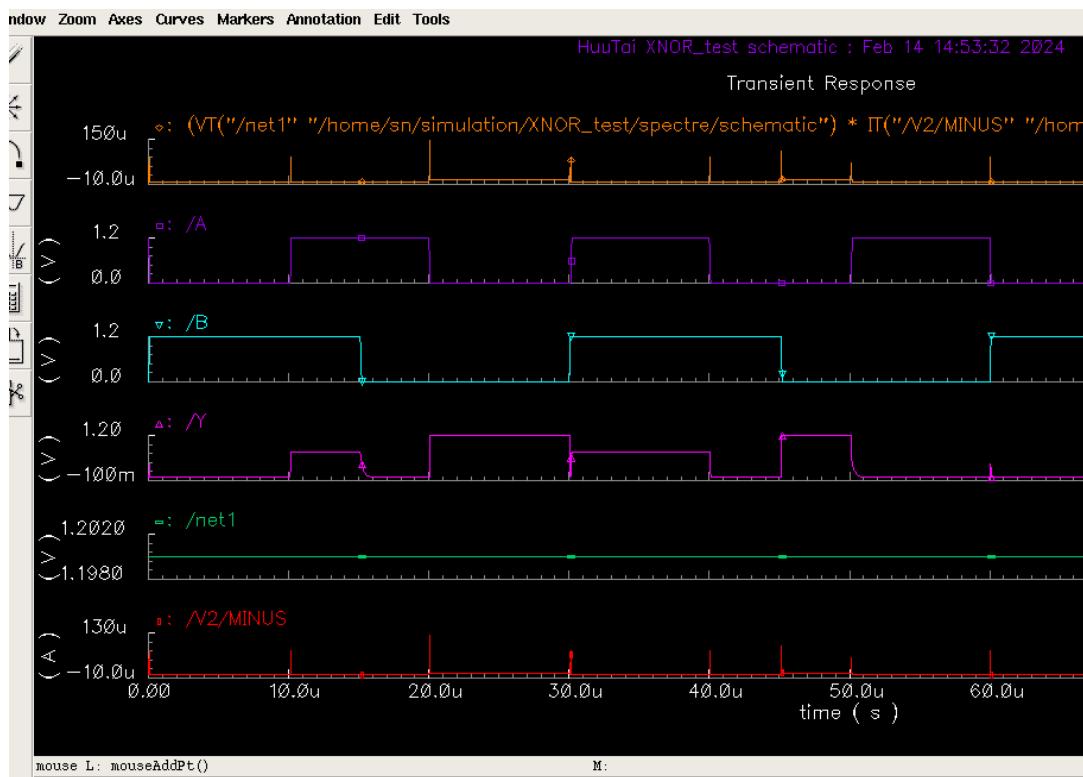
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

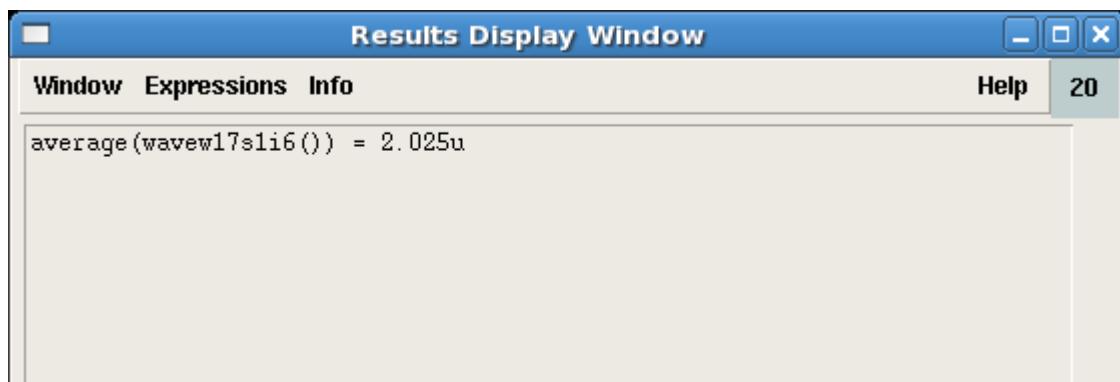
Hình 5.2.35. Dạng sóng điện áp và dòng điện của nguồn cung cấp (trường hợp có tải)

Ta vẽ dạng sóng công suất tức thời của công XNOR bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 5.2.36. Dạng sóng công suất tíc thời của cổng XNOR (trường hợp có tải)

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tíc thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $2,025 \mu\text{W}$.



Hình 5.2.37. Kết quả tính giá trị trung bình trên cổng XNOR (trường hợp có tải)

5.2.6. So sánh giữa hai trường hợp có tải và lý tưởng

Dựa vào kết quả tính toán cả 2 trường hợp trên, ta có bảng so sánh sau:

Bảng 5.2.7. So sánh giữa hai trường hợp có tải C_L , R_L và lý tưởng

Thông số	Lý tưởng	Có tải C_L , R_L
VDD	1,2V	1,2V
VSS	0V	0V
Độ trễ đổi với ngõ vào A	68,3965 ps	9,009075 ns
Độ trễ đổi với ngõ vào B	1,170138 ns	8,22784 ns
Công suất trung bình	211,4 nW	2,025 μ W
Output transition time	9,015535 ns	14,681 ns

Đánh giá:

Trong trường hợp có tải, ta thấy công suất tiêu thụ trên cổng và độ trễ đã tăng lên rất nhiều lần, tuy nhiên thời gian chuyển mạch thì tăng lên không quá đáng kể.

Phần 6

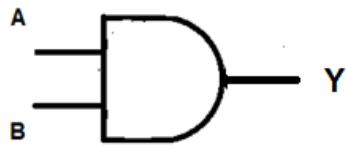
LÝ THUYẾT VÀ MÔ PHỎNG CÔNG AND 2 NGÕ VÀO

6.1. Lý thuyết

6.1.1. Ký hiệu và bảng trạng thái công AND

Trong điện tử kỹ thuật số, công AND là công logic tạo ra đầu ra chỉ đúng nếu tất cả các đầu vào của nó là đúng; do đó đầu ra của nó là phần bù cho công NAND.

Ký hiệu: Công AND 2 ngõ vào được ký hiệu như hình sau:



Hình 6.1.1. Ký hiệu của công AND 2 ngõ vào

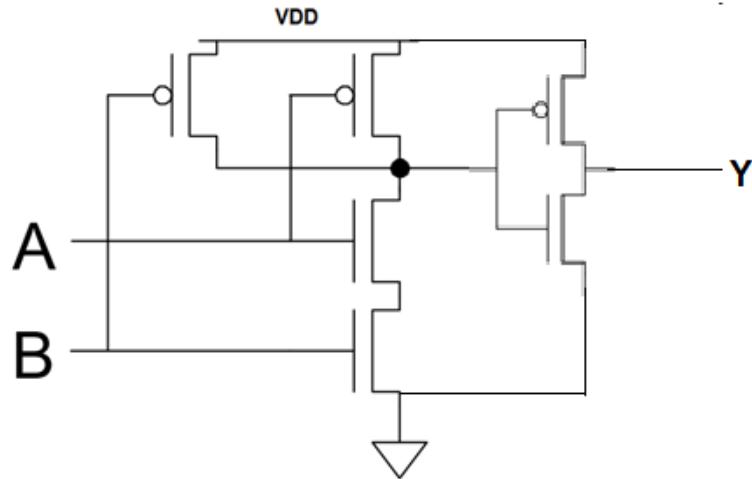
Bảng trạng thái:

Bảng 6.1.1. Bảng trạng thái của công AND

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

6.1.2. Nguyên lý hoạt động của công AND 2 ngõ vào

Mạch công AND 2 ngõ vào sử dụng 6 transistor CMOS chia làm 2 phần. Phần 1 gồm 4 transistor tạo thành mạch công NAND, sau đó ngõ ra sẽ nối với phần 2 gồm 2 transistor mạch công NOT. Cụ thể sơ đồ nguyên lý công AND 2 vào được thể hiện như sau:



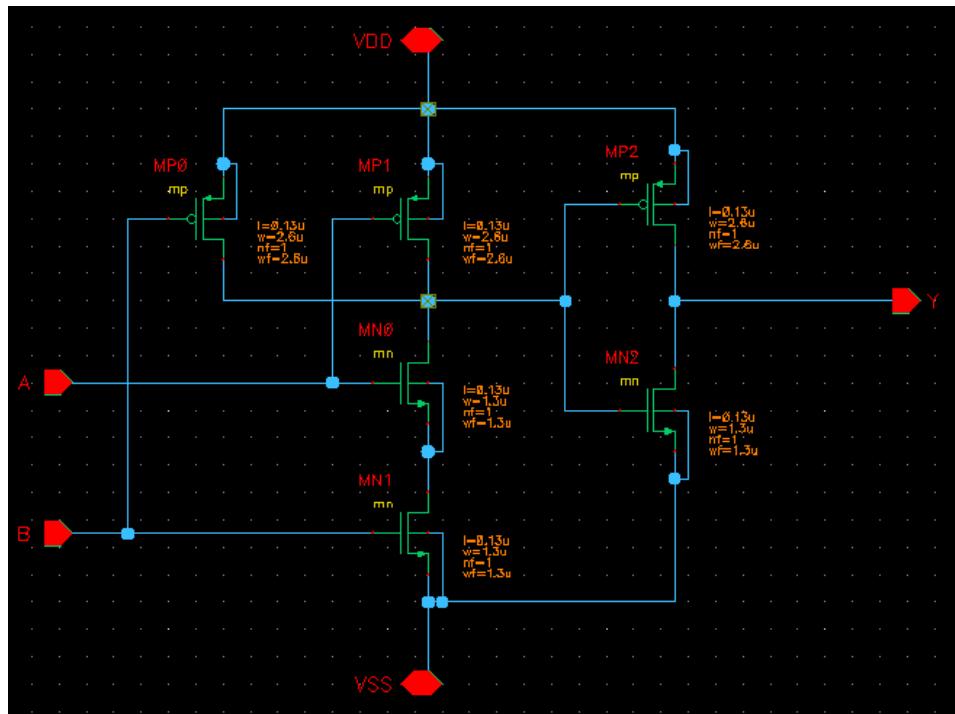
Hình 6.1.2. Sơ đồ nguyên lý của công AND 2 ngõ vào sử dụng công nghệ CMOS

6.2. Mô phỏng với phần mềm Cadence

Ta sử dụng công nghệ CMOS 0.13 μm của Samsung để thiết kế cổng AND và đánh giá cổng logic này từ kết quả mô phỏng thu được. Phần mềm thiết kế được sử dụng là Cadence để thiết kế và thực hiện mô phỏng thiết kế, tính toán các thông số như công suất tiêu thụ, độ trễ của mạch tích hợp.

6.2.1. Sơ đồ nguyên lý và bảng thông số

Dựa vào sơ đồ *Hình 6.1.2*, ta thiết kế cổng AND sử dụng công nghệ CMOS như sau:



Hình 6.2.1. Sơ đồ nguyên lý cổng AND thiết kế trên Cadence

* Thông số của transistor

Ta đặt các thông số cho transistor pMOS và nMOS như sau:

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	2.6 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 6.2.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	1.3 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

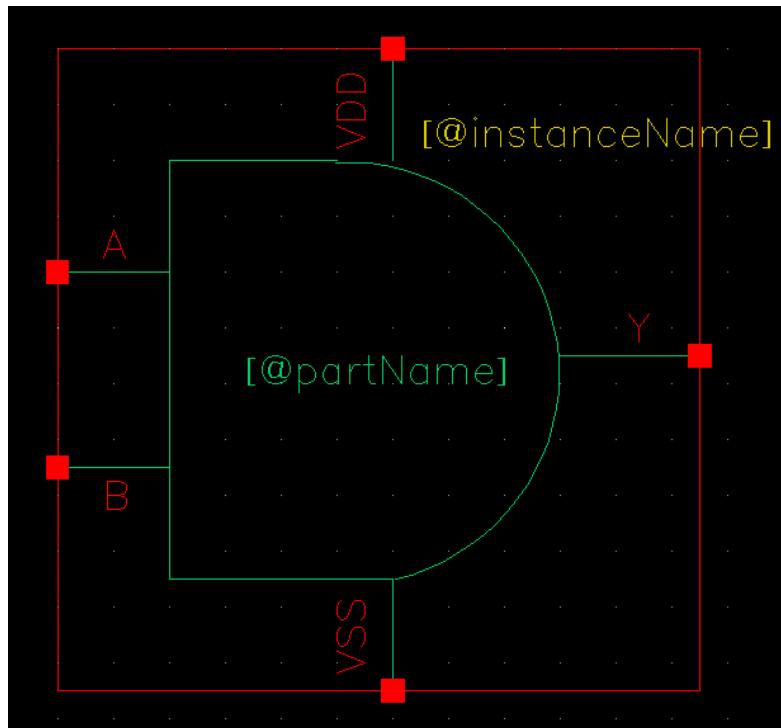
Hình 6.2.3. Thông số cài đặt cho transistor nMOS

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do

đó muôn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

6.2.2. Đóng gói sản phẩm

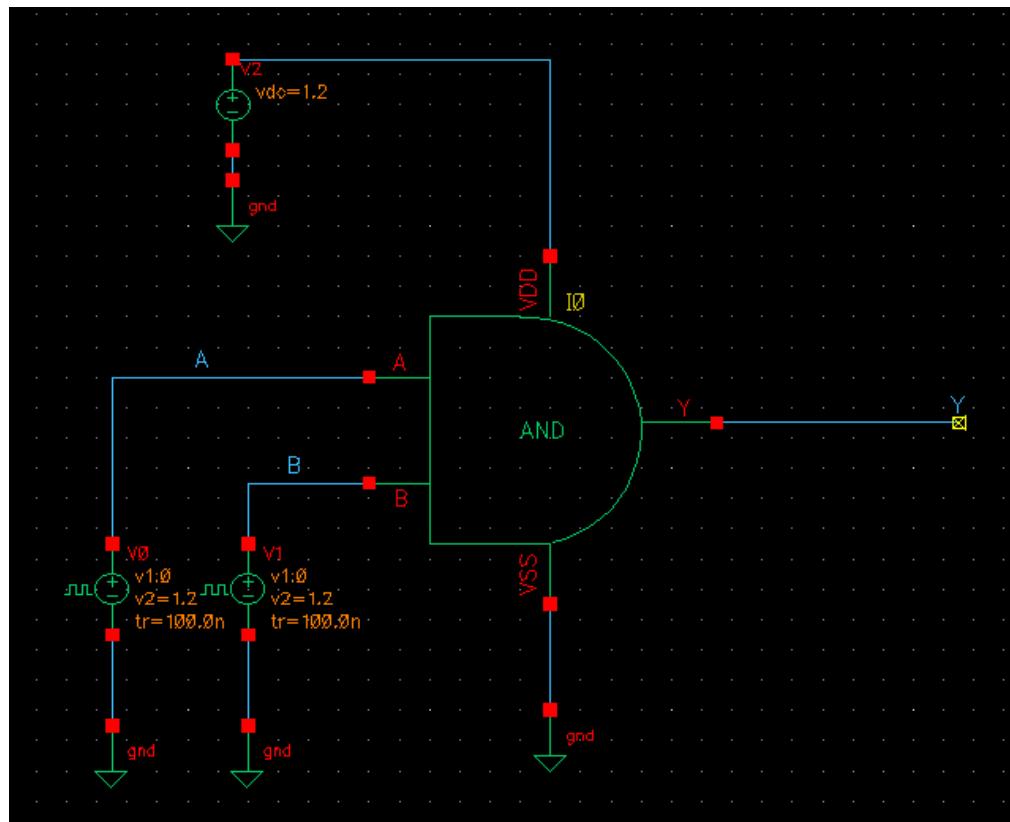
Sau khi hoàn thành sơ đồ nguyên lý mạch cỗng AND, ta tiến hành đóng gói sơ đồ theo hình dạng là kí hiệu của cỗng AND như *Hình 6.1.1*.



Hình 6.2.4. Kí hiệu cỗng AND sau khi đóng gói

6.2.3. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cỗng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho cỗng AND đã đóng gói như sau:



Hình 6.2.5. Cáp nguồn và tín hiệu cho cổng AND sau khi đóng gói

Tại VCC của cổng AND, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 6.2.6. Thông số của nguồn cung cấp VDC cho cổng AND

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào A và B, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 0,1 μ s, tuy nhiên để qua sát được đầy đủ các trường hợp của 2 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào A, độ rộng xung là 10 μ s và chu kỳ là 20 μ s. Tại B, độ rộng xung là 20 μ s và chu kỳ là 40 μ s.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	100.0n s	off
Fall time	100.0n s	off
Pulse width	10u s	off
Period	20u s	off
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off

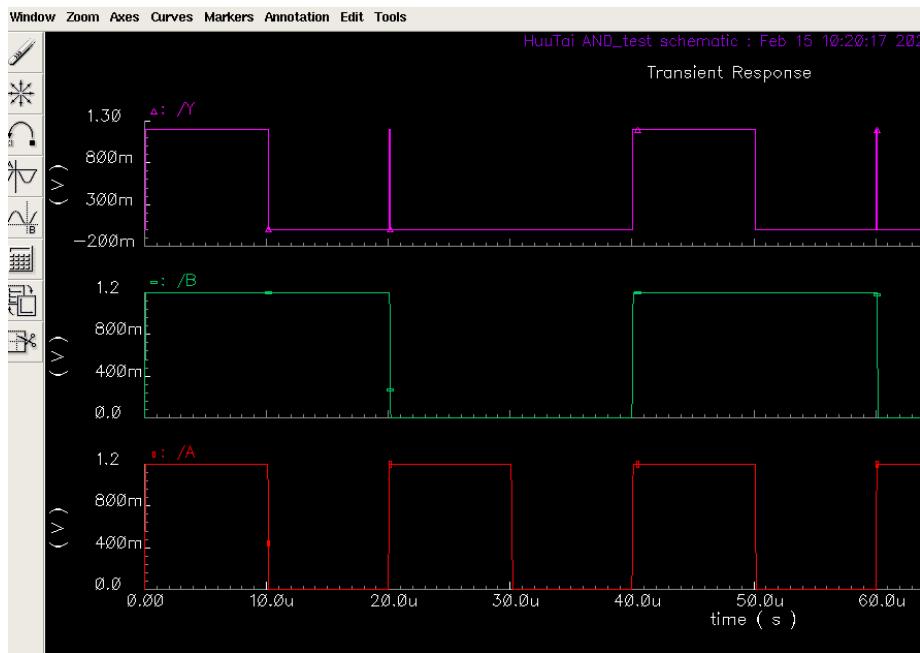
Hình 6.2.7. Thông số nguồn V_{pulse} tại ngõ vào A

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
Type of rising & falling edges	—	off ▾

Hình 6.2.8. Thông số nguồn V_{pulse} tại ngõ vào B

6.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (A) và B) và ngõ ra (Y) của cổng AND và thu được kết quả như sau:

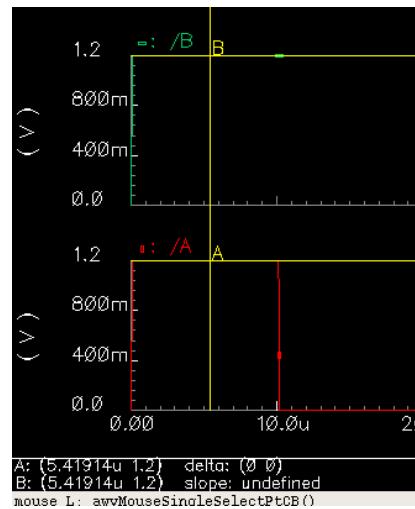


Hình 6.2.9. Dạng sóng điện áp ngõ vào A (màu đỏ), B (màu lục) và ngõ ra Y (màu tím)

6.2.4.1. Đánh giá mức điện áp

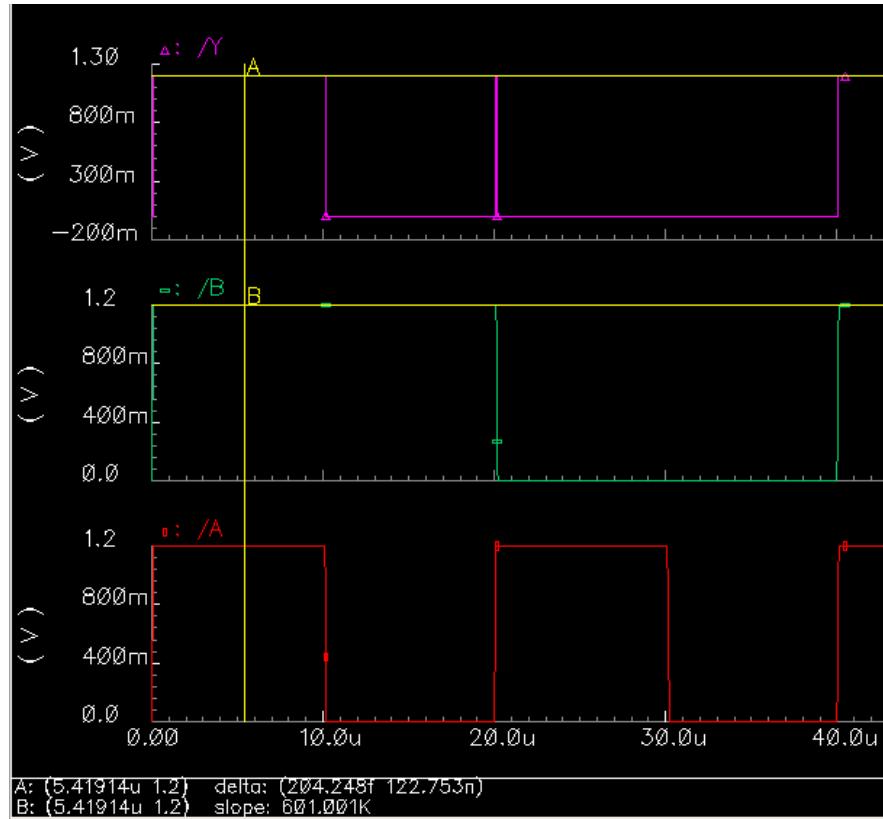
Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

* Trường hợp 1:



Hình 6.2.10. Điện áp ngõ vào A và B trong trường hợp 1

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $5,41914 \mu\text{s}$ đều là 1,2V – tương ứng với mức logic 1. Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 6.2.11. Điện áp ngõ ra Y trong trường hợp 1

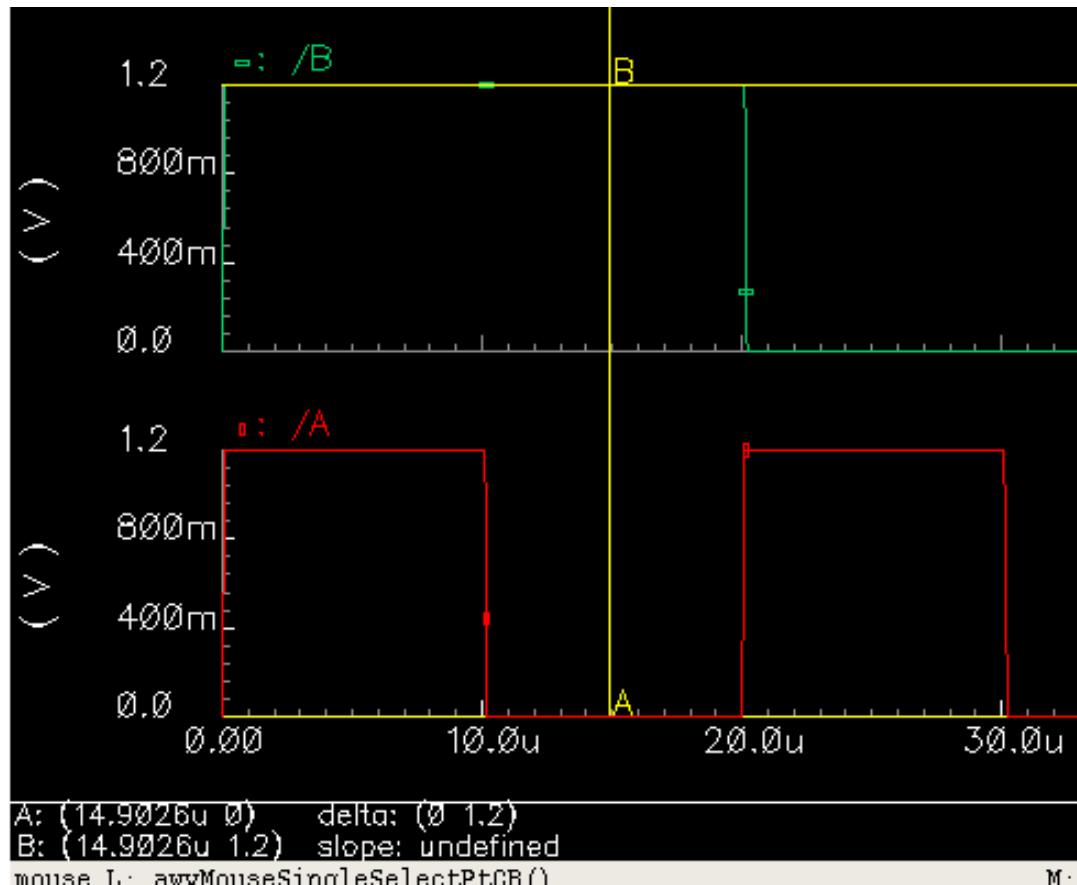
Tại điểm đánh dấu A thời điểm $5,41914 \mu\text{s}$, ta thấy mức điện áp ngõ ra là 1,2 V – tương ứng với mức logic 1.

Vậy ở trường hợp 1, ta rút ra được bảng kết quả sau:

Bảng 6.2.1. Bảng kết luận mức logic trong trường hợp 1

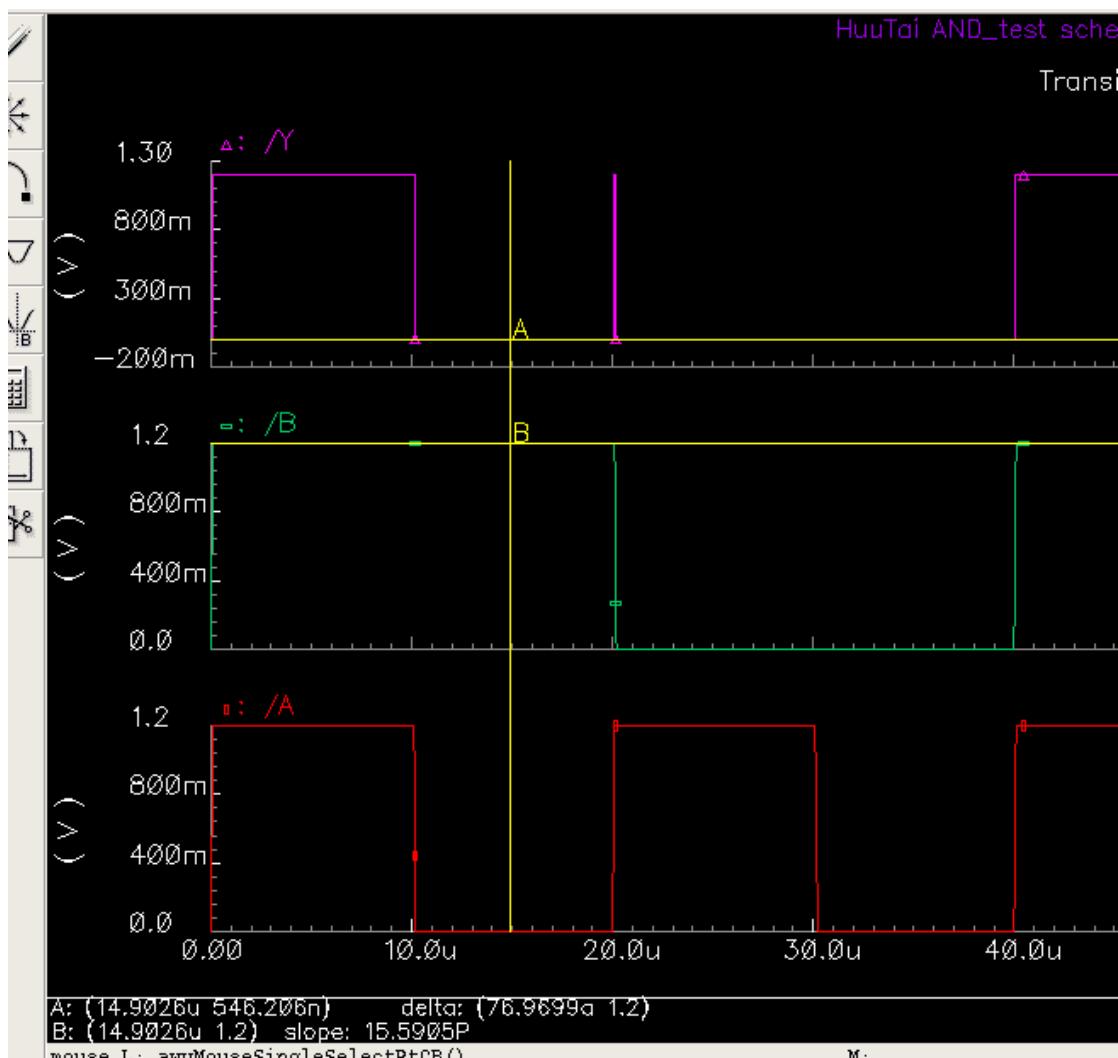
A	B	Y
1	1	1

* Trường hợp 2:



Hình 6.2.12. Điện áp ngõ vào A và B trong trường hợp 2

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm 14,9026 μ s lần lượt là 0V (tương ứng với mức logic 0) và 1,2V (tương ứng mức logic 1). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 6.2.13. Điện áp ngõ ra Y trong trường hợp 2

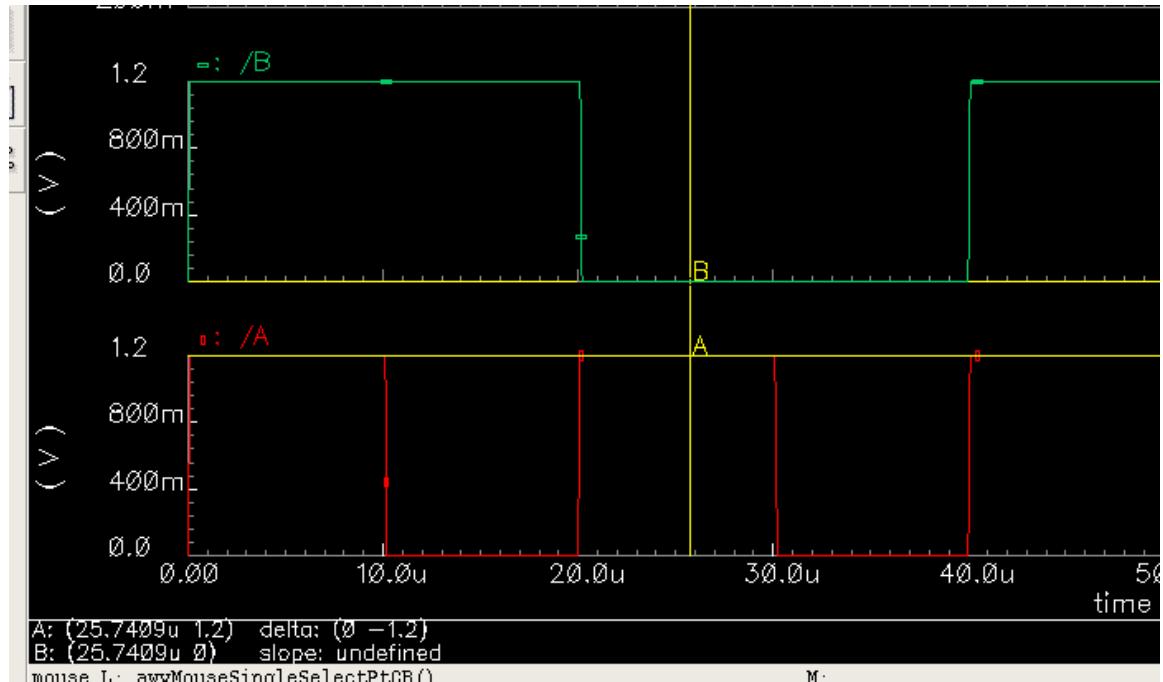
Tại điểm đánh dấu A thời điểm $14,9026 \mu s$, ta thấy mức điện áp ngõ ra là $546,206$ mV (tương ứng với mức logic 0).

Vậy ở trường hợp 2, ta rút ra được bảng kết quả sau:

Bảng 6.2.2. Bảng kết luận mức logic trong trường hợp 2

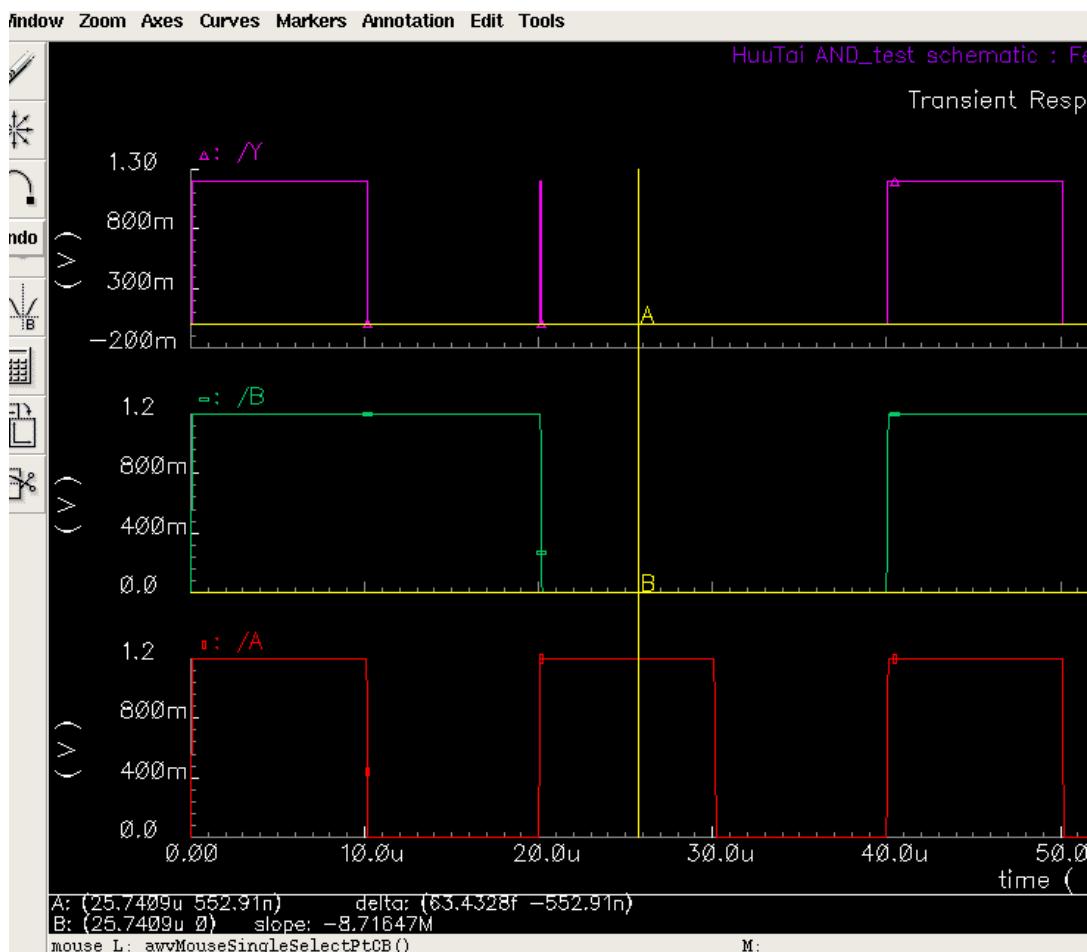
A	B	Y
0	1	0

* Trường hợp 3:



Hình 6.2.14. Điện áp ngõ vào A và B trong trường hợp 3

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $25,7409 \mu s$ lần lượt là 1,2V (tương ứng với mức logic 1) và 0V (tương ứng mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 6.2.15. Điện áp ngõ ra Y trong trường hợp 3

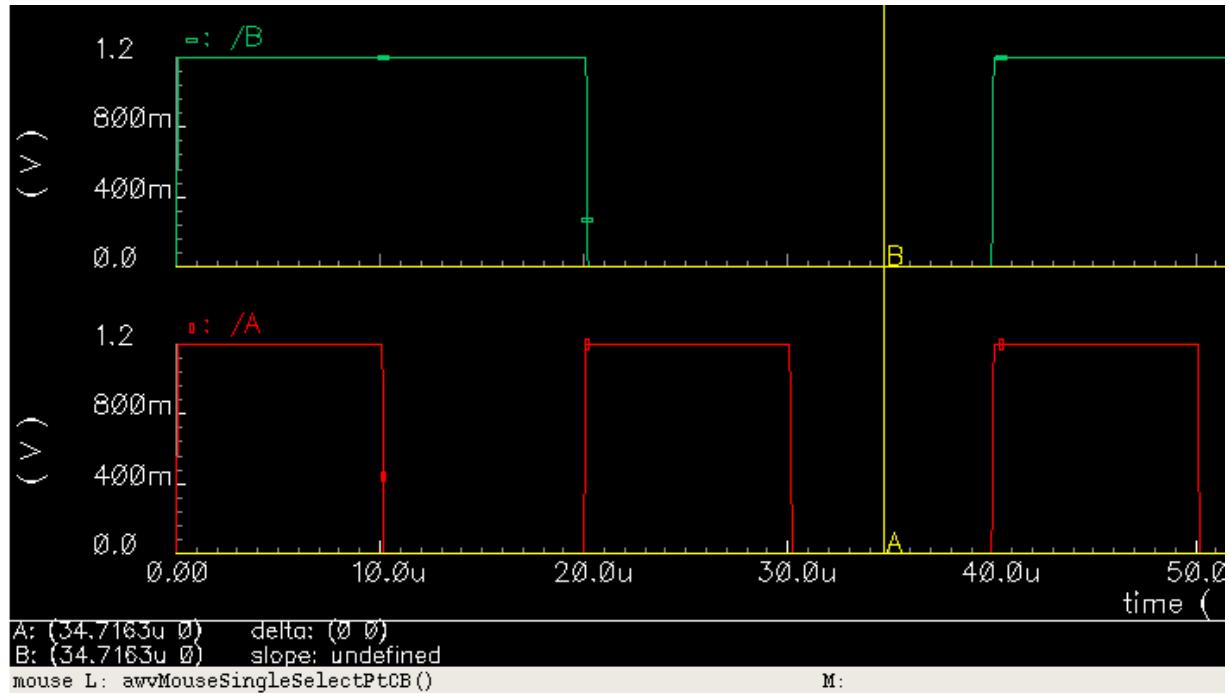
Tại điểm đánh dấu A thời điểm $25,7409 \mu s$, ta thấy mức điện áp ngõ ra là $552,91 nV$ (tương ứng với mức logic 0).

Vậy ở trường hợp 3, ta rút ra được bảng kết quả sau:

Bảng 6.2.3. Bảng kết luận mức logic trong trường hợp 3

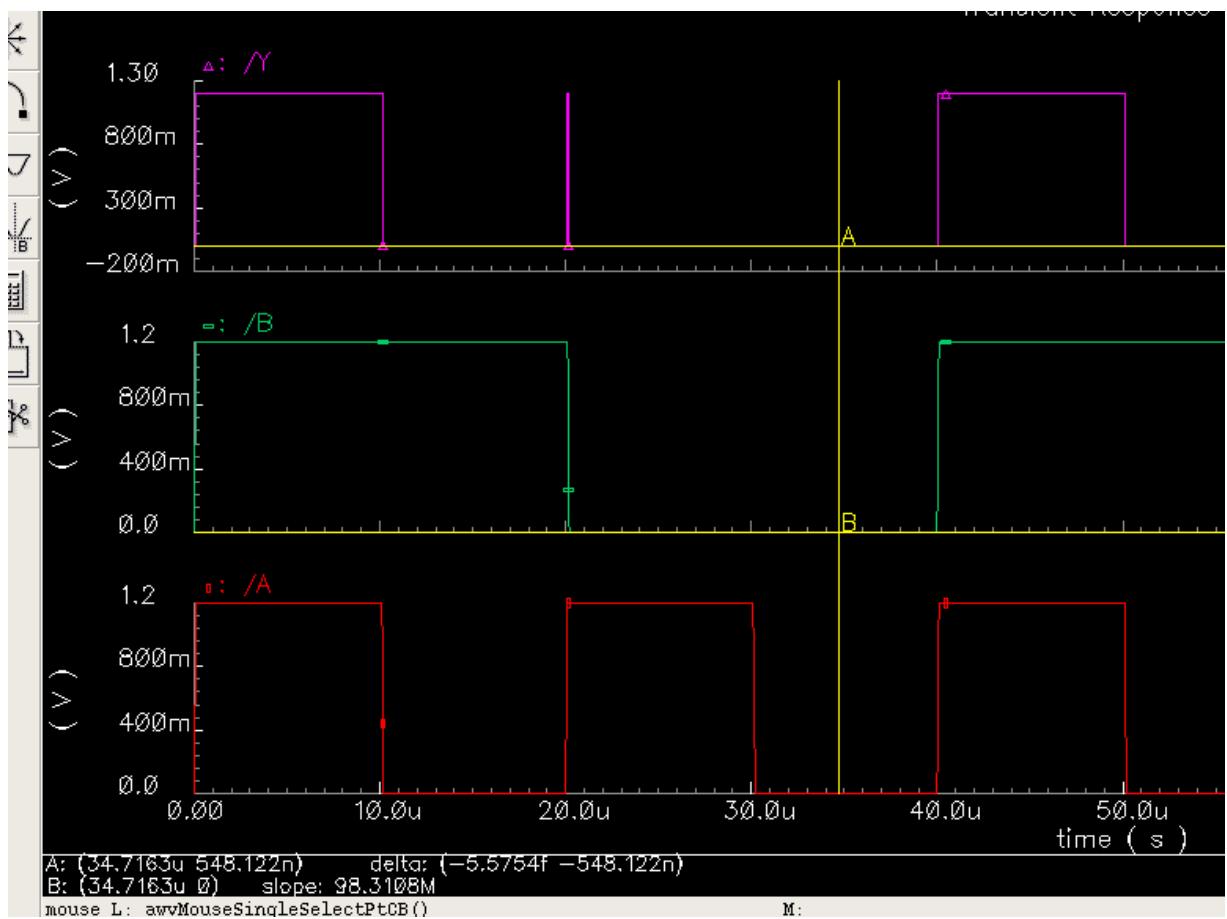
A	B	Y
1	0	0

* Trường hợp 4:



Hình 6.2.16. Điện áp ngõ vào A và B trong trường hợp 4

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $34,7163 \mu\text{s}$ đều là 0V (tương ứng với mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 6.2.17. Điện áp ngõ ra Y trong trường hợp 4

Tại điểm đánh dấu A thời điểm $34,7163 \mu\text{s}$, ta thấy mức điện áp ngõ ra là $548,122 \text{ mV}$ (tương ứng với mức logic 0).

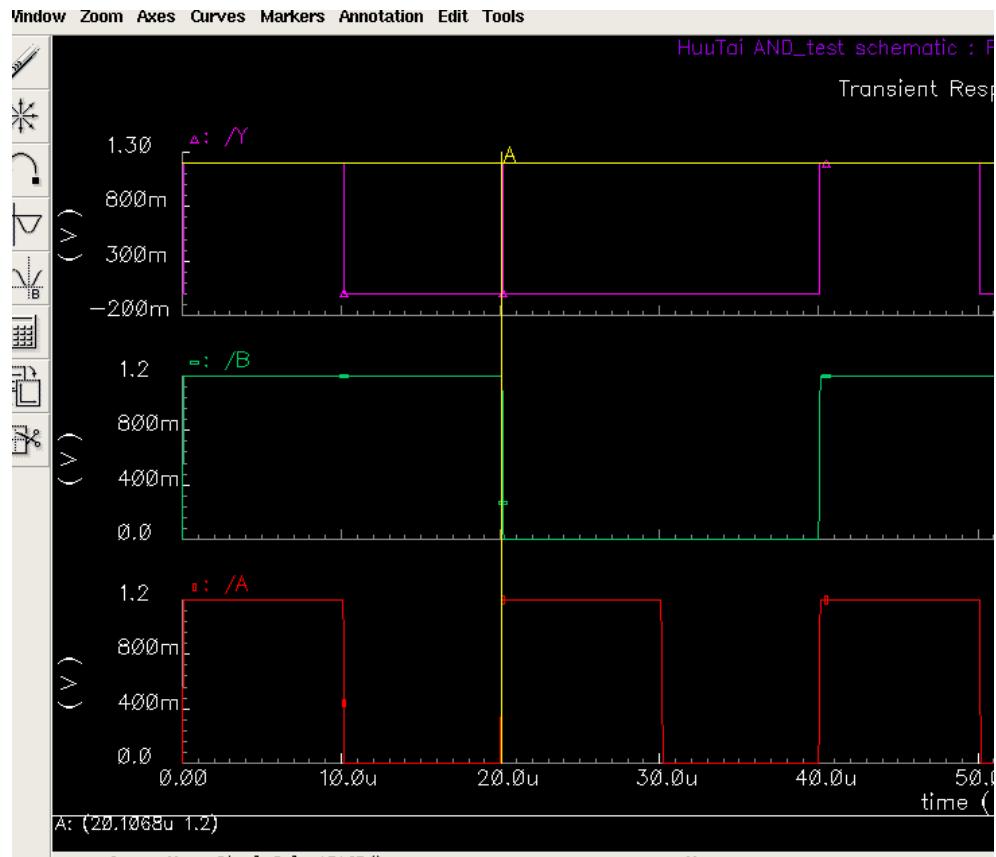
Vậy ở trường hợp 4, ta rút ra được bảng kết quả sau:

Bảng 6.2.4. Bảng kết luận mức logic trong trường hợp 4

A	B	Y
0	0	0

Từ kết quả của 4 trường hợp trên, ta kết luận rằng kết quả này là hoàn toàn đúng với lý thuyết bảng trạng thái của cổng AND như *Bảng 6.1.1*.

Tuy nhiên tại một số thời điểm ta thấy ngõ ra Y bị đảo trạng thái trong một thời gian ngắn như sau:



Hình 6.2.18. Dạng sóng ngõ ra tại một số điểm bất thường

Nguyên nhân là do quá trình chuyển mạch của ngõ vào tại thời điểm ngõ vào A đang lên mức HIGH, ngõ vào B đang xuống mức LOW nhưng do ngõ vào A chuyển mạch trước mà tại thời điểm đó ngõ vào B chưa kịp xuống mức LOW nên A và B đều ở mức HIGH khiến cho ngõ ra tăng lên mức HIGH trong 1 khoảng thời gian rất nhỏ sau đó lên lại mức LOW.

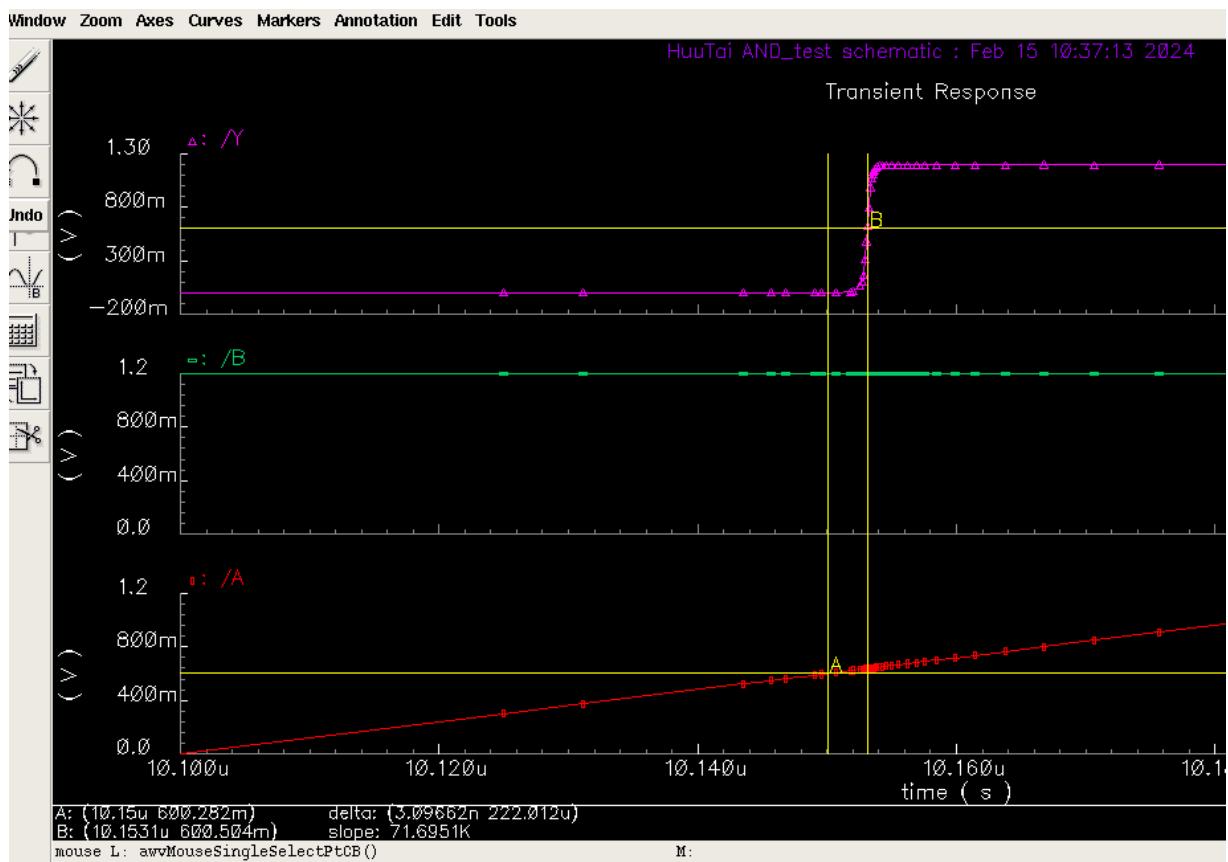
6.2.4.2. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

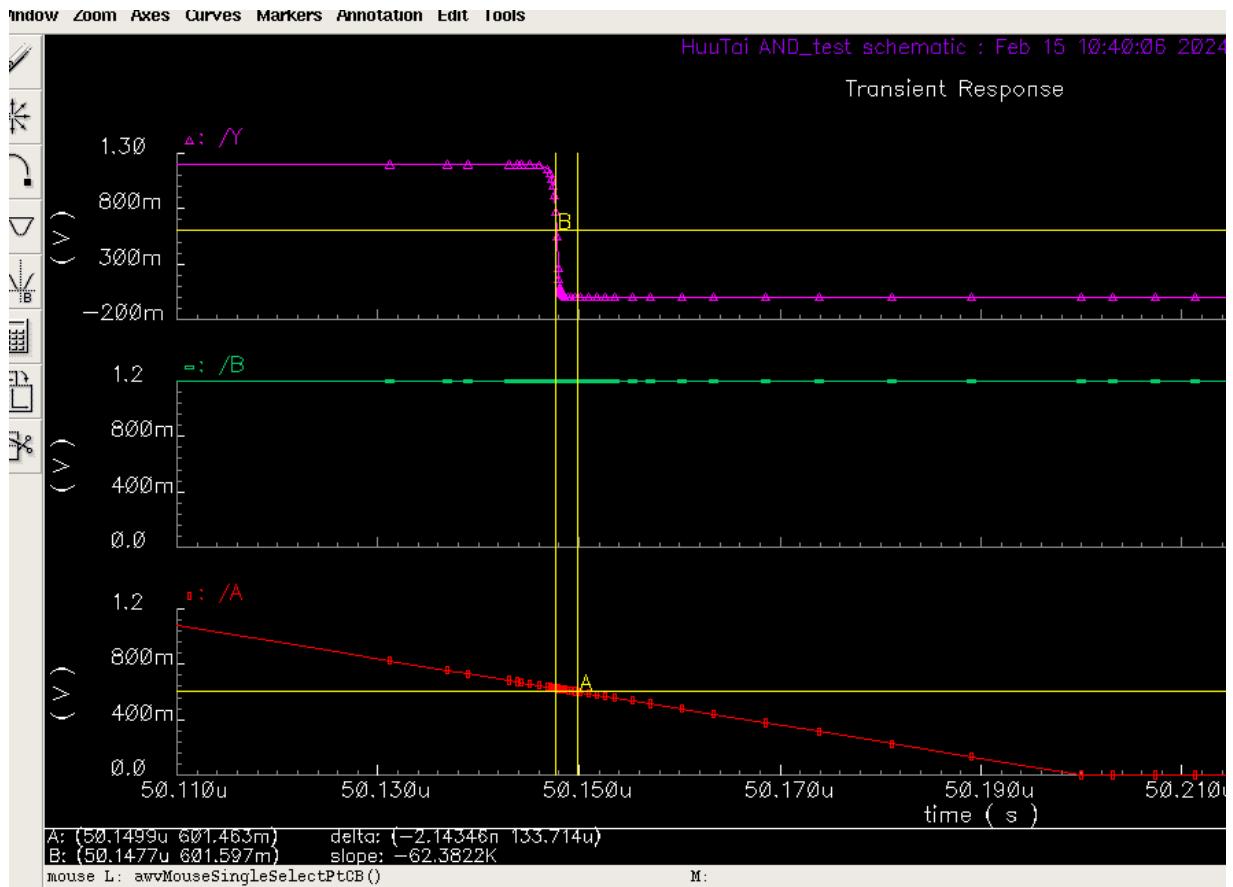
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 6.2.19. Đo thời gian trễ khi ngõ vào A cạnh lên

Khi điện áp ngõ vào tăng lên đến 600,282 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 600,504 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 3,09662 ns hay nói $t_{\text{pdr}}(A) = 3,09662$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 6.2.20. Do thời gian trễ khi ngõ vào A cạnh xuống

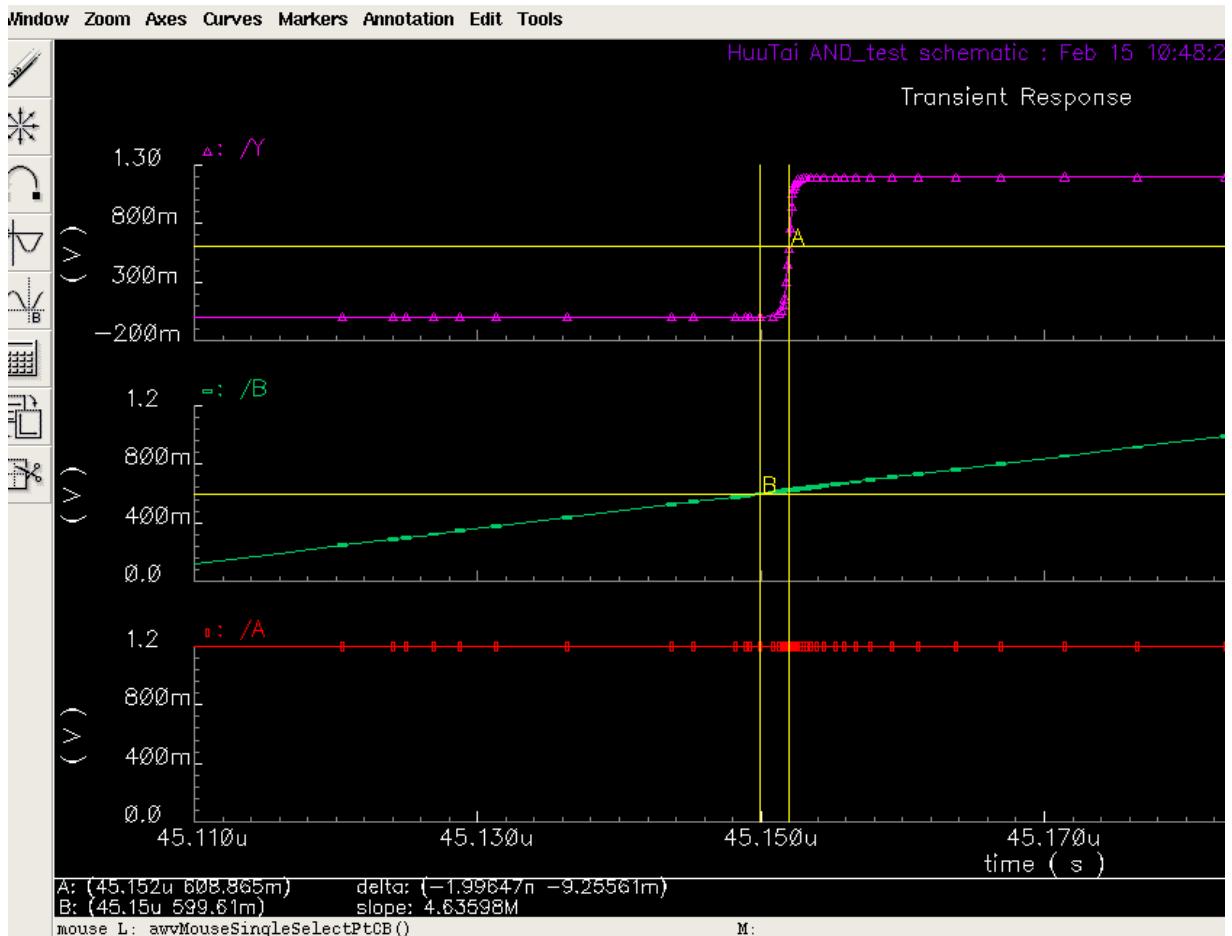
Khi điện áp ngõ vào A giảm xuống đến 601,463 mV (điểm đánh dấu A) và điện áp ngõ ra cũng giảm xuống đến 601,597 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 2,14346 ns hay nói $t_{\text{pdf}}(A) = 2,14346$ ns.

Có được $t_{\text{pdr}}(A)$ và $t_{\text{pdf}}(A)$, ta có thể tính được thời gian trễ $t_{\text{pd}}(A)$ theo công thức sau:

$$t_{\text{pd}}(A) = (t_{\text{pdr}}(A) + t_{\text{pdf}}(A)) / 2 = (3,09662 \text{ ns} + 2,14346 \text{ ns}) / 2 = 2,62004 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

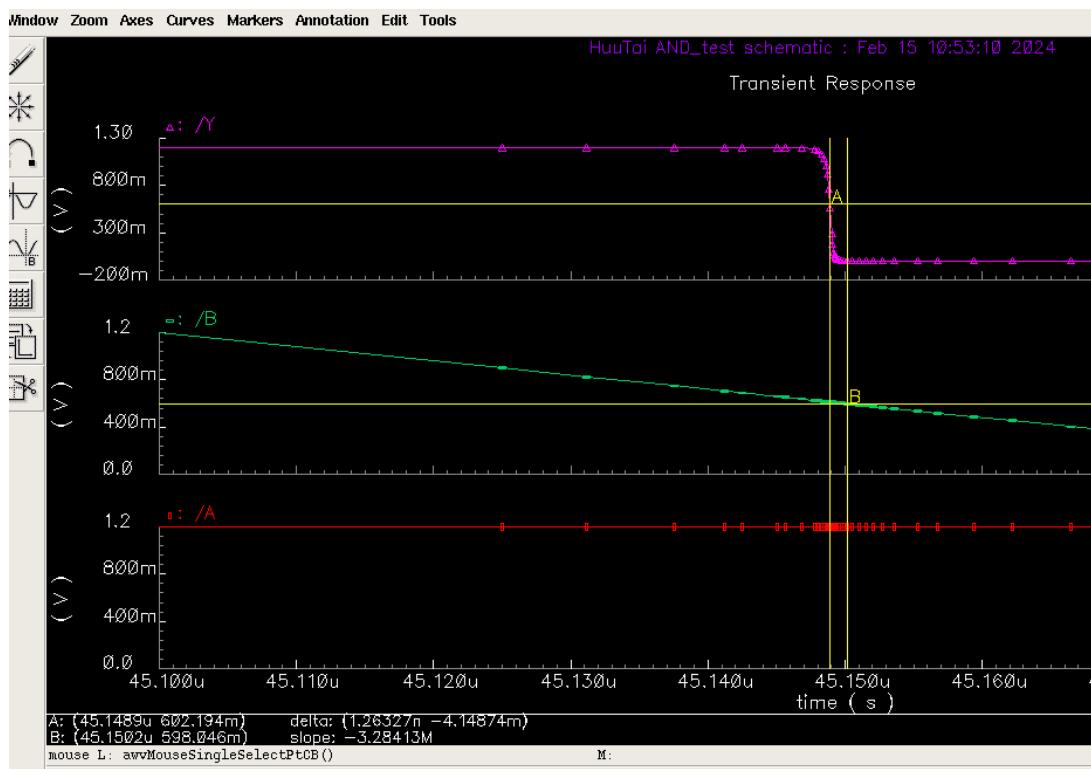
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 6.2.21. Đo thời gian trễ khi ngõ vào B cạnh lên

Khi điện áp ngõ vào B tăng lên đến 599,61 mV (điểm đánh dấu B) và điện áp ngõ ra tăng đến 608,865 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 1,99647 ns hay nói $t_{pdr(B)} = 1,99647$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 6.2.22. Đo thời gian trễ khi ngõ vào B cạnh xuống

Khi điện áp ngõ vào B giảm xuống đến 598,046 mV (điểm đánh dấu B) và điện áp ngõ ra giảm xuống đến 602,194 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 1,26327 ns hay nói $t_{pd(B)} = 1,26327$ ns.

Có được $t_{pdr(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pdr(B)} + t_{pdf(B)}) / 2 = (1,99647 \text{ ns} + 1,26327 \text{ ns}) / 2 = 1,62987 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

Bảng 6.2.5. Bảng kết quả thời gian trễ

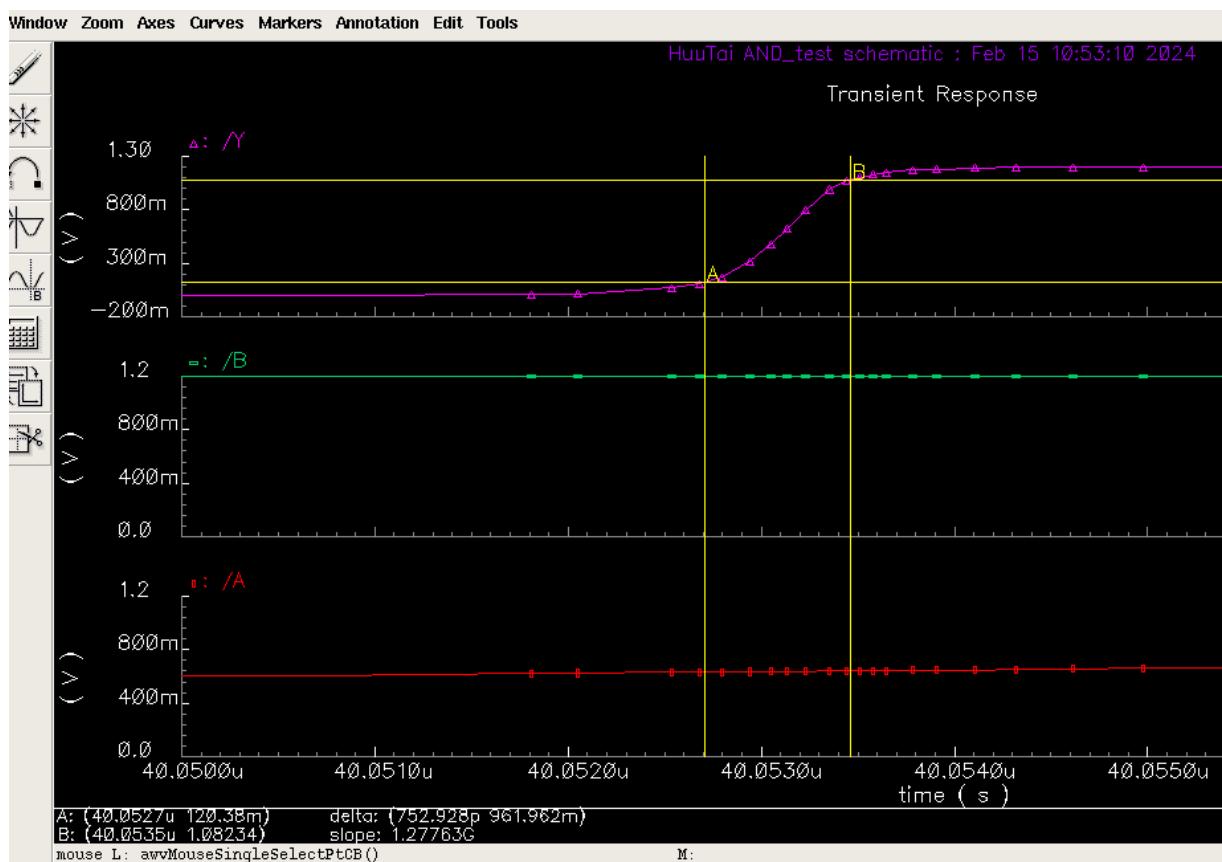
Ngõ vào	Thời gian trễ (t_{pd})
Tại A	2,62004 ns
Tại B	1,62987 ns

6.2.4.3. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

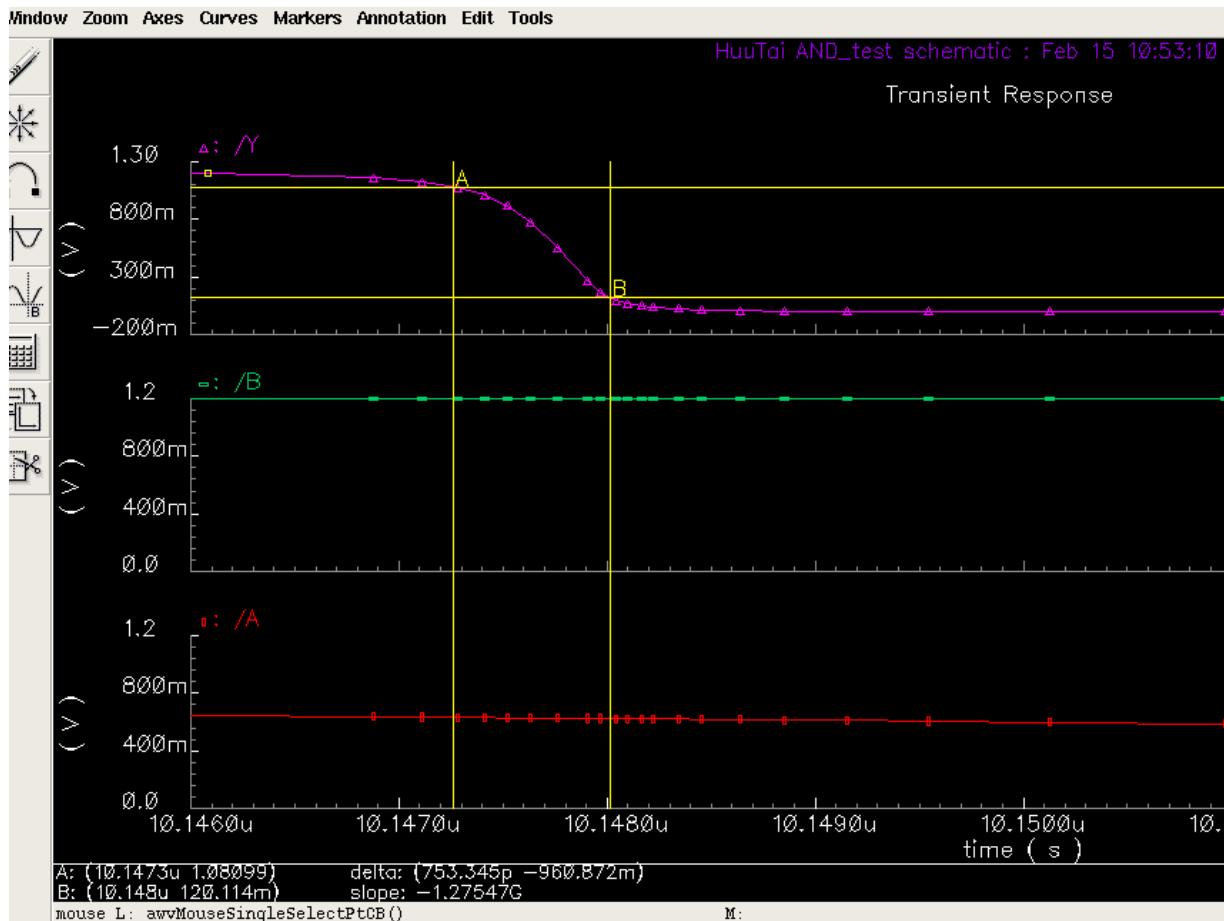
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 120,38$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08234$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 752,928 ps hay $t_r = 752,928$ ps.



Hình 6.2.23. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08099$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,114$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 753,345 ps hay $t_f = 753,345$ ps.

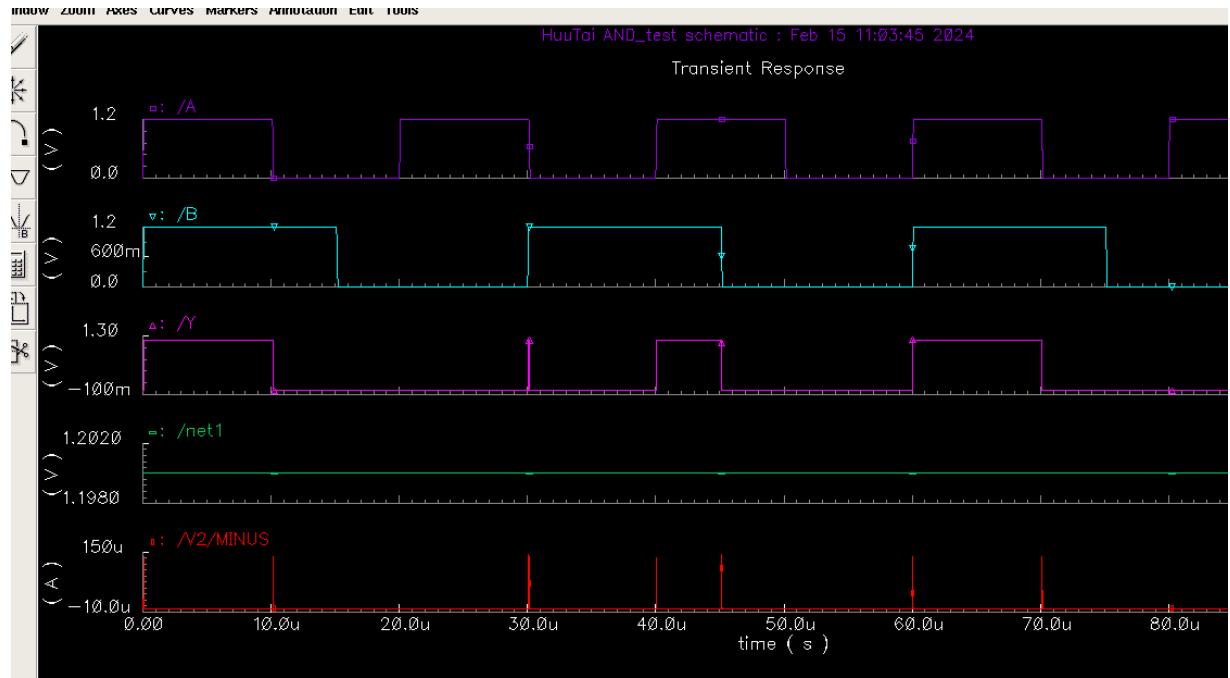


Hình 6.2.24. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 753,1365$ ps.

6.2.4.4. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng AND và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

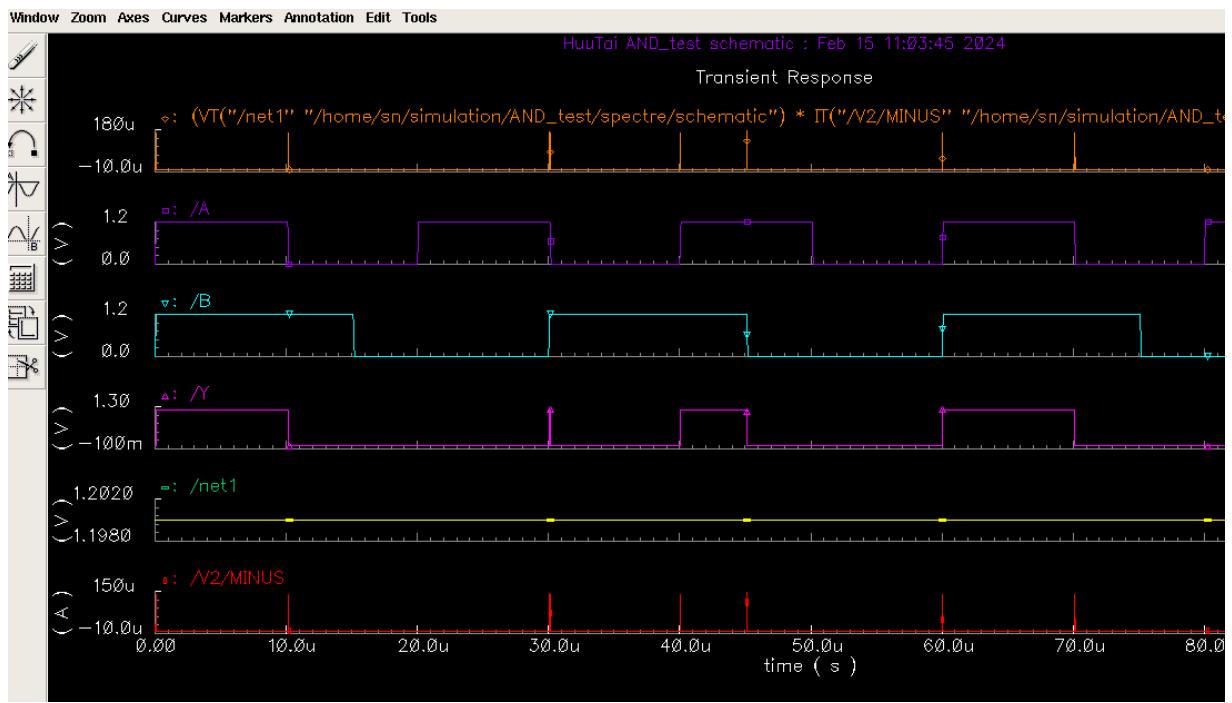
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 6.2.25. Dạng sóng điện áp và dòng điện của nguồn cung cấp

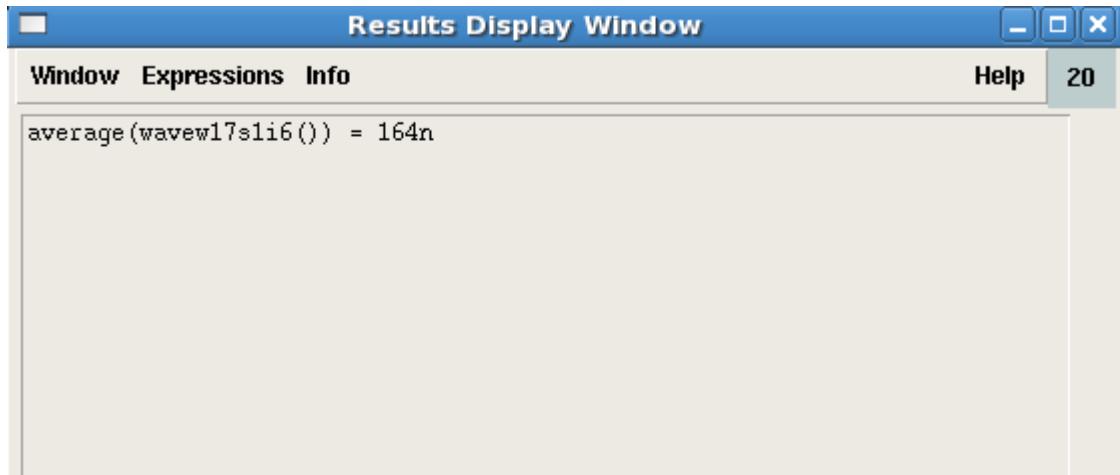
Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của công AND để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của công AND.

Ta vẽ dạng sóng công suất tức thời của công AND bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 6.2.26. Dạng sóng công suất tức thời của công AND

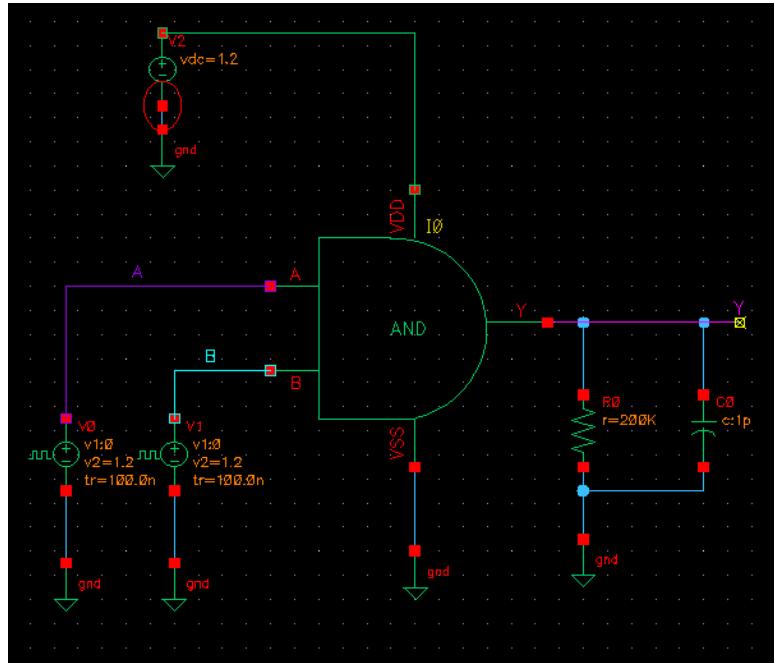
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 164 nW.



Hình 6.2.27. Kết quả tính giá trị trung bình trên công AND

6.2.5. Mô phỏng công AND khi có tải C_L , R_L

Ta gắn thêm 1 tụ có độ lớn 1 pF và 1 tải có độ lớn $200\text{ k}\Omega$ song song với ngõ ra của công AND như sau:



Hình 6.2.28. Trường hợp có tải C_L , R_L

Để mô phỏng chức năng của công AND trường hợp có tải, ta thực hiện mô phỏng tương tự trường hợp không có tải.

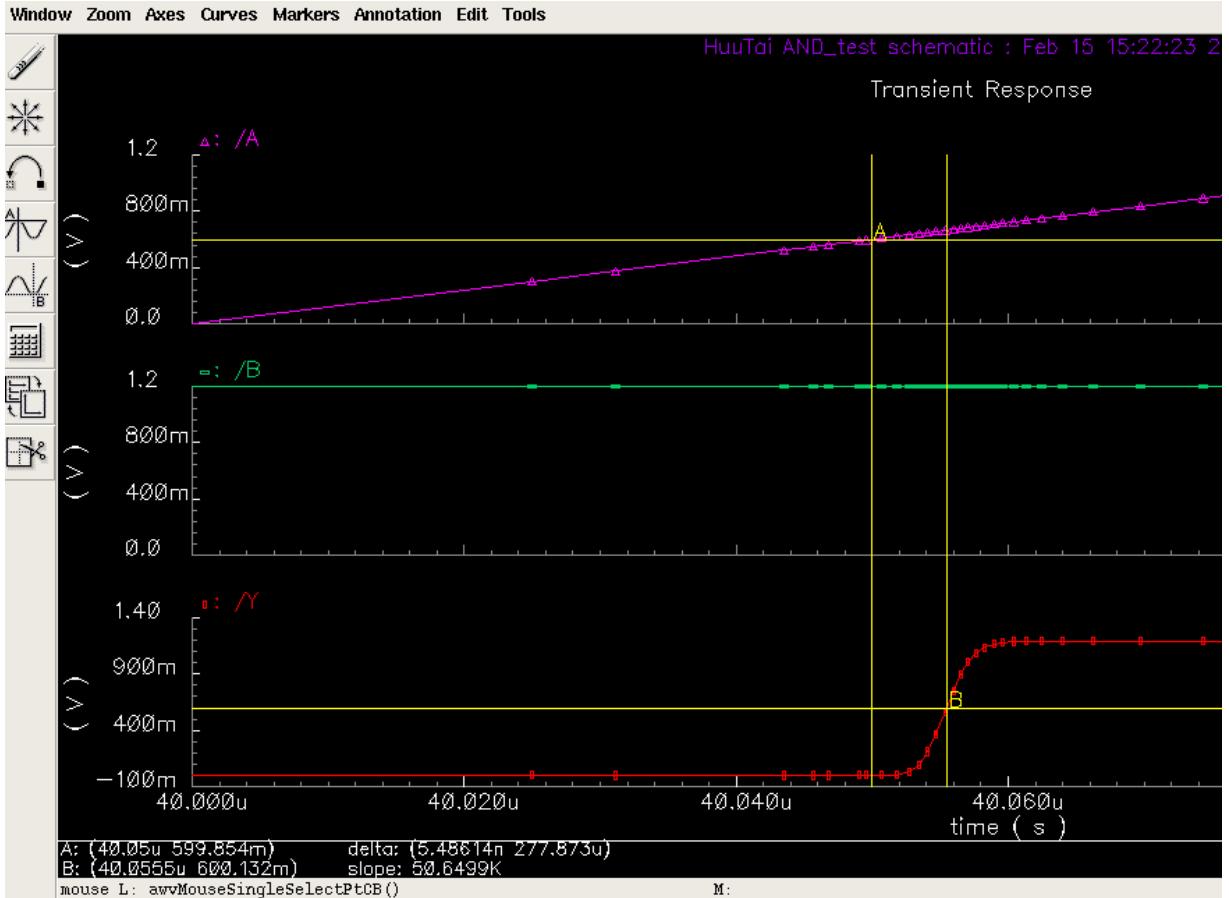
6.2.5.1. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

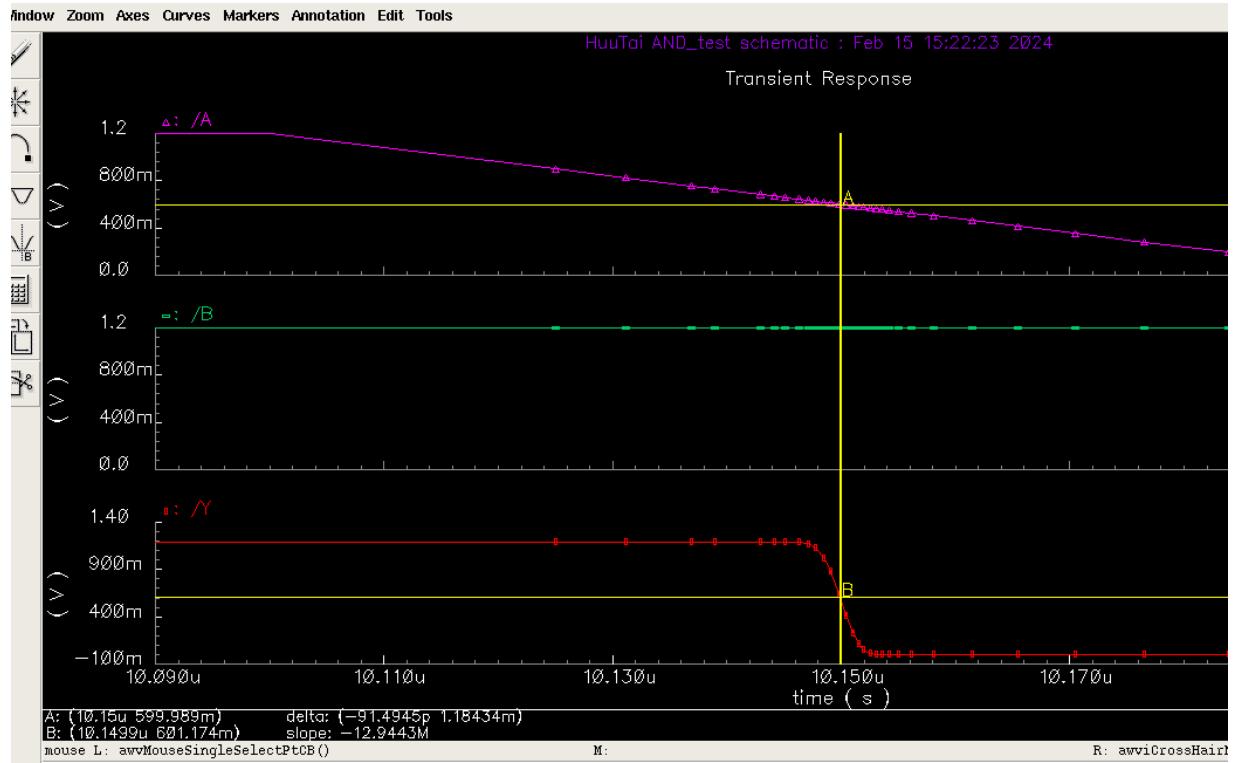
Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 6.2.29. Đo thời gian trễ khi ngõ vào A cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào tăng lên đến 599,854 mV (điểm đánh dấu A) và điện áp ngõ ra tăng đến đến 600,132 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 5,48614 ns hay nói $t_{pdr}(A) = 5,48614$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 6.2.30. Đo thời gian trễ khi ngõ vào A cạnh xuống (trường hợp có tải)

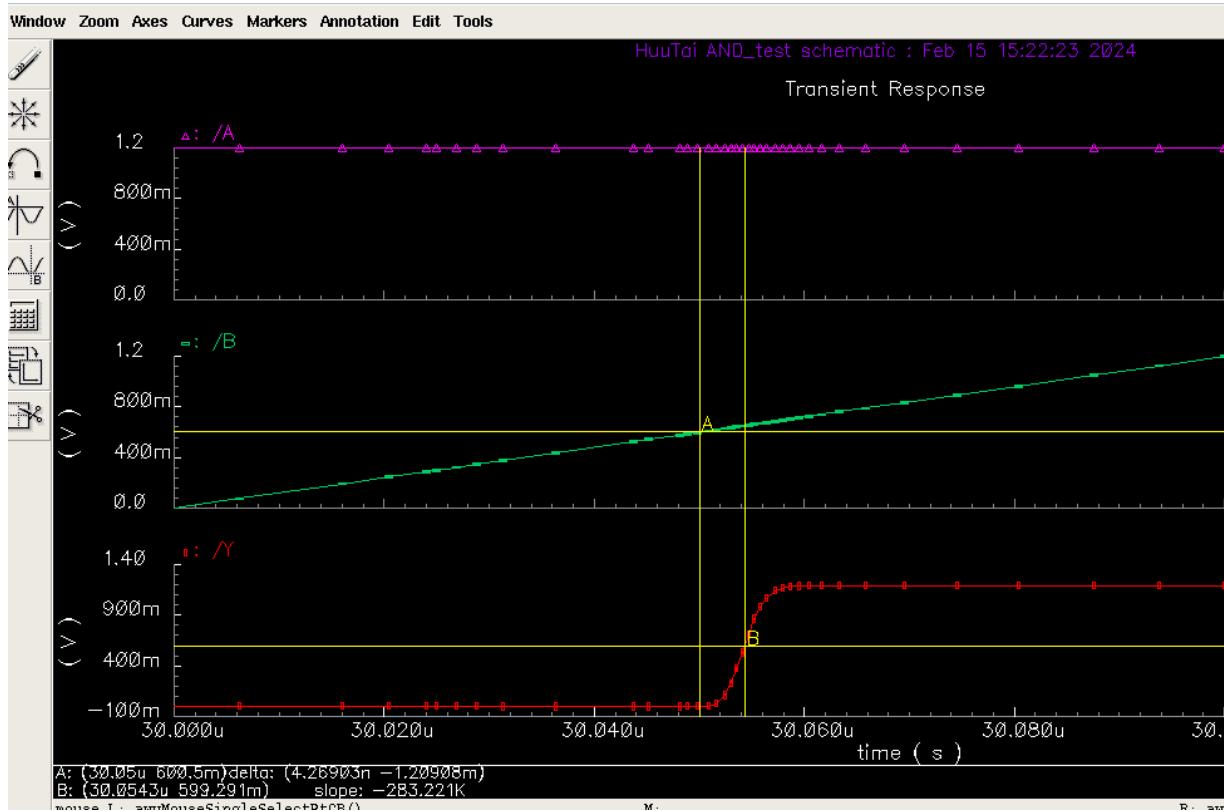
Khi điện áp ngõ vào A giảm xuống đến 599,989 mV (điểm đánh dấu A) và điện áp ngõ ra giảm đến 601,174 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 91,4945 ps hay nói $t_{pdf(A)} = 91,4945$ ps.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (5,48614 \text{ ns} + 91,4945 \text{ ps}) / 2 = 2,74307 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

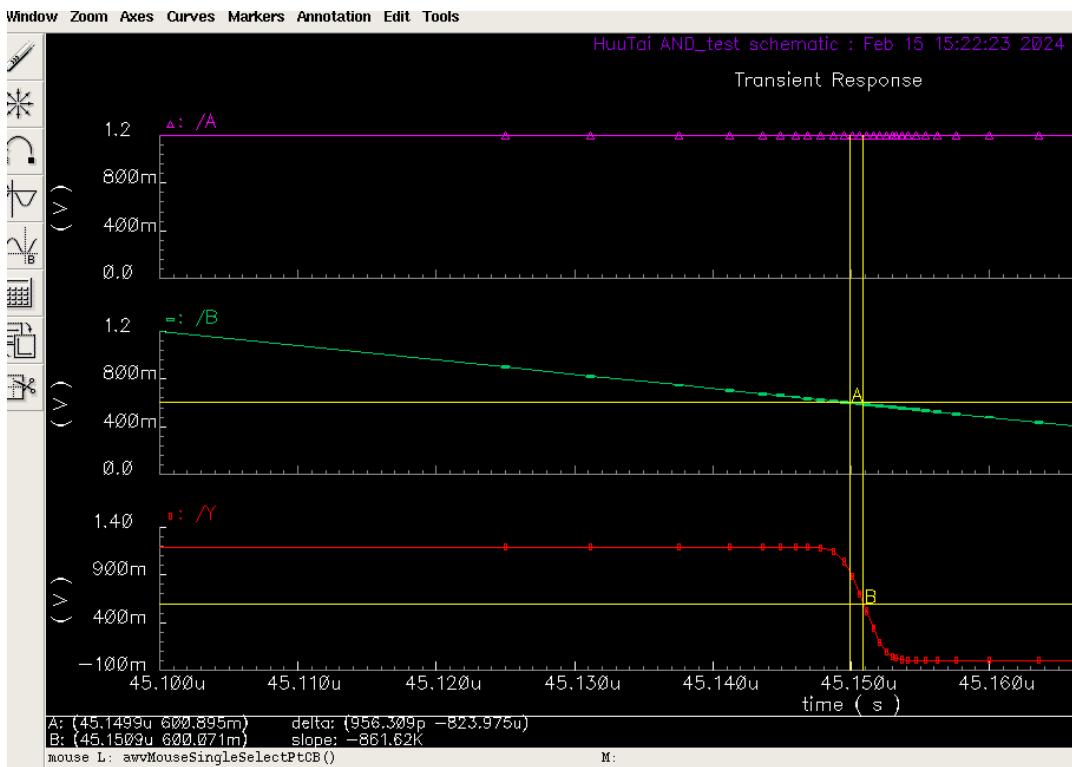
Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 6.2.31. Đo thời gian trễ khi ngõ vào B cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào B tăng lên đến 600,5 mV (điểm đánh dấu A) và điện áp ngõ ra tăng đến 599,291 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 4,26903 ns hay nói $t_{pdr(B)} = 4,26903$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 6.2.32. Đo thời gian trễ khi ngõ vào B cạnh xuống (trường hợp có tải)

Khi điện áp ngõ vào B giảm xuống đến 600,895 mV (điểm đánh dấu A) và điện áp ngõ ra giảm đến 600,071 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 956,309 ps hay nói $t_{pd(B)} = 956,309$ ps.

Có được $t_{pd(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pd(B)} + t_{pdf(B)}) / 2 = (4,26903 \text{ ns} + 956,309 \text{ ps}) / 2 = 2,61267 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

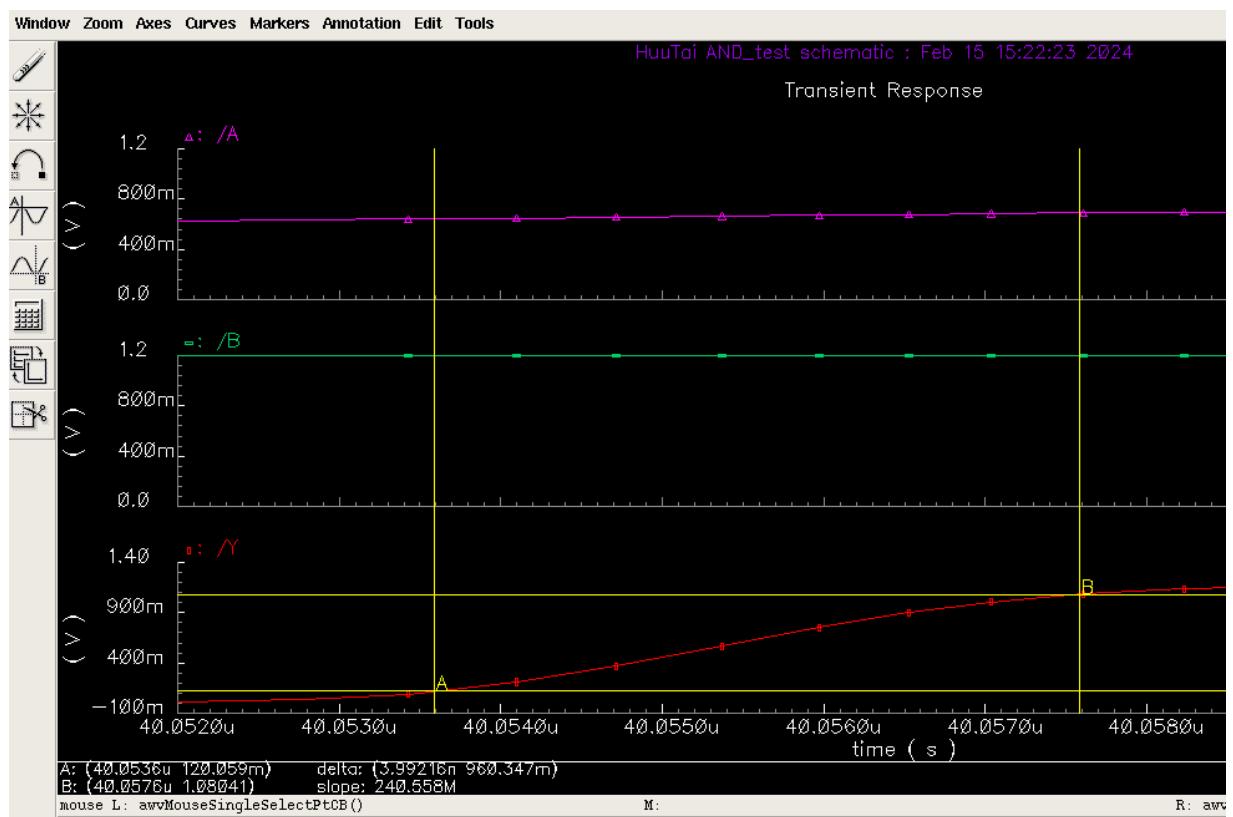
Bảng 6.2.6. Bảng kết quả thời gian trễ trường hợp có tải

Ngõ vào	Thời gian trễ (t_{pd})
Tại A	2,74307 ns
Tại B	2,61267 ns

6.2.5.2. Transition time

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

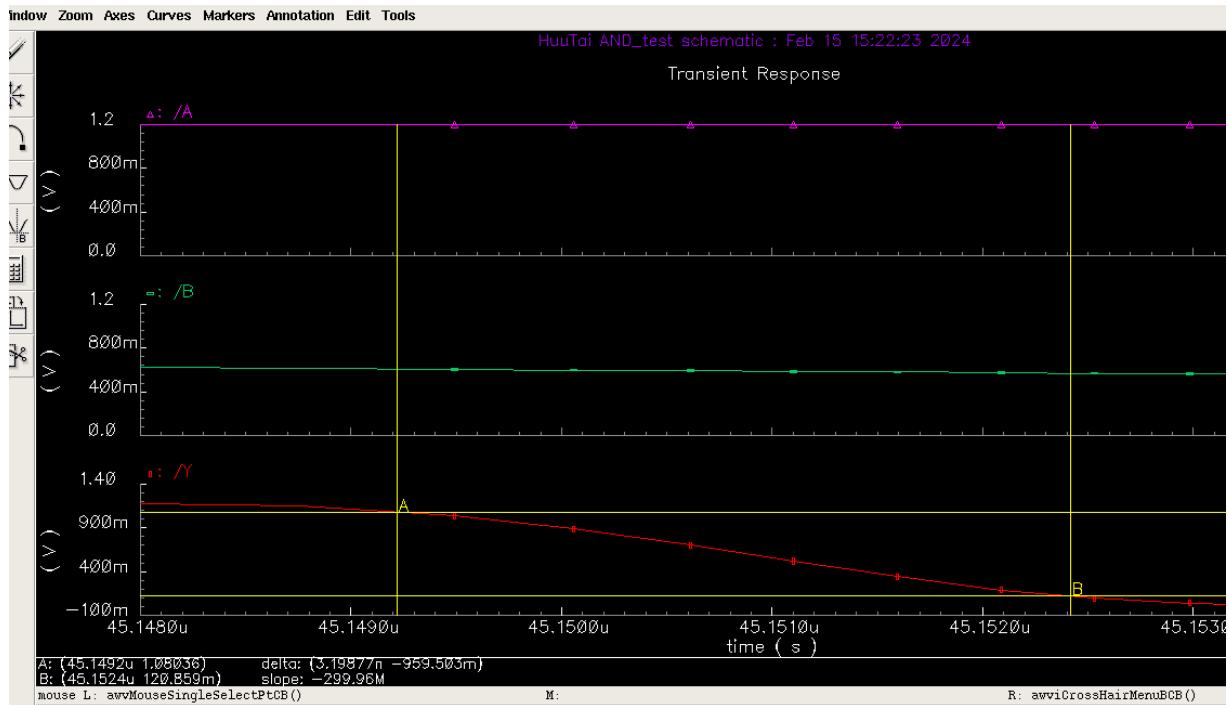
Ta đánh dấu tại điểm A khi $V_{out} = 120,059$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08041$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 101,026 ns hay $t_r = 3,99216$ ns.



Hình 6.2.33. Đánh giá thời gian chuyển mạch ngoặt ra từ mức 0 lên 1

(trường hợp có tải)

Ta đánh dấu tại điểm A khi $V_{out} = 1,08036$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,859$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 3,1987 ns hay $t_f = 3,1987$ ns.

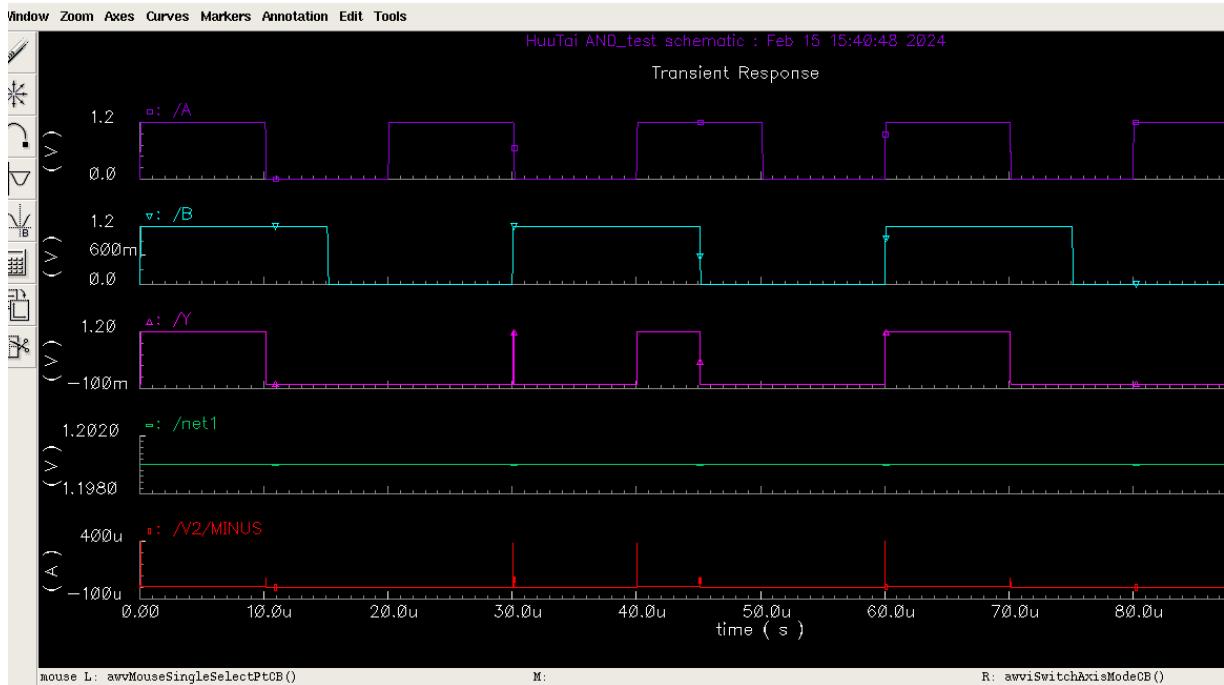


Hình 6.2.34. Dánh giá thời gian chuyển mạch ngơ ra từ mức 1 xuống 0
(trường hợp có tải)

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 3,59543$ ns.

6.2.5.3. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng AND và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

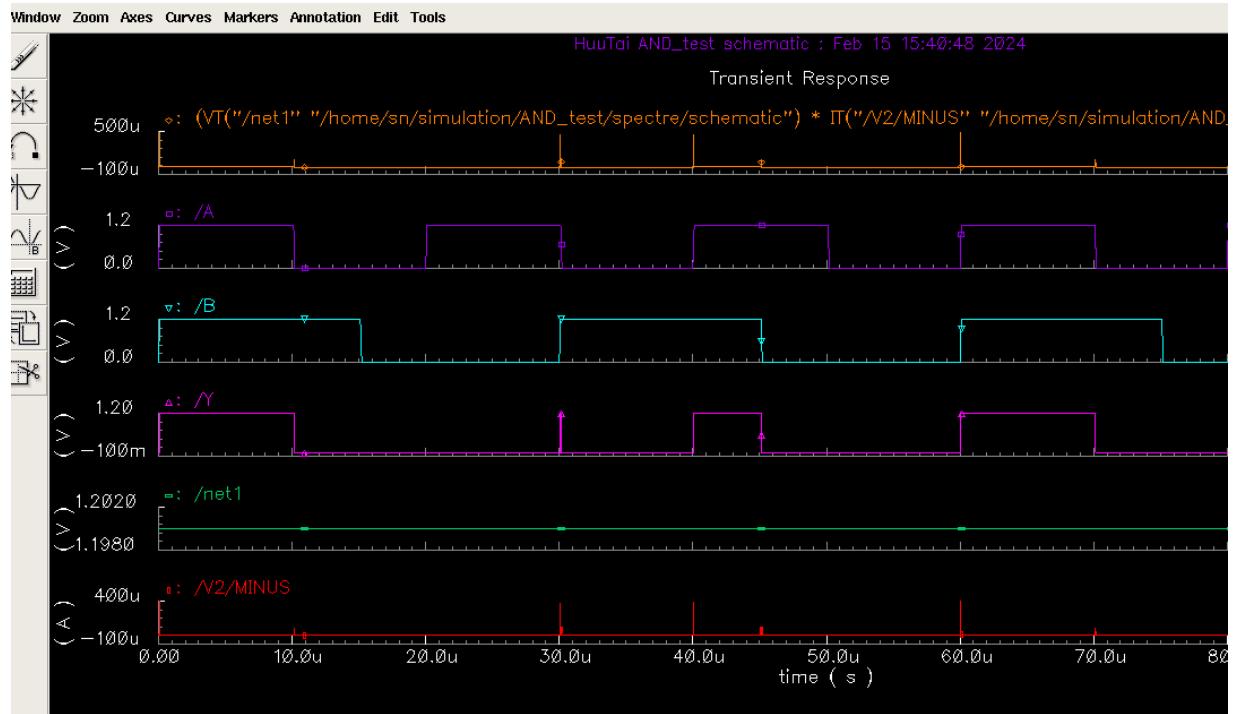
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 6.2.35. Dạng sóng điện áp và dòng điện của nguồn cung cấp (trường hợp có tải)

Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của công AND để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của công AND.

Ta vẽ dạng sóng công suất tức thời của công AND bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 6.2.36. Dạng sóng công suất tức thời của cổng AND (trường hợp có tải)

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $2,053 \mu\text{W}$.



Hình 6.2.37. Kết quả tính giá trị trung bình trên cổng AND (trường hợp có tải)

6.2.6. So sánh giữa hai trường hợp có tải và lý tưởng

Dựa vào kết quả tính toán cả 2 trường hợp trên, ta có bảng so sánh sau:

Bảng 6.2.7. So sánh giữa hai trường hợp có tải C_L , R_L và lý tưởng

Thông số	Lý tưởng	Có tải C_L , R_L
VDD	1,2V	1,2V
VSS	0V	0V
Độ trễ đối với ngõ vào A	2,62004 ns	2,74307 ns
Độ trễ đối với ngõ vào B	1,62987 ns	2,61267 ns
Công suất trung bình	164 nW	2,053 μ W
Output transition time	753,1365 ps	3,59543 ns

Đánh giá:

Trong trường hợp có tải, ta thấy thời gian trễ đối với ngõ vào A và B không thay đổi nhiều so với trường hợp lý tưởng, tuy nhiên công suất tiêu thụ trên cổng và thời gian chuyển đổi mạch đã tăng lên rất nhiều lần.

Phần 7

LÝ THUYẾT VÀ MÔ PHỎNG CÔNG OR 2 NGÕ VÀO

7.1. Lý thuyết

7.1.1. Ký hiệu và bảng trạng thái công OR

Trong điện tử kỹ thuật số, công OR là công logic tạo ra đầu ra chỉ sai nếu tất cả các đầu vào của nó là sai; do đó đầu ra của nó là phản bù cho công NOR.

Ký hiệu: Công OR 2 ngõ vào được ký hiệu như hình sau:



Hình 7.1.1. Ký hiệu của công OR 2 ngõ vào

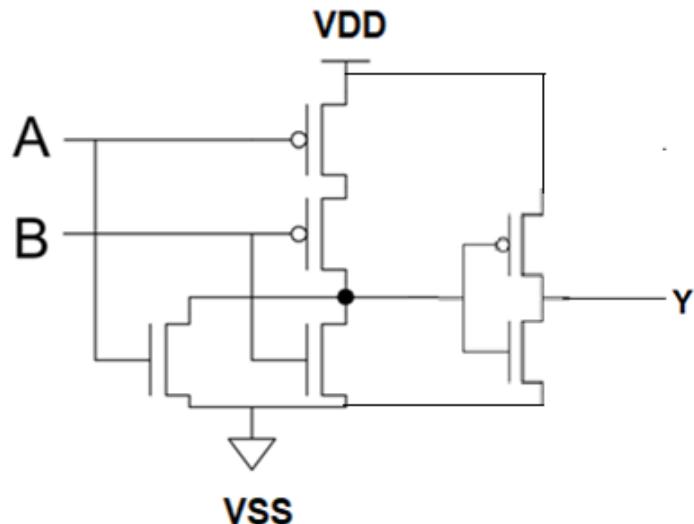
Bảng trạng thái:

Bảng 7.1.1. Bảng trạng thái của công OR

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

7.1.2. Nguyên lý hoạt động của cổng OR 2 ngõ vào

Mạch cổng OR 2 ngõ vào sử dụng 6 transistor CMOS chia làm 2 phần. Phần 1 gồm 4 transistor tạo thành mạch cổng NOR, sau đó ngõ ra sẽ nối với phần 2 gồm 2 transistor mạch cổng NOT. Cụ thể sơ đồ nguyên lý cổng OR 2 vào được thể hiện như sau:



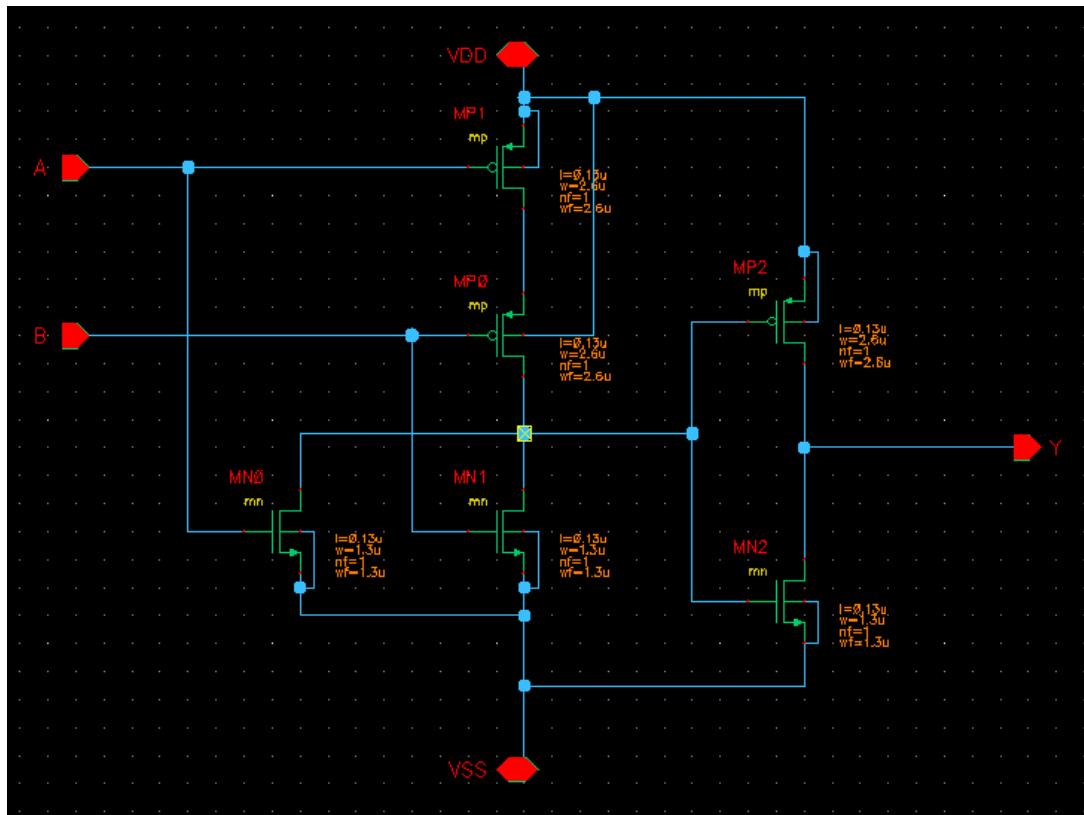
Hình 7.1.2. Sơ đồ nguyên lý của cổng OR 2 ngõ vào sử dụng công nghệ CMOS

7.2. Mô phỏng với phần mềm Cadence

Ta sử dụng công nghệ CMOS 0.13 μm của Samsung để thiết kế cổng AND và đánh giá cổng logic này từ kết quả mô phỏng thu được. Phần mềm thiết kế được sử dụng là Cadence để thiết kế và thực hiện mô phỏng thiết kế, tính toán các thông số như công suất tiêu thụ, độ trễ của mạch tích hợp.

7.2.1. Sơ đồ nguyên lý và bảng thông số

Dựa vào sơ đồ *Hình 7.1.2.*, ta thiết kế cổng OR sử dụng công nghệ CMOS như sau:



Hình 7.2.1. Sơ đồ nguyên lý cổng OR thiết kế trên Cadence

* Thông số của transistor

Ta đặt các thông số cho transistor pMOS và nMOS như sau:

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	2.6 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 7.2.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13 μ	off ▾
Width Per Finger (M)	1.3 μ	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3 μ	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40 μ	off ▾
Distance from another STI edge t	0.40 μ	off ▾
Distance between neighboring Ga	0.44u	off ▾

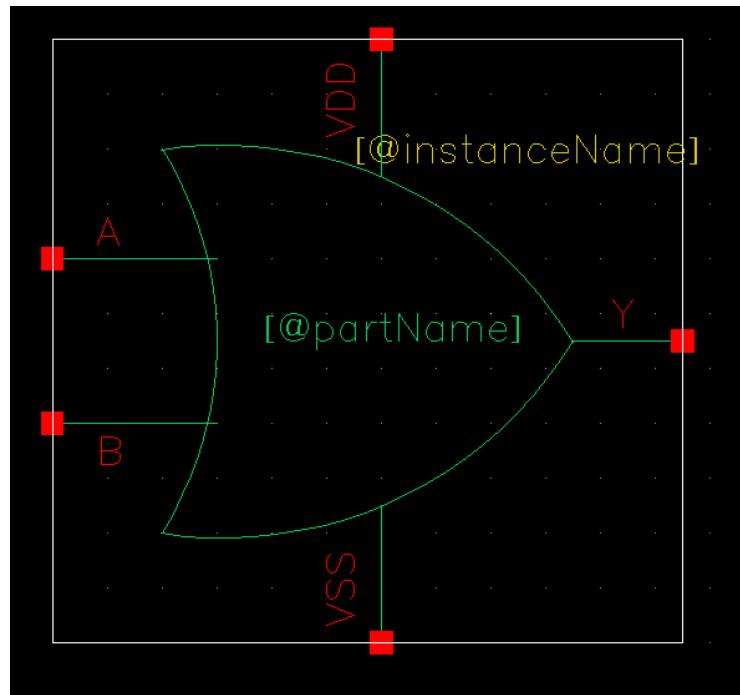
Hình 7.2.3. Thông số cài đặt cho transistor nMOS

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do

đó muôn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

7.2.2. Đóng gói sản phẩm

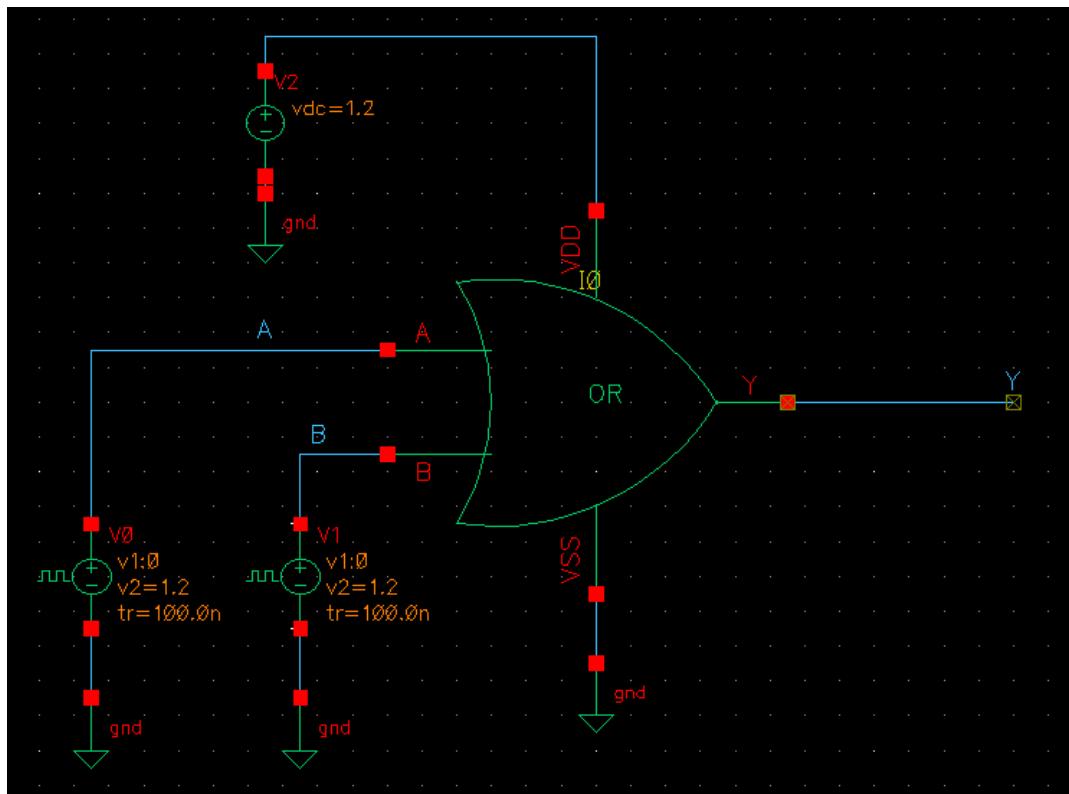
Sau khi hoàn thành sơ đồ nguyên lý mạch công OR, ta tiến hành đóng gói sơ đồ theo hình dạng là kí hiệu của công OR như *Hình 7.1.1*.



Hình 7.2.4. Kí hiệu công OR sau khi đóng gói

7.2.3. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của công, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho công OR đã đóng gói như sau:



Hình 7.2.5. Cáp nguồn và tín hiệu cho cổng OR sau khi đóng gói

Tại VCC của cổng OR, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 7.2.6. Thông số của nguồn cung cấp VDC cho cổng OR

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào A và B, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 0,1 μ s, tuy nhiên để qua sát được đầy đủ các trường hợp của 2 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào A, độ rộng xung là 10 μ s và chu kỳ là 20 μ s. Tại B, độ rộng xung là 20 μ s và chu kỳ là 40 μ s.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	100.0n s	off
Fall time	100.0n s	off
Pulse width	10u s	off
Period	20u s	off
Frequency name for 1/period		off
Noise file name		off
Number of noise/freq pairs	0	off

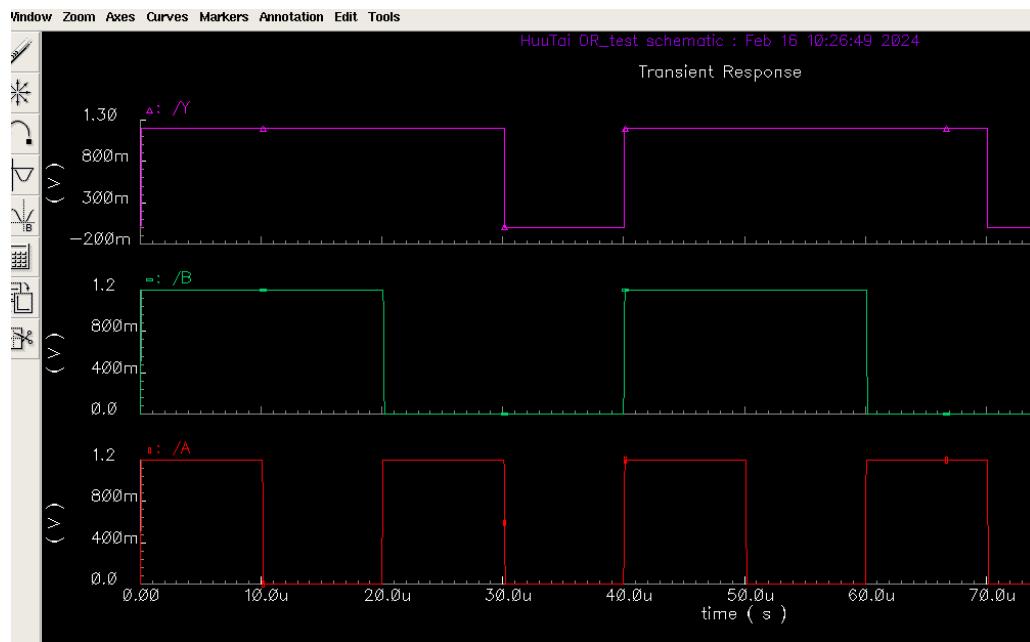
Hình 7.2.7. Thông số nguồn V_{pulse} tại ngõ vào A

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
Type of rising & falling edges	—	off ▾

Hình 7.2.8. Thông số nguồn V_{pulse} tại ngõ vào B

7.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (A) và B) và ngõ ra (Y) của cổng OR và thu được kết quả như sau:

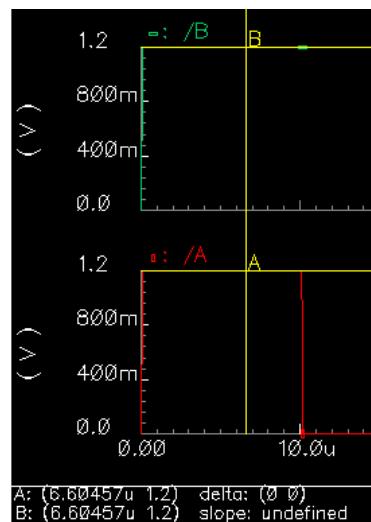


Hình 7.2.9. Dạng sóng điện áp ngõ vào A (màu đỏ), B (màu lục) và ngõ ra Y (màu tím)

7.2.4.1. Đánh giá mức điện áp

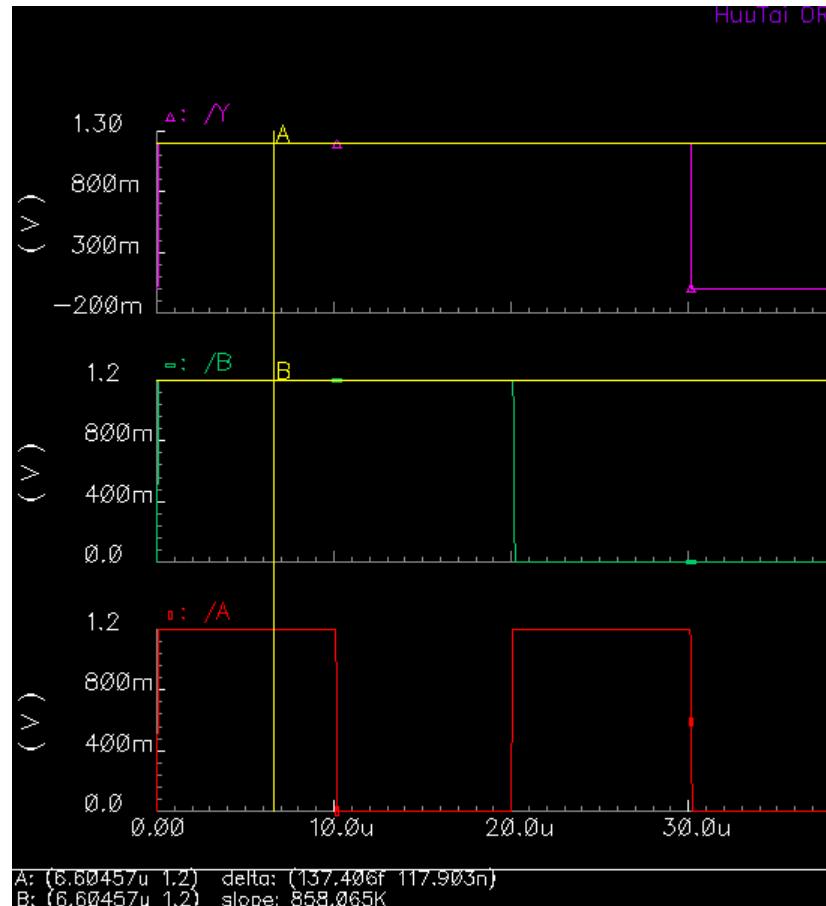
Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

* Trường hợp 1:



Hình 7.2.10. Điện áp ngõ vào A và B trong trường hợp 1

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm 6,60457 μ s đều là 1,2V – tương ứng với mức logic 1. Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 7.2.11. Điện áp ngõ ra Y trong trường hợp 1

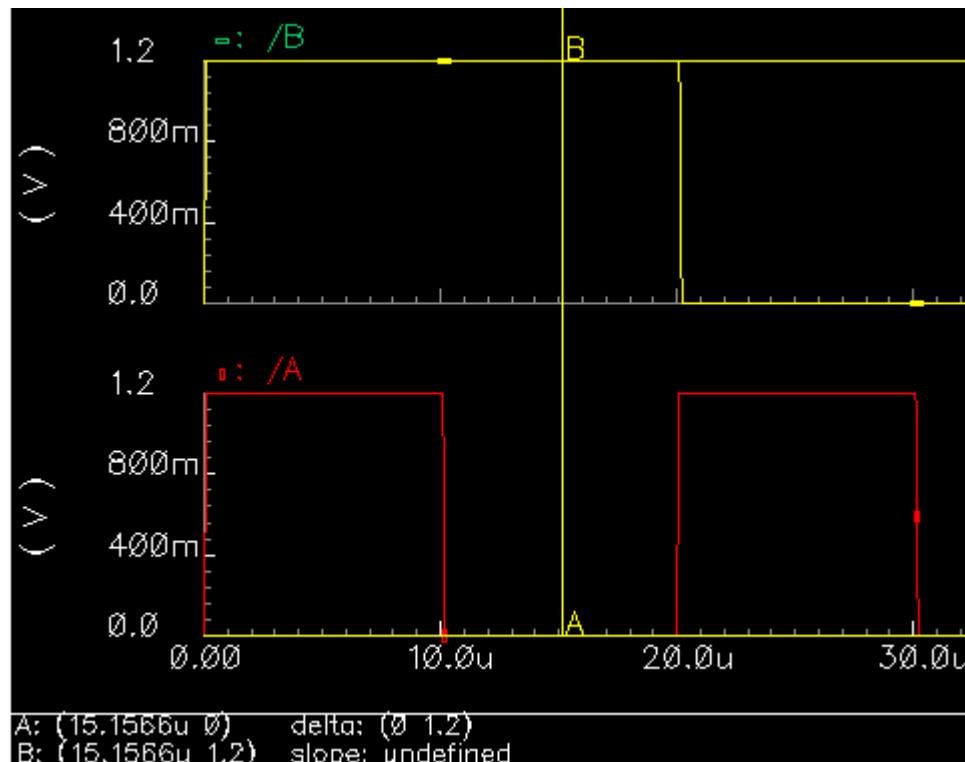
Tại điểm đánh dấu A thời điểm 6,60457 μ s, ta thấy mức điện áp ngõ ra là 1,2 V – tương ứng với mức logic 1.

Vậy ở trường hợp 1, ta rút ra được bảng kết quả sau:

Bảng 7.2.1. Bảng kết luận mức logic trong trường hợp 1

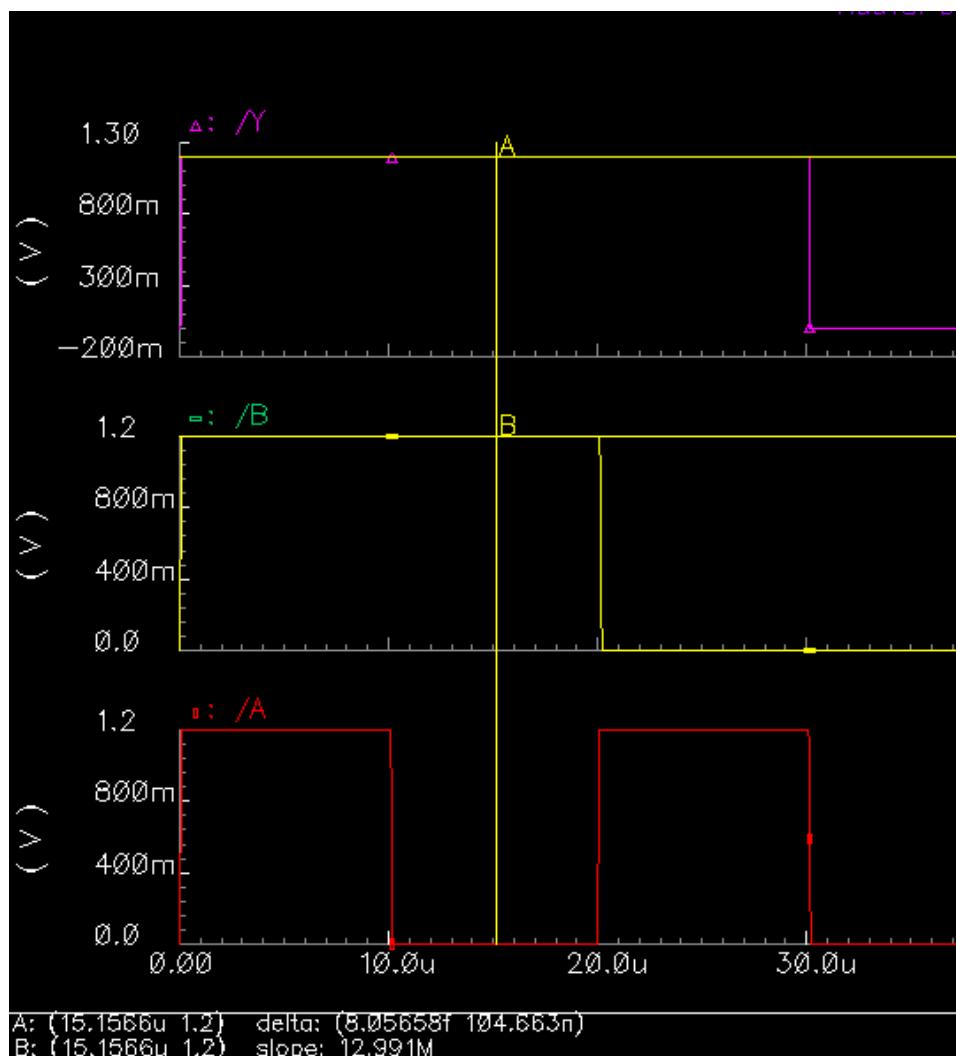
A	B	Y
1	1	1

* Trường hợp 2:



Hình 7.2.12. Điện áp ngõ vào A và B trong trường hợp 2

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $15,1566 \mu s$ lần lượt là 0V (tương ứng với mức logic 0) và 1,2V (tương ứng mức logic 1). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 7.2.13. Điện áp ngõ ra Y trong trường hợp 2

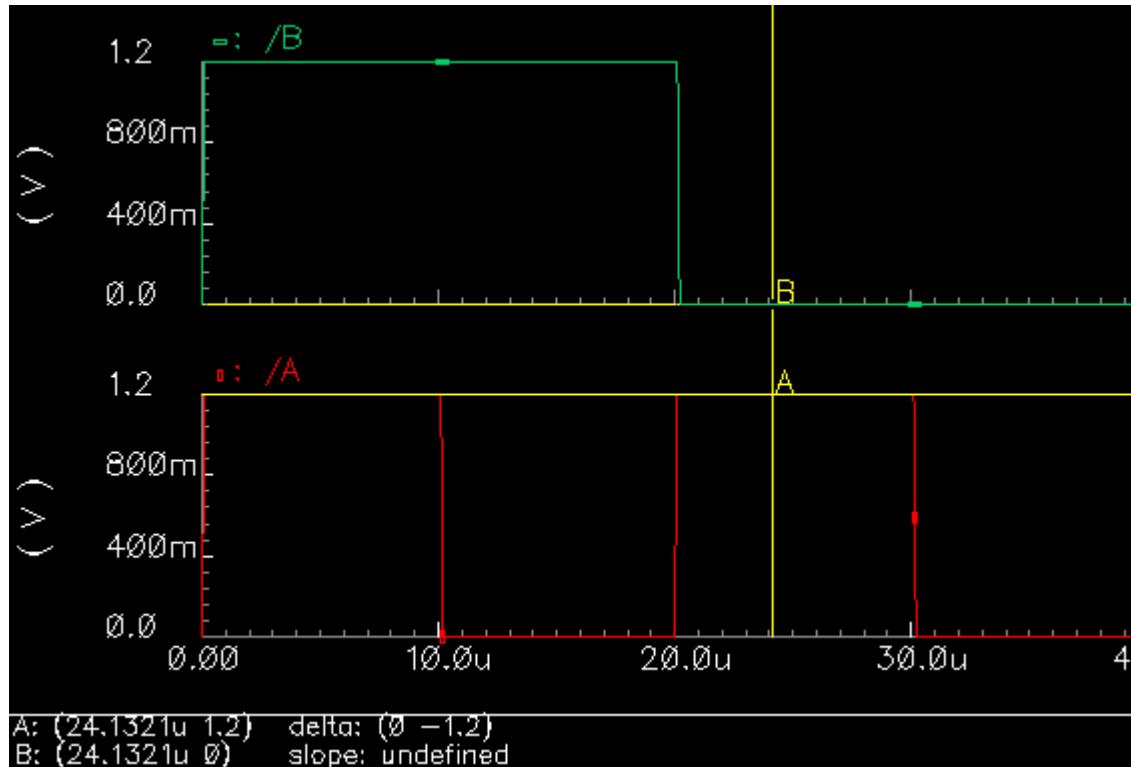
Tại điểm đánh dấu A thời điểm 15,1566 μ s, ta thấy mức điện áp ngõ ra là 1,2 V (tương ứng với mức logic 1).

Vậy ở trường hợp 2, ta rút ra được bảng kết quả sau:

Bảng 7.2.2. Bảng kết luận mức logic trong trường hợp 2

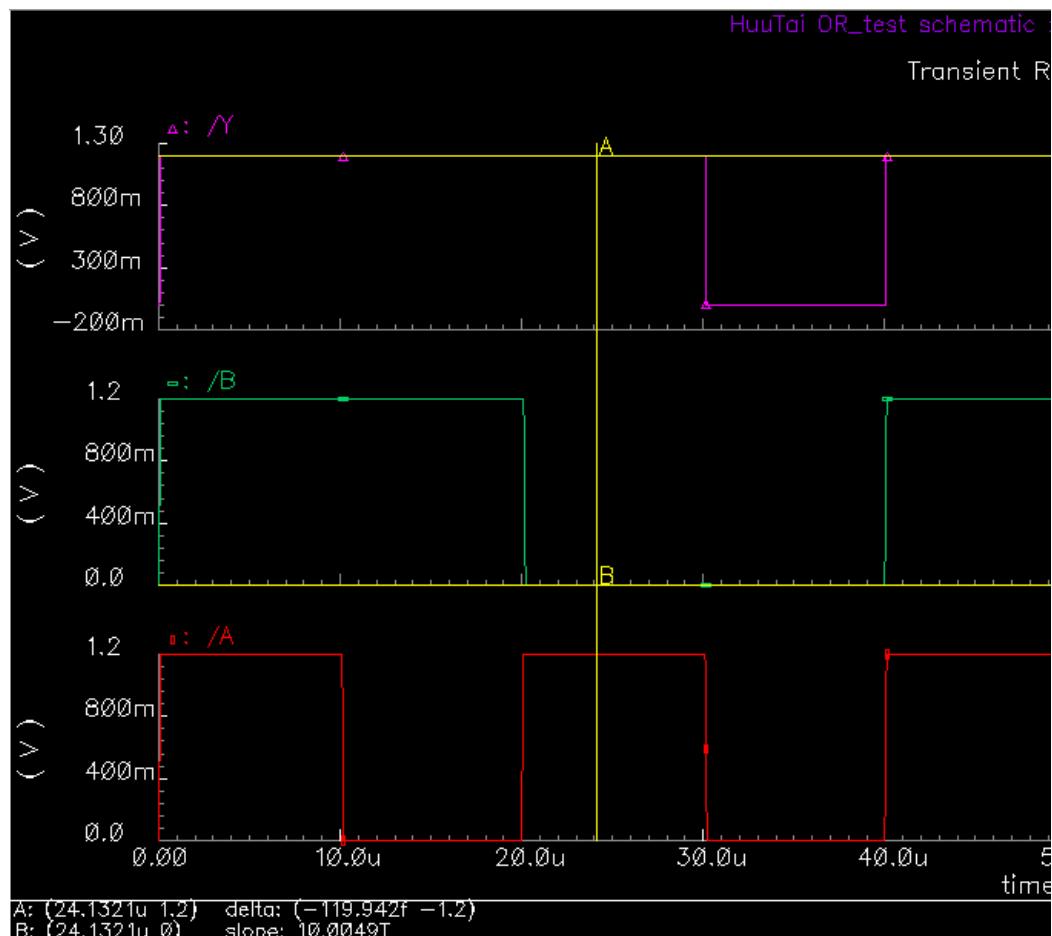
A	B	Y
0	1	1

* Trường hợp 3:



Hình 7.2.14. Điện áp ngõ vào A và B trong trường hợp 3

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $24,1321 \mu s$ lần lượt là 1,2V (tương ứng với mức logic 1) và 0V (tương ứng mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 7.2.15. Điện áp ngõ ra Y trong trường hợp 3

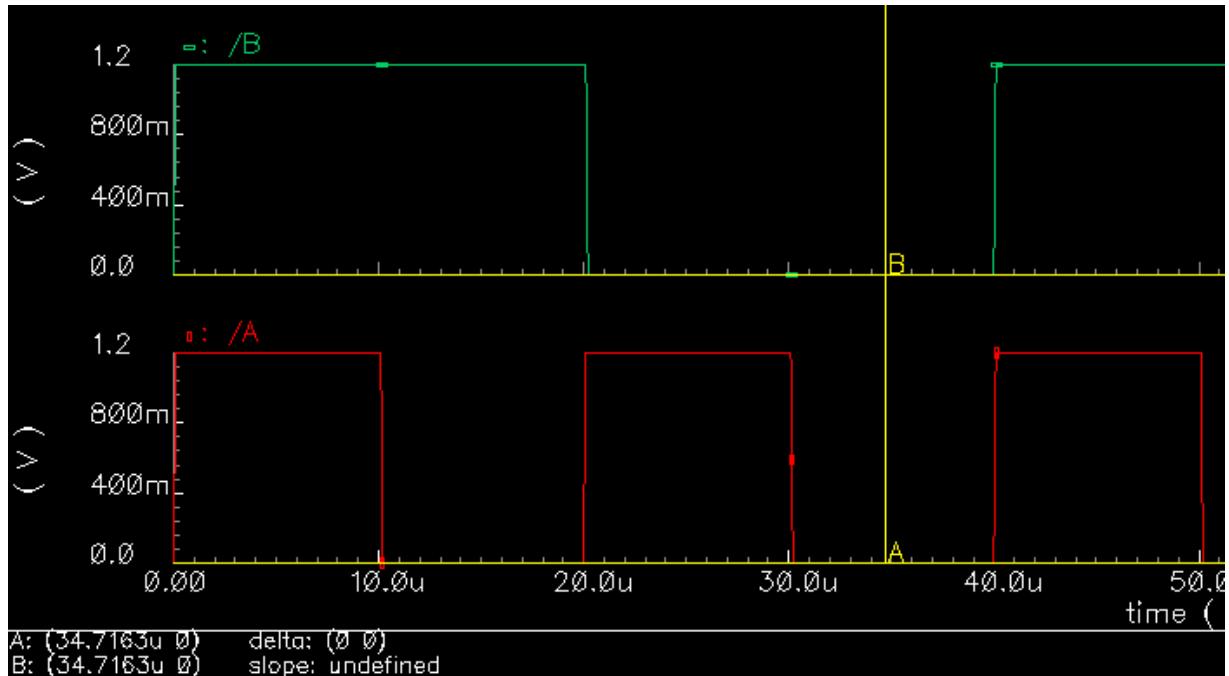
Tại điểm đánh dấu A thời điểm $24,1321 \mu\text{s}$, ta thấy mức điện áp ngõ ra là 1,2 V (tương ứng với mức logic 1).

Vậy ở trường hợp 3, ta rút ra được bảng kết quả sau:

Bảng 7.2.3. Bảng kết luận mức logic trong trường hợp 3

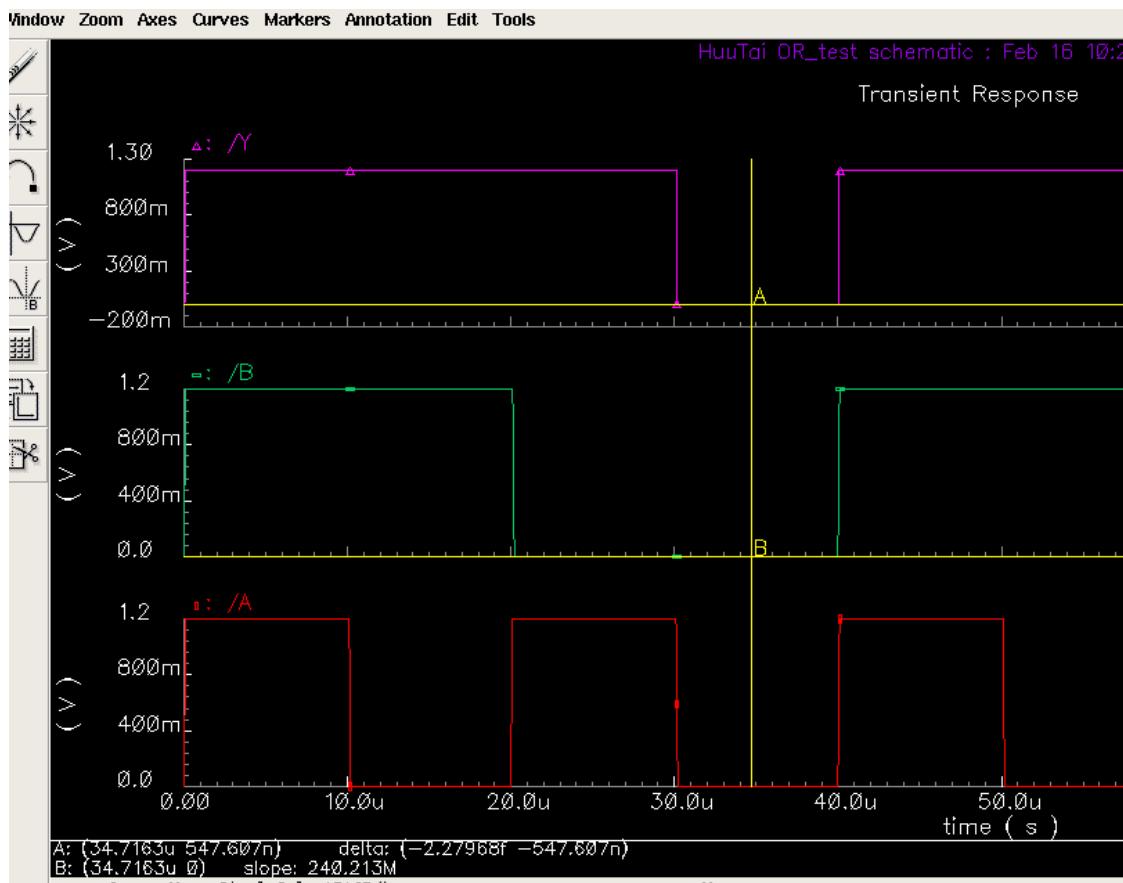
A	B	Y
1	0	1

* Trường hợp 4:



Hình 7.2.16. Điện áp ngõ vào A và B trong trường hợp 4

Ta thấy giá trị điện áp ngõ vào của A và B tại thời điểm $34,7163 \mu\text{s}$ đều là 0V (tương ứng với mức logic 0). Khi đó tại ngõ ra Y dạng sóng như sau:



Hình 7.2.17. Điện áp ngõ ra Y trong trường hợp 4

Tại điểm đánh dấu A thời điểm $34,7163 \mu s$, ta thấy mức điện áp ngõ ra là $547,607$ mV (tương ứng với mức logic 0).

Vậy ở trường hợp 4, ta rút ra được bảng kết quả sau:

Bảng 7.2.4. Bảng kết luận mức logic trong trường hợp 4

A	B	Y
0	0	0

Từ kết quả của 4 trường hợp trên, ta kết luận rằng kết quả này là hoàn toàn đúng với lý thuyết bảng trạng thái của cổng OR như *Bảng 7.1.1*.

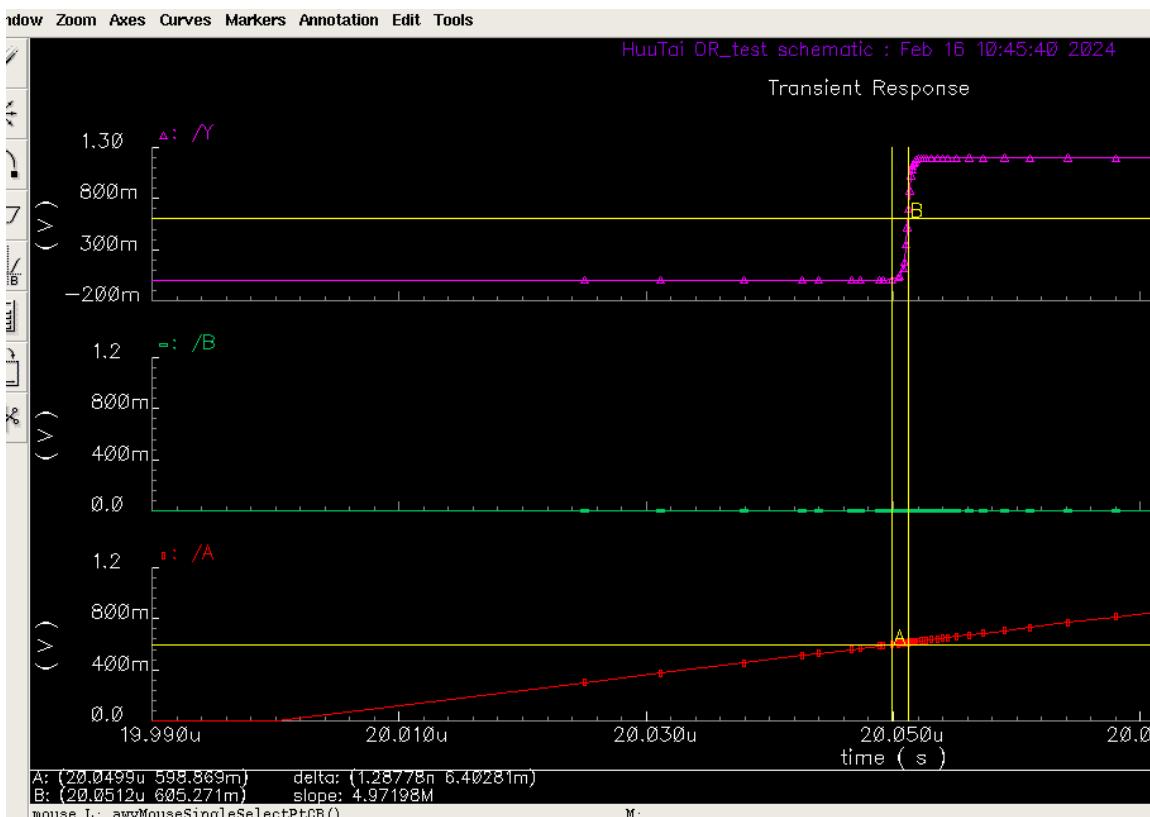
7.2.4.2. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 7.2.18. Đo thời gian trễ khi ngõ vào A cạnh lên

Khi điện áp ngõ vào tăng lên đến 598,869 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 605,271 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 1,28778 ns hay nói $t_{pdr(A)} = 1,28778$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 7.2.19. Đo thời gian trễ khi ngõ vào A cạnh xuống

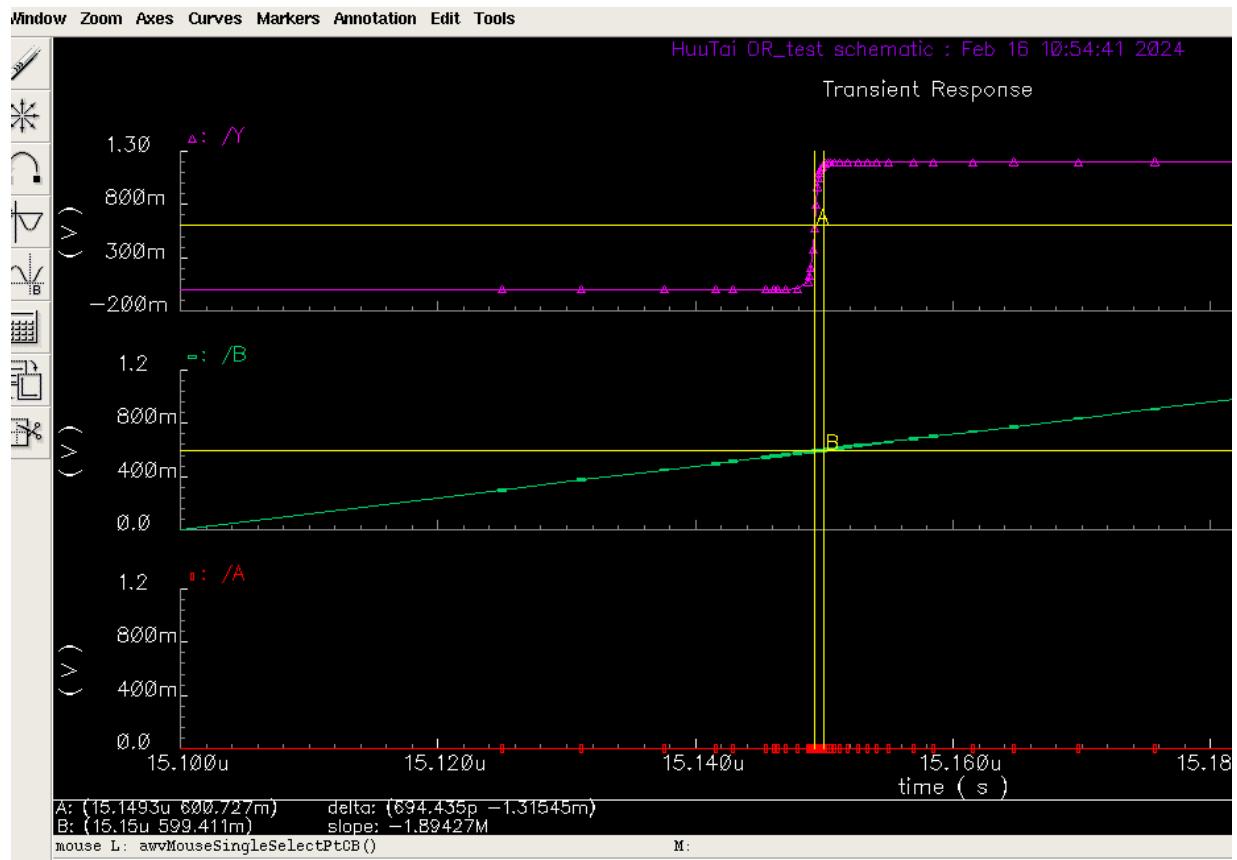
Khi điện áp ngõ vào A giảm xuống đến 599,119 mV (điểm đánh dấu A) và điện áp ngõ ra cũng giảm xuống đến 598,028 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 324,562 ps hay nói $t_{pdf(A)}$ = 324,562 ps.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (1,28778 \text{ ns} + 324,562 \text{ ps}) / 2 = 0,80617 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 7.2.20. Đo thời gian trễ khi ngõ vào B cạnh lên

Khi điện áp ngõ vào B tăng lên đến 599,411 mV (điểm đánh dấu B) và điện áp ngõ ra tăng đến 600,727 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 694,435 ps hay nói $t_{pdr}(B) = 694,435$ ps.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 7.2.21. Đo thời gian trễ khi ngõ vào B cạnh xuống

Khi điện áp ngõ vào B giảm xuống đến 600,459 mV (điểm đánh dấu B) và điện áp ngõ ra giảm xuống đến 601,768 mV (điểm đánh dấu A) thì khoảng thời gian chênh lệch là 1,70034 ns hay nói $t_{pd(B)} = 1,70034$ ns.

Có được $t_{pd(B)}$ và $t_{pdf(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pd(B)} + t_{pdf(B)}) / 2 = (694,435 \text{ ps} + 1,70034 \text{ ns}) / 2 = 1,19739 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

Bảng 7.2.5. Bảng kết quả thời gian trễ

Ngõ vào	Thời gian trễ (t_{pd})
Tại A	0,80617 ns
Tại B	1,19739 ns

7.2.4.3. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

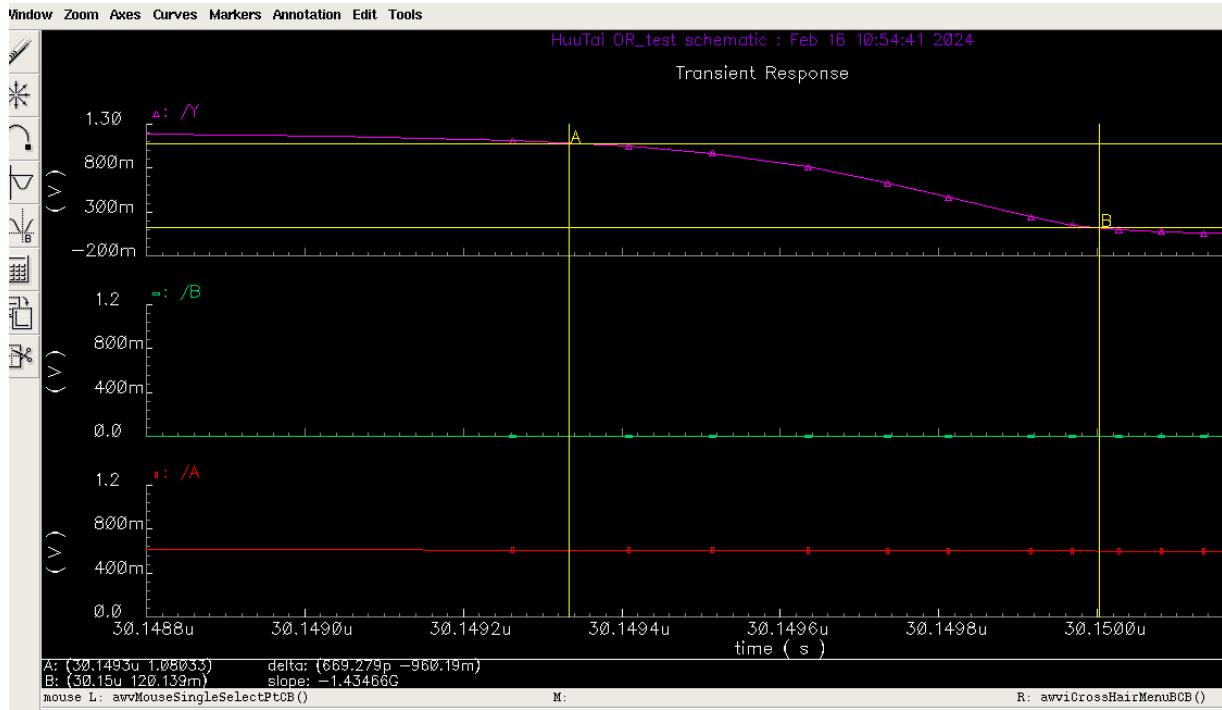
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 120,756 \text{ mV}$ (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08024 \text{ V}$ (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 721,121 ps hay $t_r = 721,121 \text{ ps}$.



Hình 7.2.22. Dánh giá thời gian chuyển mạch ngô ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08033$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,139$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 669,279 ps hay $t_f = 669,279$ ps.

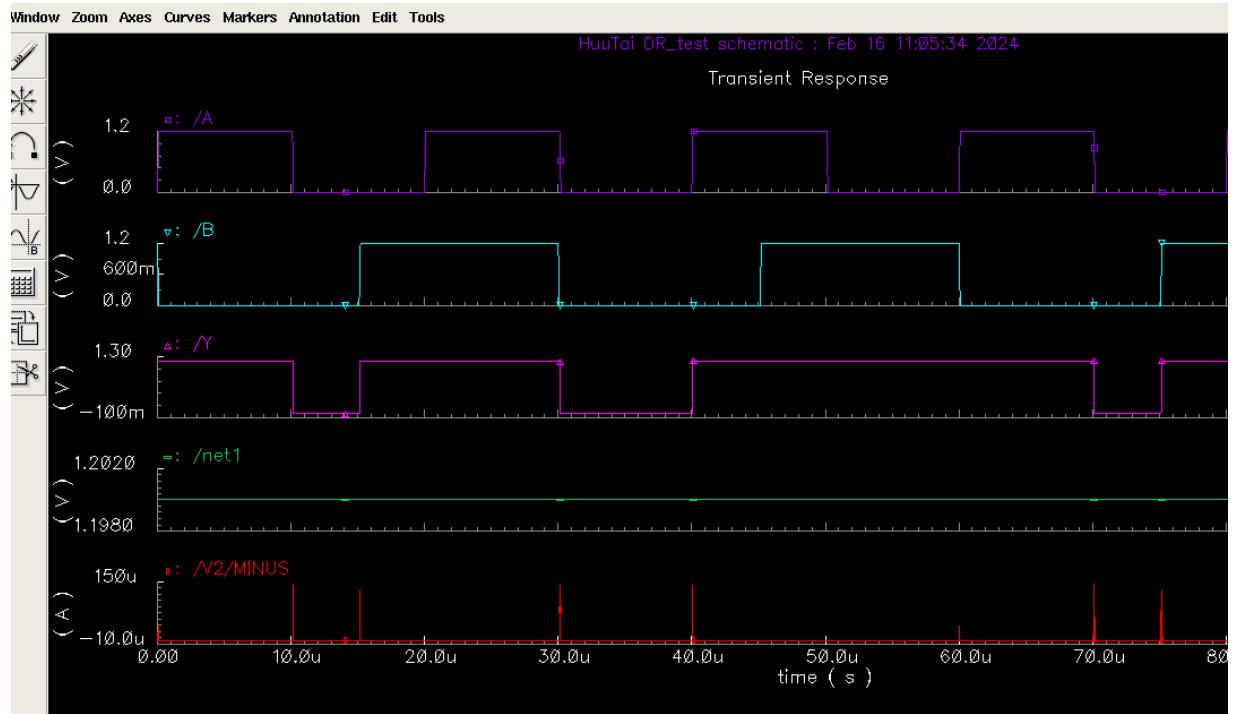


Hình 7.2.23. Dánh giá thời gian chuyển mạch ngơ ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 695,2$ ps.

7.2.4.4. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng OR và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

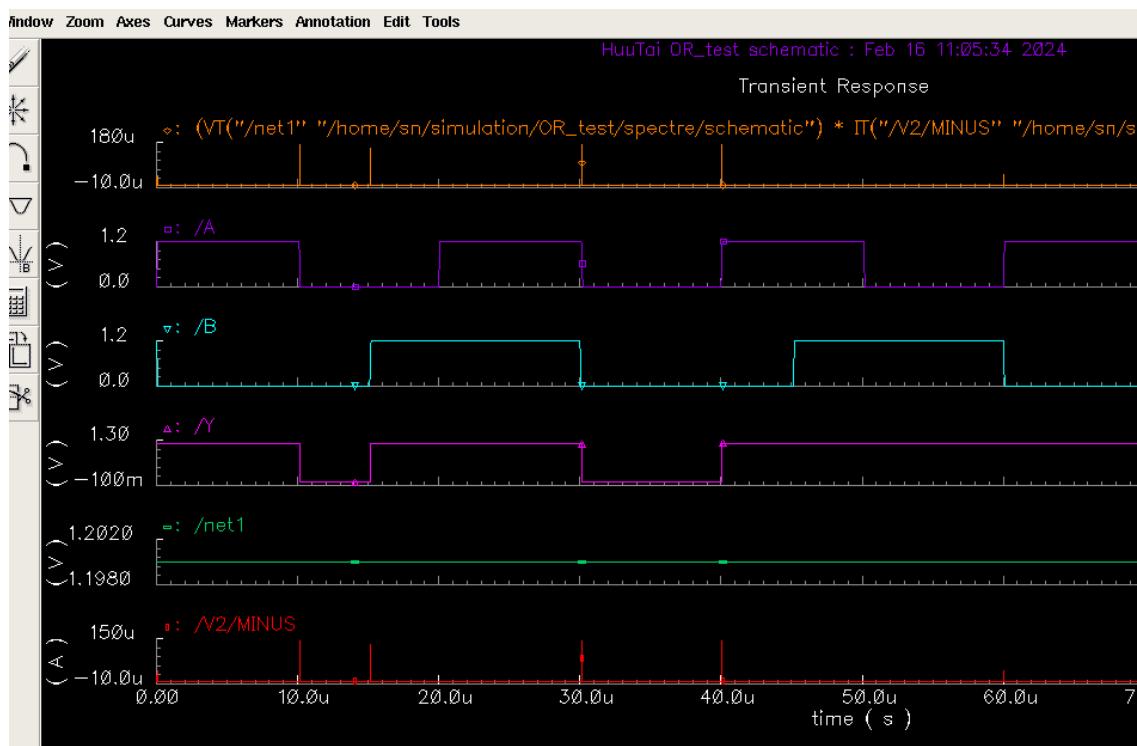
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 7.2.24. Dạng sóng điện áp và dòng điện của nguồn cung cấp

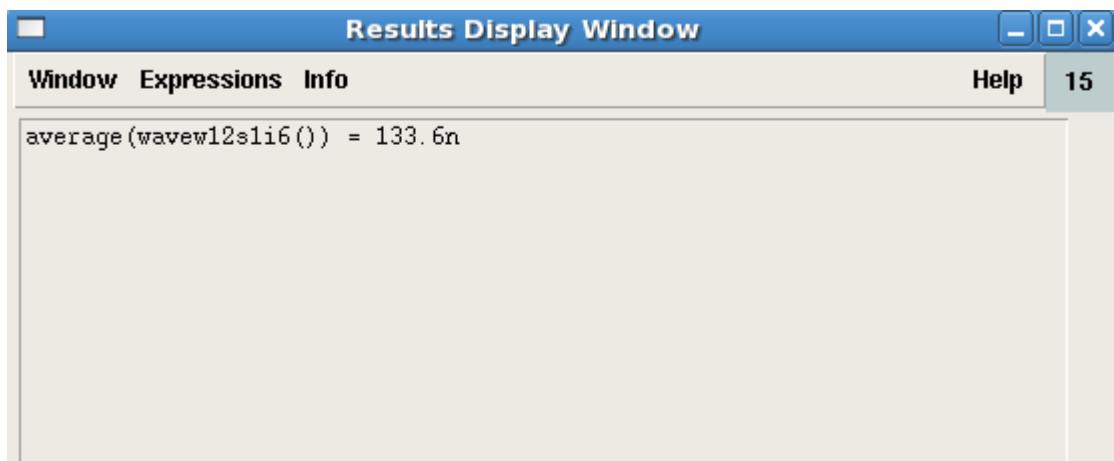
Khi điện áp ngõ ra chuyên từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của công OR để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của công OR.

Ta vẽ dạng sóng công suất tức thời của công OR bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 7.2.25. Dạng sóng công suất tức thời của công OR

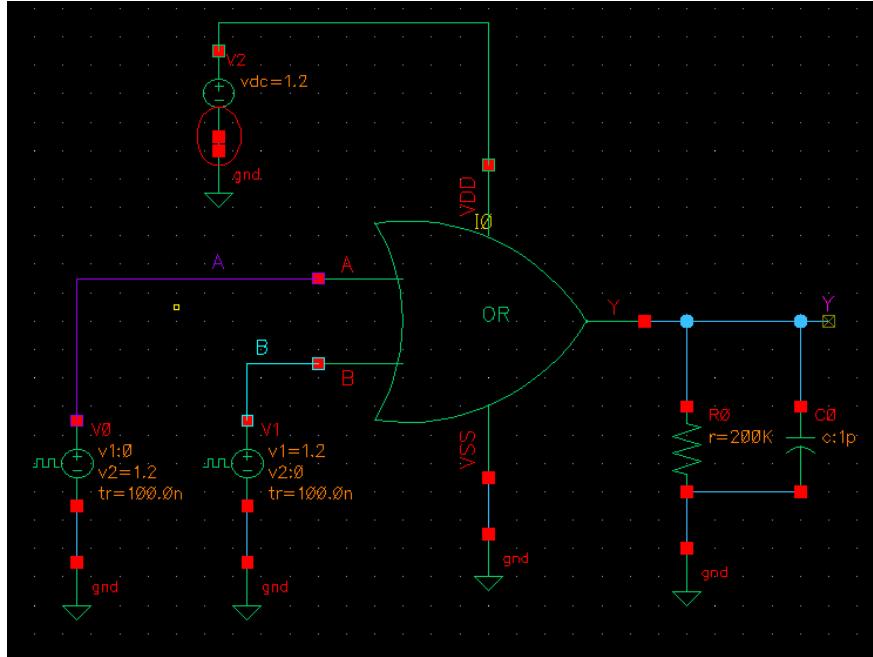
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 133,6 nW.



Hình 7.2.26. Kết quả tính giá trị trung bình trên công OR

7.2.5. Mô phỏng công OR khi có tải C_L , R_L

Ta gắn thêm 1 tụ có độ lớn 1 pF và 1 tải có độ lớn $200\text{ k}\Omega$ song song với ngõ ra của công OR như sau:



Hình 7.2.27. Trường hợp có tải C_L , R_L

Để mô phỏng chức năng của công OR trường hợp có tải, ta thực hiện mô phỏng tương tự trường hợp không có tải.

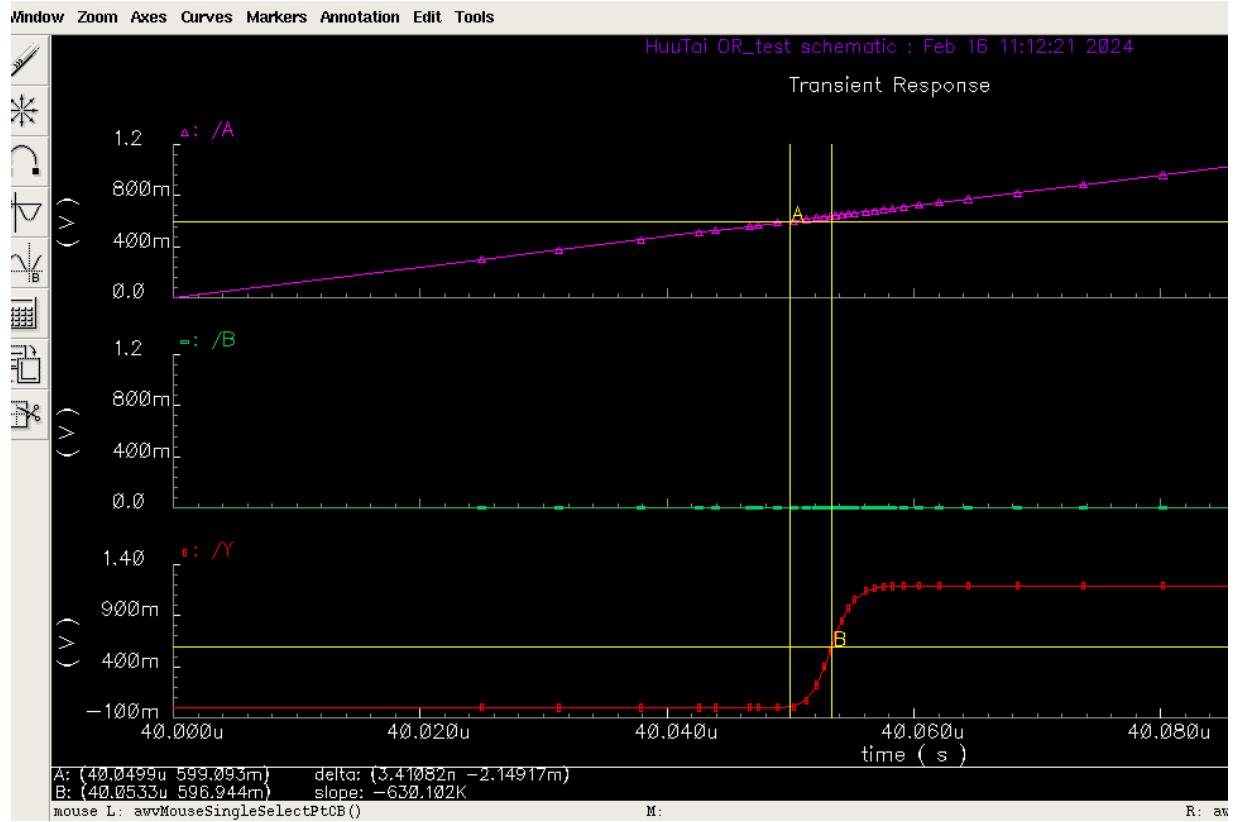
7.2.5.1. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào A và ngõ ra Y:

Ta đánh dấu thời gian của ngõ vào A khi cạnh lên như sau:



Hình 7.2.28. Đo thời gian trễ khi ngõ vào A cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào tăng lên đến 599,093 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 596,944 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 3,41082 ns hay nói $t_{pdr(A)} = 3,41082$ ns.

Ta đánh dấu thời gian của ngõ vào A khi cạnh xuống như sau:



Hình 7.2.29. Do thời gian trễ khi ngõ vào A cạnh xuống (trường hợp có tải)

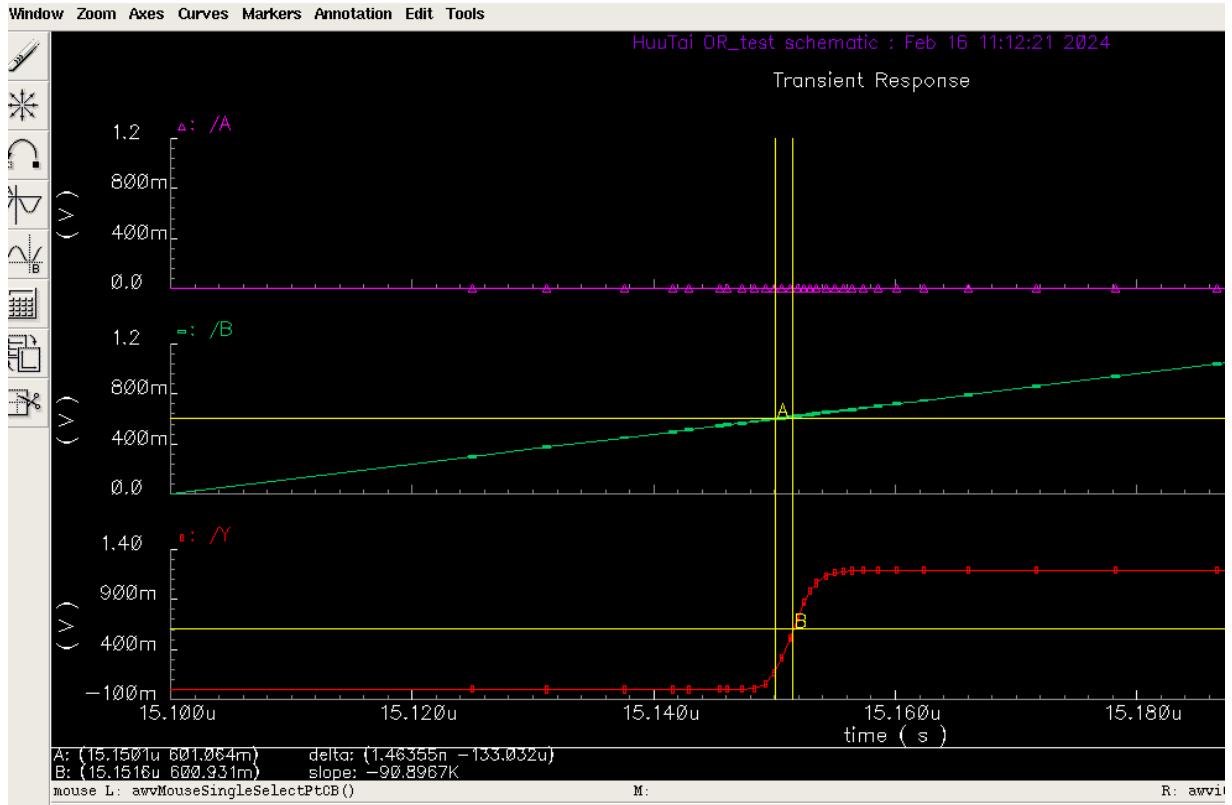
Khi điện áp ngõ vào A giảm xuống đến 601,938 mV (điểm đánh dấu A) và điện áp ngõ ra giảm đến 601,123 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 2,12893 ns hay nói $t_{pdf(A)}$ = 2,12893 ns.

Có được $t_{pdr(A)}$ và $t_{pdf(A)}$, ta có thể tính được thời gian trễ $t_{pd(A)}$ theo công thức sau:

$$t_{pd(A)} = (t_{pdr(A)} + t_{pdf(A)}) / 2 = (3,41082 \text{ ns} + 2,12893 \text{ ns}) / 2 = 2,769875 \text{ ns}$$

* Đo độ trễ tại ngõ vào B và ngõ ra Y:

Ta đánh dấu thời gian của ngõ vào B khi cạnh lên như sau:



Hình 7.2.30. Đo thời gian trễ khi ngõ vào B cạnh lên (trường hợp có tải)

Khi điện áp ngõ vào B tăng lên đến 601,064 mV (điểm đánh dấu A) và điện áp ngõ ra tăng đến 600,931 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 1,46355 ns hay nói $t_{pdr}(B) = 1,46355$ ns.

Ta đánh dấu thời gian của ngõ vào B khi cạnh xuống như sau:



Hình 7.2.31. Đo thời gian trễ khi ngõ vào B cạnh xuống (trường hợp có tải)

Khi điện áp ngõ vào B giảm xuống đến 599,83 mV (điểm đánh dấu A) và điện áp ngõ ra giảm đến 598,193 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 3,7301 ns hay nói $t_{pdf(B)} = 3,7301$ ns.

Có được $t_{pdf(B)}$ và $t_{pd(B)}$, ta có thể tính được thời gian trễ $t_{pd(B)}$ theo công thức sau:

$$t_{pd(B)} = (t_{pdf(B)} + t_{pd(B)}) / 2 = (1,46355 \text{ ns} + 3,7301 \text{ ns}) / 2 = 2,596825 \text{ ns}$$

Từ các kết quả trên, ta có bảng sau:

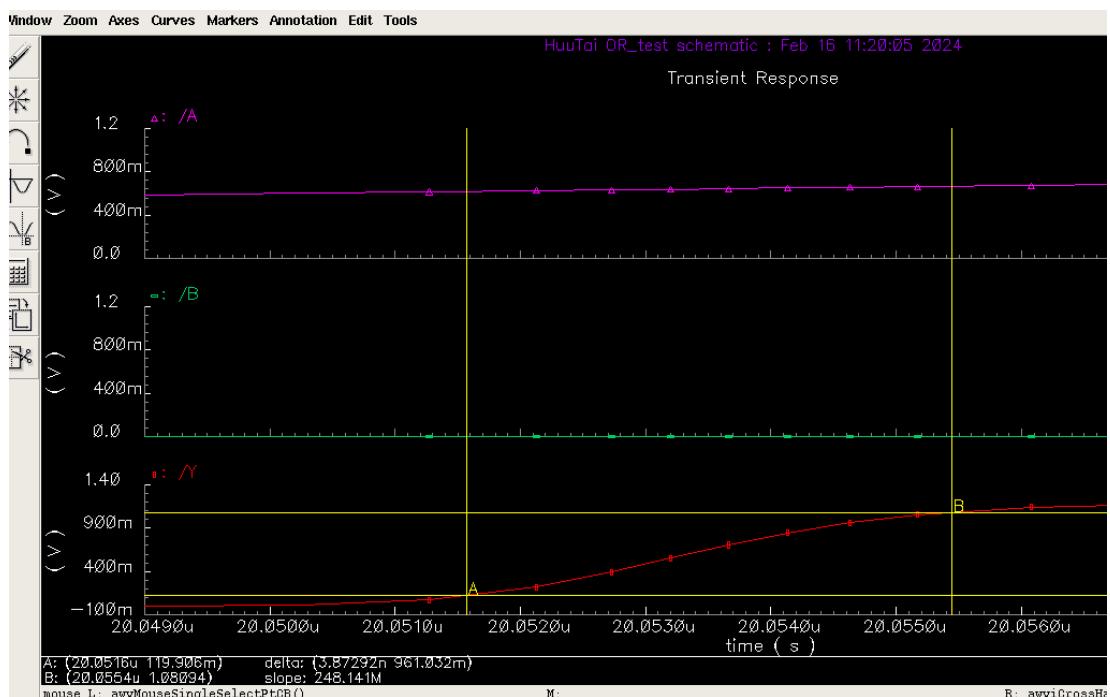
Bảng 7.2.6. Bảng kết quả thời gian trễ trường hợp có tải

Ngõ vào	Thời gian trễ (t_{pd})
Tại A	2,769875 ns
Tại B	2,596825 ns

7.2.5.2. Transition time

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

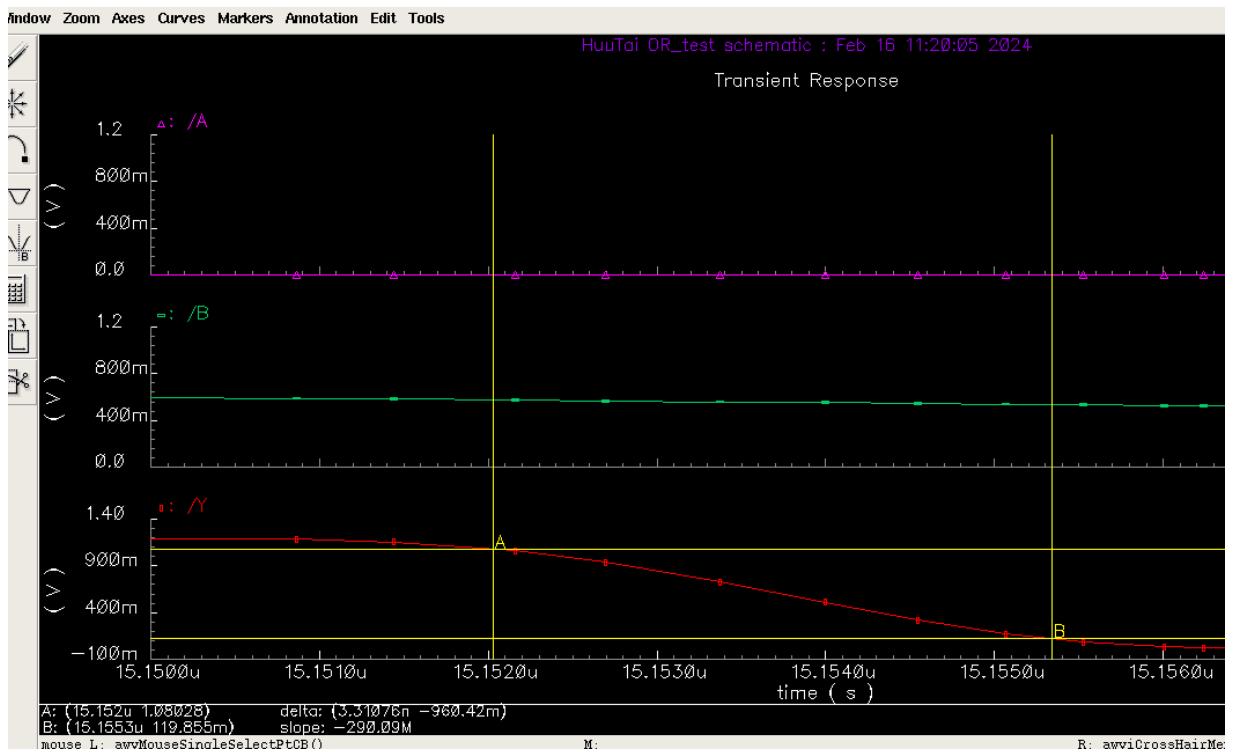
Ta đánh dấu tại điểm A khi $V_{out} = 119,906$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08094$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 3,87292 ns hay $t_r = 3,87292$ ns.



Hình 7.2.32. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

(trường hợp có tải)

Ta đánh dấu tại điểm A khi $V_{out} = 1,08028$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 119,855$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 3,31076 ns hay $t_f = 3,31076$ ns.

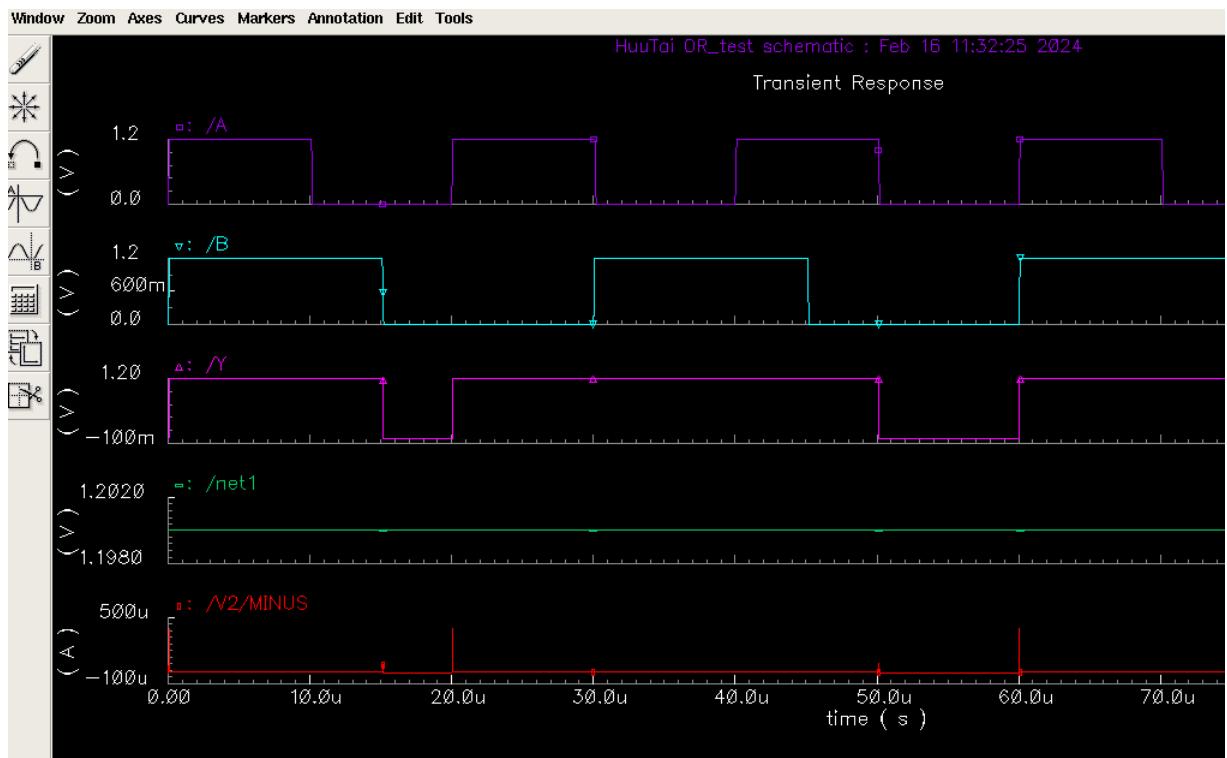


Hình 7.2.33. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0
(trường hợp có tải)

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 3,59184 \text{ ns}$.

7.2.5.3. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho cổng OR và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

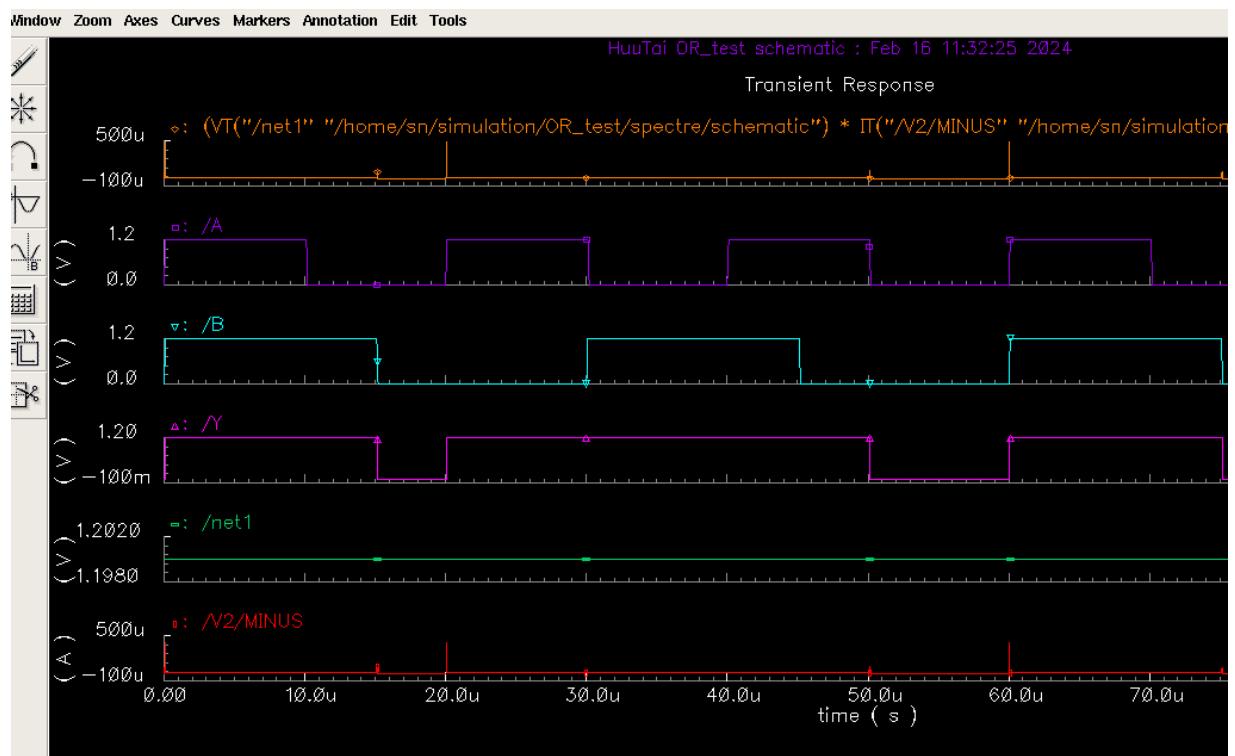
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 7.2.34. Dạng sóng điện áp và dòng điện của nguồn cung cấp (trường hợp có tải)

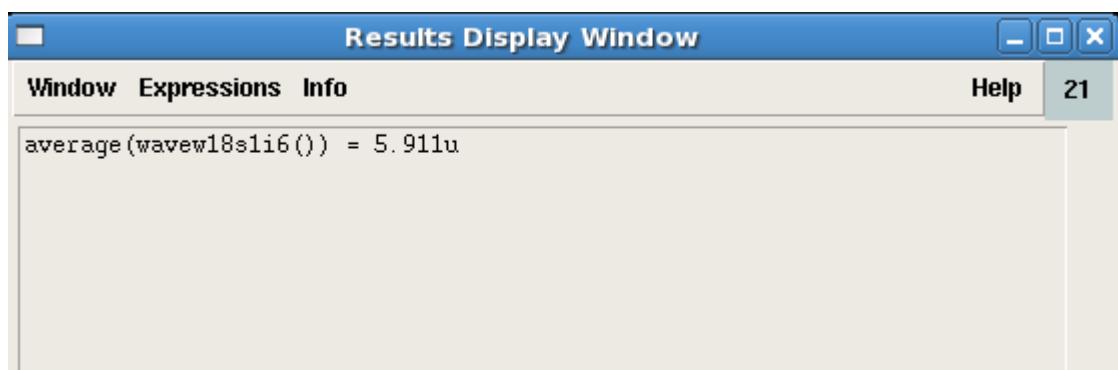
Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào của cổng OR để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của cổng OR.

Ta vẽ dạng sóng công suất tức thời của cổng OR bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 7.2.35. Dạng sóng công suất tức thời của công OR (trường hợp có tải)

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $5,911 \mu\text{W}$.



Hình 7.2.36. Kết quả tính giá trị trung bình trên công OR (trường hợp có tải)

7.2.6. So sánh giữa hai trường hợp có tải và lý tưởng

Dựa vào kết quả tính toán cả 2 trường hợp trên, ta có bảng so sánh sau:

Bảng 7.2.7. So sánh giữa hai trường hợp có tải C_L , R_L và lý tưởng

Thông số	Lý tưởng	Có tải C_L , R_L
VDD	1,2V	1,2V
VSS	0V	0V
Độ trễ đổi với ngõ vào A	0,80617 ns	2,769875ns
Độ trễ đổi với ngõ vào B	1,19739 ns	2,596825ns
Công suất trung bình	133,6 nW	5,911 μ W
Output transition time	695,2 ps	3,59184 ns

Đánh giá:

Trong trường hợp có tải, ta thấy thời gian trễ đổi với ngõ vào A và B không thay đổi nhiều so với trường hợp lý tưởng, tuy nhiên công suất tiêu thụ trên công và thời gian chuyển đổi mạch đã tăng lên rất nhiều lần.

Phần 8

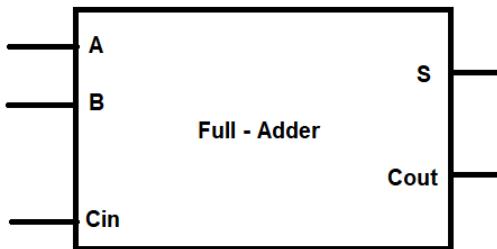
LÝ THUYẾT VÀ MÔ PHỎNG BỘ CỘNG TOÀN PHẦN FULL ADDER

8.1. Lý thuyết

8.1.1. Sơ đồ khói, bảng trạng thái của bộ cộng toàn phần FA

Trong điện tử kỹ thuật số, mạch cộng toàn phần là một loại mạch được sử dụng để cộng hai số nhị phân một bit gồm 3 ngõ vào và 2 ngõ ra. Hai đầu vào đầu tiên là A và B và đầu vào thứ ba là Cin chính là số dư của phép tính trước. Hai đầu ra gồm Cout là số dư và S là số tổng bit của A và B.

Sơ đồ khói: Bộ cộng toàn phần FA được thể hiện qua sơ đồ khói như sau:



Hình 8.1.1. Sơ đồ khói của bộ cộng toàn phần FA

Bảng trạng thái:

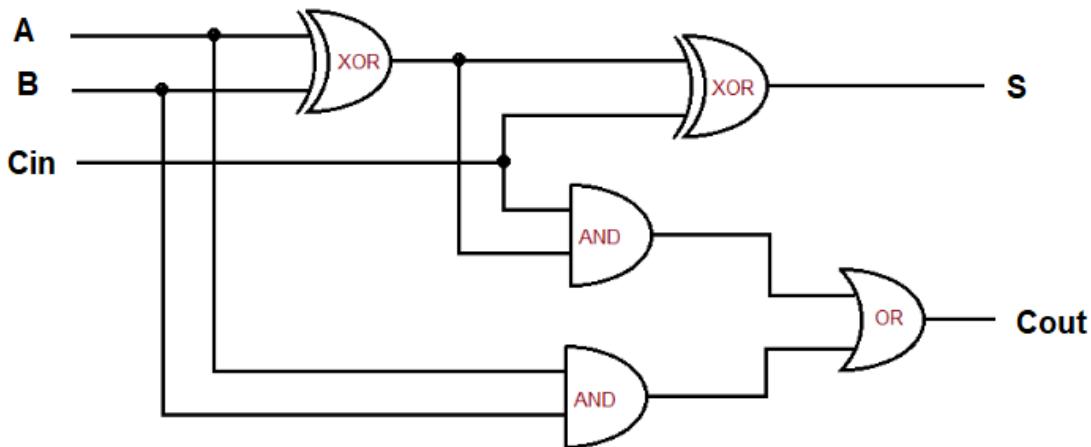
Bảng 8.1.1. Bảng trạng thái của bộ cộng toàn phần FA

A	B	Cin	S	Cout
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0

1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

8.1.2. Sơ đồ logic của bộ cộng toàn phần FA

Từ bảng trạng thái trên, ta vẽ ra được sơ đồ logic bằng cách nối các cổng có sẵn tạo thành bộ cộng toàn phần FA như sau:

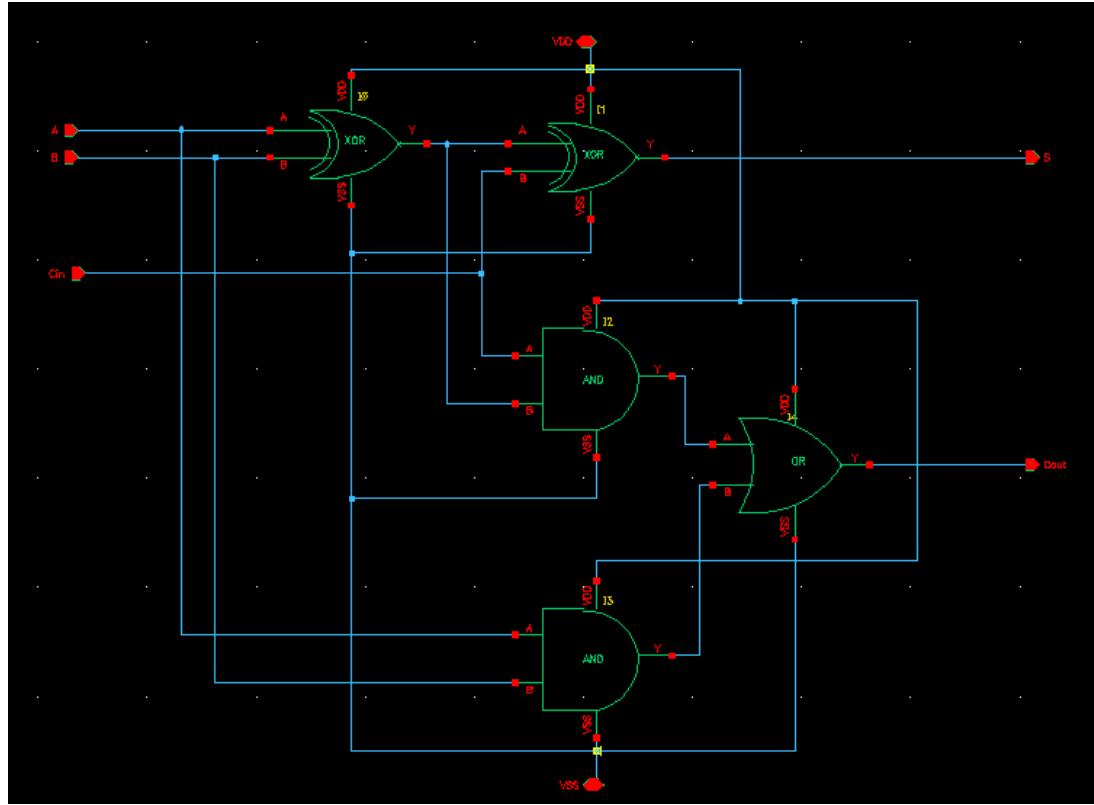


Hình 8.1.2. Sơ đồ logic của bộ cộng toàn phần FA

8.2. Mô phỏng với phần mềm Cadence

8.2.1. Sơ đồ mô phỏng

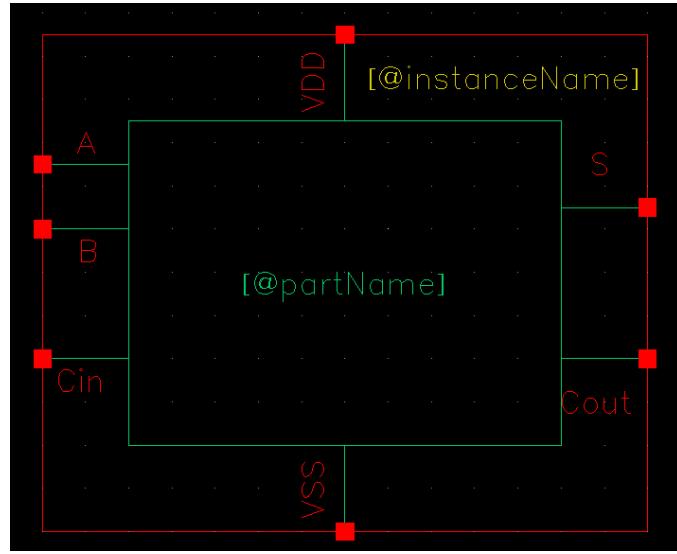
Dựa vào sơ đồ *Hình 8.1.2*, ta thiết kế bộ cộng toàn phần FA từ các công logic đã tạo trước đó như sau:



Hình 8.2.1. Sơ đồ mô phỏng bộ cộng toàn phần FA trên Cadence

8.2.2. Đóng gói sản phẩm

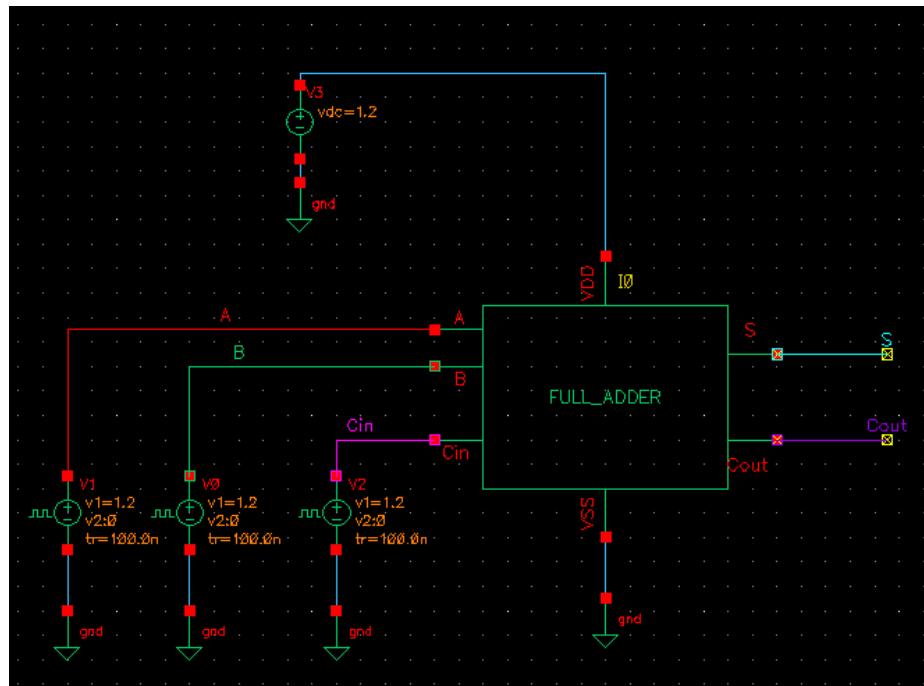
Sau khi hoàn thành sơ đồ mô phỏng bộ cộng toàn phần FA, ta tiến hành đóng gói sơ đồ khói như *Hình 8.1.1*.



Hình 8.2.2. Bộ cộng toàn phần FA sau khi đóng gói

8.2.3. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của công, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho bộ cộng đã đóng gói như sau:



Hình 1.2.3. Cấp nguồn và tín hiệu cho bộ cộng FA sau khi đóng gói

Tại VDD của bộ công, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off □
AC phase		off □
DC voltage	1.2V ✓	off □
Noise file name		off □
Number of noise/freq pairs	0	off □

Hình 8.2.4. Thông số của nguồn cung cấp VDC cho bộ công FA

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào A và B, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là $0.1\mu s$, tuy nhiên để qua sát được đầy đủ các trường hợp của 2 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào A, độ rộng xung là $10\mu s$ và chu kỳ là $20\mu s$. Tại B, độ rộng xung là $20\mu s$ và chu kỳ là $40\mu s$.

Tại ngõ vào Cin, ta cũng đặt một nguồn V_{pulse} tương tự như tại ngõ vào A và B, tuy nhiên chỉ để ngõ vào Cin thể hiện chỉ 2 trường hợp 0 và 1, ta cho độ rộng xung là $40\mu s$ và chu kỳ là $80\mu s$.

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	10u s	off ▾
Period	20u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
Type of rising & falling edge	—	off ▾

Hình 8.2.5. Thông số nguồn V_{pulse} tại ngõ vào A

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	1.2 V	off ▾
Voltage 2	0 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
Type of rising & falling edge	—	off ▾

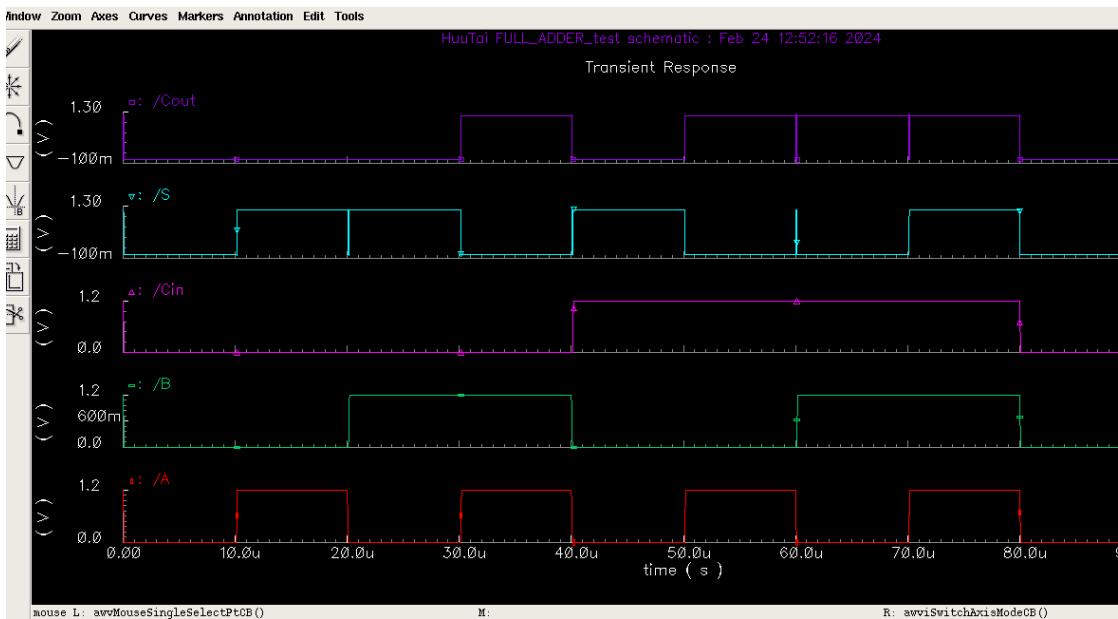
Hình 8.2.6. Thông số nguồn V_{pulse} tại ngõ vào B

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	1.2 V	off ▾
Voltage 2	0 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	40u s	off ▾
Period	80u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾
Number of noise/freq pairs	0	off ▾
Time of rising & falling edges		

Hình 8.2.7. Thông số nguồn V_{pulse} tại ngõ vào Cin

8.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng

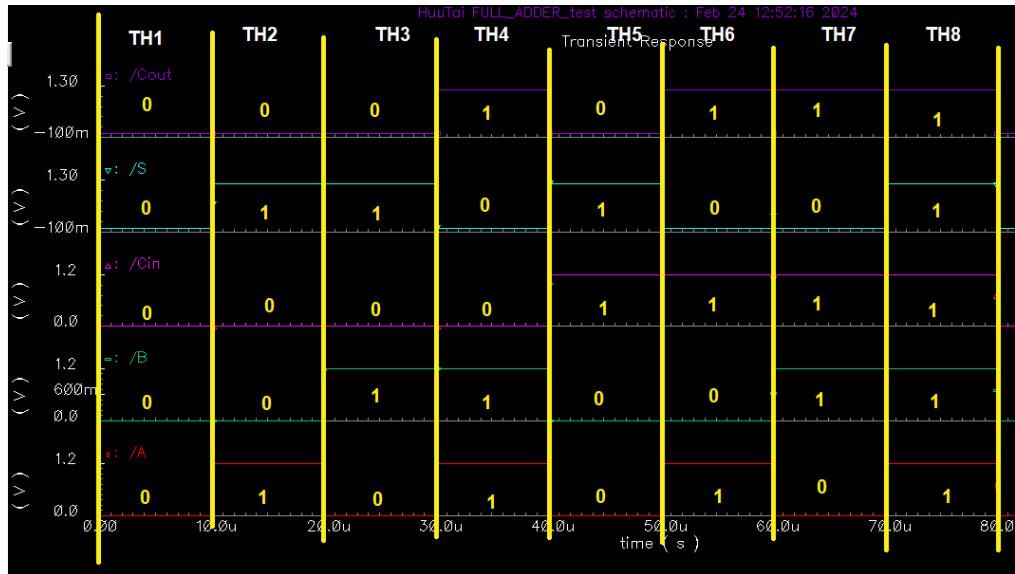
Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (A, B, Cin) và ngõ ra (S, Cout) của bộ cộng toàn phần FA và thu được kết quả như sau:



Hình 8.2.8. Dạng sóng điện áp ngõ vào A, B, Cin và ngõ ra Y, Cout

8.2.4.1. Đánh giá mức điện áp

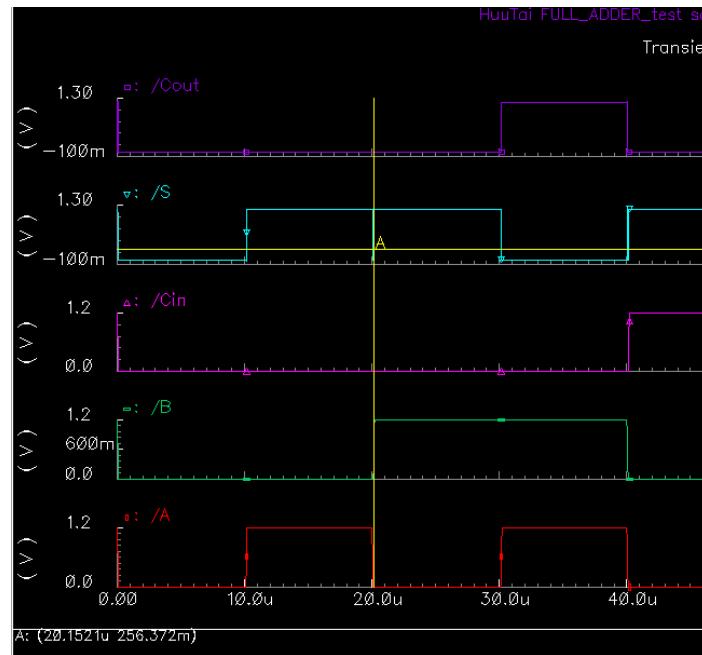
Ta phân tích các mức điện áp về các mức logic 0 và 1 của các ngõ vào và ngõ ra, mỗi trường hợp là một khoảng thời gian cách nhau 10 μ s và được thể hiện như sau:



Hình 8.2.9. Mức logic trong các trường hợp

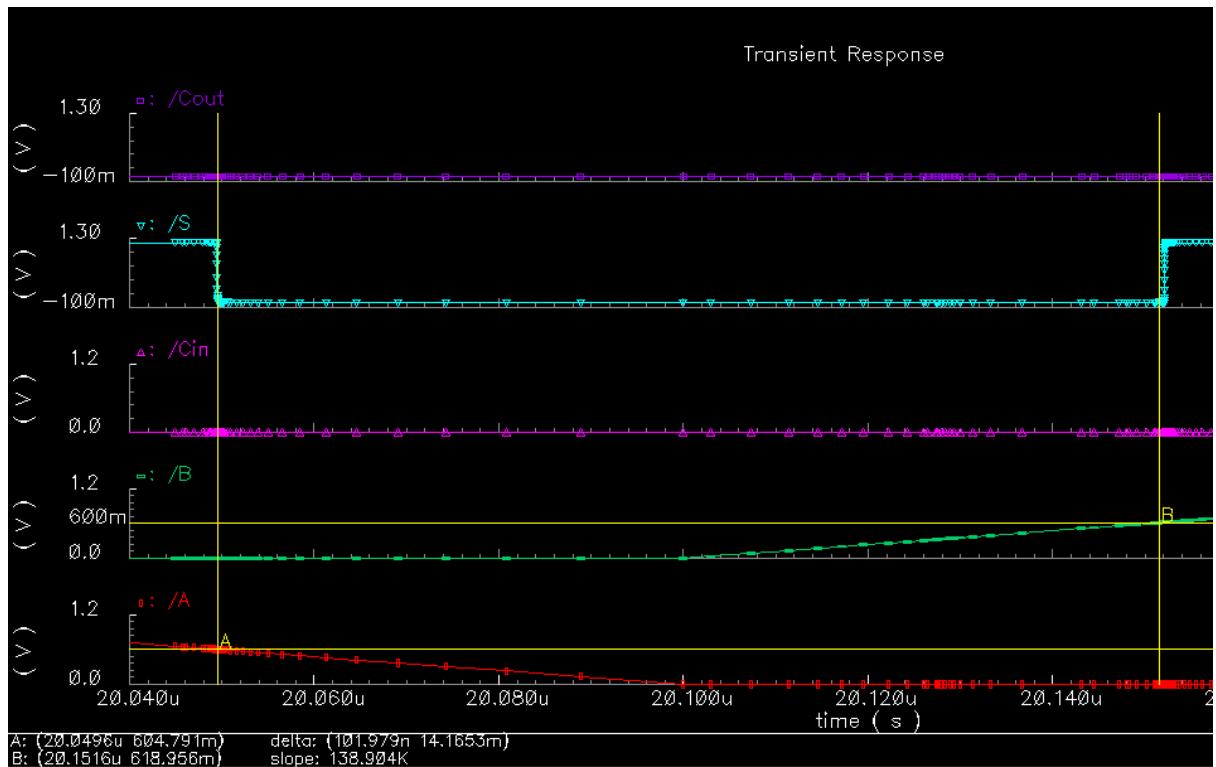
Ta thấy rằng mức logic của ngõ vào và ngõ ra trong 8 trường hợp trên hoàn toàn giống với bảng trạng thái của bộ cộng toàn phần FA *Bảng 8.1.1*. Như vậy ta kết luận mạch trên có thể xử lý đúng dữ liệu.

Tuy nhiên, ta thấy rằng ở ngõ ra có một số điểm điện áp thay đổi bất thường như sau:



Hình 8.2.10. Điện áp thay đổi bất thường tại ngõ ra

Nguyên nhân là do các ngõ vào có độ trễ nên không thể chuyển đổi trạng thái tại cùng một thời điểm. Cụ thể ngõ vào tại A chuyển trạng thái trước ngõ vào B, khi A chuyển từ 1 xuống 0 nhưng tại B chưa kịp chuyển lên mức 1 thì trong khoảng thời gian trễ đó ngõ ra S sẽ bị đẩy xuống mức logic 0. Ta phóng to đồ thị để thấy rõ:



Hình 8.2.11. Đánh dấu sóng tại điểm bắt thường

Ta đánh dấu điểm A tại thời điểm mức điện áp là 604,791 mV, điểm B tại thời điểm mức điện áp là 618,956 mV, trong khoảng thời gian cả 2 ngõ vào đều ở mức logic 0 nên ngõ ra S sẽ bị kéo xuống mức 0, do đó ta thấy rằng ngõ ra sẽ bị thay đổi điện áp bắt thường trong khoảng thời gian rất ngắn.

8.2.4.2. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

Ta tiến hành đo độ trễ lần lượt từng ngõ vào khi cạnh lên và cạnh xuống với từng ngõ ra và thu được bảng sau:

Bảng 8.2.1. Bảng kết quả thời gian trễ

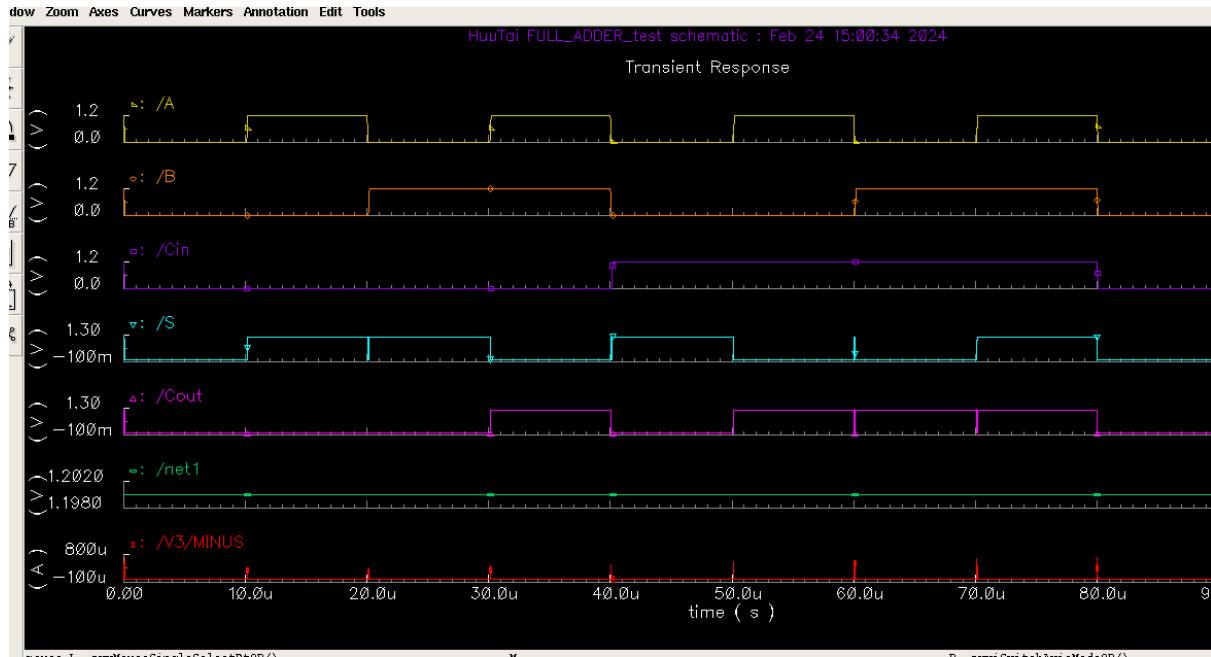
Ngõ vào	Ngõ ra	Thông số	Giá trị	
A	S	t_{pdr}	2,16564 ns	
		t_{pdf}	1,74998 ns	
B		t_{pdr}	1,95111 ns	
		t_{pdf}	976,85 ns	
Cin		t_{pdr}	1,8761 ns	
		t_{pdf}	1,4588 ns	
A	Cout	t_{pdr}	3,21284 ns	
		t_{pdf}	2,8889 ns	
B		t_{pdr}	2,20923 ns	
		t_{pdf}	1,38035 ns	
Cin		t_{pdr}	2,4577 ns	
		t_{pdf}	1,5247 ns	

Nhận xét:

- Ta thấy rằng thời gian trễ cạnh lên t_{pdr} và cạnh xuống t_{pdf} giữa ngõ vào và các ngõ ra chênh lệch không lớn.
 - t_{pdr} lớn nhất là khoảng 3,21284 ns.
 - t_{pdf} lớn nhất là khoảng 2,8889 ns.

8.2.4.3. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho bộ FA và dạng sóng của dòng điện qua nguồn cung cấp như sau:



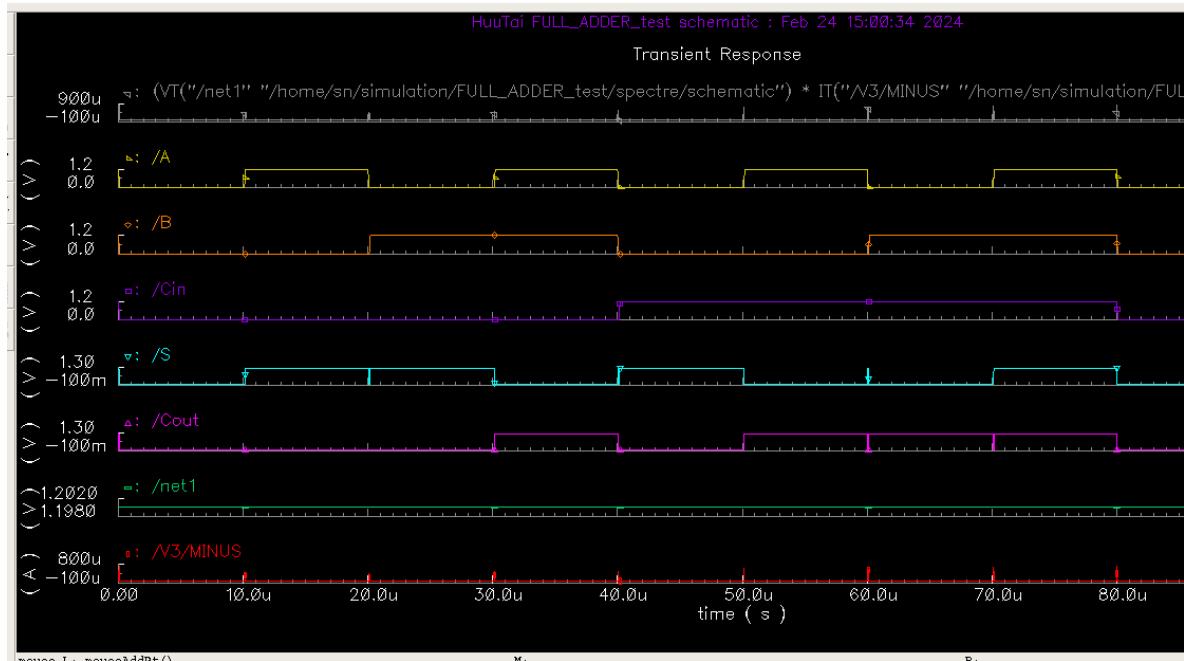
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

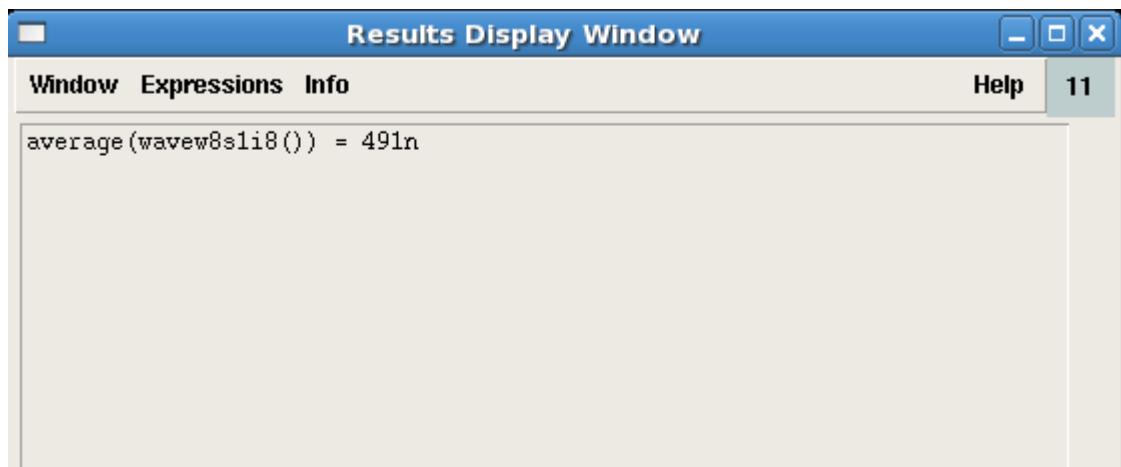
Hình 8.2.12. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời của bộ FA bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 8.2.13. Dạng sóng công suất tức thời của bộ cộng FA (màu xám)

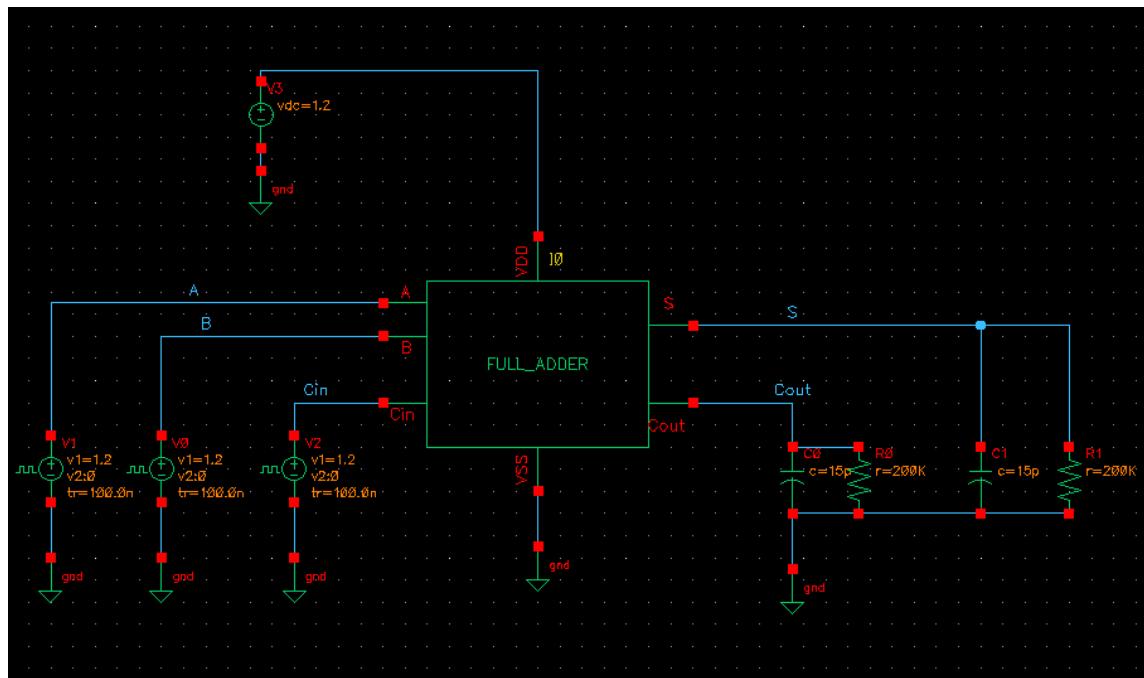
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 491 nW.



Hình 8.2.14. Kết quả tính giá trị công suất trung bình của bộ FA

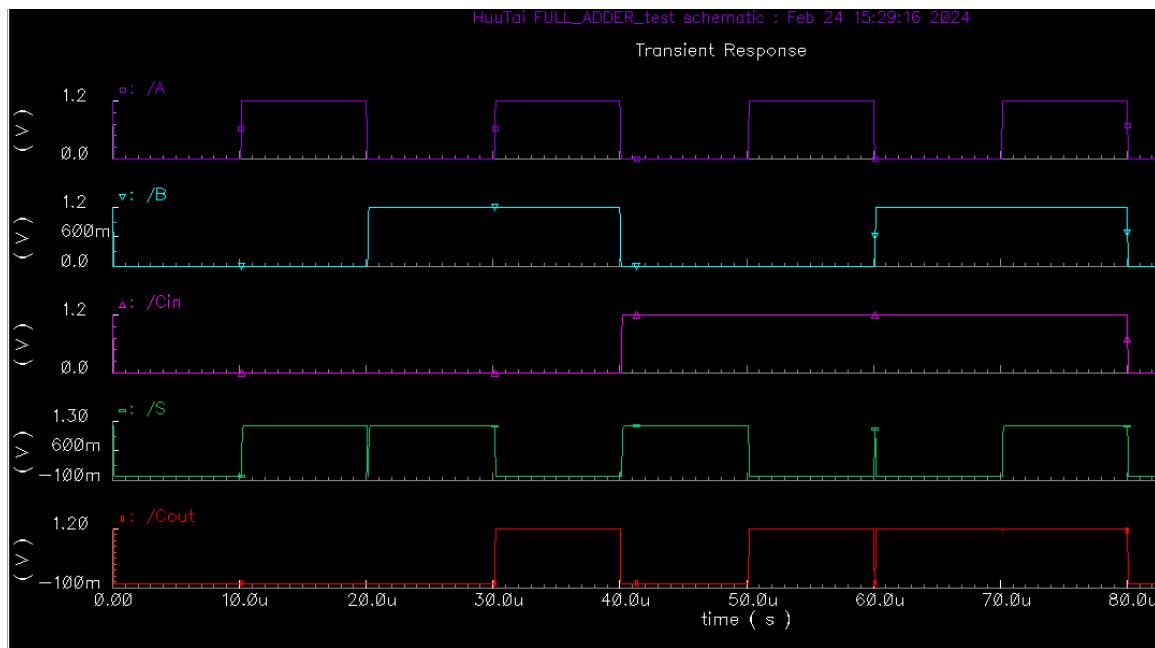
8.3. Trường hợp có tải C_L , R_L

Ta thêm một tụ $C_L = 15 \text{ pF}$ và một tải $R_L = 200 \text{ k}\Omega$ được mắc song song với các ngõ ra của bộ FA như sau:



Hình 8.3.1. Mắc thêm tụ và trổ vào ngõ ra cho bộ FA

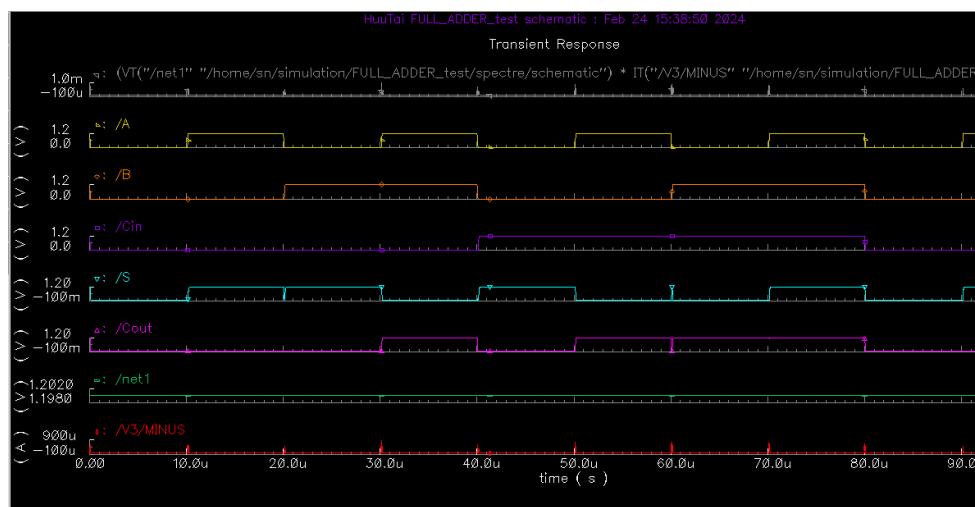
Các thông số VDC, Vpulse ta giữ nguyên như trong trường hợp lý tưởng. Về dạng sóng của ngõ vào và ngõ ra ta được như sau:



Hình 8.3.2. Dạng sóng ngõ vào và ngõ ra trong trường hợp có tải

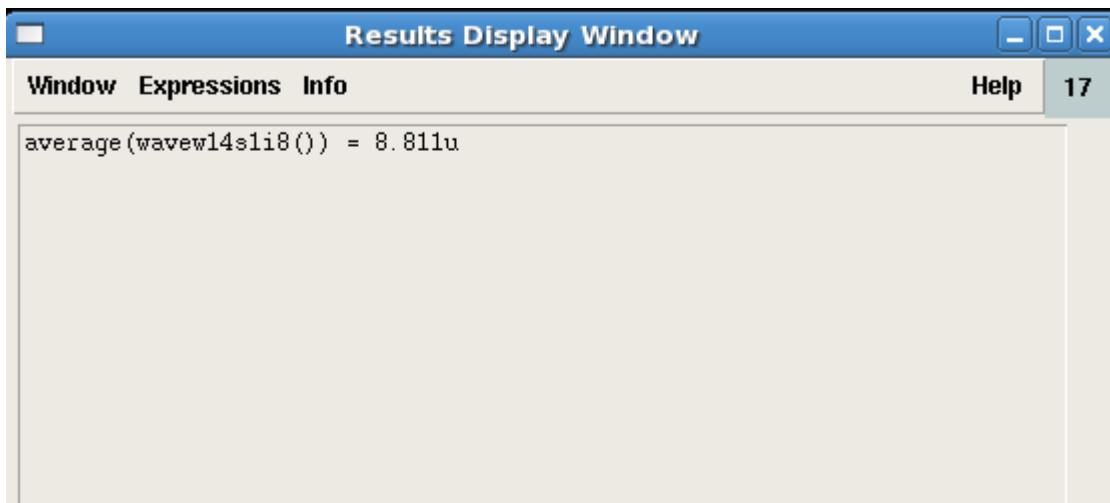
Sau khi mắc tải, ta thấy dạng sóng điện áp ngõ ra cũng tương tự như lúc chưa gán tụ (*Hình 8.2.8.*), ta kết luận rằng bộ cộng FA này không thay đổi về mặt chức năng khi ta thêm các tải phía sau.

Công suất: Ta vẽ dạng sóng công suất tức thời sau khi gán tải như sau:



Hình 8.3.4. Công suất tức thời trong trường hợp có tải

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $8,811 \mu\text{W}$.



Hình 8.3.5. Công suất trung bình tiêu hao trên bộ FA

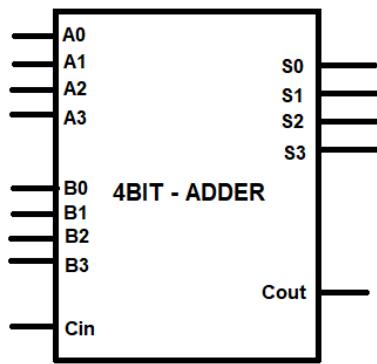
Phần 9

LÝ THUYẾT VÀ MÔ PHỎNG BỘ CỘNG HAI SỐ NHỊ PHÂN 4 BIT

9.1. Lý thuyết

Từ bộ cộng toàn phần FA như thiết kế trên, ta tiến hành ghép lại với nhau để tạo thành một bộ cộng hai số nhị phân 4 bit lại với nhau.

Sơ đồ khối: Bộ cộng 4 bit được thể hiện qua sơ đồ khối như sau:



Hình 9.1.1. Sơ đồ khối của bộ cộng 4 bit

Trong đó:

Ngõ vào:

A0, A1, A2, A3: là 4 bit của số nhị phân A.

B0, B1, B2, B3: là 4 bit của số nhị phân B.

Cin: là bit nhớ đầu vào.

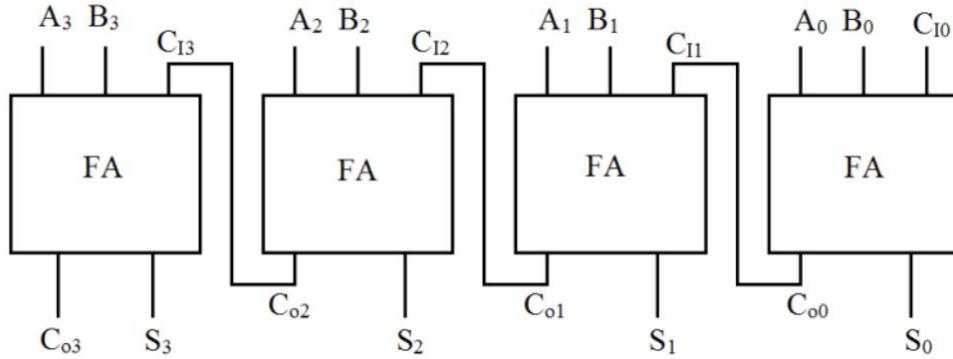
Ngõ ra:

S0, S1, S2, S3: là 4 bit kết quả của phép cộng giữa A và B.

Cout: là kết quả số nhớ sau khi thực hiện phép cộng hai số A và B.

Sơ đồ nguyên lý của bộ cộng 4 bit:

Mạch được xây dựng từ 4 mạch cộng toàn phần 1 bit, mỗi bit ở từng cột của 2 số nhị phân được đưa lần lượt vào từng ngõ vào của mạch cộng 1 bit, ngõ ra bit nhớ của mạch cộng trước đó được sử dụng làm ngõ vào bit nhớ của mạch cộng tiếp theo.



Hình 9.1.2. Sơ đồ nguyên lý của bộ cộng 4 bit

Giả sử ta cần cộng 2 số nhị phân 4 bit là $A_3A_2A_1A_0$ và $B_3B_2B_1B_0$, bit nhớ ban đầu là $C_{i0} = 0$. Ta có nguyên lý cộng như sau:

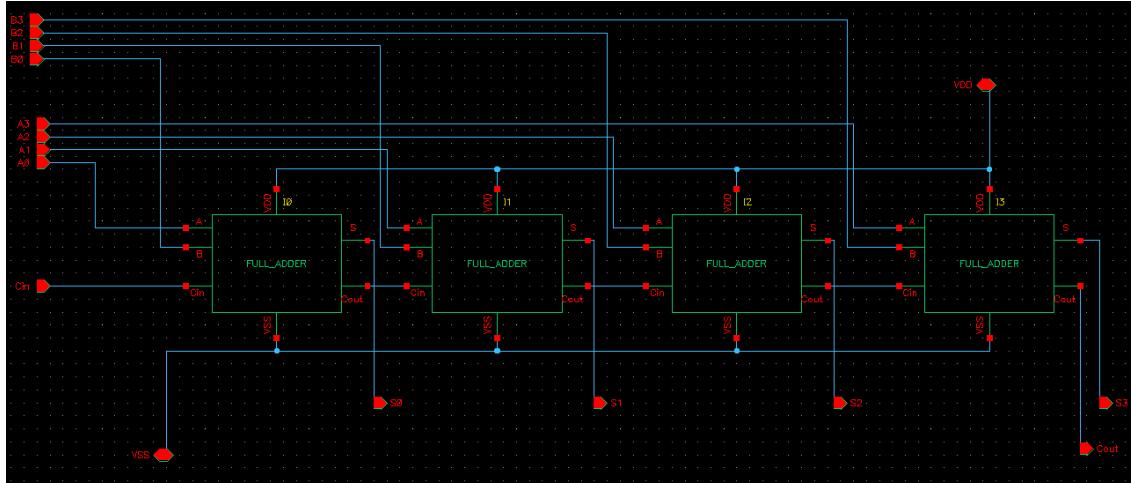
$$\begin{array}{r}
 & C_{i3} & C_{i2} & C_{i1} & C_{i0} \\
 + & A_3 & A_2 & A_1 & A_0 \\
 & B_3 & B_2 & B_1 & B_0 \\
 \hline
 C_{o3} & S_3 & S_2 & S_1 & S_0 \\
 & C_{o2} & C_{o1} & C_{o0} &
 \end{array}$$

Sau đó các bit nhớ C_{o0} , C_{o1} , C_{o2} lần lượt được đưa vào các bit nhớ ngõ vào tiếp theo C_{i1} , C_{i2} , C_{i3} .

9.2. Mô phỏng với phần mềm Cadence

9.2.1. Sơ đồ mô phỏng

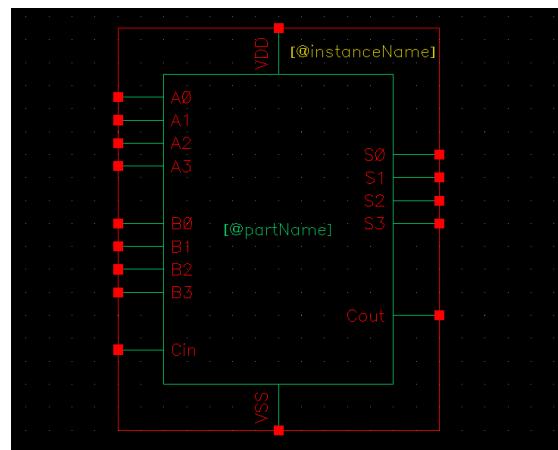
Dựa vào sơ đồ *Hình 9.1.2.* ta thiết kế bộ cộng 4 bit từ các bộ FA đã tạo trước đó như sau:



Hình 9.2.1. Sơ đồ mô phỏng bộ cộng 4 bit trên Cadence

9.2.2. Đóng gói sản phẩm

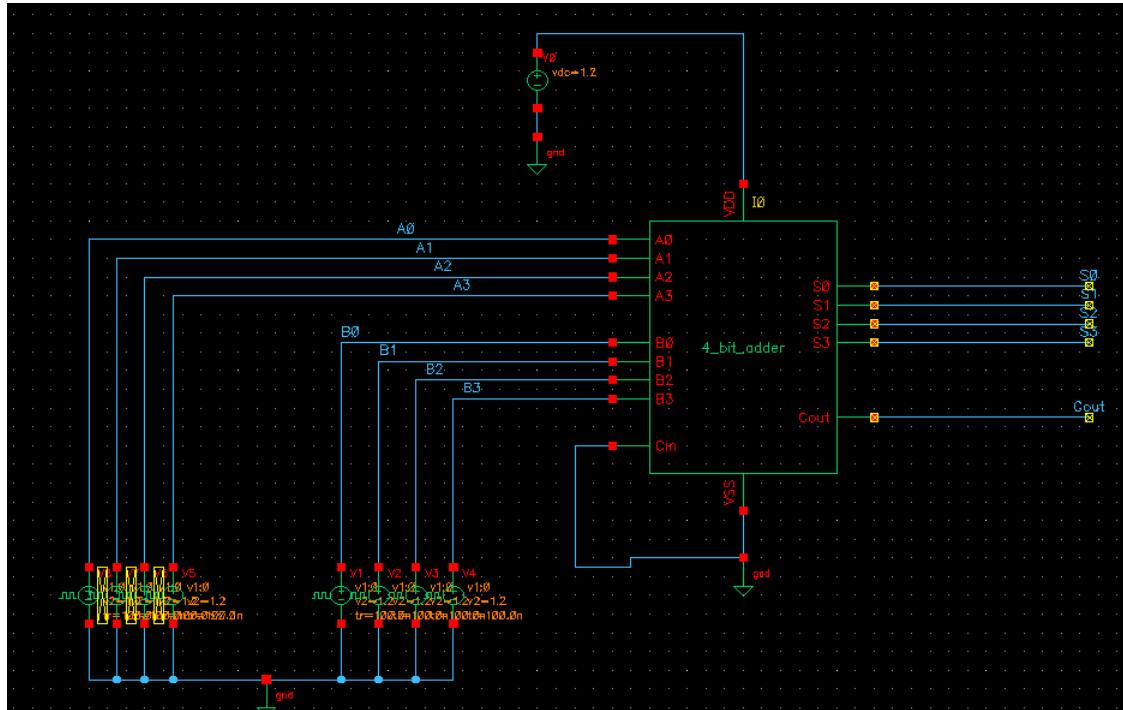
Sau khi hoàn thành sơ đồ mô phỏng, ta tiến hành đóng gói sơ đồ khôi như *Hình 9.1.1.*



Hình 9.2.2. Bộ cộng 4 bit sau khi đóng gói

9.2.3. Cáp nguồn và tín hiệu

Để mô phỏng đặc tính của công, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho bộ cộng đã đóng gói như sau:



Hình 9.2.3. Cáp nguồn và tín hiệu cho bộ cộng 4 bit sau khi đóng gói

Tại VDD của bộ cộng, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 9.2.4. Thông số của nguồn cung cấp VDC cho bộ 4 bit – adder

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào A và B, mỗi ngõ ta đặt 4 nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 0.1μs. Tại A0 ta điều chỉnh chu kỳ là 10 μs, các chân sau chu kỳ gấp đôi chân trước và A1, A2, A3 lần lượt là 20 μs, 40 μs và 80 μs và với ngõ vào B thì ngược lại.

Tại ngõ vào Cin, ta nối trực tiếp với gnd tương ứng với mức logic 0.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	100.0n s	off
Fall time	100.0n s	off
Pulse width	5u s	off
Period	10u s	off
Frequency name for 1/period		off

Hình 9.2.5. Thông số nguồn V_{pulse} tại ngõ vào A0 và B3

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	10u s	off ▾
Period	20u s	off ▾

Hình 9.2.6. Thông số nguồn V_{pulse} tại ngõ vào A1 và B2

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾

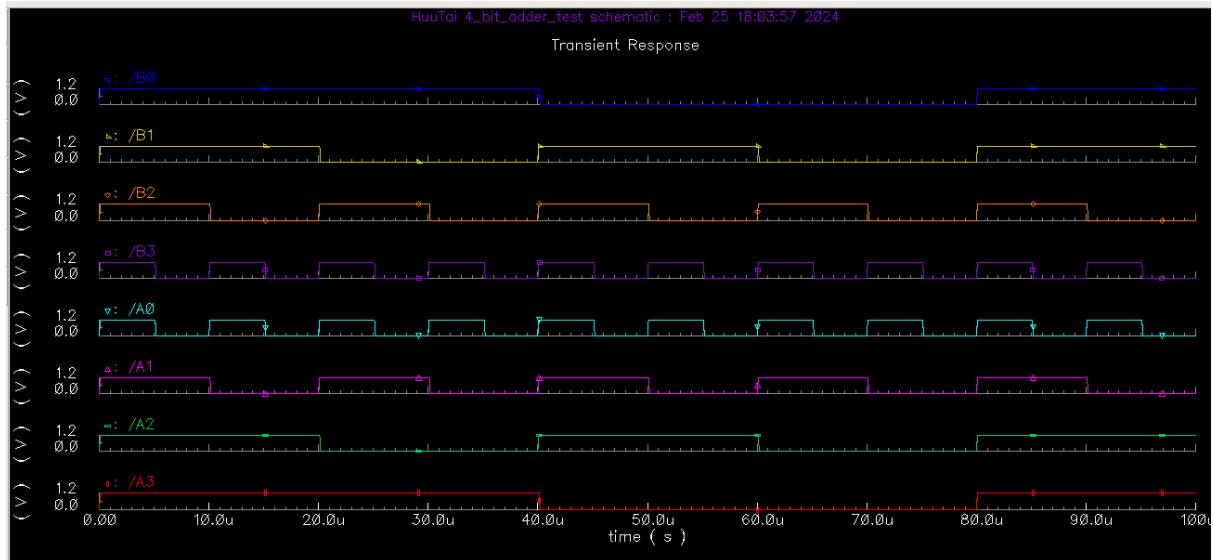
Hình 9.2.7. Thông số nguồn V_{pulse} tại ngõ vào A2 và B1

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	100.0n s	off
Fall time	100.0n s	off
Pulse width	40u s	off
Period	80u s	off
Frequency name for 1/period		off

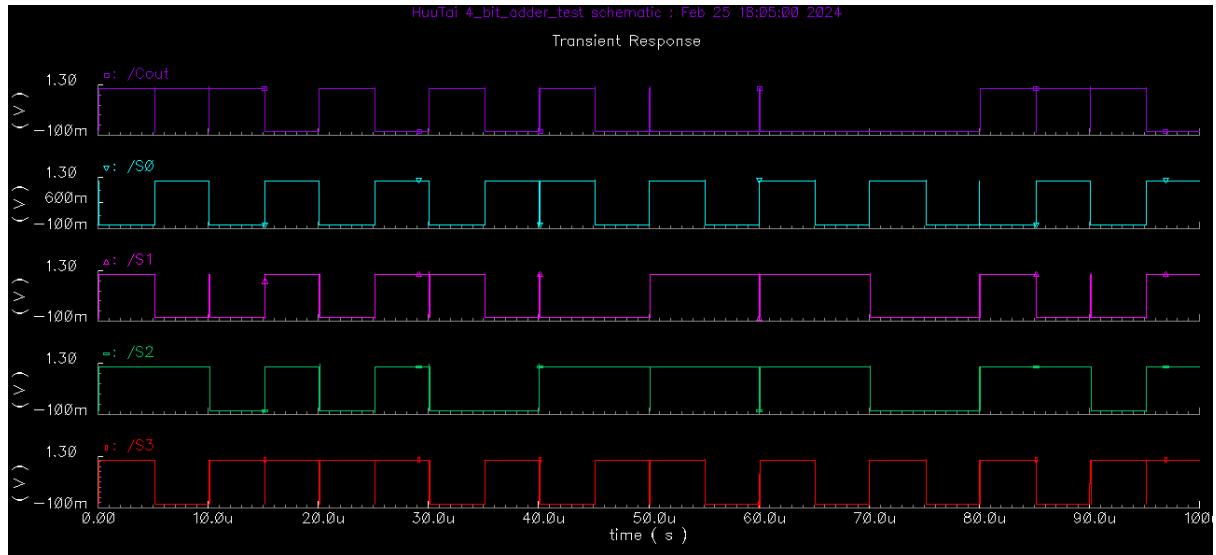
Hình 9.2.8. Thông số nguồn V_{pulse} tại ngõ vào A3 và B0

9.2.4. Kết quả ở dạng sóng trong trường hợp lý tưởng

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào và ngõ ra thu được kết quả như sau:



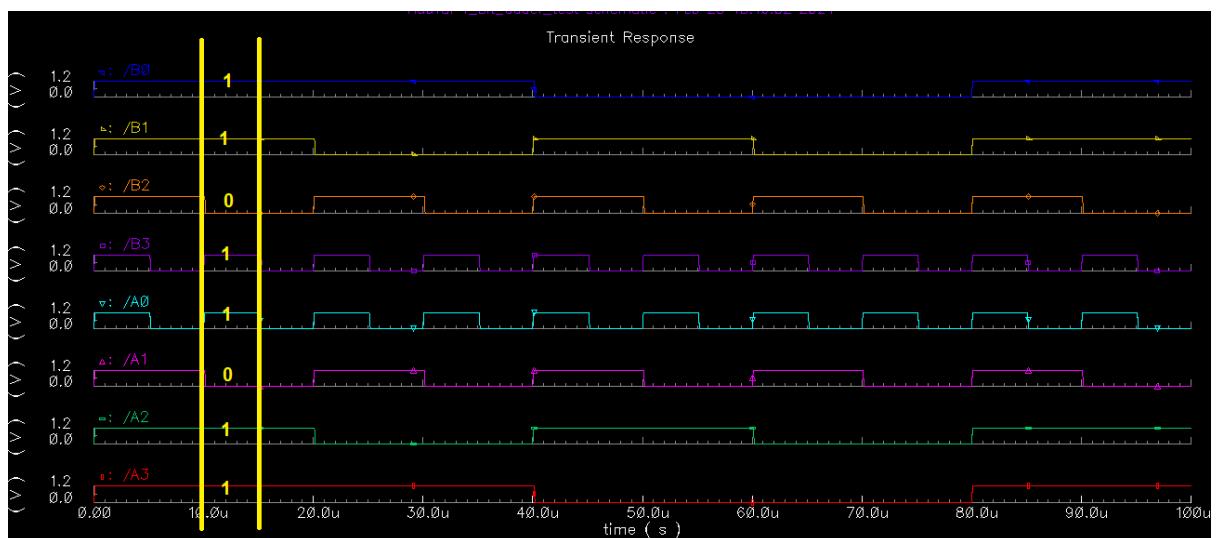
Hình 9.2.9. Dạng sóng điện áp ngõ vào A, B



Hình 9.2.10. Dạng sóng điện áp ngõ ra S và Cout

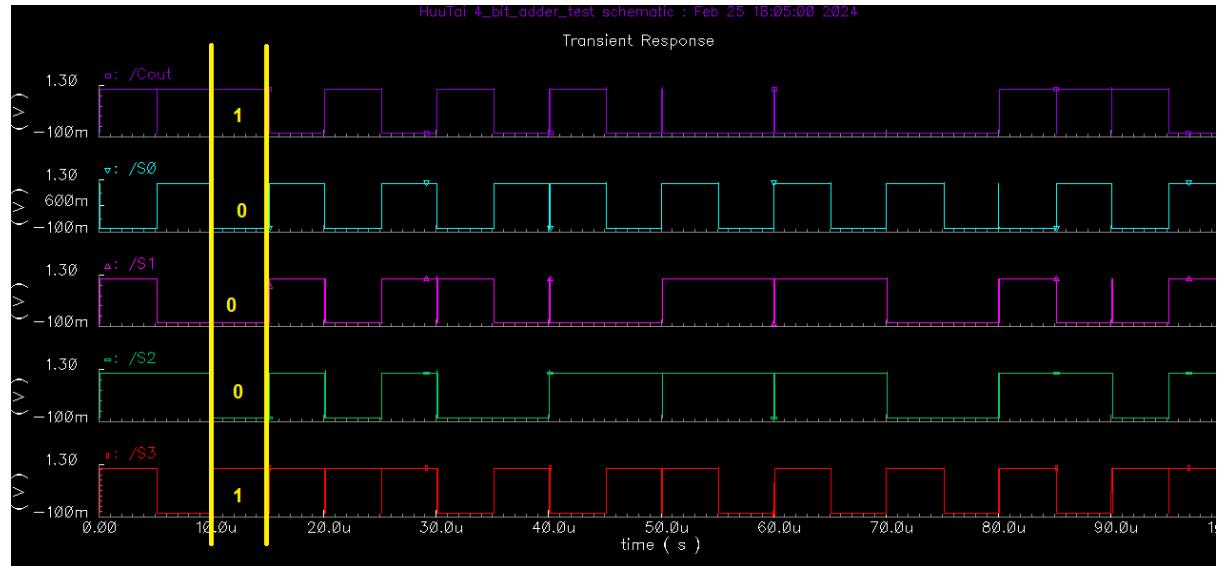
Ta phân tích một vài trường hợp của sóng ngõ vào và sóng ngõ ra như sau:

- Tại khoảng thời gian $10 - 15 \mu s$, ta thu được số $A = 1101$ và $B = 1011$



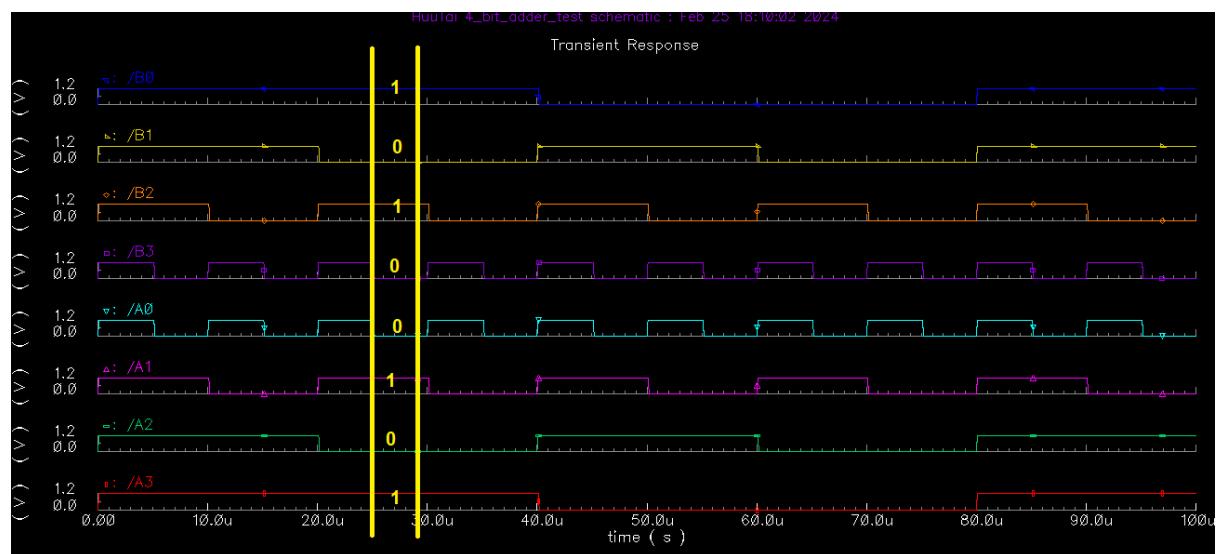
Hình 9.2.11. Mức logic ngõ vào trong trường hợp 1

Khi đó giá trị ngõ ra thu được $S = 1000$ và $Cout = 1$.



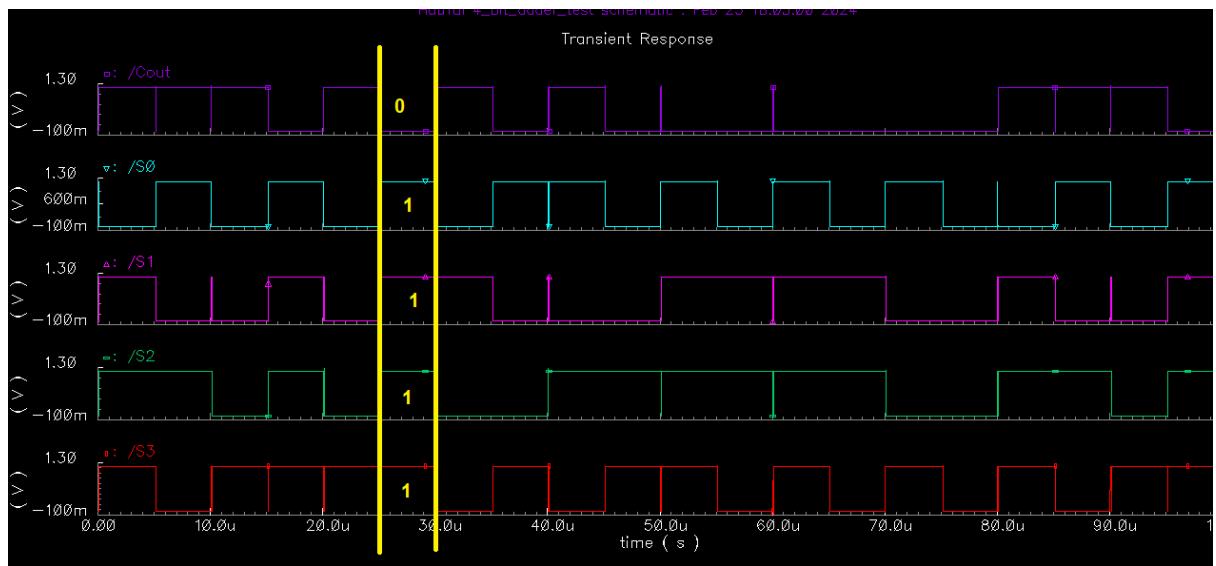
Hình 9.2.12. Mức logic ngõ ra trong trường hợp 1

- Tại khoảng thời gian $25 - 30 \mu s$, ta thu được số $A = 1010$ và $B = 0101$



Hình 9.2.13. Mức logic ngõ vào trong trường hợp 2

Khi đó giá trị ngõ ra thu được $S = 1111$ và $Cout = 0$.



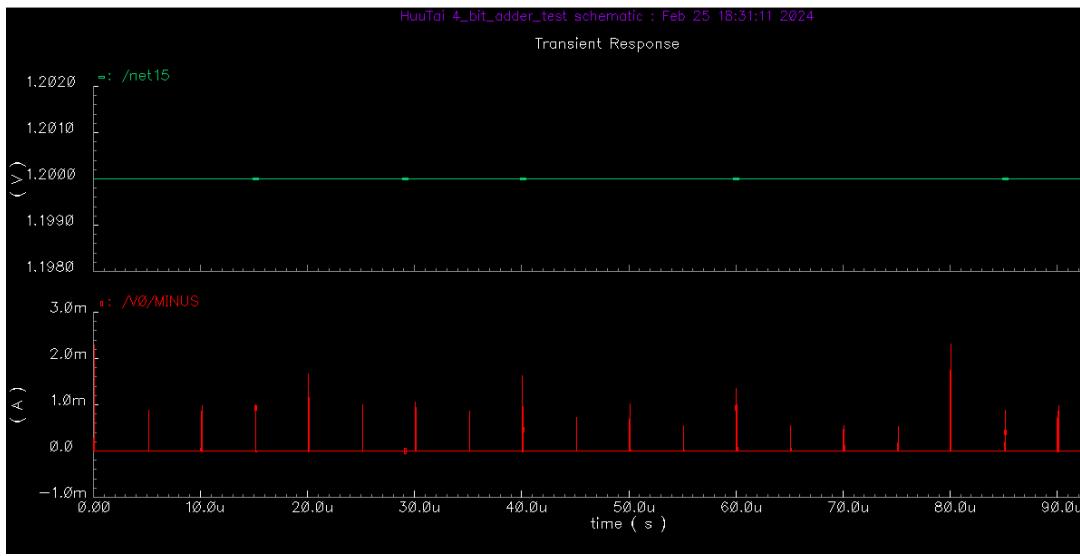
Hình 9.2.14. Mức logic ngõ ra trong trường hợp 2

Nhận xét:

Qua 2 trường hợp trên, ta thấy ngõ ra hoạt động đúng với nguyên lý cộng 2 số nhị phân 4 bit mà ta đã phân tích ở trên, nhìn dạng sóng ngõ ra tại các trường hợp không có thay đổi gì bất thường nên ta kết luận bộ cộng 4 bit theo thiết kế là đúng.

9.2.5. Công suất trong trường hợp lý tưởng

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho bộ cộng 4 bit và dạng sóng của dòng điện qua nguồn cung cấp như sau:



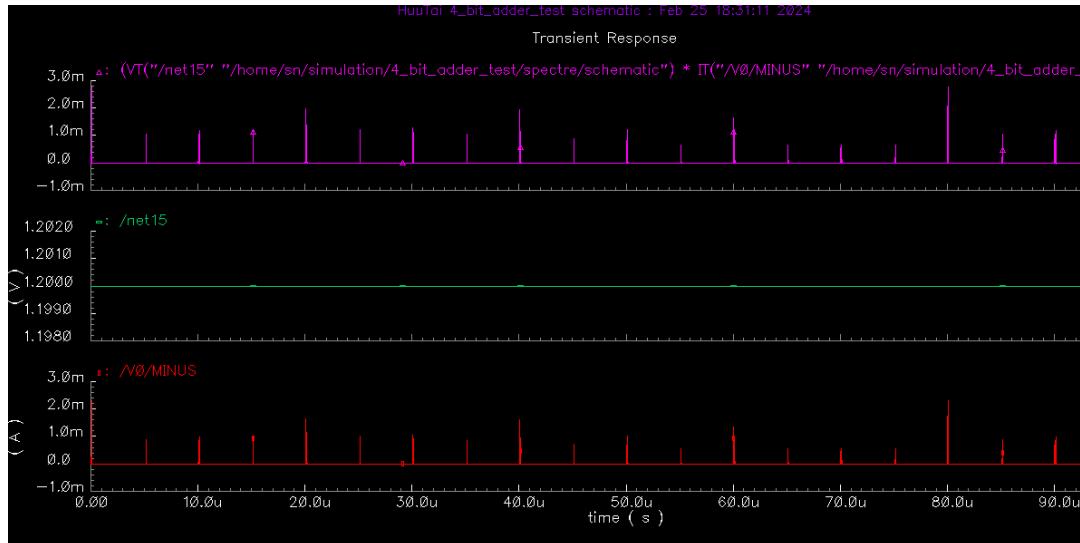
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

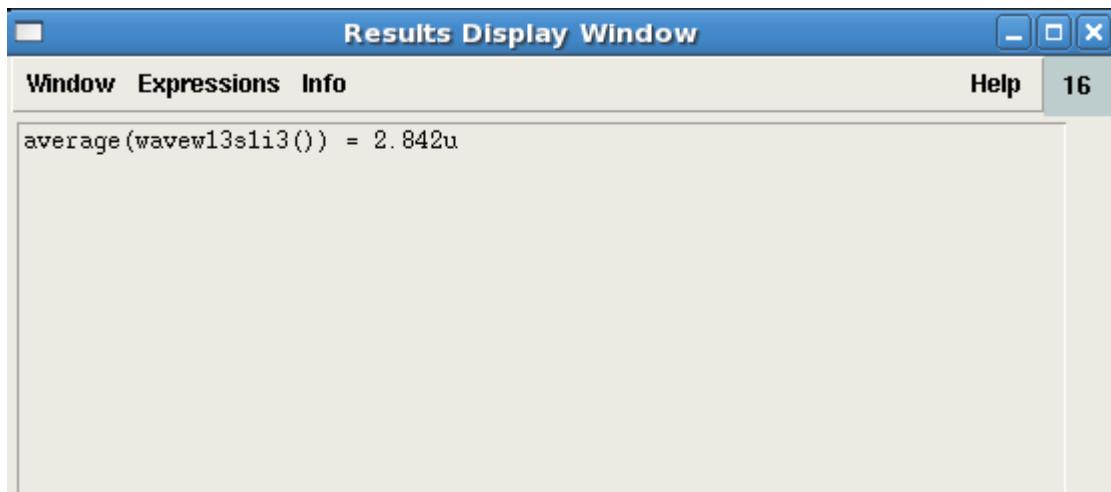
Hình 9.2.15. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 9.2.16. Dạng sóng công suất (màu tím)

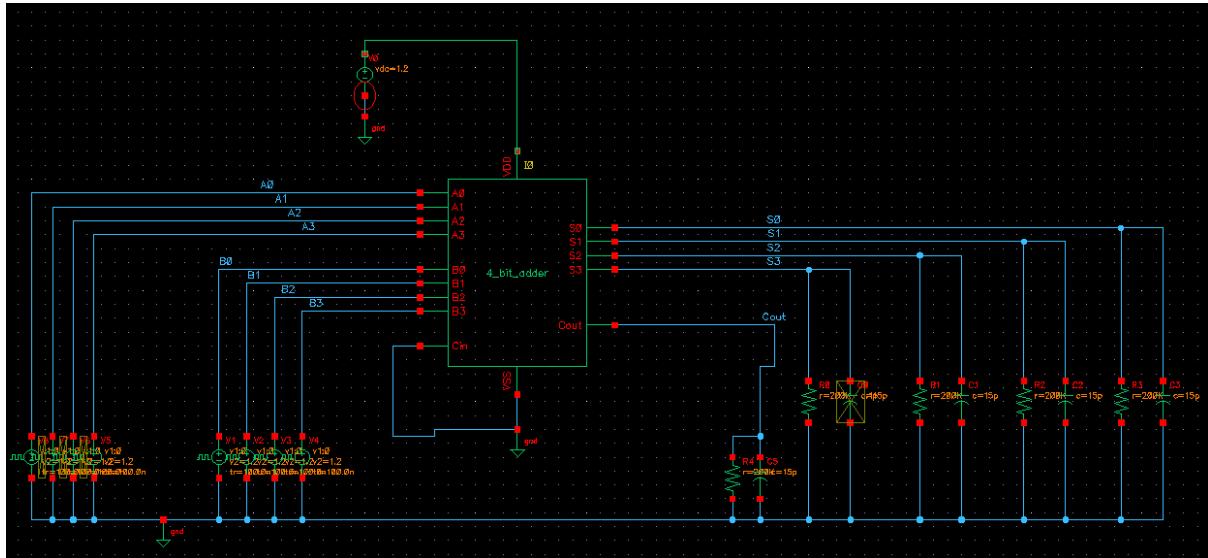
Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $2,842 \mu\text{W}$.



Hình 9.2.17. Kết quả tính giá trị công suất trung bình của bộ cộng 4 bit

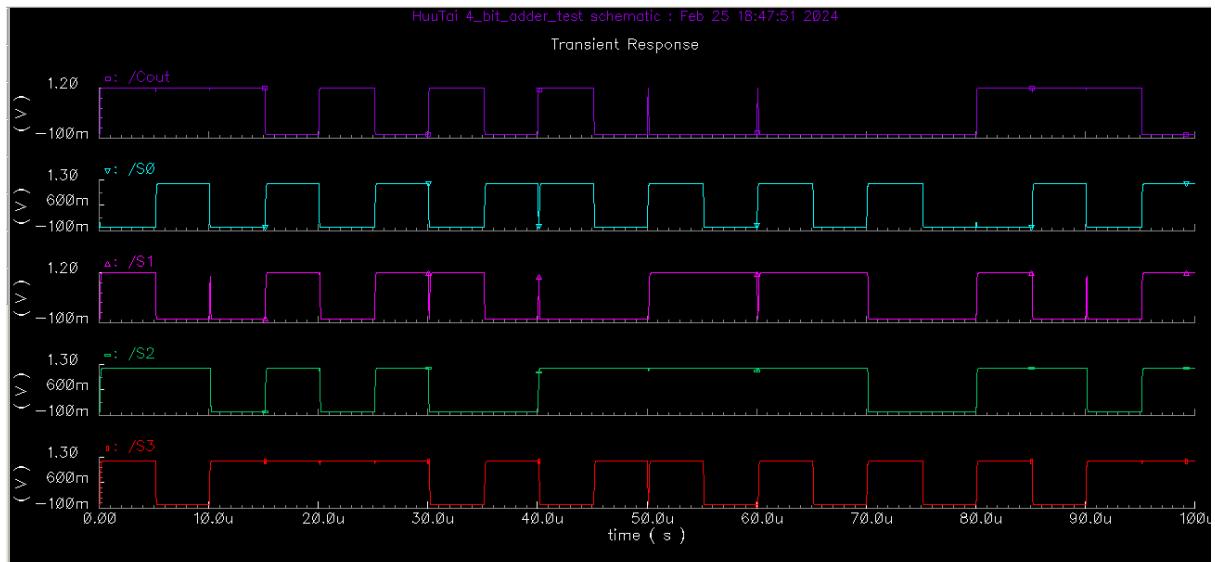
9.2.6. Công suất trung bình trong trường hợp có tải C_L, R_L

Ta thêm một tụ $C_L = 15 \text{ pF}$ và một tải $R_L = 200 \text{ k}\Omega$ được mắc song song với các ngõ ra như sau:



Hình 9.2.18. Mắc thêm tụ và trớ vào ngõ ra cho bộ cộng 4 bit

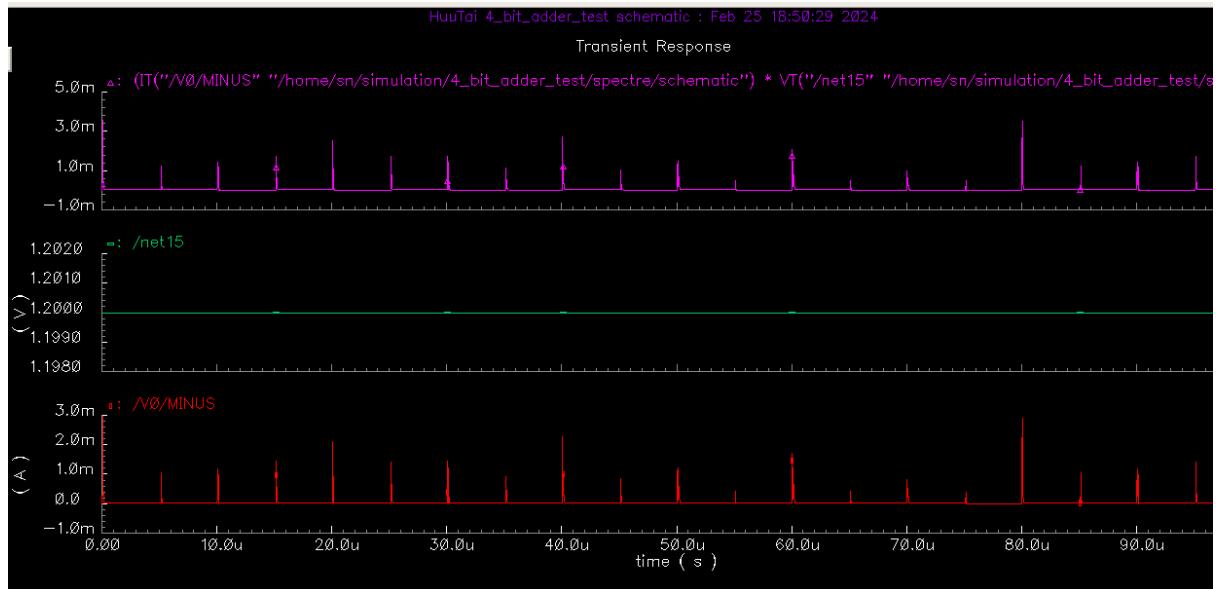
Các thông số VDC, Vpulse ta giữ nguyên như trong trường hợp lý tưởng. Vẽ dạng sóng của ngõ ra ta được như sau:



Hình 9.2.19. Dạng sóng ngõ ra trong trường hợp có tải

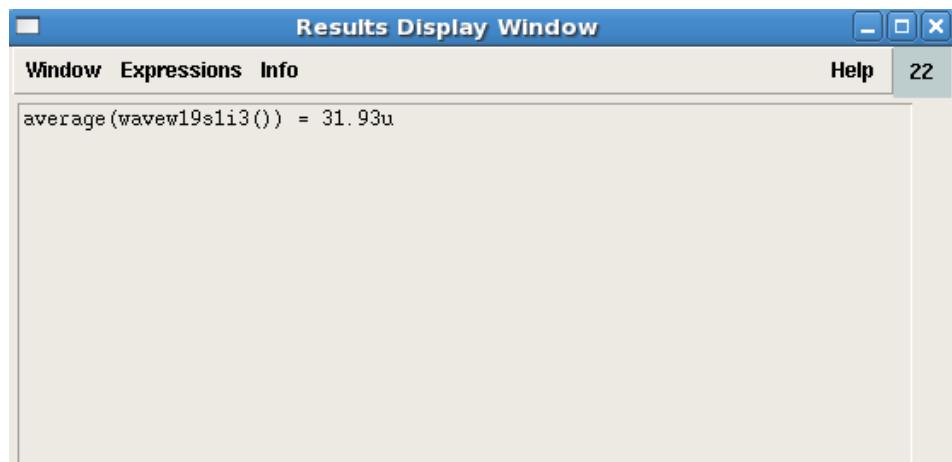
Sau khi mắc tải, ta thấy dạng sóng điện áp ngõ ra cũng tương tự như lúc chưa gắn tụ (Hình 9.2.10.), ta kết luận rằng bộ cộng này không thay đổi về mặt chức năng khi ta thêm các tải phía sau.

Công suất: Ta vẽ dạng sóng công suất tức thời sau khi gắn tải như sau:



Hình 9.2.20. Công suất tức thời trong trường hợp có tải (màu tím)

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là $31.93 \mu\text{W}$.



Hình 9.2.21. Công suất trung bình tiêu hao trên bộ cộng 4 bit (trường hợp có tải)

Phần 10

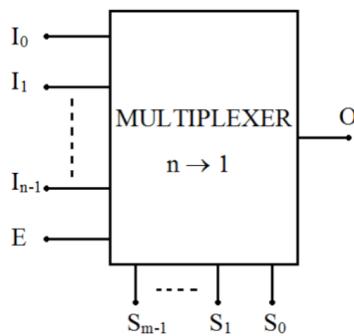
CƠ SỞ LÝ THUYẾT VỀ BỘ GHÉP KÊNH

10.1. Khái niệm và mô tả bộ ghép kênh

Trong kỹ thuật viễn thông, *ghép kênh* được hiểu là việc ghép nhiều tín hiệu (hoặc chuỗi dữ liệu) từ ngõ vào thành một tín hiệu (hoặc chuỗi dữ liệu) để truyền đi xa nhằm tiết kiệm tài nguyên và tăng hiệu suất kênh truyền. Thiết bị thực hiện được chức năng ghép kênh này được gọi là *bộ ghép kênh* (*Multiplexer*). Ngoài ra còn có bộ *phân kênh*, thực hiện chức năng tiếp nhận tín hiệu từ ngõ ra của bộ ghép kênh và phân tách kênh để đưa đến đúng đầu tín hiệu nhận.

Bộ ghép kênh có nhiều loại như *bộ ghép kênh phân chia theo tần số* (*FDM*), *bộ ghép kênh phân chia theo thời gian* (*TDM*), *bộ ghép kênh phân chia theo bước sóng* (*WDM*)... Các loại bộ ghép kênh đều có cùng chức năng với nhau, nhưng mỗi loại sẽ có cách thức điều khiển khác nhau tương ứng với tên gọi: bộ FDM được điều khiển bằng tần số bộ TDM được điều khiển bằng thời gian...

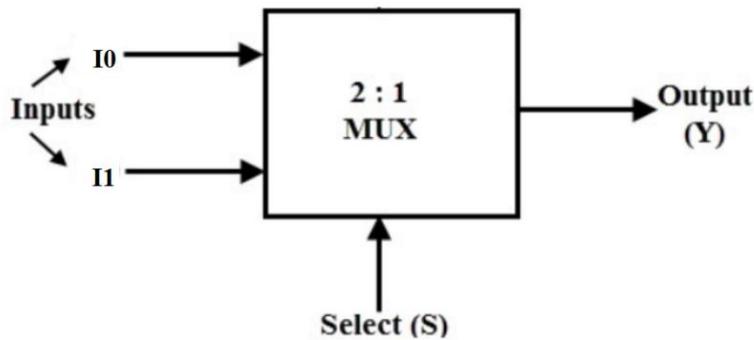
Sơ đồ khái của một bộ ghép kênh được trình bày như *Hình 10.1.*, bao gồm tín hiệu ngõ vào (Input), tín hiệu ngõ ra (Output), tín hiệu chọn kênh (Select) và tín hiệu ngõ vào cho phép (Enable – nếu có). Với n kênh vào thì cần thiết phải có m đường tín hiệu chọn kênh sao cho $2^m \geq n$.



Hình 10.1. Sơ đồ bộ ghép kênh n kênh vào

10.2. Sơ đồ khói của bộ ghép kênh 2 kênh vào

Ta sẽ quan tâm đến mạch MUX 2 sang 1. Mạch MUX 2 sang 1 gồm có hai đường dữ liệu ngõ vào I0 và I1, một đường chọn là S và một đường ngõ ra duy nhất đó là Y.



Hình 10.2. Sơ đồ khói bộ ghép kênh 2 ngõ vào

Vì mạch MUX 2:1 có một đường chọn S nên ta sẽ có hai tổ hợp số nhị phân đó là 0 và 1 chuyển hai ngõ vào tương ứng I0 và I1 thành ngõ ra. Nghĩa là khi $S = 0$ ngõ ra tại Y sẽ là I0, tương tự ngõ ra Y sẽ là I1 nếu $S = 1$.

10.3. Bảng trạng thái

Dựa vào sơ đồ khói và nguyên tắc hoạt động của bộ Mux 2:1, ta có bảng trạng thái như sau:

Bảng 10.1. Bảng trạng thái của bộ Mux 2:1

I1	I0	S	Y
0	0	0	0
0	1	0	1
1	0	0	0
1	1	0	1

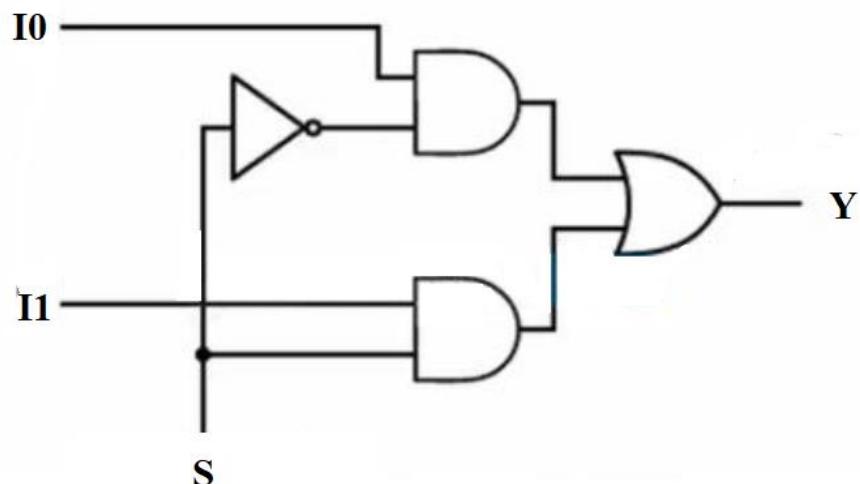
0	0	1	0
0	1	1	0
1	0	1	1
1	1	1	1

10.4. Sơ đồ logic của bộ Mux 2:1

Từ bảng trạng thái trên, ta viết được hàm logic của ngõ ra Y như sau:

$$Y = \bar{S} \cdot I_0 + S \cdot I_1$$

Theo hàm logic trên, ta thiết kế sơ đồ logic của mạch như sau:

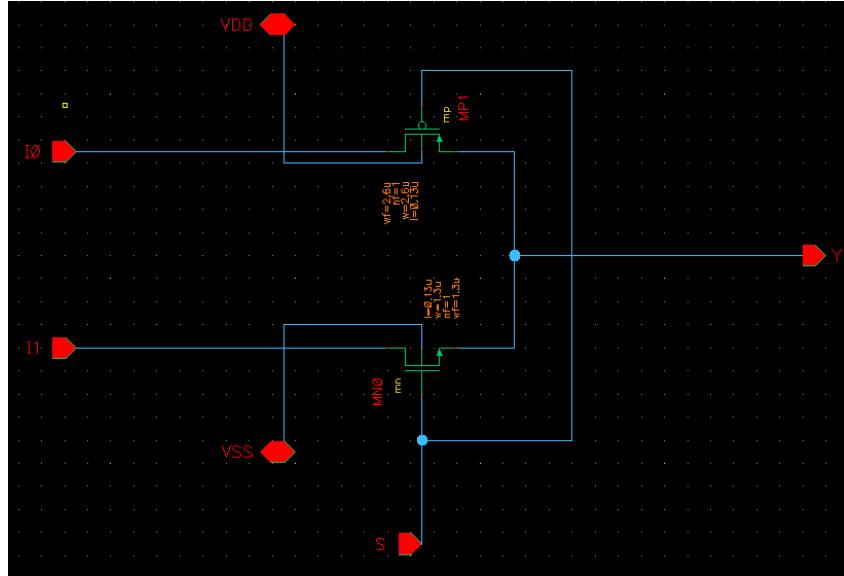


Hình 10.3. Sơ đồ logic bộ Mux 2:1

10.5. Thiết kế bộ Mux 2:1 sử dụng 2 transistor pMOS và nMOS

10.5.1. Thiết kế và đóng gói trên Cadence

Ta thiết kế được sơ đồ mạch Mux 2:1 sử dụng CMOS công nghệ Samsung 0.13 μ m trong phần mềm Cadence với 2 transistor như sau:



Hình 10.4. Sơ đồ nguyên lý bộ Mux 2:1 sử dụng 2 transistor trên Cadence

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do đó muốn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

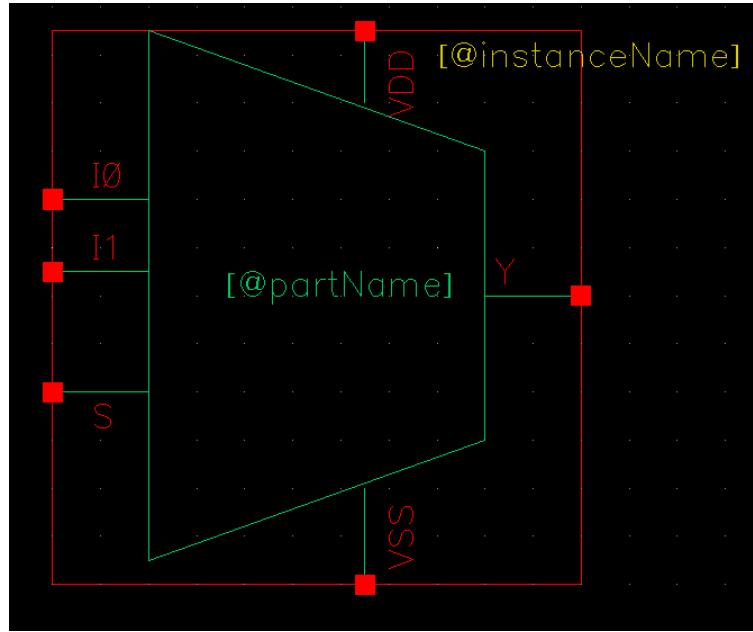
CDF Parameter	Value	Display
Length (M)	0.13u	off ▾
Width Per Finger (M)	2.6u	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6u	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40u	off ▾
Distance from another STI edge t	0.40u	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 10.5. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13u	off ▾
Width Per Finger (M)	1.3u	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3u	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40u	off ▾
Distance from another STI edge t	0.40u	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 10.6. Thông số cài đặt cho transistor nMOS

Sau khi thiết kế xong mạch, ta tiến hành đóng gói mạch MUX 2-1 bit bằng công cụ có sẵn trong phần mềm Cadence và thu được bộ cộng MUX 2:1 như sau:

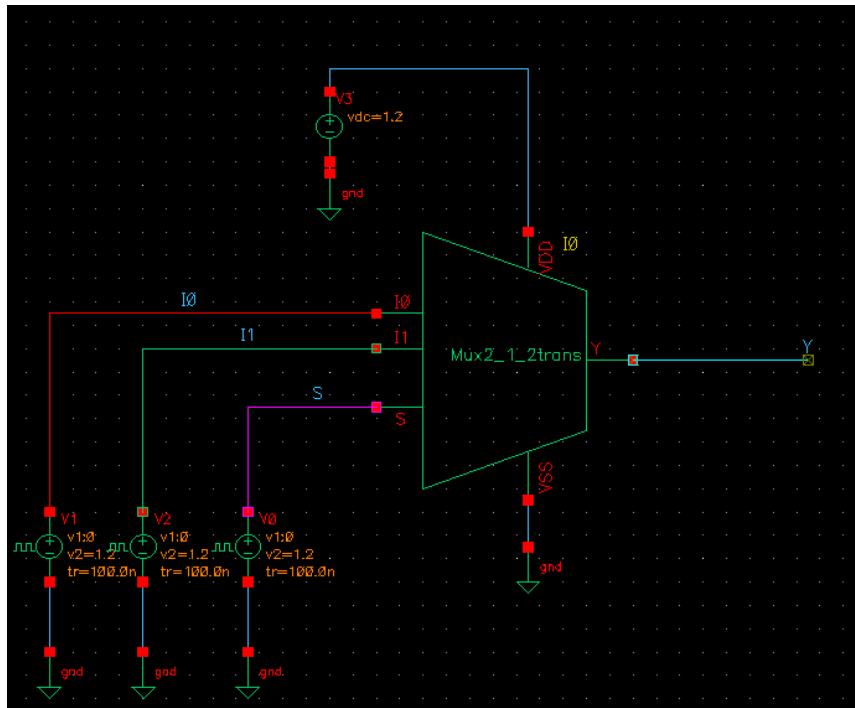


Hình 10.7. Bộ Mux 2:1 sử dụng 2 transistor sau khi đóng gói

10.5.2. Mô tả đặc tính của bộ Mux 2:1 sử dụng 2 transistor

10.5.2.1. Cáp nguồn và tín hiệu

Để mô phỏng đặc tính của công, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho bộ Mux 2:1 đã đóng gói như sau:



Hình 10.8. Cáp nguồn và tín hiệu cho bộ Mux sau khi đóng gói

Tại VCC của mạch, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 10.9. Thông số của nguồn cung cấp VDC

Tại chân V_{SS} : ta nối đất (GND).

Tại mỗi ngõ vào I0, I1 và F, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 0,1μs, tuy nhiên để qua sát được đầy đủ các trường hợp của 3 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào I0, độ rộng xung là 10 μs và chu kỳ là 20 μs. Tại I1, độ rộng xung là 20 μs và chu kỳ là 40 μs. Tại S, độ rộng xung là 40 μs và chu kỳ là 80 μs.

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	10u s	off ▾
Period	20u s	off ▾
Frequency name for 1/period		off ▾
...		off ▾

Hình 10.10. Thông số nguồn V_{pulse} tại ngõ vào I0

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾
Noise file name		off ▾

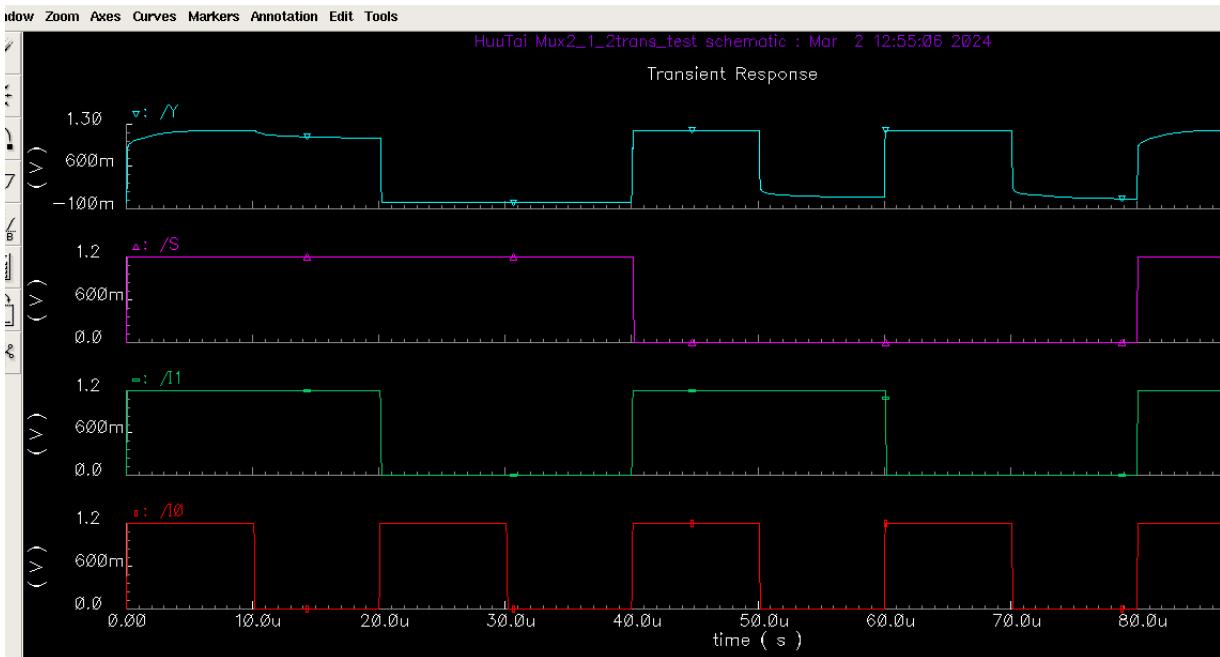
Hình 10.11. Thông số nguồn V_{pulse} tại ngõ vào II

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	40u s	off ▾
Period	80u s	off ▾
Frequency name for 1/period		off ▾

Hình 10.12. Thông số nguồn V_{pulse} tại ngõ vào S

10.5.2.2. Đánh giá mức điện áp

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp vào (I_0 , I_1 và S) và ngõ ra (Y) và thu được kết quả như sau:

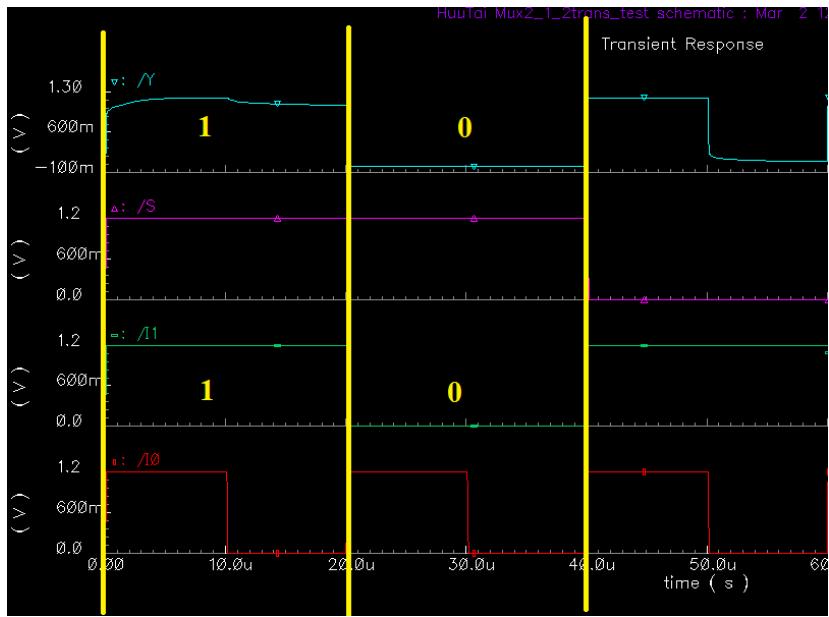


Hình 10.13. Dạng sóng điện áp ngõ vào I_0 , I_1 , S và ngõ ra Y

Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

- Khi $S = 1$:

Ta phân tích mức logic của điện áp ngõ vào và ngõ ra như sau:

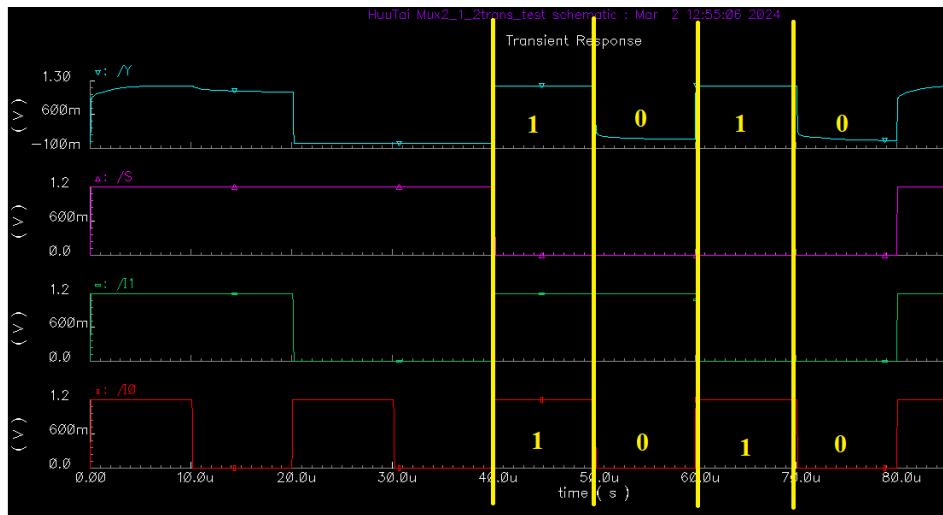


Hình 10.14. Phân tích mức logic của ngõ ra khi $S = 1$

Trong trường hợp $S = 1$, ta thấy các giá trị logic ngõ ra Y hoàn toàn giống với các giá trị logic ngõ vào $I1$, kết luận bộ Mux 2:1 đúng trong trường hợp $S = 1$.

- Khi $S = 0$:

Ta phân tích mức logic của điện áp ngõ vào và ngõ ra như sau:



Hình 10.15. Phân tích mức logic của ngõ ra khi $S = 0$

Trong trường hợp $S = 0$, ta thấy các giá trị logic ngõ ra Y hoàn toàn giống với các giá trị logic ngõ vào I_0 , kết luận bộ Mux 2:1 đúng trong trường hợp $S = 0$.

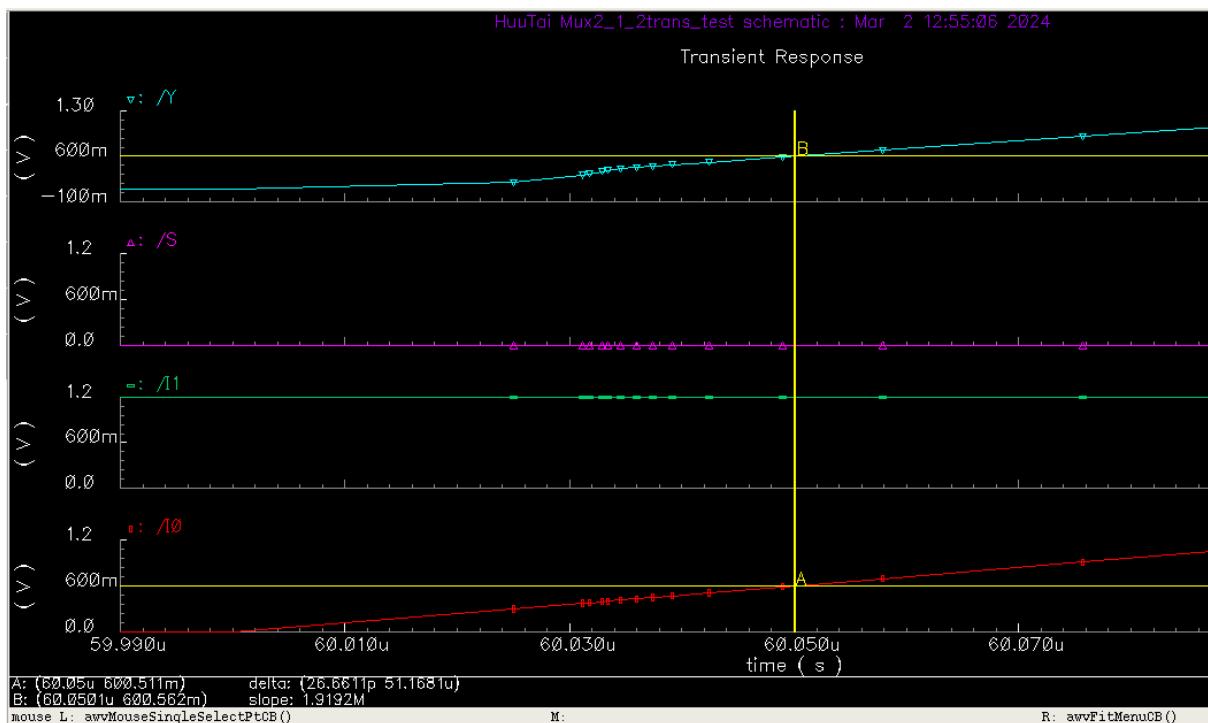
10.5.2.3. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào I_0 và ngõ ra Y :

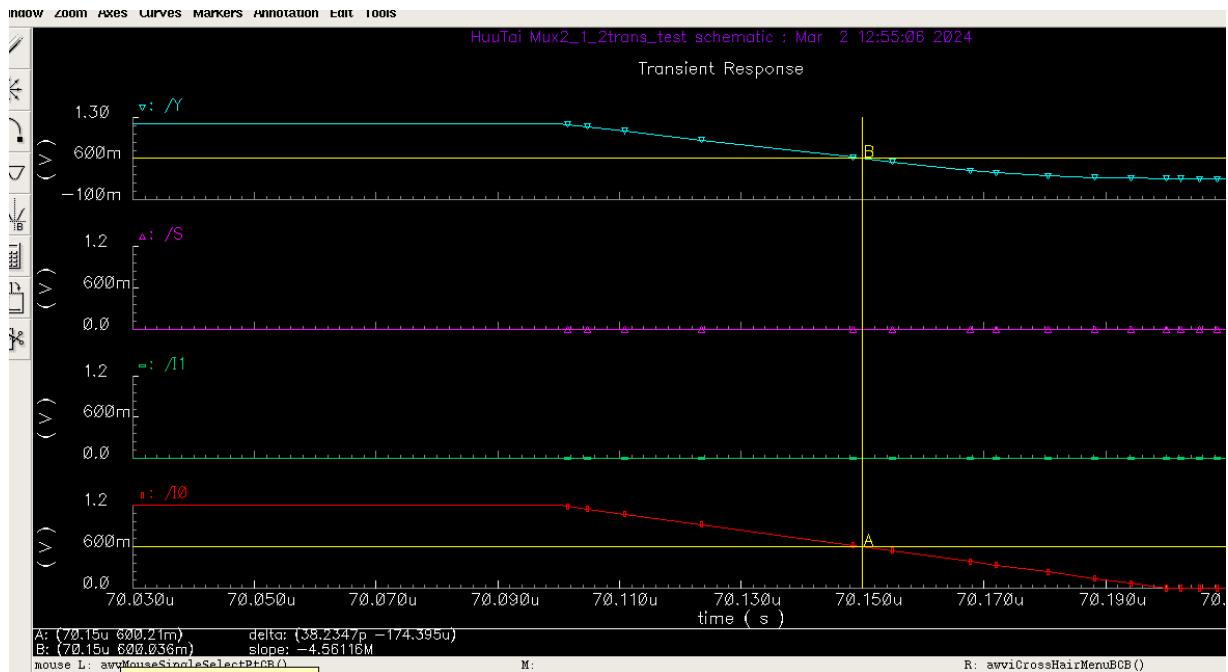
Ta đánh dấu thời gian của ngõ vào I_0 khi cạnh lên như sau:



Hình 10.16. Đo thời gian trễ khi ngõ vào I_0 cạnh lên

Khi điện áp ngõ vào I0 tăng lên đến 600,511 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 600,562 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 26,6611 ps hay nói $t_{pd़(I0)} = 26,6611$ ps.

Ta đánh dấu thời gian của ngõ vào I0 khi cạnh xuống như sau:



Hình 10.17. Đo thời gian trễ khi ngõ vào I0 cạnh xuống

Khi điện áp ngõ vào I0 giảm xuống đến 600,21 mV (điểm đánh dấu A) và điện áp ngõ ra tăng lên đến 600,036 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 38,2347 ps hay nói $t_{pd़(A)} = 38,2347$ ps.

Tương tự với các ngõ vào I1 và S, ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 10.1. Bảng kết quả thời gian trễ của bộ Mux 2:1 sử dụng 2 transistor

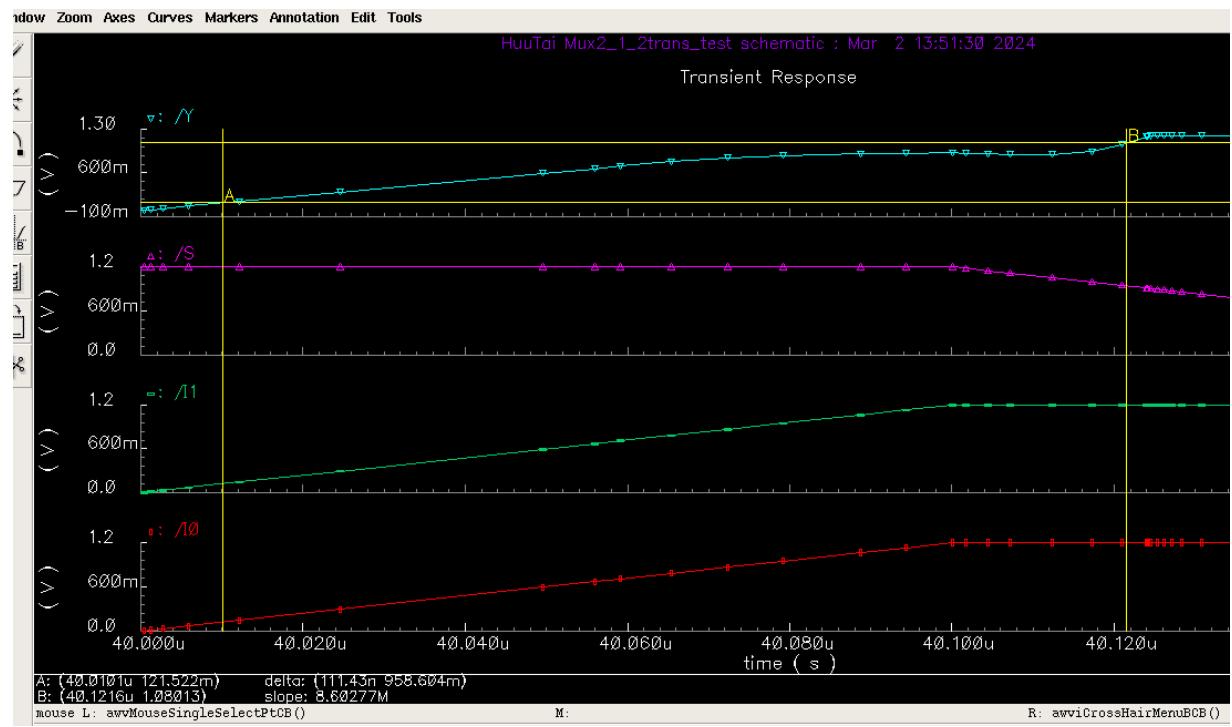
Ngõ vào	Ngõ ra	Thông số	Giá trị	
I0	Y	t_{pdr}	26,6611 ps	
		t_{pdf}	38,2347 ps	
I1		t_{pdr}	19,5111 ps	
		t_{pdf}	29,815 ps	
S		t_{pdr}	26,8761 ps	
		t_{pdf}	27,4588 ps	

10.5.2.4. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

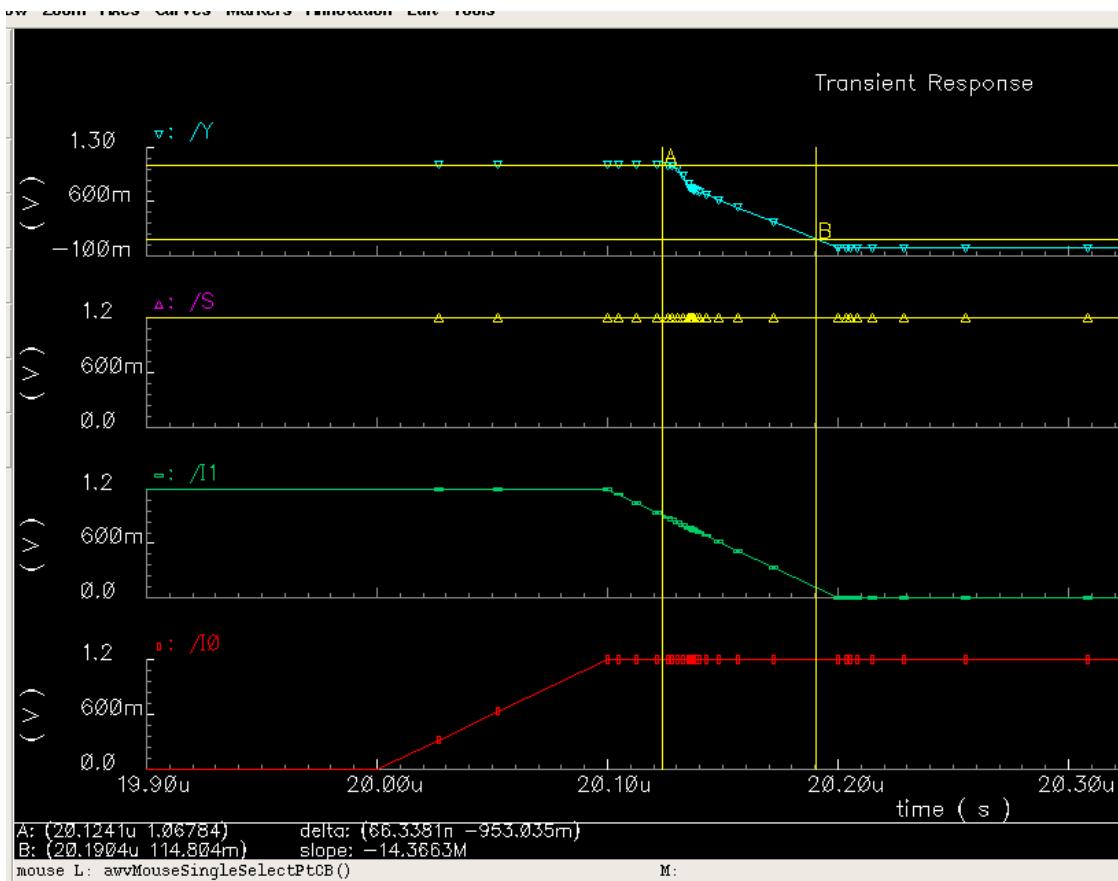
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 121,511$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08013$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 111,43 ns hay $t_r = 111,43$ ns.



Hình 10.18. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,06784$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 114,804$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 66,3381 ns hay $t_f = 66,3381$ ns.

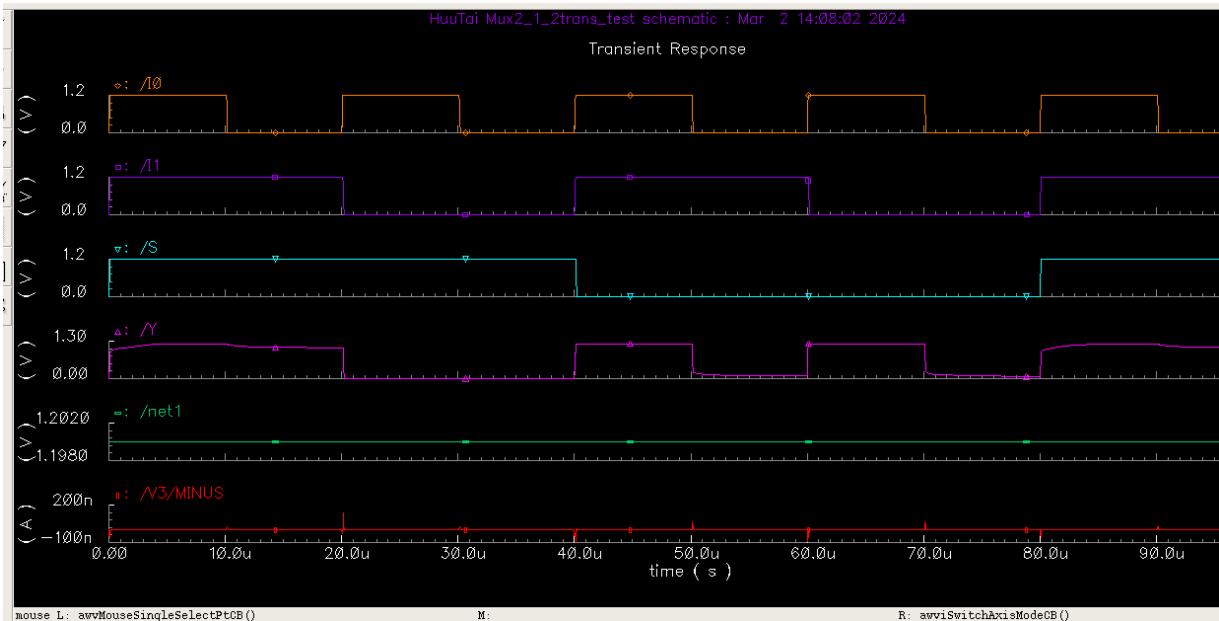


Hình 10.19. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 88,88405 \text{ ns}$.

10.5.2.5. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho bộ Mux 2:1 và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

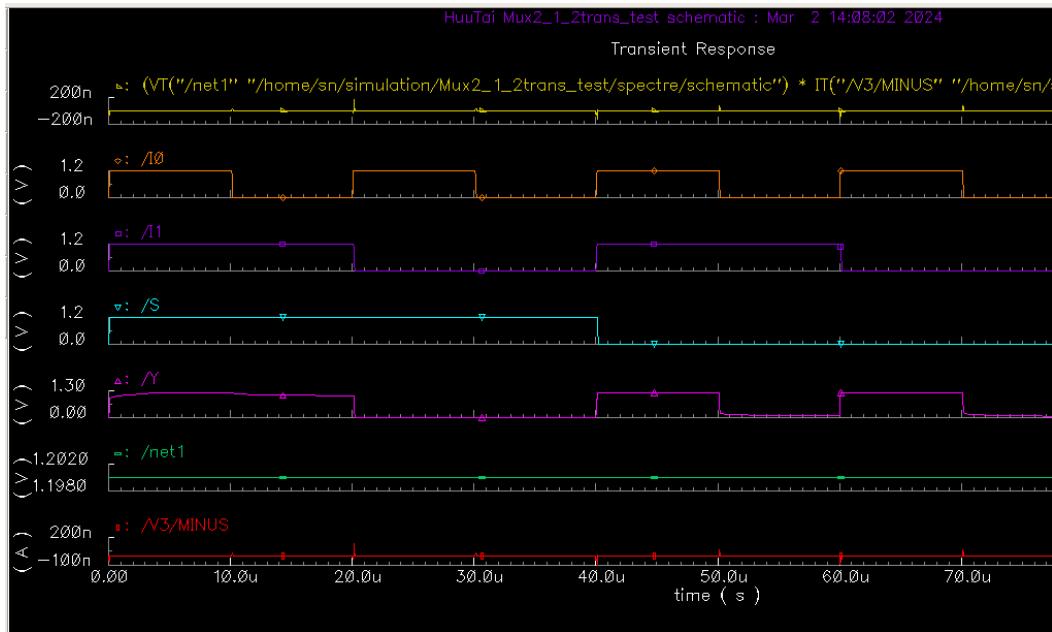
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 10.20. Dạng sóng điện áp và dòng điện của nguồn cung cấp

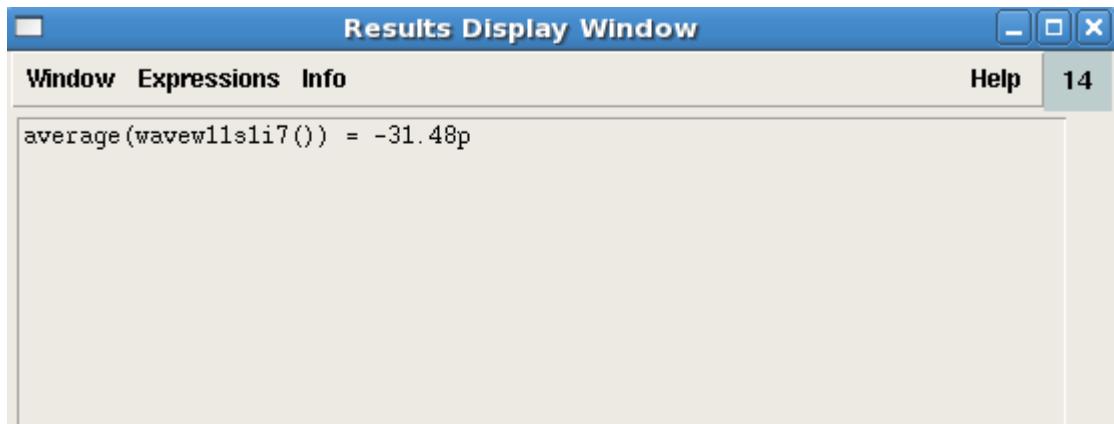
Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào mạch để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của mạch.

Ta vẽ dạng sóng công suất tức thời bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 10.21. Dạng sóng công suất tức thời trên mạch

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 31,48 pW.

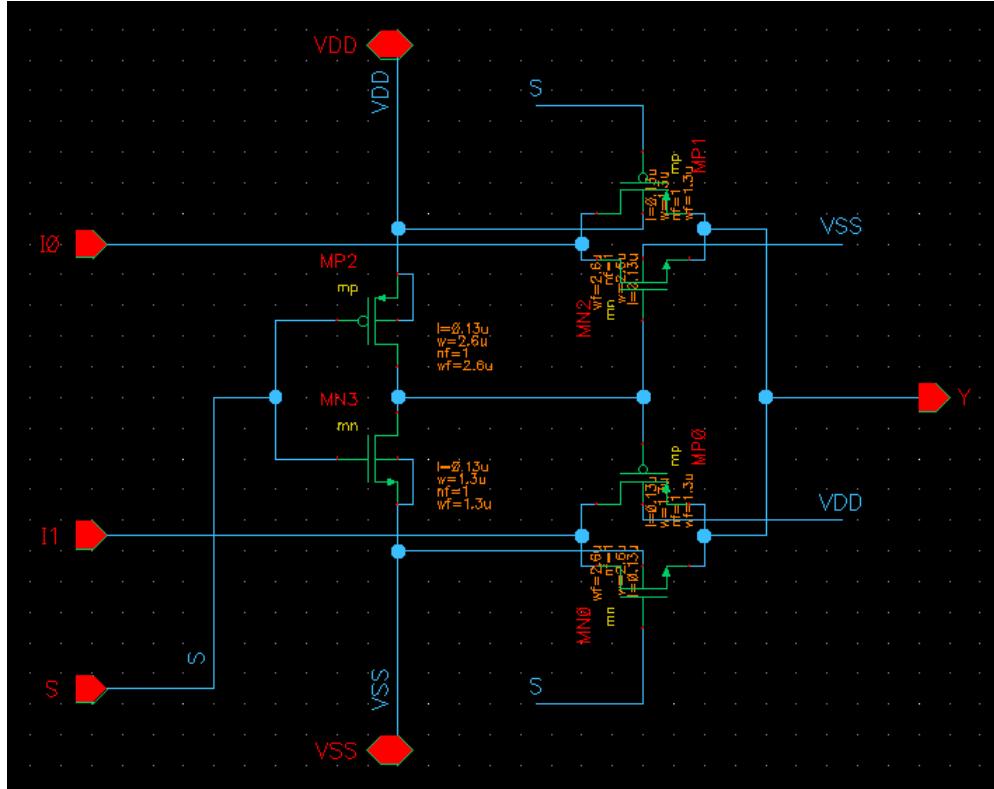


Hình 10.22. Kết quả tính giá trị trung bình trên bộ Mux 2:1

10.6. Thiết kế bộ Mux 2:1 sử dụng 4 transistor

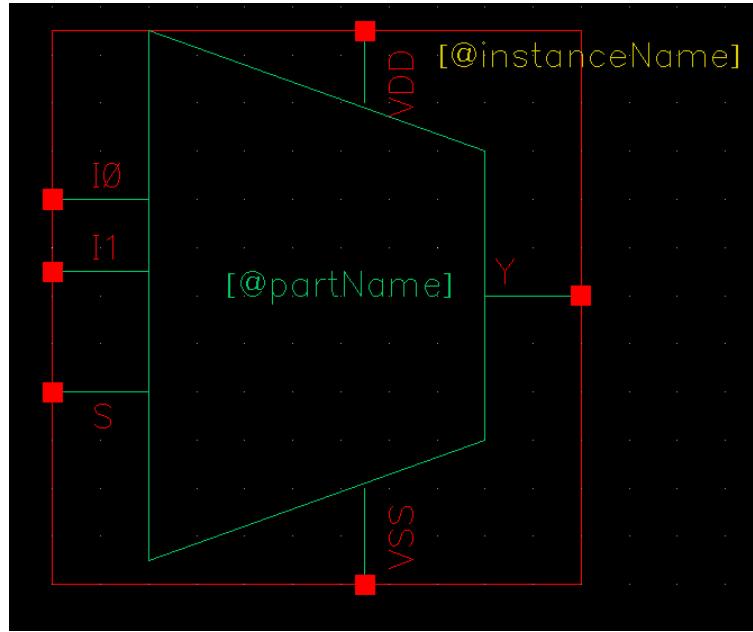
10.6.1. Thiết kế và đóng gói trên Cadence

Ta thiết kế được sơ đồ mạch Mux 2:1 sử dụng CMOS công nghệ Samsung 0.13μm trong phần mềm Cadence với 4 transistor như sau:



Hình 10.23. Sơ đồ nguyên lý bộ Mux 2:1 sử dụng 4 transistor trên Cadence

Sau khi thiết kế xong mạch, ta tiến hành đóng gói mạch MUX 2-1 bit bằng công cụ có sẵn trong phần mềm Cadence và thu được bộ cộng MUX 2:1 như sau:

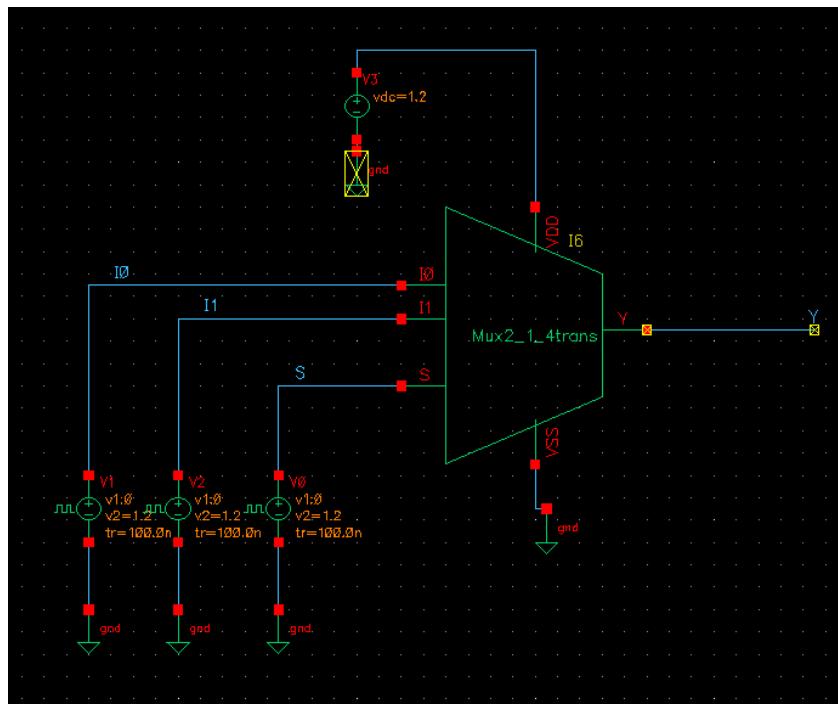


Hình 10.24. Bộ Mux 2:1 sử dụng 4 transistor sau khi đóng gói

10.6.2. Mô tả đặc tính của bộ Mux 2:1 sử dụng 4 transistor

10.6.2.1. Cáp nguồn và tín hiệu

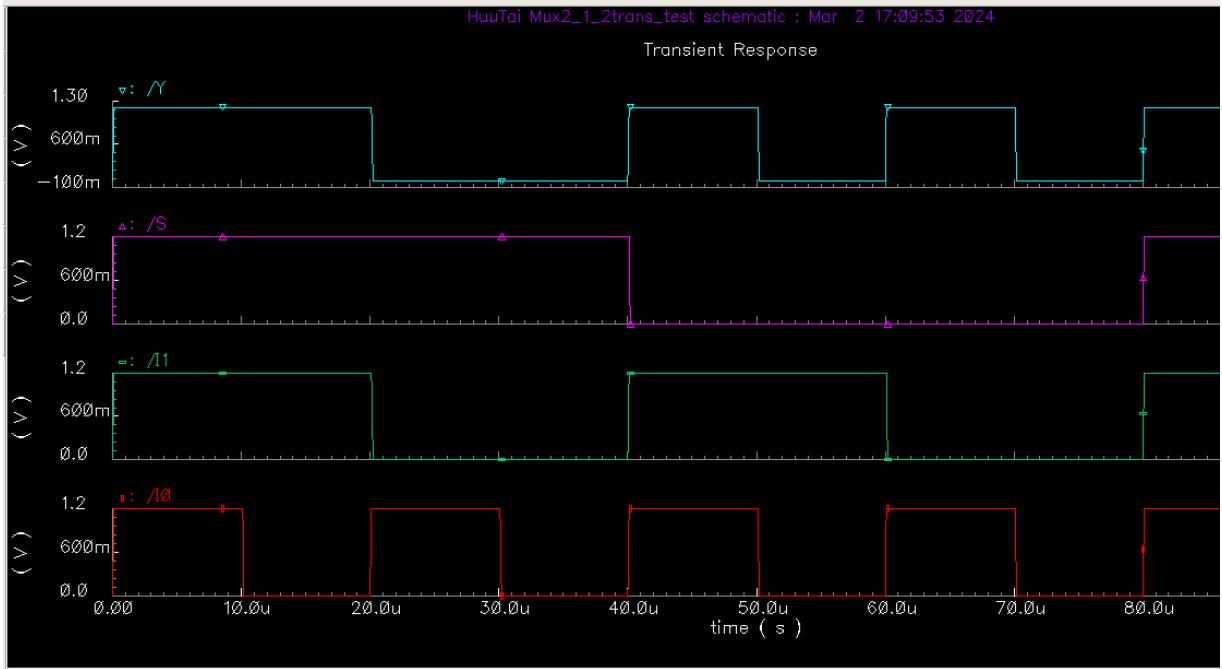
Để mô phỏng đặc tính của công, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung V_{pulse} cho bộ Mux 2:1 đã đóng gói với các thông số giống như bộ Mux 2:1 sử dụng 2 transistor:



Hình 10.25. Cáp nguồn và tín hiệu cho bộ Mux sau khi đóng gói

10.6.2.2. Đánh giá mức điện áp

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào ($I0$, $I1$ và S) và ngõ ra (Y) và thu được kết quả như sau:

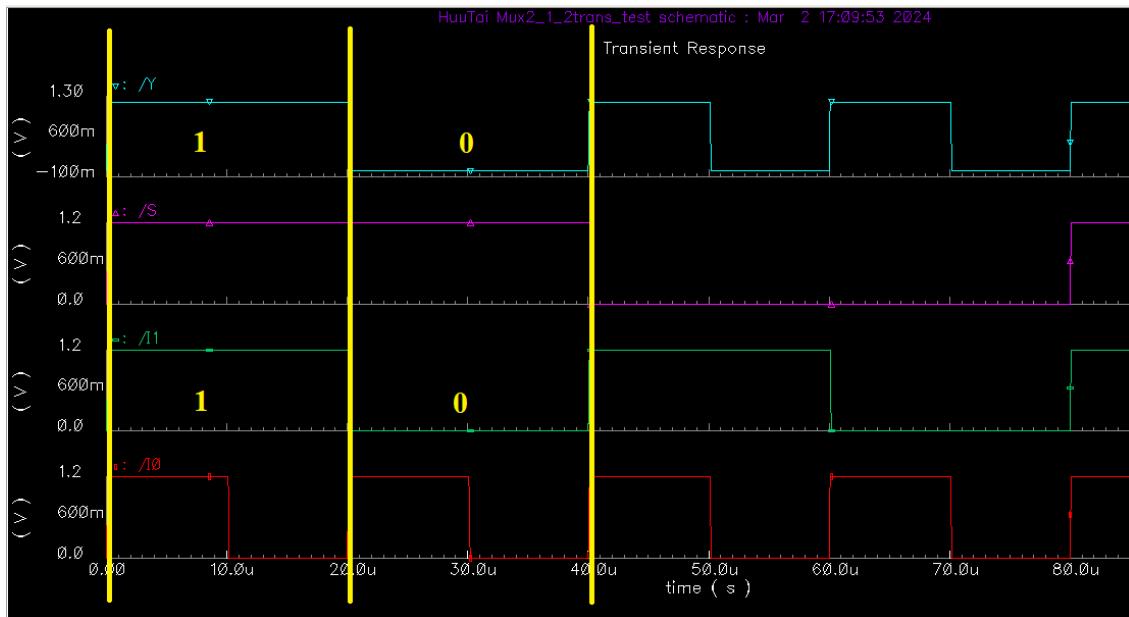


Hình 10.26. Dạng sóng điện áp ngõ vào I0, I1, S và ngõ ra Y

Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

- Khi $S = 1$:

Ta phân tích mức logic của điện áp ngõ vào và ngõ ra như sau:

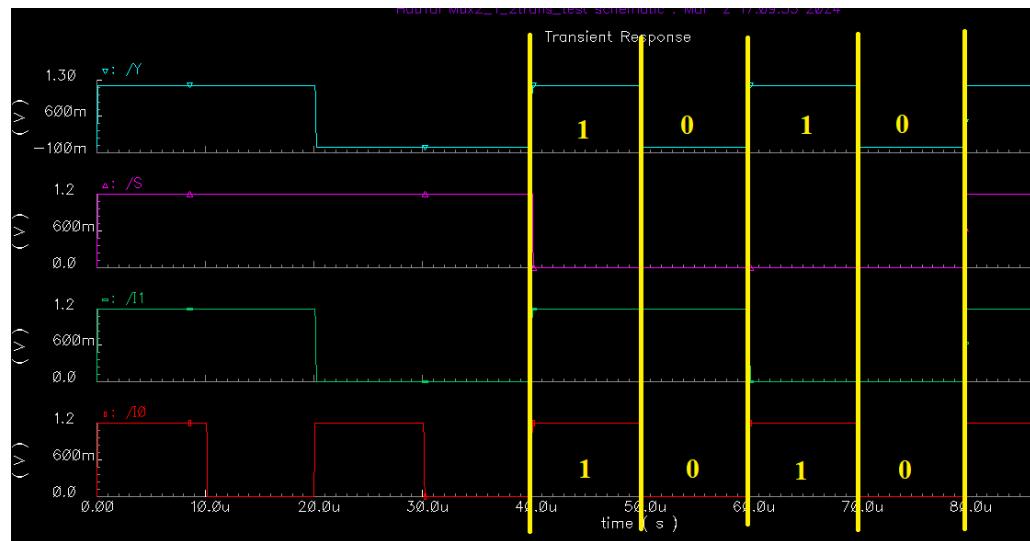


Hình 10.27. Phân tích mức logic của ngõ ra khi $S = 1$

Trong trường hợp $S = 1$, ta thấy các giá trị logic ngõ ra Y hoàn toàn giống với các giá trị logic ngõ vào $I1$, kết luận bộ Mux 2:1 đúng trong trường hợp $S = 1$.

- Khi $S = 0$:

Ta phân tích mức logic của điện áp ngõ vào và ngõ ra như sau:



Hình 10.28. Phân tích mức logic của ngõ ra khi $S = 0$

Trong trường hợp $S = 0$, ta thấy các giá trị logic ngõ ra Y hoàn toàn giống với các giá trị logic ngõ vào I_0 , kết luận bộ Mux 2:1 đúng trong trường hợp $S = 0$.

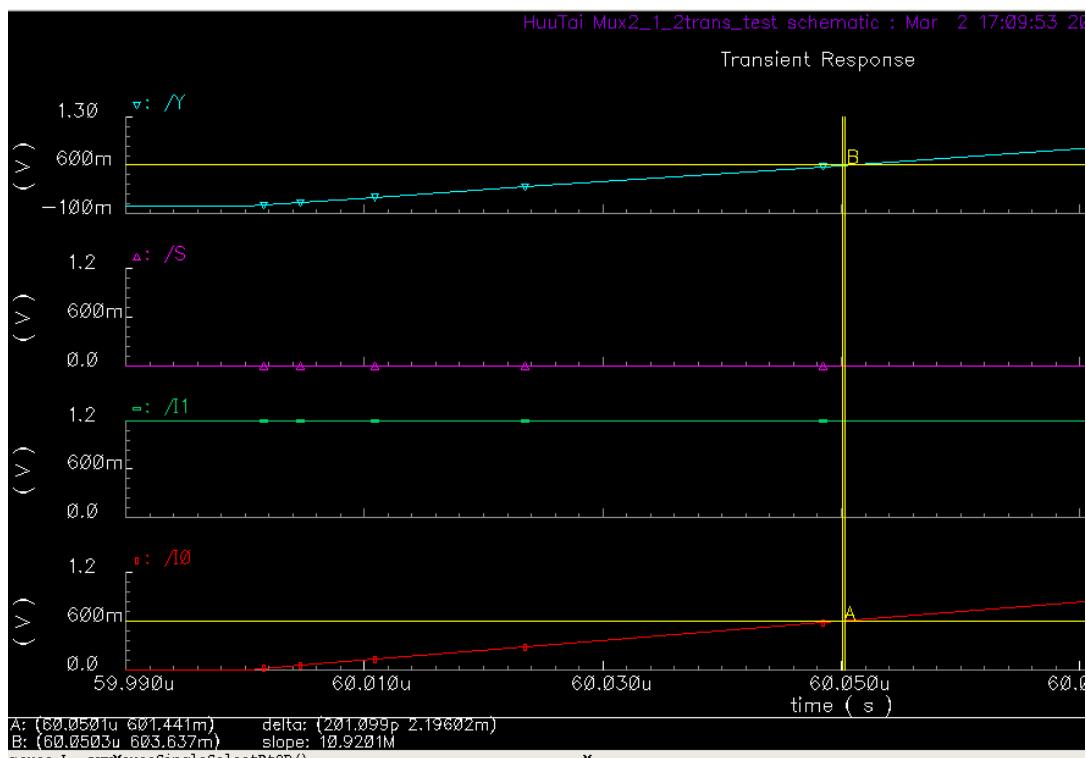
10.6.2.3. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào I_0 và ngõ ra Y :

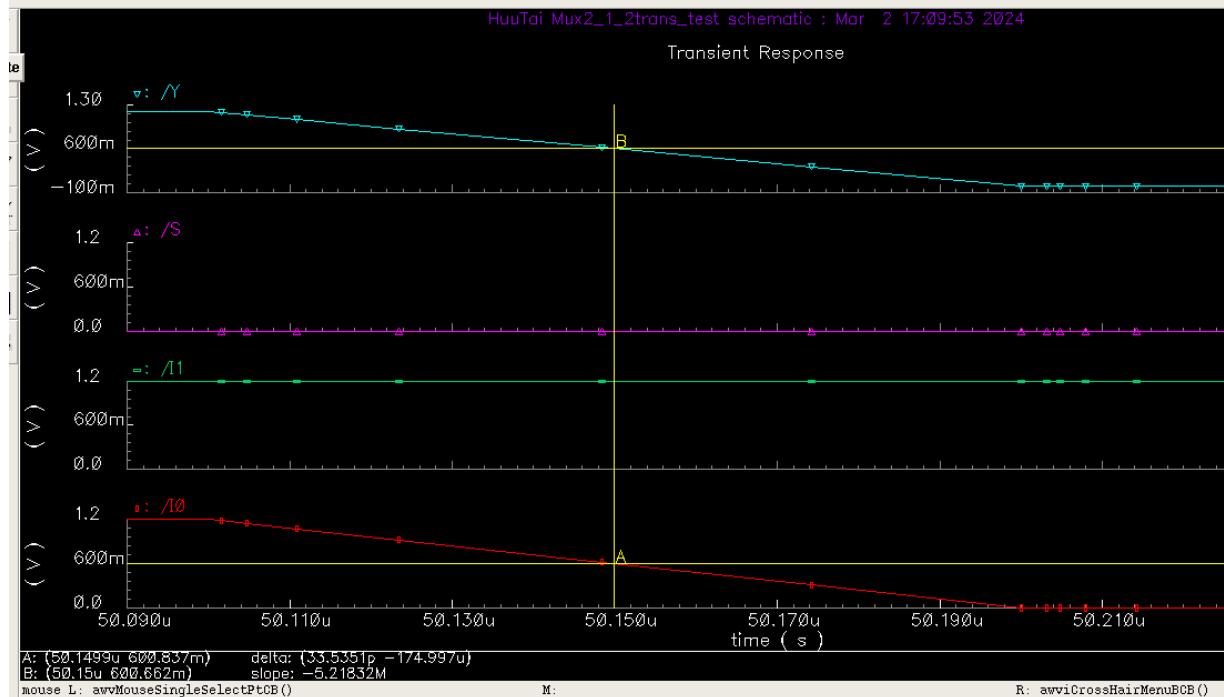
Ta đánh dấu thời gian của ngõ vào I_0 khi cạnh lên như sau:



Hình 10.29. Đo thời gian trễ khi ngõ vào I_0 cạnh lên

Khi điện áp ngõ vào I0 tăng lên đến 601,441 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 603,637 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 201,099 ps hay nói $t_{pdr(I0)} = 201,099$ ps.

Ta đánh dấu thời gian của ngõ vào I0 khi cạnh xuống như sau:



Hình 10.30. Đo thời gian trễ khi ngõ vào I0 cạnh xuống

Khi điện áp ngõ vào I0 giảm xuống đến 600,837 mV (điểm đánh dấu A) và điện áp ngõ ra giảm đến 600,662 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 33,5351 ps hay nói $t_{pdf(A)} = 33,5351$ ps.

Tương tự với các ngõ vào I1 và S, ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 10.2. Bảng kết quả thời gian trễ của bộ Mux 2:1 sử dụng 4 transistor

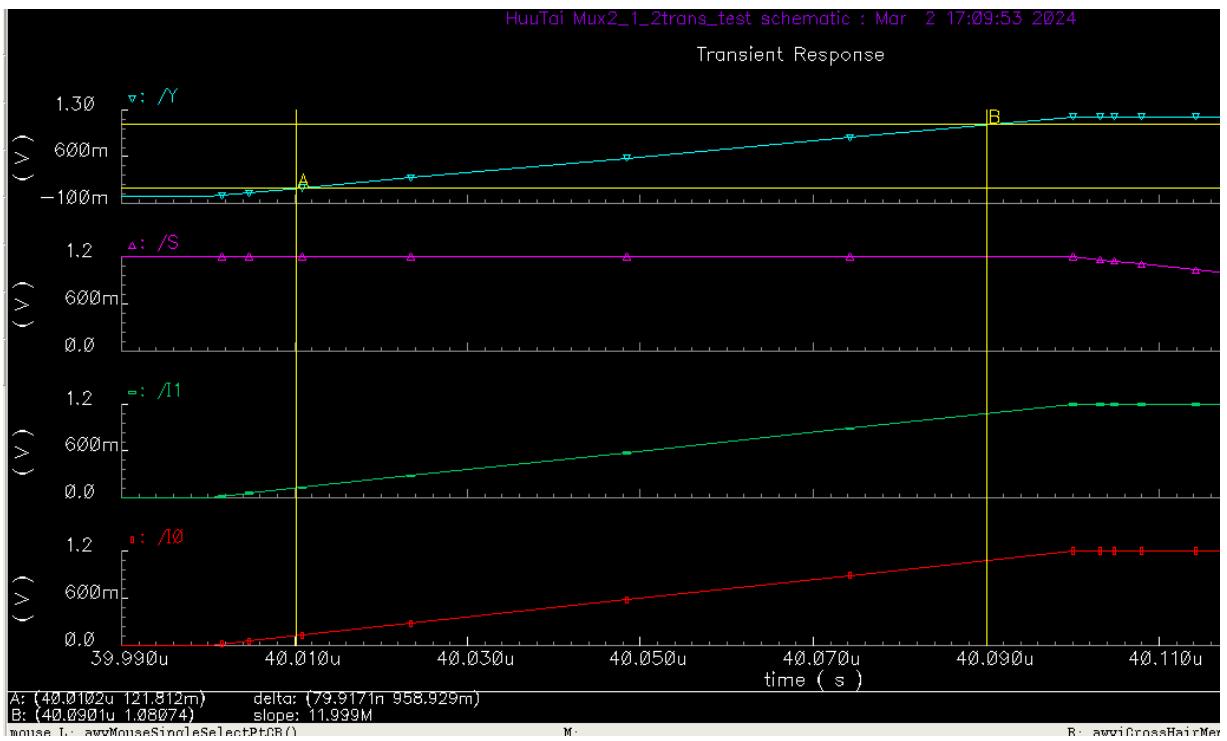
Ngõ vào	Ngõ ra	Thông số	Giá trị	
I0	Y	t_{pdr}	201,099 ps	
		t_{pdf}	33,5351 ps	
I1		t_{pdr}	153,351 ps	
		t_{pdf}	97,853 ps	
S		t_{pdr}	180,811 ps	
		t_{pdf}	150,358 ps	

10.6.2.4. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

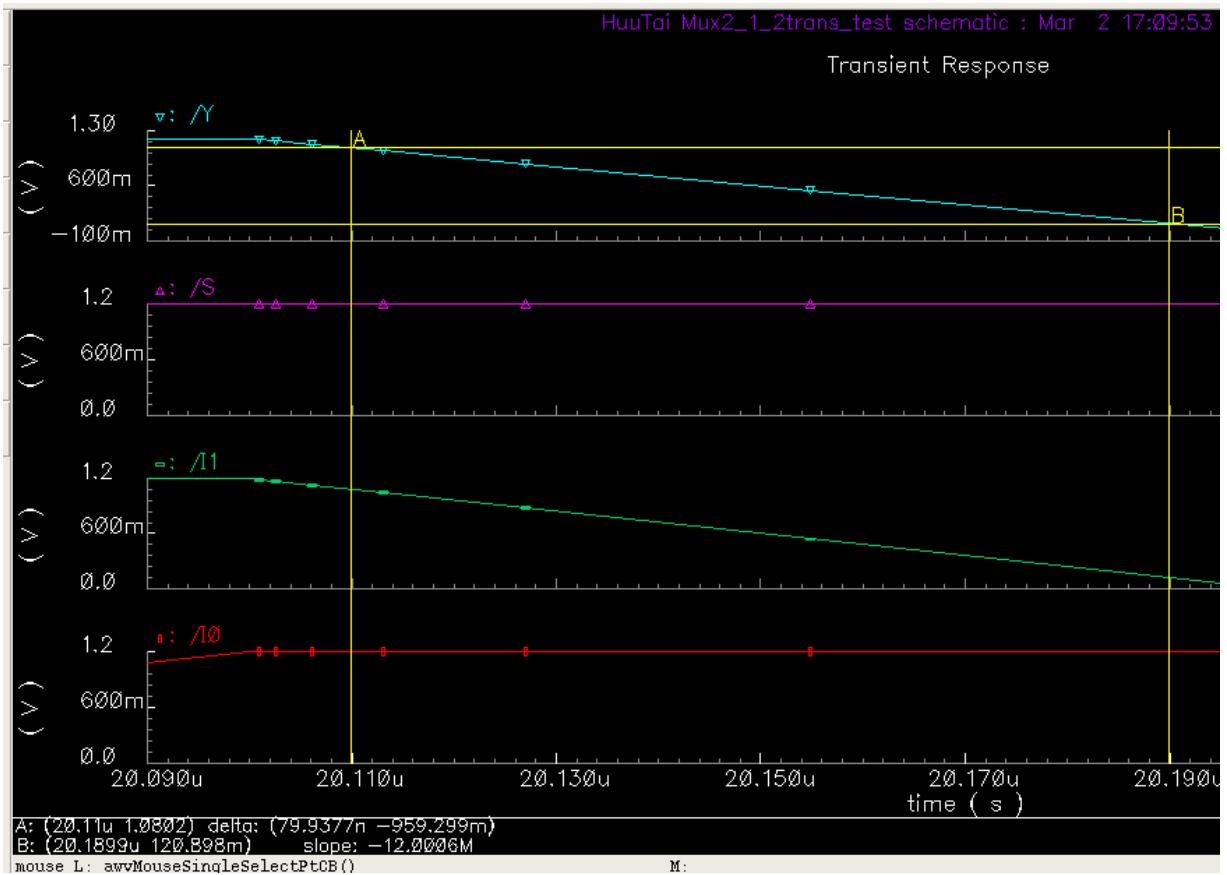
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 121,812$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08074$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 79,917 ns hay $t_r = 79,917$ ns.



Hình 10.31. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,0802$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,898$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 79,9377 ns hay $t_f = 79,9377$ ns.

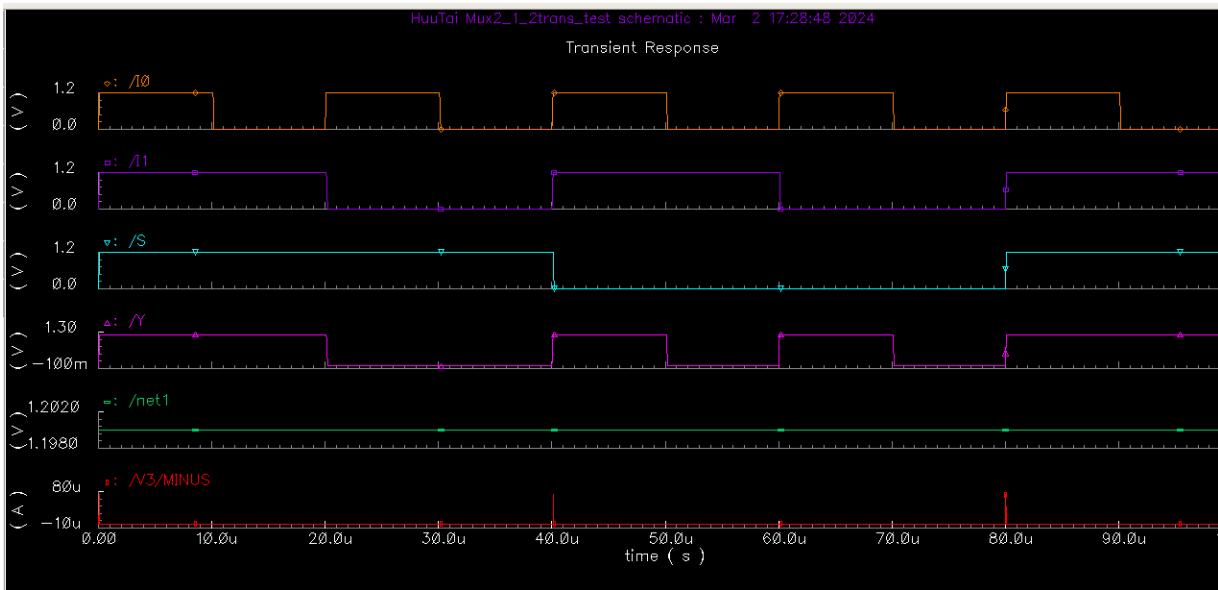


Hình 10.32. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 79,92735 \text{ ns}$.

10.6.2.5. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho bộ Mux 2:1 và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

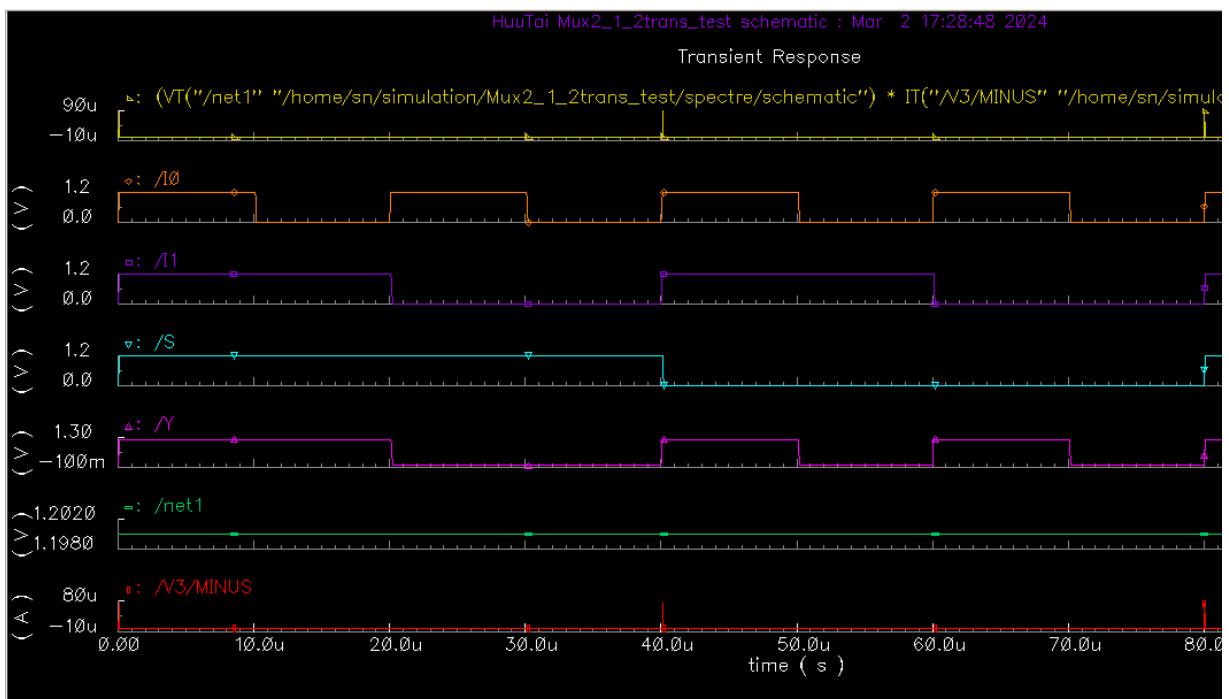
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 10.33. Dạng sóng điện áp và dòng điện của nguồn cung cấp

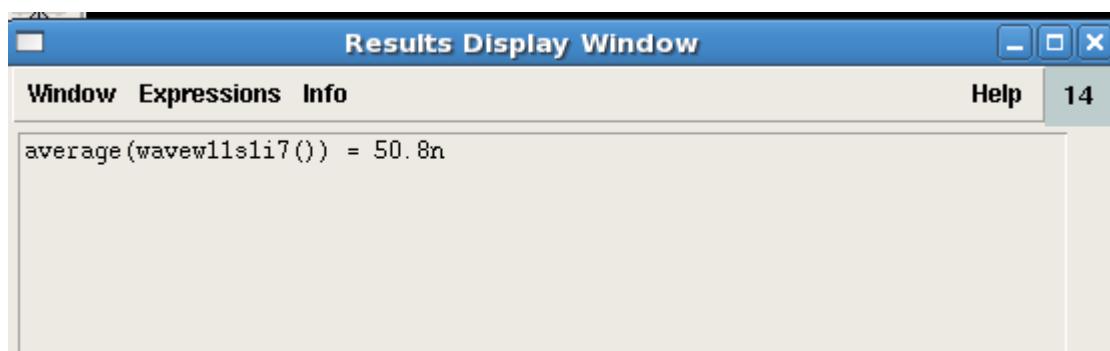
Khi điện áp ngõ ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào mạch để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của mạch.

Ta vẽ dạng sóng công suất tức thời bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 10.34. Dạng sóng công suất tức thời trên mạch

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 50,8 nW.

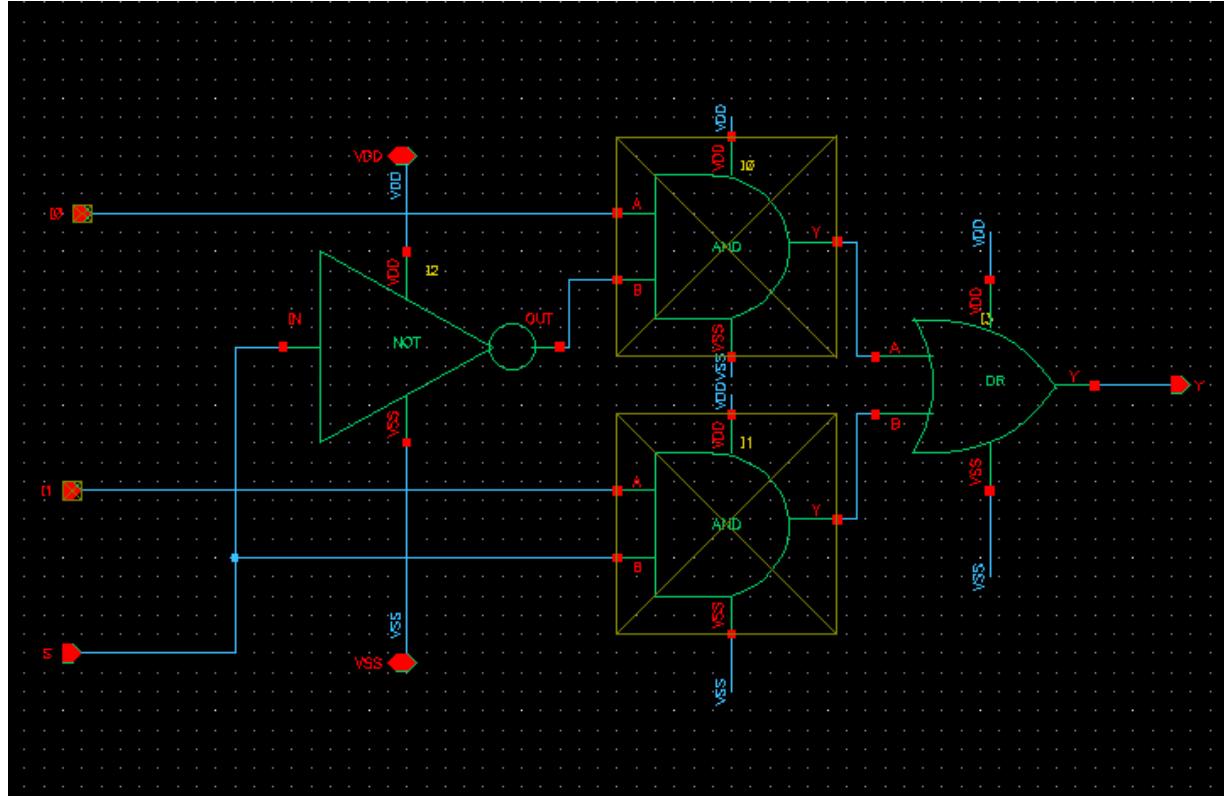


Hình 10.35. Kết quả tính giá trị trung bình trên bộ Mux 2:1

10.7. Thiết kế bộ Mux 2:1 sử dụng công logic

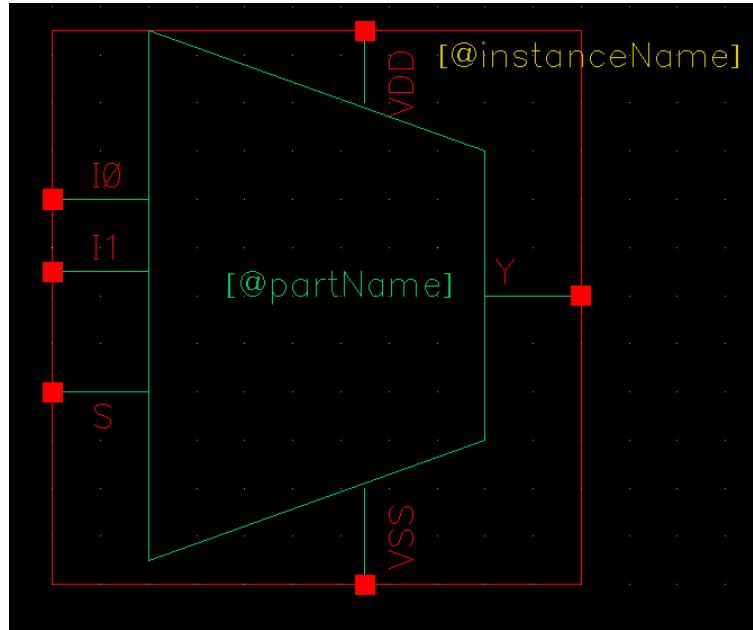
10.7.1. Thiết kế và đóng gói trên Cadence

Ta thiết kế được sơ đồ mạch Mux 2:1 sử dụng CMOS công nghệ Samsung 0.13μm trong phần mềm Cadence với các cổng logic như sau:



Hình 10.36. Sơ đồ nguyên lý bộ Mux 2:1 sử dụng các công nghệ logic Cadence

Sau khi thiết kế xong mạch, ta tiến hành đóng gói mạch MUX 2-1 bit bằng công cụ có sẵn trong phần mềm Cadence và thu được bộ cộng MUX 2:1 như sau:

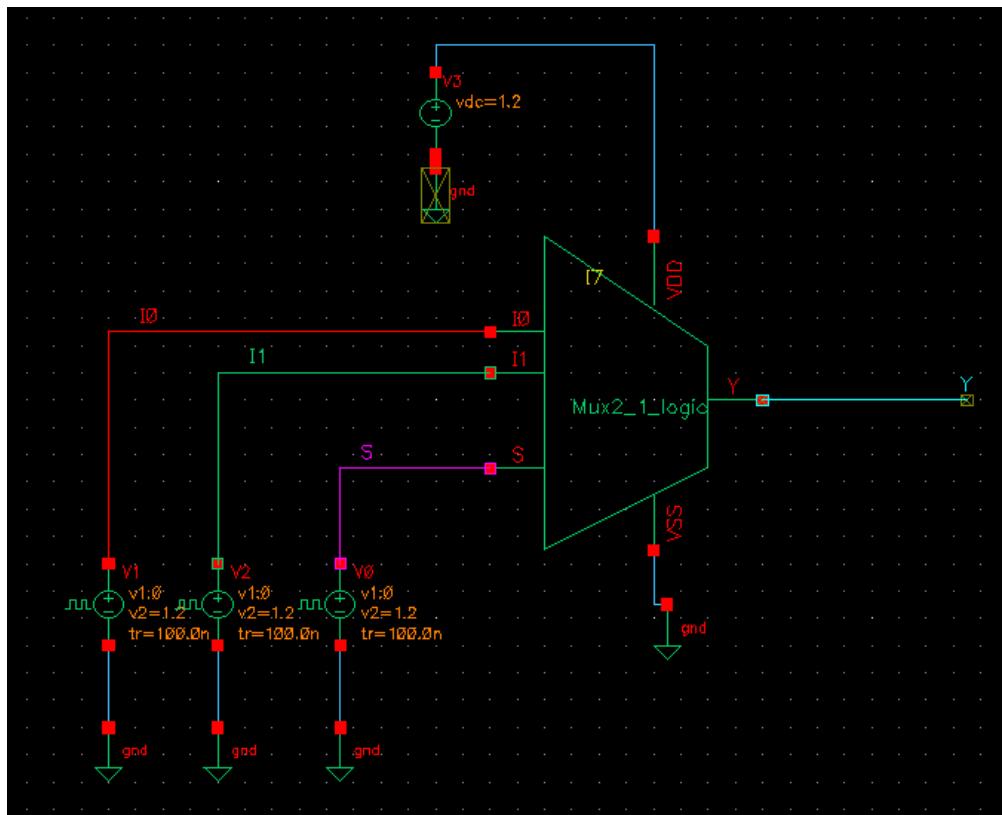


Hình 10.37. Bộ Mux 2:1 sử dụng các công logic sau khi đóng gói

10.7.2. Mô tả đặc tính của bộ Mux 2:1 sử dụng các công logic

10.7.2.1. Cáp nguồn và tín hiệu

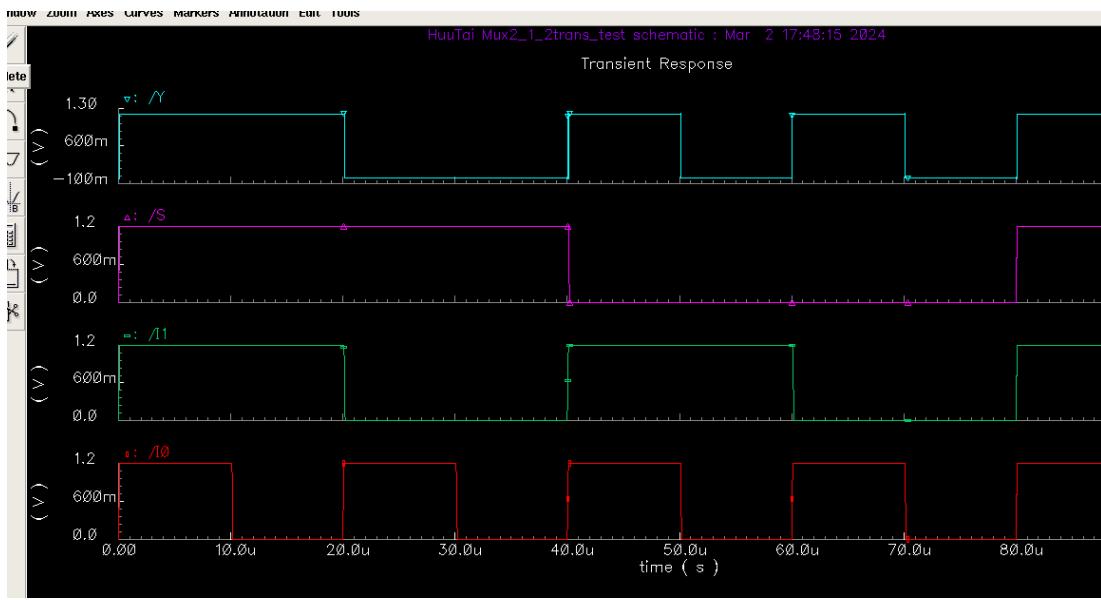
Để mô phỏng đặc tính của công, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho bộ Mux 2:1 đã đóng gói với các thông số giống như bộ Mux 2:1 sử dụng 2 transistor:



Hình 10.38. Cáp nguồn và tín hiệu cho bộ Mux 2:1 sau khi đóng gói

10.7.2.2. Đánh giá mức điện áp

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào (I_0 , I_1 và S) và ngõ ra (Y) và thu được kết quả như sau:

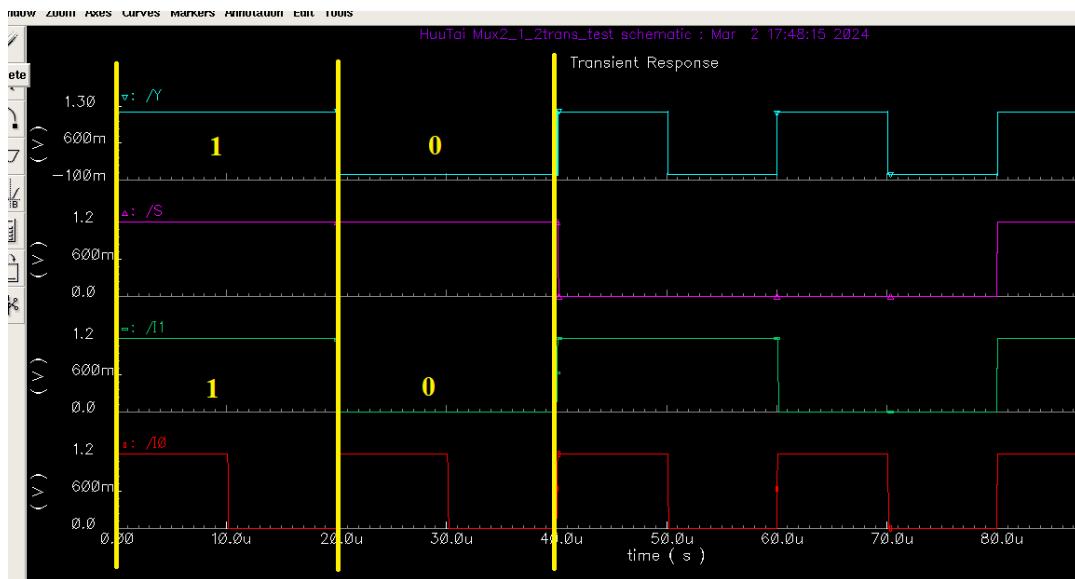


Hình 10.39. Dạng sóng điện áp ngõ vào I_0, I_1, S và ngõ ra Y

Ta đánh dấu giá trị ngõ ra và giá trị ngõ vào tại các thời điểm bình thường khác nhau và chia được thành các trường hợp sau:

- **Khi $S = 1$:**

Ta phân tích mức logic của điện áp ngõ vào và ngõ ra như sau:

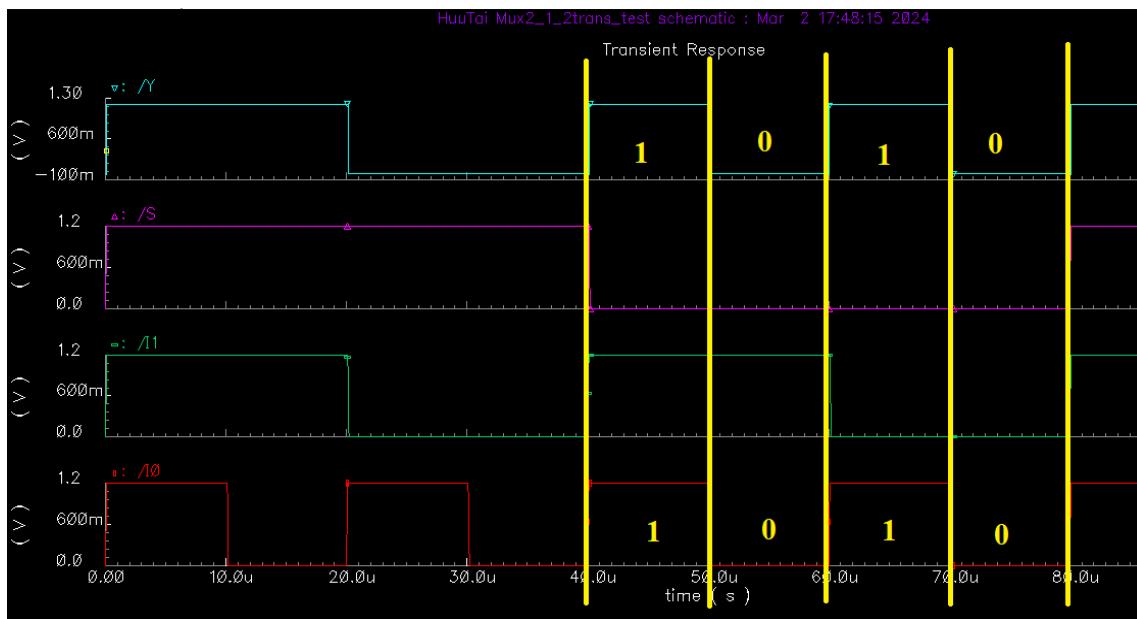


Hình 10.40. Phân tích mức logic của ngõ ra khi $S = 1$

Trong trường hợp $S = 1$, ta thấy các giá trị logic ngõ ra Y hoàn toàn giống với các giá trị logic ngõ vào $I1$, kết luận bộ Mux 2:1 đúng trong trường hợp $S = 1$.

- **Khi $S = 0$:**

Ta phân tích mức logic của điện áp ngõ vào và ngõ ra như sau:



Hình 10.41. Phân tích mức logic của ngõ ra khi $S = 0$

Trong trường hợp $S = 0$, ta thấy các giá trị logic ngõ ra Y hoàn toàn giống với các giá trị logic ngõ vào $I0$, kết luận bộ Mux 2:1 đúng trong trường hợp $S = 0$.

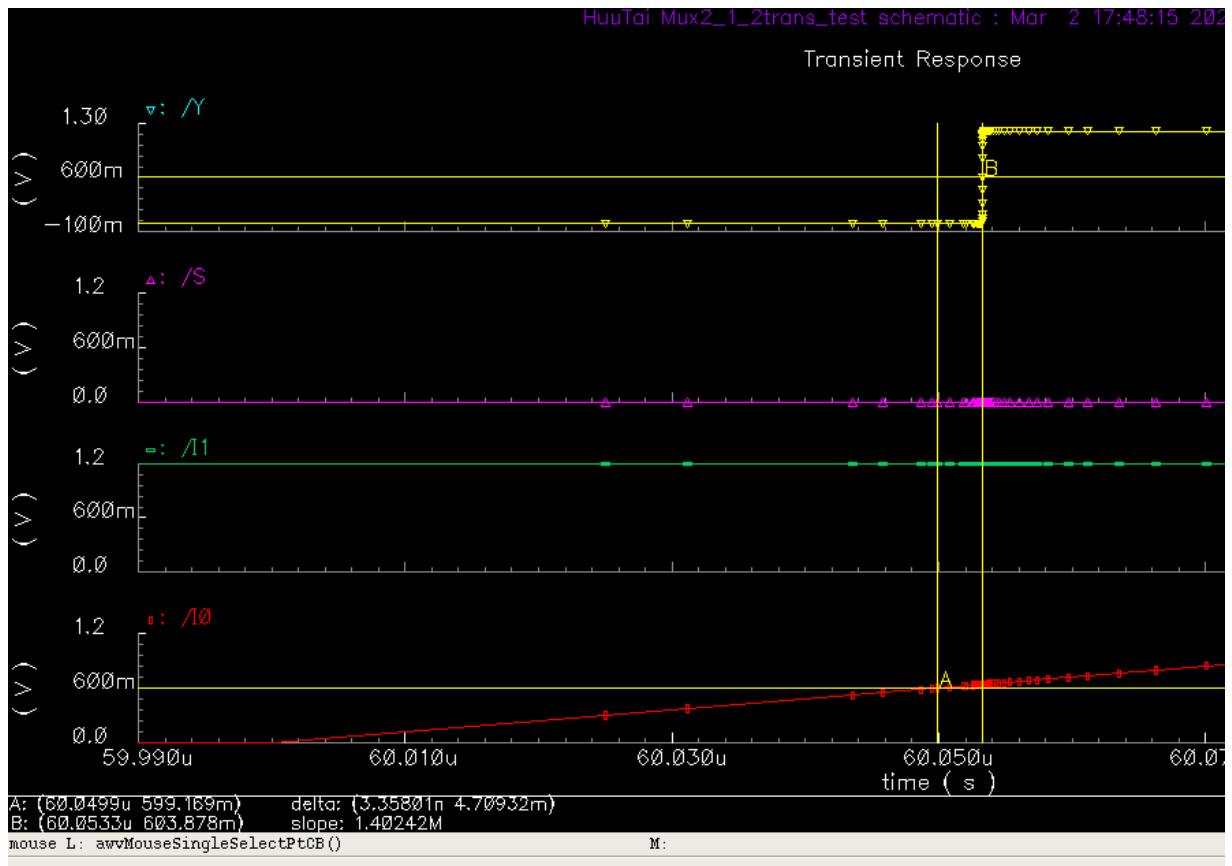
10.7.2.3. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào $I0$ và ngõ ra Y :

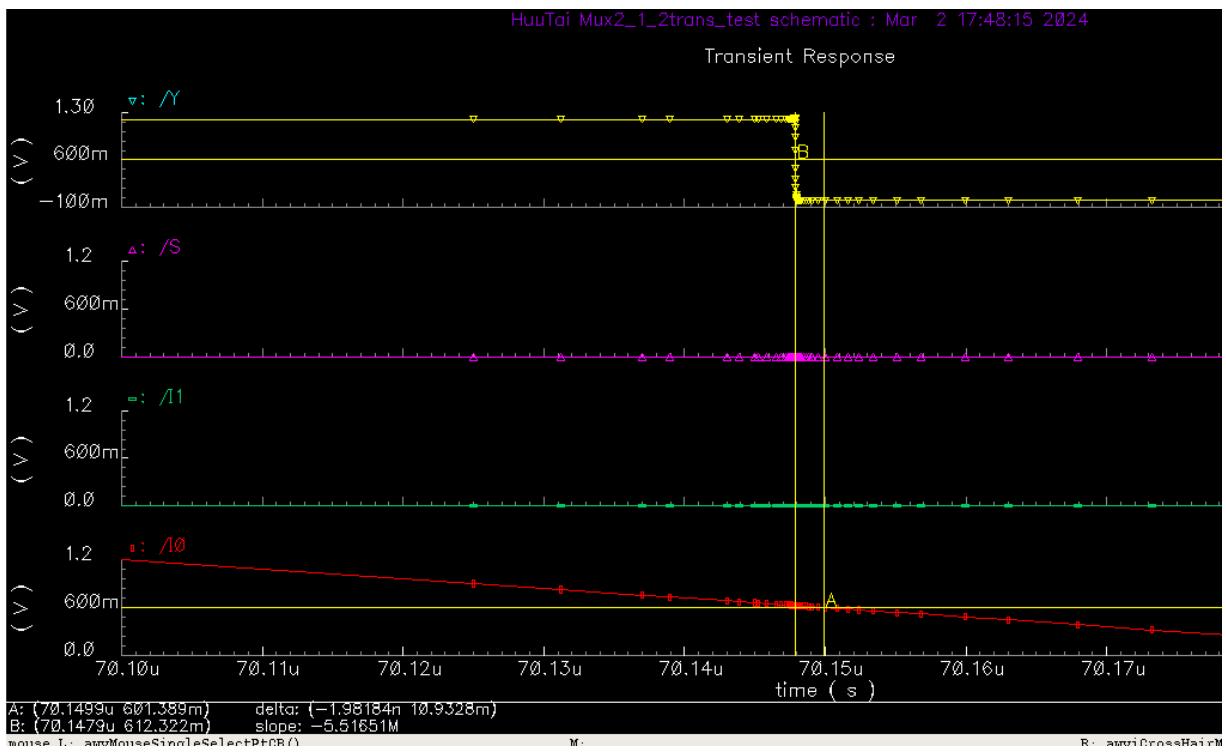
Ta đánh dấu thời gian của ngõ vào I0 khi cạnh lên như sau:



Hình 10.42. Đo thời gian trễ khi ngõ vào I0 cạnh lên

Khi điện áp ngõ vào I0 tăng lên đến 599,169 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 603,878 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 3,35801 ns hay nói $t_{pdr(I0)} = 3,35801$ ns.

Ta đánh dấu thời gian của ngõ vào I0 khi cạnh xuống như sau:



Hình 10.43. Đo thời gian trễ khi ngõ vào I0 cạnh xuống

Khi điện áp ngõ vào I0 giảm xuống đến 601,389 mV (điểm đánh dấu A) và điện áp ngõ ra giảm đến 612,322 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 1,98184 ns hay nói $t_{pdf(A)} = 1,98184$ ns.

Tương tự với các ngõ vào I1 và S, ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 10.3. Bảng kết quả thời gian trễ của bộ Mux 2:1 sử dụng công logic

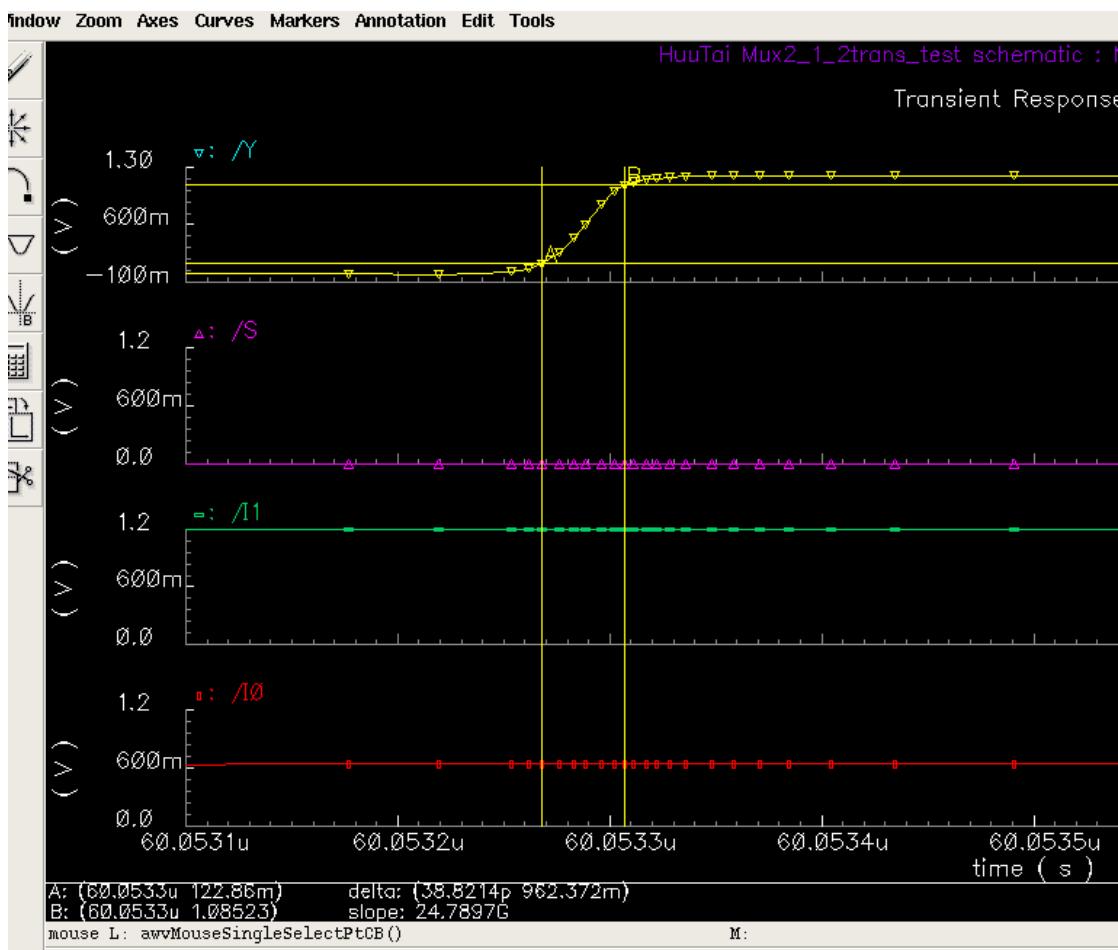
Ngõ vào	Ngõ ra	Thông số	Giá trị	
I0	Y	t_{pdr}	3,35801 ns	
		t_{pdf}	1,98184 ns	
I1		t_{pdr}	3,541 ns	
		t_{pdf}	2,5345 ns	
S		t_{pdr}	2,9141 ns	
		t_{pdf}	3,2538 ns	

10.7.2.4. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

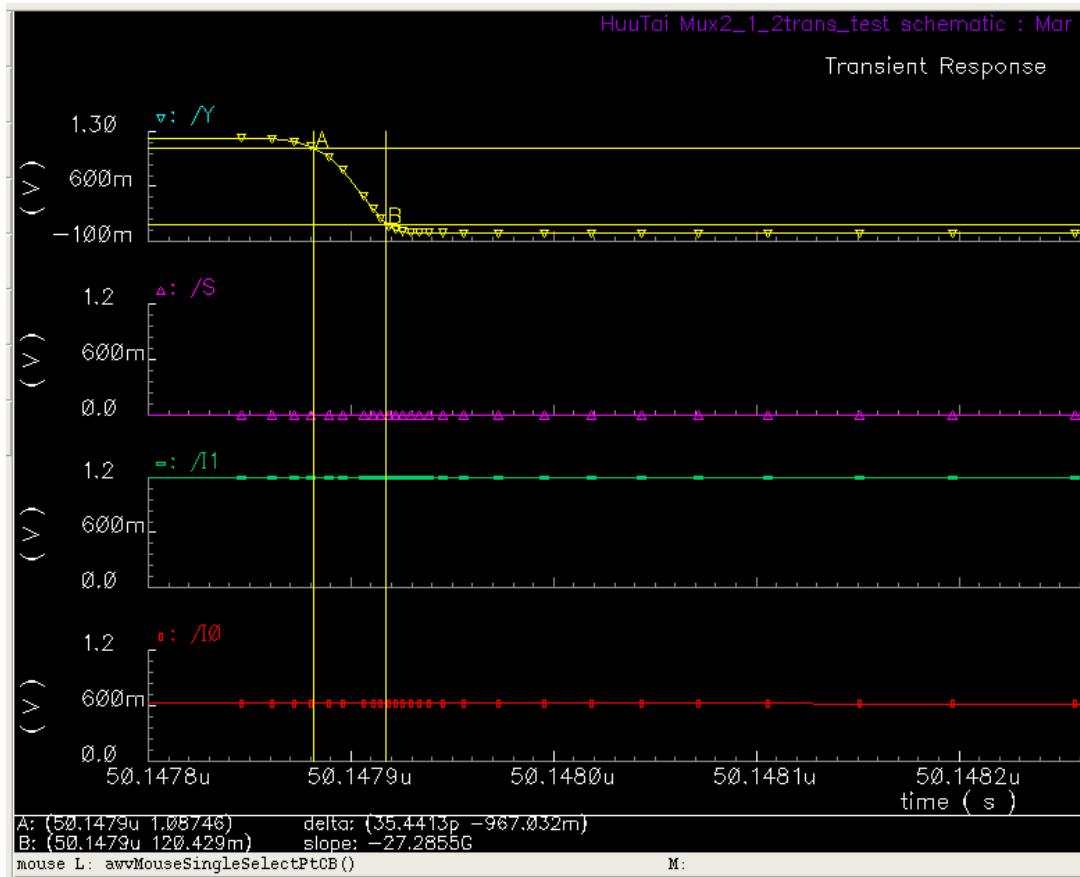
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 122,86 \text{ mV}$ (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08523 \text{ V}$ (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 38,8214 ps hay $t_r = 38,8214 \text{ ps}$.



Hình 10.44. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08746$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,429$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 35,4413 ps hay $t_f = 35,4413$ ps.

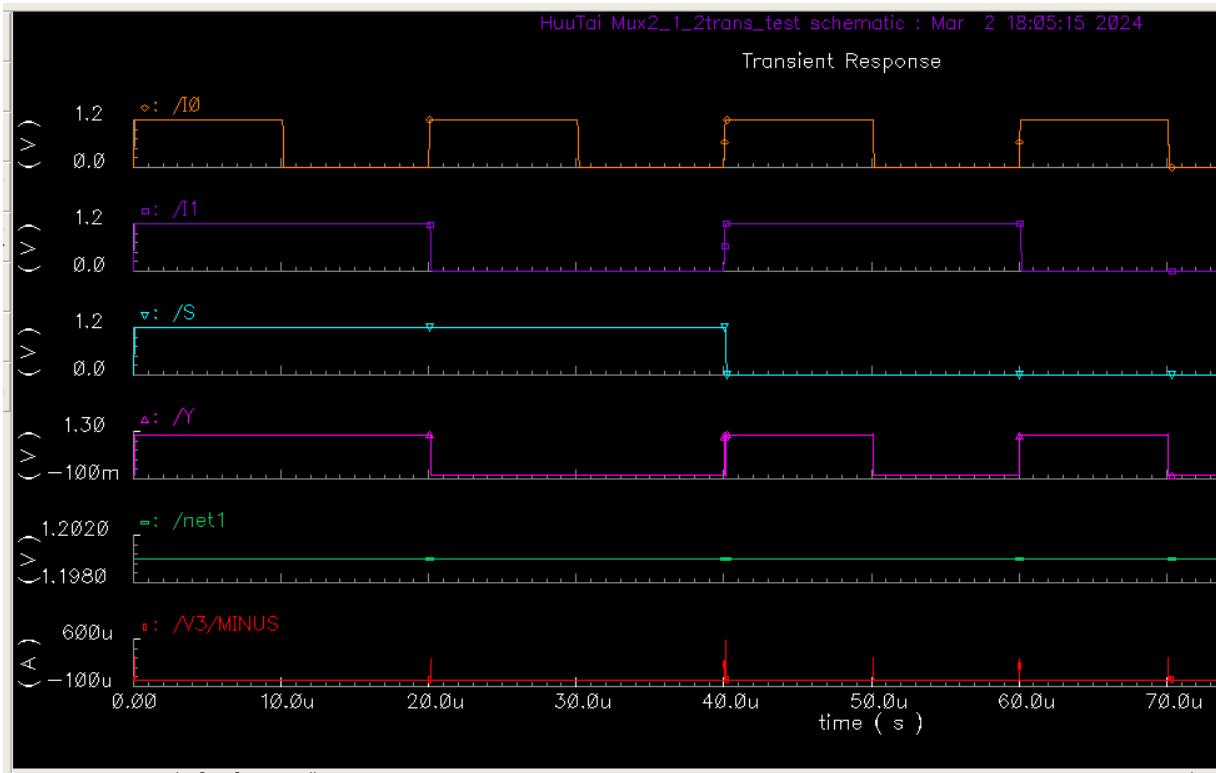


Hình 10.45. Dánh giá thời gian chuyển mạch ngắn ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 37,13135 \text{ ps}$.

10.7.2.5. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho bộ Mux 2:1 và dạng sóng của dòng điện qua nguồn cung cấp như sau:



Chú thích

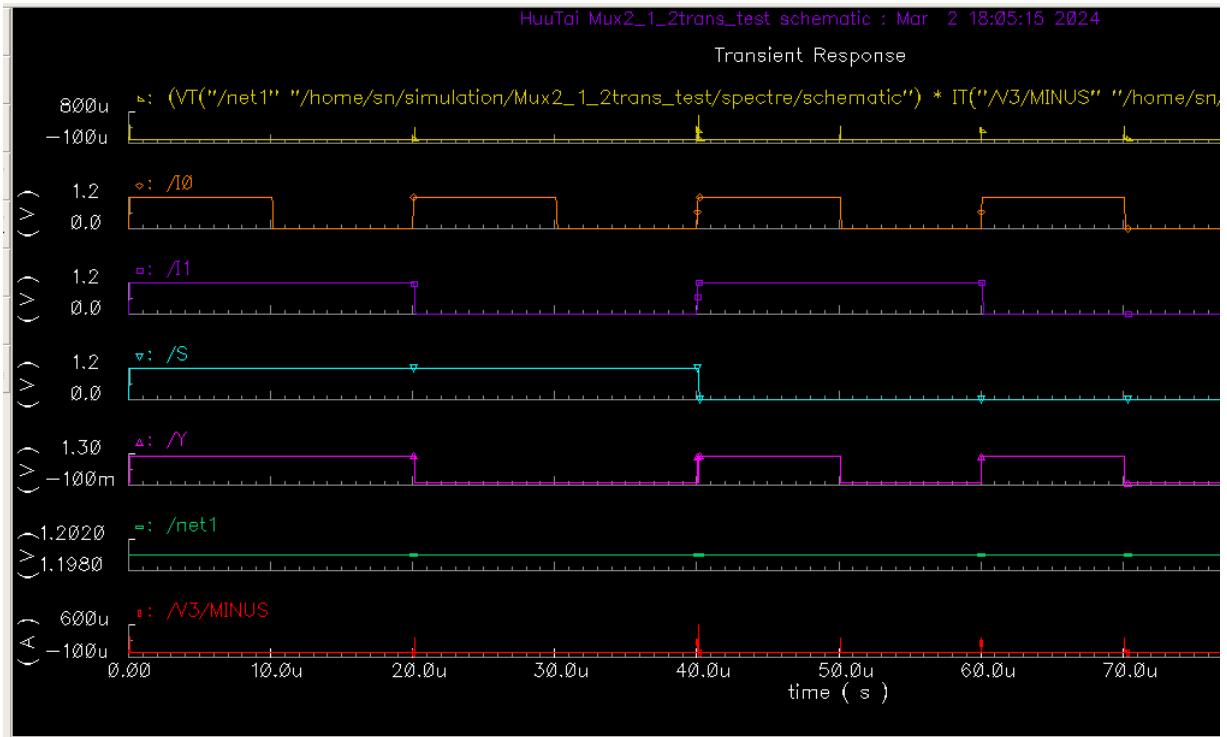
Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

Hình 10.46. Dạng sóng điện áp và dòng điện của nguồn cung cấp

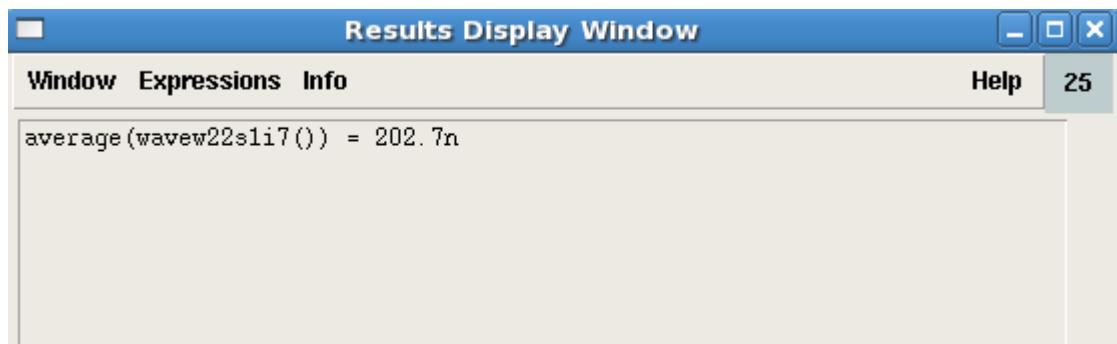
Khi điện áp nô ra chuyển từ mức cao xuống mức thấp hoặc ngược lại, trên dây dẫn sẽ có một dòng điện lớn chảy vào đầu vào mạch để giảm hoặc tăng điện áp đầu vào. Khi điện áp đầu vào ở mức ổn định, dòng điện sẽ giảm dần về mức ổn định tương ứng với giá trị điện trở đầu vào của mạch.

Ta vẽ dạng sóng công suất tức thời bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 10.47. Dạng sóng công suất tức thời trên mạch

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 202,7 nW.



Hình 10.48. Kết quả tính giá trị trung bình trên bộ Mux 2:1

10.8. Tổng kết và đánh giá

Sau khi mô phỏng bộ Mux 2:1 với 3 thiết kế trên, ta tổng hợp được bảng sau:

Bảng 10.4. Bảng tổng kết bộ Mux 2:1

Thông số	Mux 2:1 với 2 transistor	Mux 2:1 với 4 transistor	Mux 2:1 với công logic
Độ trễ (giá trị lớn nhất)	$t_{pdr} = 26,8761 \text{ ps}$ $t_{pdf} = 38,2347 \text{ ps}$	$t_{pdr} = 201,099 \text{ ps}$ $t_{pdf} = 150,358 \text{ ps}$	$t_{pdr} = 3,541 \text{ ns}$ $t_{pdf} = 3,2538 \text{ ns}$
Transistion time	88,88405 ns	79,92735 ns	37,13135 ps
Công suất	31,48 pW	50,8 nW	202,7 nW

Đánh giá:

Kết quả mô phỏng cho thấy mạch thiết kế đã hoạt động đúng với lý thuyết bộ Mux 2:1.

Sau khi đánh giá độ trễ của bộ ghép kênh MUX 2-1, ta kết luận rằng có sự chênh lệch về thời gian trễ truyền cạnh lên và thời gian trễ truyền cạnh xuống giữa các bộ ghép kênh với nhau có thể là do sự khác nhau về đặc tính của các linh kiện bên trong các bộ ghép kênh. Độ trễ của bộ MUX 2-1 logic là lớn nhất và độ trễ của bộ MUX 2-1 sử dụng 2 trans thì thấp nhất. Ngoài ra, số lượng công transistor cũng có thể ảnh hưởng đến độ trễ của mạch. Điều này có thể giải thích tại sao độ trễ của bộ MUX 2-1 sử dụng 2 trans nhỏ nhất lại thấp nhất. Với số lượng công transistor ít hơn, tín hiệu có thể được truyền qua các công nhanh hơn và do đó độ trễ được giảm thiểu. Tuy nhiên về thời gian chuyển mạch thì ngược lại, các mạch sử dụng nhiều transistor thì thời gian chuyển mạch càng nhanh, với bộ Mux 2:1 sử dụng công logic có thời gian chuyển mạch ít hơn rất nhiều lần so với 2 trường hợp trên. Về công suất, do sử dụng nhiều transistor nên công suất của bộ Mux 2:1 dùng công logic là lớn nhất và sau đó đến trường hợp sử dụng 4 transistor, cuối cùng thấp nhất là trường hợp sử dụng 2 transistor.

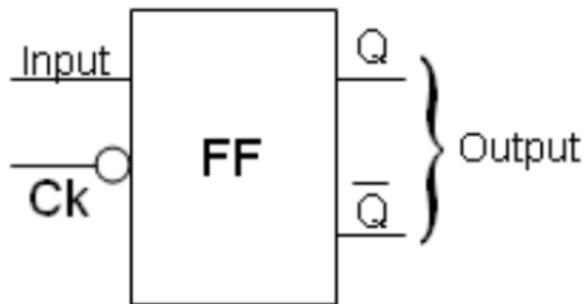
Phần 11

CƠ SỞ LÝ THUYẾT VỀ FLIP-FLOP D

11.1. Tổng quan về Flip-flop

Flip-flop là một thành phần quan trọng trong công nghệ điện tử kỹ thuật số, được sử dụng để lưu trữ và truyền tín hiệu số. Thông qua việc sử dụng các cổng logic AND, OR và NOT, flip-flop có khả năng lưu giữ giá trị bit (0 hoặc 1) và truyền giá trị đó đến các phần khác trong mạch logic số.

Flip-flop hoạt động dựa trên tín hiệu đầu vào để xác định trạng thái hoạt động của nó. Có nhiều loại flip-flop khác nhau, mỗi loại có thể có các đầu vào và đầu ra khác nhau. Tuy nhiên, chung quy lại, chúng đều có khả năng lưu trữ giá trị tín hiệu tại một thời điểm nhất định, giúp xử lý thông tin theo các yêu cầu của mạch.

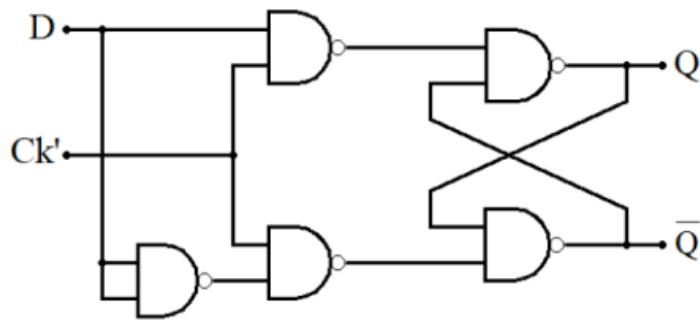


Hình 11.1.1. Sơ đồ khái niệm flip-flop

Nếu các ngõ vào sẽ quyết định ngõ ra là cái gì thì ngõ đồng hồ ck lại chỉ ra rằng khi nào mới có sự thay đổi đó. Chân Ck có thể tác động mức thấp hay mức cao tùy vào cấu trúc bên trong của từng IC FF, do đó với một IC FF cố định thì chỉ có một kiểu tác động.

11.2. Tông quan về Flip-flop D

Flip-flop D là một loại mạch logic trong điện tử kỹ thuật số được sử dụng để lưu trữ và truyền tín hiệu số. Nó có thể được sử dụng để lưu trữ một giá trị bit (0 hoặc 1) và sau đó truyền giá trị đó đến các phần khác trong mạch. Flip-flop D được sử dụng trong các mạch ứng dụng như bộ đếm, bộ lưu đồng bộ và bộ lưu trữ. Nó là một phần quan trọng của các mạch logic số và điện tử kỹ thuật số.



Hình 11.2.1. Sơ đồ nguyên lý của Flip-Flop D

Bảng 11.2.1. Bảng trạng thái của Flip-Flop D

Ngõ vào		Ngõ ra		Trạng thái
Ck	D	Q_{n+1}	\bar{Q}_{n+1}	
0	x	Q_n	\bar{Q}_n	Không đổi
1	0	0	1	Reset
1	1	1	0	Set

Với Flip-flop D có thêm các ngõ vào không đồng bộ Pre và Clr, ta có bảng trạng thái đầy đủ như sau:

Bảng 11.2.2. Bảng trạng thái của Flip-Flop có chân Pre và Clr

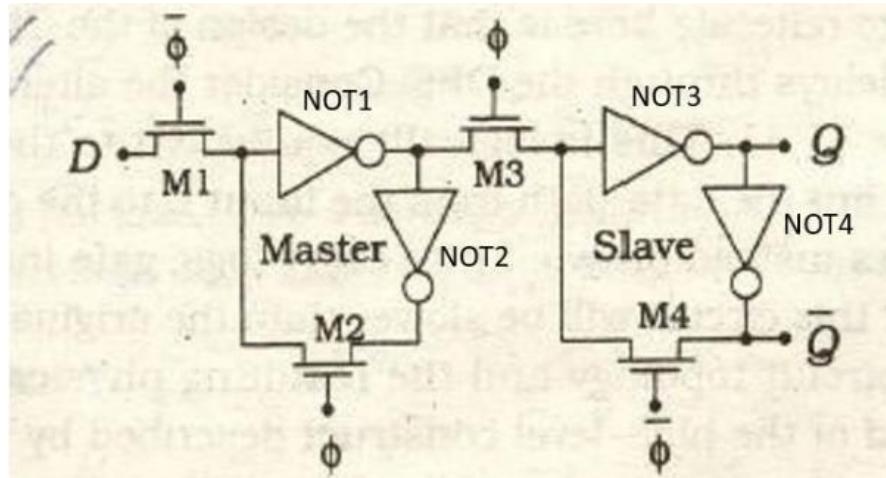
Ngõ vào đồng bộ		Ngõ vào không đồng bộ		Ngõ ra		Trạng thái
Ck	D	Pre	Clr	Q_{n+1}	$\overline{Q_{n+1}}$	
x	x	0	0	1	1	Cảm
x	x	0	1	1	0	Set
x	x	1	0	0	1	Reset
0	x	1	1	Q_n	$\overline{Q_n}$	Không đổi
↓	0	1	1	0	1	Reset
↓	1	1	1	1	0	Set

11.3. Các loại mạch ứng dụng của Flip-Flop D

11.3.1. Mạch Master - Slave

Mạch Master-Slave Flip-flop D bao gồm hai Flip-flop D (một Flip-flop được gọi là Master và một Flip-flop được gọi là Slave) và được sử dụng để giảm thiểu các lỗi có thể xảy ra khi tín hiệu đầu vào thay đổi quá nhanh.

Mạch được xây dựng từ 4 cổng INVERTER và 4 transistor, do đó ưu điểm của mạch này là đơn giản, kích thước nhỏ và tiêu tốn ít năng lượng so với các mạch Master-Slave khác. Sơ đồ nguyên lý của mạch như sau:



Hình 11.3.1. Sơ đồ nguyên lý mạch Master – Slave DFF

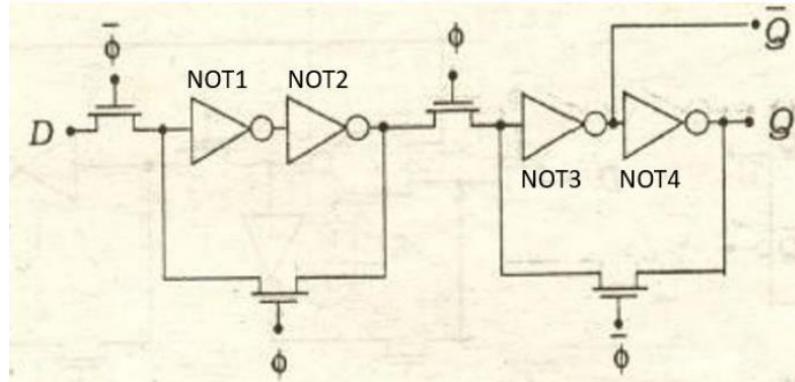
Khi tín hiệu CLK (Φ) là 0, phần Master được kích hoạt và phần Slave không hoạt động. Khi đó, đầu vào D được giữ nguyên qua các transistor M1 và M2, và được đưa ra đầu ra \bar{Q} thông qua cổng NOT1. Đồng thời, giá trị đầu ra của phần Slave cũng được giữ nguyên và đưa ra đầu ra cuối cùng thông qua các transistor M3 và M4, và được đảo ngược qua cổng NOT3.

Khi tín hiệu CLK là 1, phần Slave được kích hoạt và phần Master không hoạt động. Khi đó, giá trị đầu vào D được lưu trữ vào Flip-flop thông qua các transistor M3 và M4, và được đưa ra đầu ra Q thông qua cổng NOT2. Đồng thời, giá trị đầu ra của phần Master cũng được lưu trữ và đưa ra đầu ra cuối cùng thông qua các transistor M1 và M2, và được đảo ngược qua cổng NOT4.

11.3.2. Mạch Alternative Master – Slave

Mạch Alternative Master-Slave là mạch có cấu tạo và hoạt động tương tự như mạch Master-Slave. Đôi với cấu trúc mạch, người ta sử dụng 4 cổng INVERTER trên đường truyền bit từ ngõ vào D đến ngõ ra cuối cùng Q, thay vì sử dụng 2 so với mạch

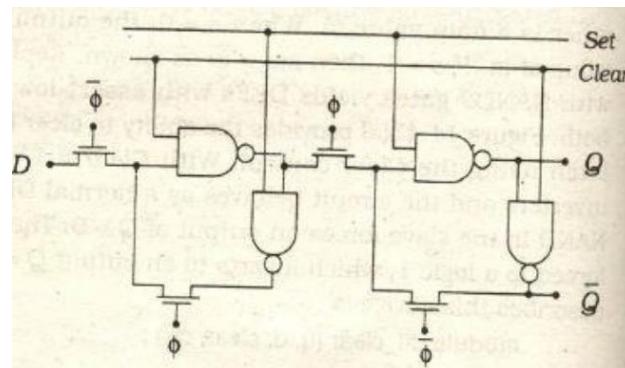
Master-Slave. Do đó mạch này có độ trễ và năng lượng tiêu tán cao hơn so với mạch Master-Slave. Sơ đồ nguyên lý của mạch như sau:



Hình 11.3.2. Sơ đồ nguyên lý mạch Alternative Master – Slave

11.3.3. Mạch Master – Slave có các tín hiệu không đồng bộ

Mạch Master-Slave Flip-flop D có thể được mở rộng để bao gồm các tín hiệu Set và Clear (còn gọi là Reset). Khi tín hiệu Set được kích hoạt, đầu ra của Flip-flop sẽ được đặt thành mức cao, bất kể tín hiệu đầu vào D và CLK là gì. Khi tín hiệu Clear được kích hoạt, đầu ra của Flip-flop sẽ được đặt thành mức thấp, bất kể tín hiệu đầu vào D và CLK là gì. Sơ đồ mạch như sau:

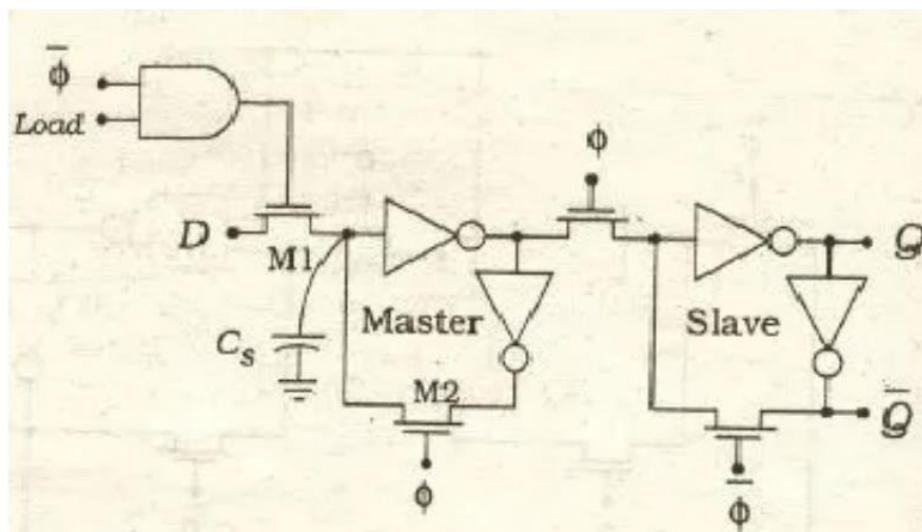


Hình 11.3.3. Sơ đồ nguyên lý mạch Master – Slave có các tín hiệu Set và Clear

Để thêm tín hiệu Set và Clear vào mạch Master-Slave Flip-flop D, ta cần thêm các cổng logic OR hoặc AND để kết nối với các tín hiệu Set và Clear. Cụ thể, ta có thể sử dụng cổng OR để kết hợp tín hiệu Set với tín hiệu CLK để đặt đầu ra của Flip-flop thành mức cao, hoặc sử dụng cổng AND để kết hợp tín hiệu Clear với tín hiệu CLK để đặt đầu ra của Flip-flop thành mức thấp. Ở đây ta sử dụng cổng NAND kết nối chân Set và chân Reset.

11.3.4. Mạch Master – Slave có tín hiệu điều khiển LOAD

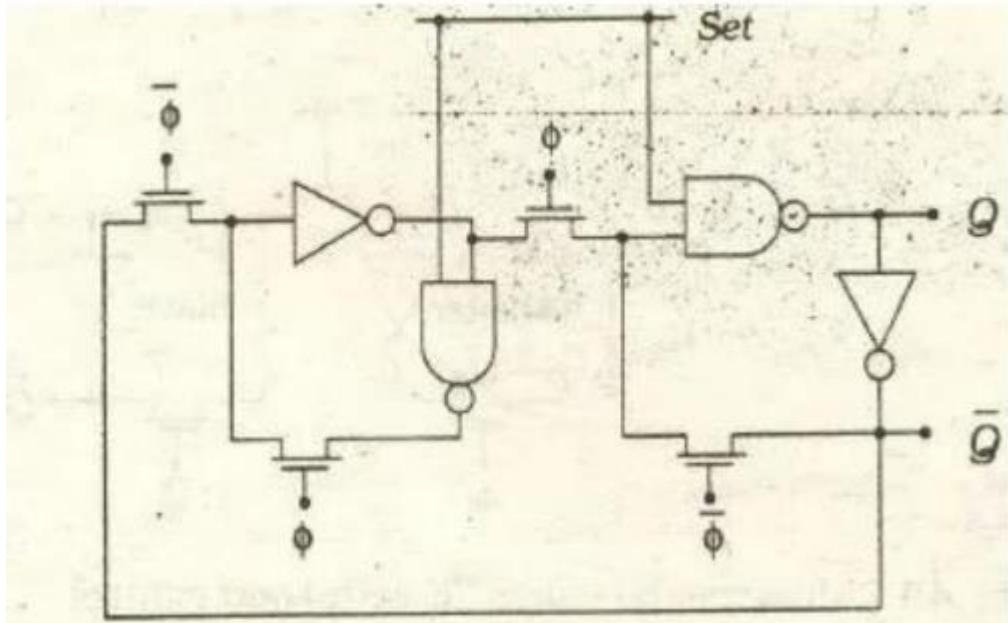
Mạch Master-Slave có tín hiệu điều khiển LOAD là một trong các mạch mở rộng của mạch Master-Slave Flip-flop D. Mạch này sử dụng một tín hiệu LOAD và tín hiệu CLK làm ngõ vào của 1 cổng AND, ngõ ra cổng AND được xem là một tín hiệu CLK được đưa vào transistor M1. Khi $LOAD = 0$, toàn bộ mạch không hoạt động và ngõ ra không được cập nhật dữ liệu. Ngược lại, khi $LOAD = 1$, mạch hoạt động bình thường tùy vào xung CLK ở ngõ vào của cổng AND. Tụ điện CS được sử dụng để duy trì điện áp khi LOAD chuyển về 0.



Hình 11.3.4. So đồ nguyên lý mạch Master – Slave có tín hiệu điều khiển LOAD

11.3.5. Mạch TFF được chuyển đổi từ DFF sử dụng Feedback

Một flip-flop chuyên đổi (T-flip flop) có thể được tạo từ D-flip flop bằng cách đưa vào một vòng hồi tiếp trong mạch DFF thông thường. Hồi tiếp được cung cấp bằng cách kết nối ngõ ra Q' với ngõ vào, một tín hiệu Set được sử dụng để buộc mạch cho ra mức 1 bất cứ khi nào cần. Sơ đồ nguyên lý như sau:

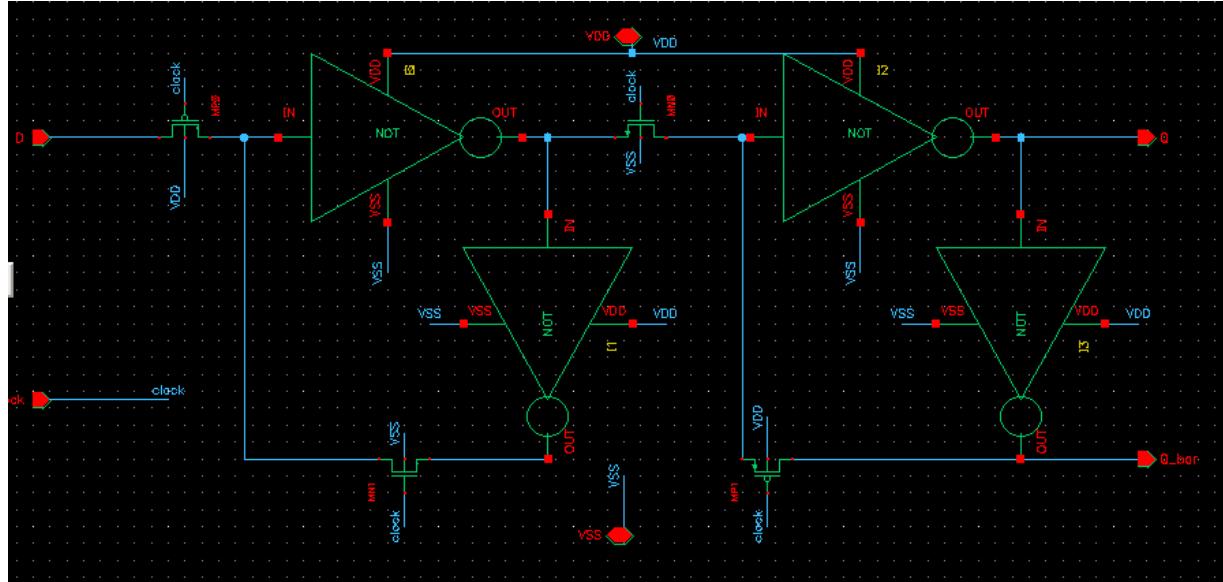


Hình 11.3.5. Sơ đồ nguyên lý mạch TFF

11.4. Mô phỏng mạch Master – slave trên phần mềm Cadence

11.4.1. Thiết kế và đóng gói trên Cadence

Ta thiết kế được sơ đồ mạch Master – Slave sử dụng CMOS công nghệ Samsung 0.13 μ m trong phần mềm Cadence như sau:



Hình 11.4.1. Sơ đồ nguyên lý mạch Master – Slave trên Cadence

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do đó muốn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

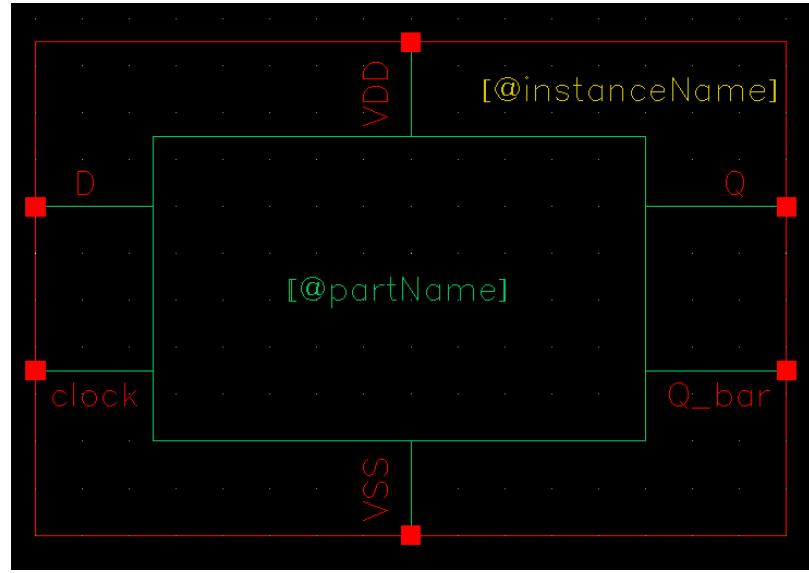
CDF Parameter	Value	Display
Length (M)	0.13u	off ▾
Width Per Finger (M)	2.6u	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6u	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40u	off ▾
Distance from another STI edge to G	0.40u	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 11.4.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13u	off ▾
Width Per Finger (M)	1.3u	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3u	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40u	off ▾
Distance from another STI edge to G	0.40u	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 11.4.3. Thông số cài đặt cho transistor nMOS

Sau khi thiết kế xong mạch, ta tiến hành đóng gói mạch bằng công cụ có sẵn trong phần mềm Cadence và thu được bộ DFF như sau:

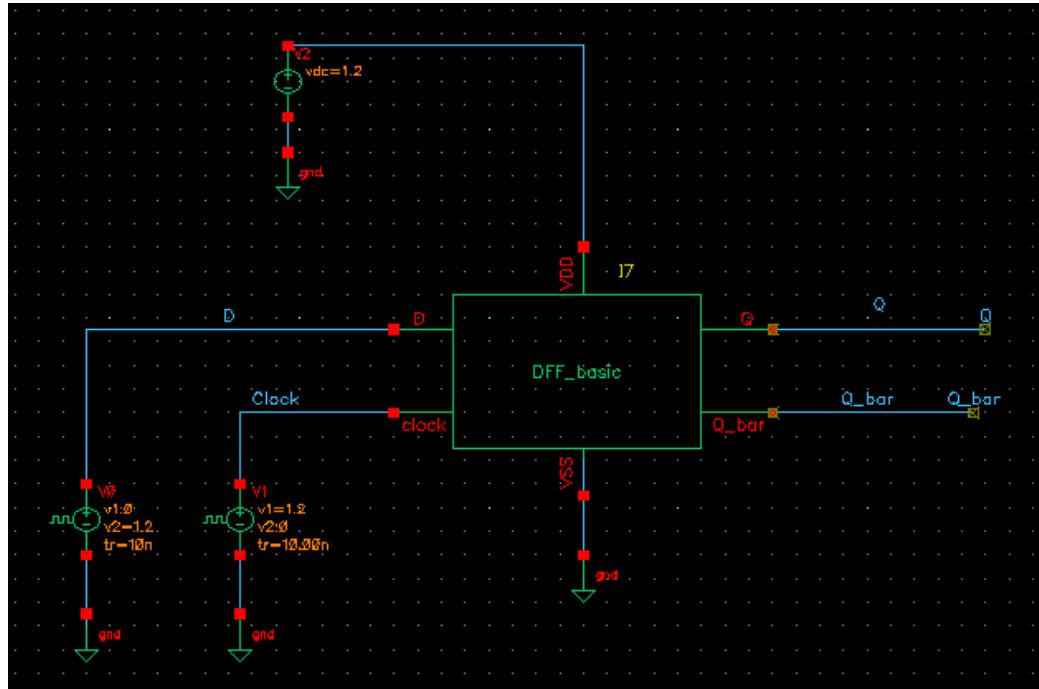


Hình 11.4.4. DFF Master – Slave sau khi đóng gói

11.4.2. Mô tả đặc tính của mạch Master – Slave

11.4.2.1. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cổng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho bộ DFF đã đóng gói như sau:



Hình 11.4.5. Cáp nguồn và tín hiệu cho mạch Master – Slave sau khi đóng gói

Tại VCC của mạch, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 11.4.6. Thông số của nguồn cung cấp VDC

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào D và Clock, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 10ns, tại ngõ vào Clock, độ rộng xung (Pulse Width) là 1 μ s và chu kỳ (Period) là 2 μ s. Tại D, độ rộng xung là 15 μ s và chu kỳ là 30 μ s.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	1.2 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	10.00n s	off
Fall time	10.00n s	off
Pulse width	1u s	off
Period	2u s	off
Frequency name for 1/period		off

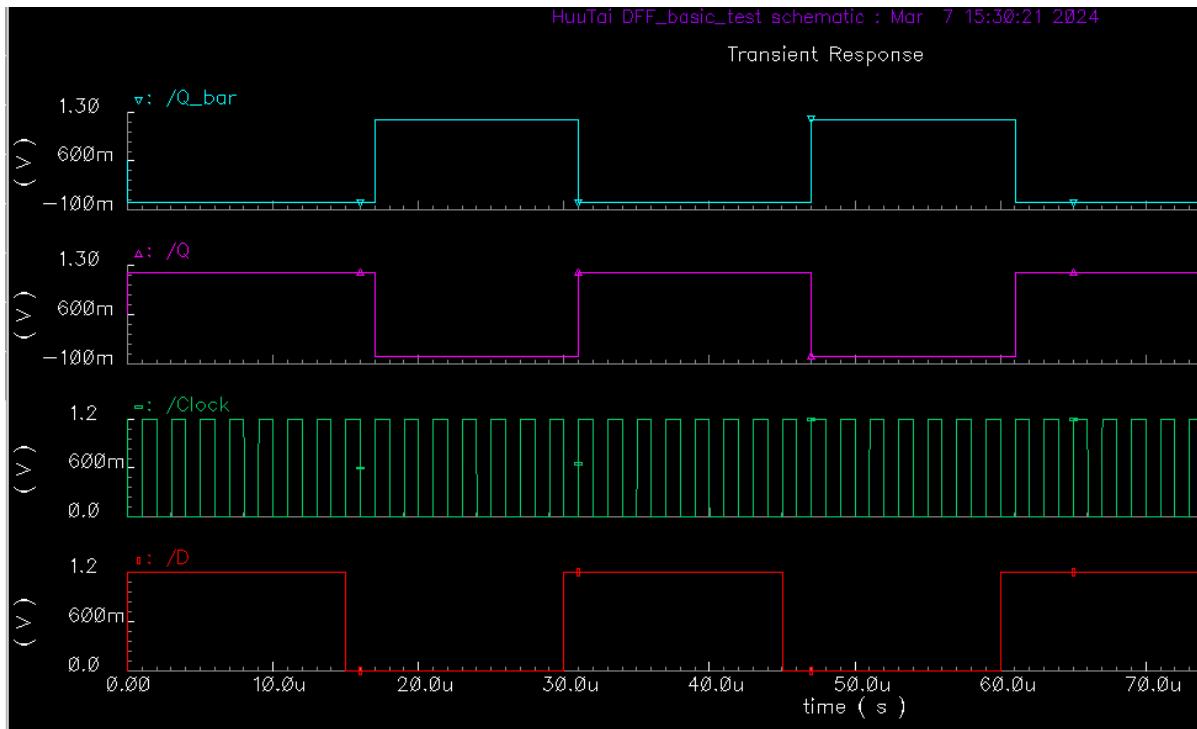
Hình 11.4.7. Thông số nguồn V_{pulse} tại ngõ vào xung Clock

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	10n s	off
Fall time	10n s	off
Pulse width	15u s	off
Period	30u s	off
Frequency name for 1/period		off

Hình 11.4.8. Thông số nguồn V_{pulse} tại ngõ vào D

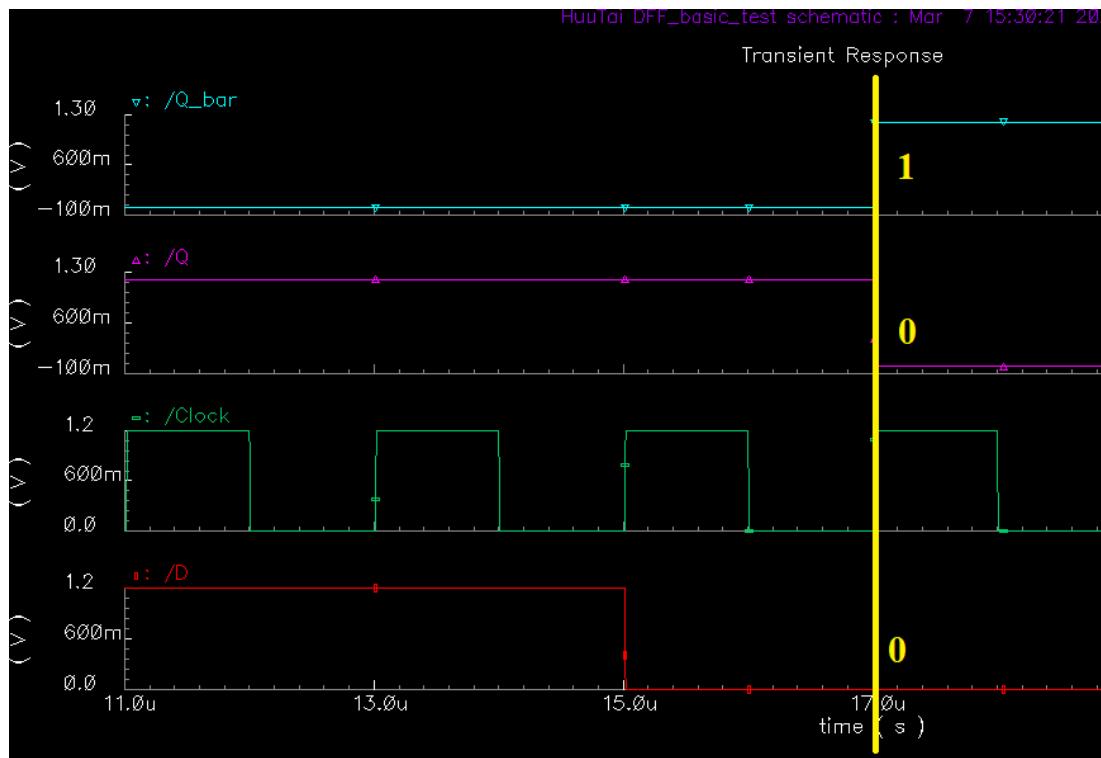
11.4.2.2. Đánh giá mức điện áp

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp vào (Clock, D) và ngõ ra (Q , Q_{bar}) và thu được kết quả như sau:



Hình 11.4.10. Dạng sóng điện áp ngõ vào D và ngõ ra Q, Q_{bar}

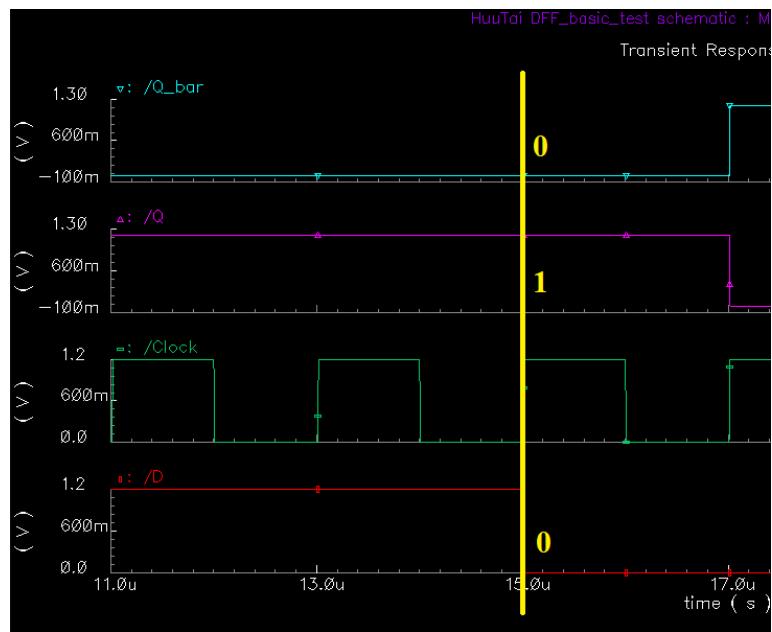
Ta phân tích mức logic của điện áp ngõ vào và ngõ ra tại thời điểm $17 \mu\text{s}$ như sau:



Hình 11.4.11. Phân tích mức logic của ngõ ra tại thời điểm $17 \mu s$

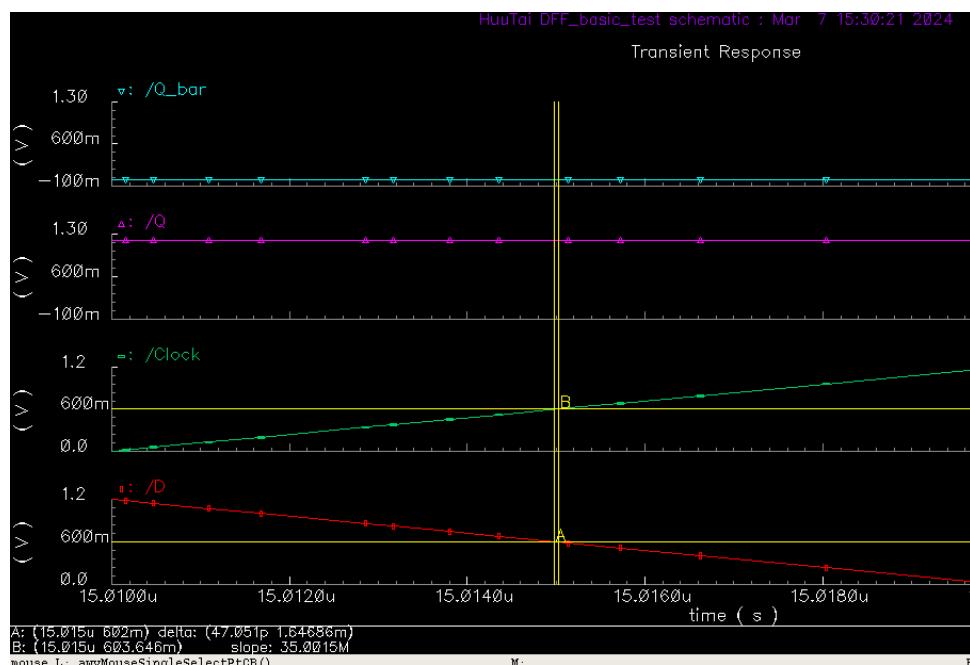
Tại thời điểm khi xung clock đang tích cạn lên và ngõ vào D đang ở mức logic 0, lúc đó ngõ ra Q chuyển trạng thái từ mức 1 về mức 0 – giống với mức logic của ngõ vào D đã chuyển trạng thái trước đó.

Tuy nhiên tại thời điểm $15 \mu s$, ta giải thích cho việc xung clock tích cạn lên, D thay đổi trạng thái nhưng trạng thái của Q vẫn không đổi như sau:



Hình 11.4.12. Phân tích tại trường hợp đặc biệt

Ta dùng thước để đánh dấu tại thời điểm ngõ vào D thay đổi trạng thái từ mức 1 xuống mức 0 như sau:



Hình 11.4.13. Dùng thước đánh dấu thời điểm chuyển trạng thái tại ngõ vào D

Ta thấy rằng tại thời điểm 15,015 μ s, khi điện áp của xung clock là 603,646 mV (đã chuyển lên mức logic 1), tuy nhiên tại ngõ vào D là 602 mV (đang ở mức logic 1). Do ngõ vào D chưa kịp chuyển về mức 0 thì xung clock đã tích cạn lên, khi đó ngõ ra Q vẫn nhận mức logic của D là 1. Do đó có thể giải thích được nguyên nhân ngõ ra Q không thay đổi trạng thái ở thời điểm đó.

Tại các thời điểm khác, ta thấy giá trị của ngõ ra Q luôn giống với giá trị ngõ vào D. Ta kết luận mạch Master – Slave hoạt động đúng với nguyên lý của DFF.

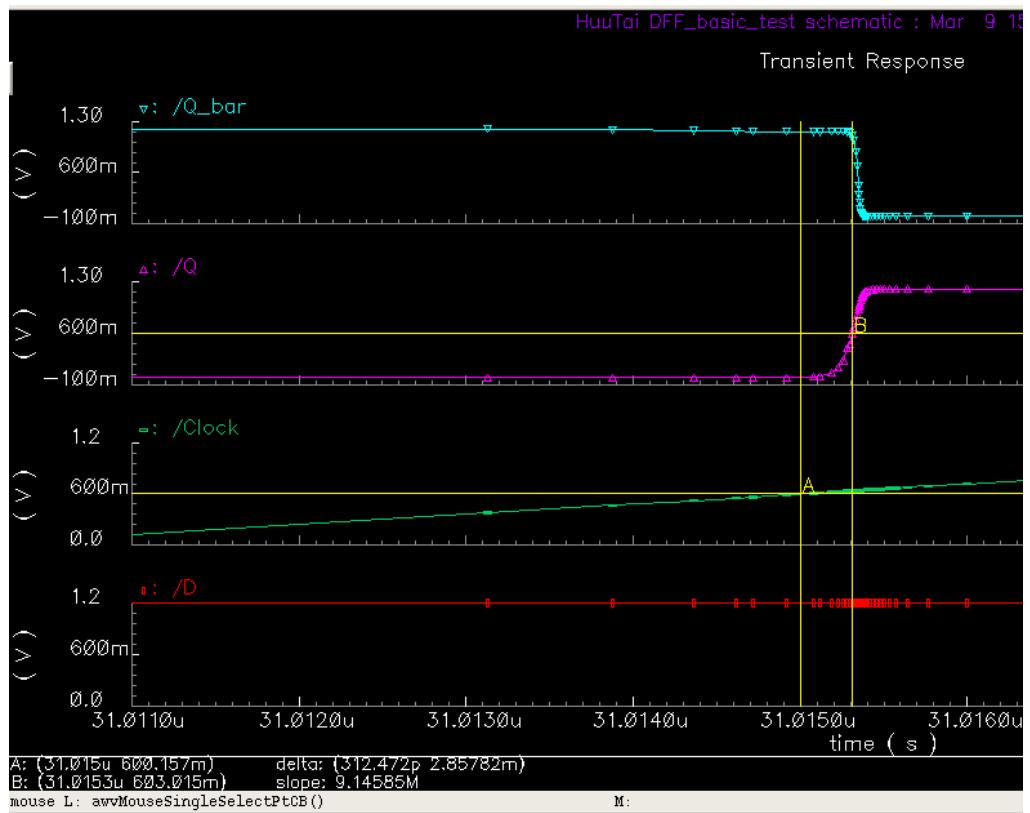
11.4.2.3. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

*** Đo độ trễ tại Clock và ngõ ra Q:**

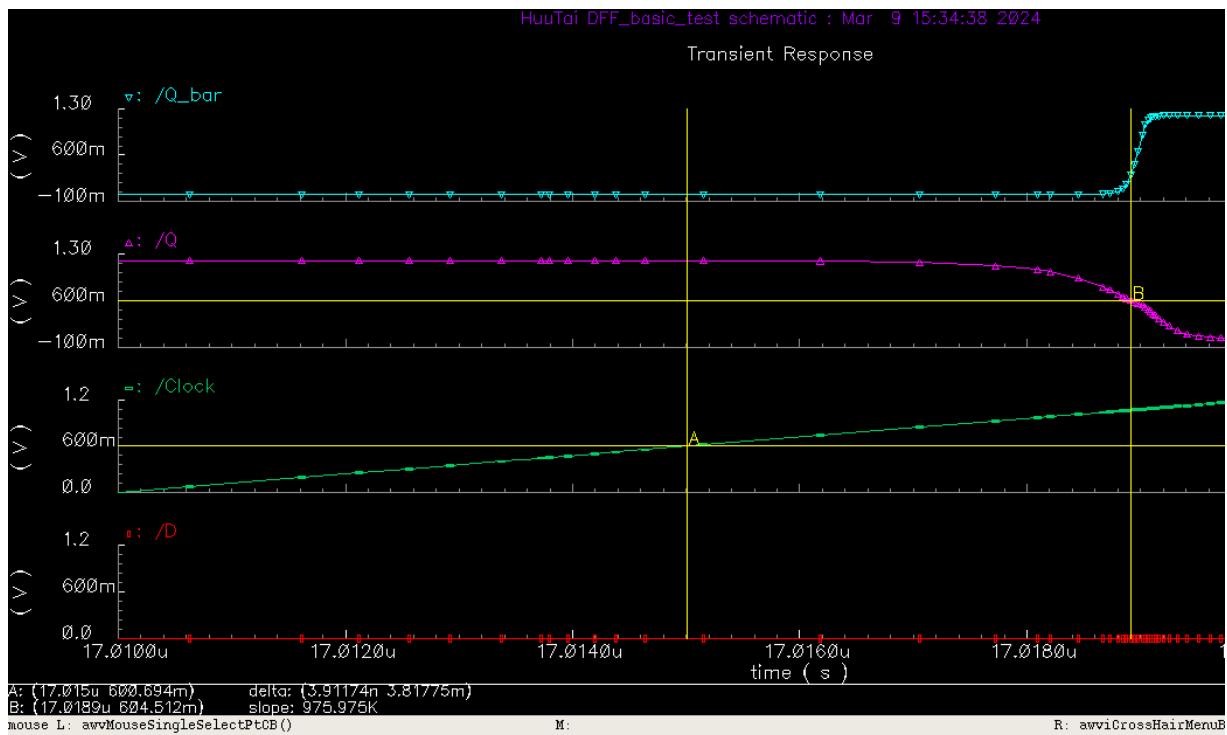
Ta đánh dấu thời gian của ngõ vào Clock khi Q cạnh lên như sau:



Hình 11.4.14. Đo thời gian trễ khi ngõ ra Q cạnh lên

Khi điện áp ngõ vào Clock tăng lên đến 600,157 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 603,015 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 312,472 ps hay nói $t_{pdr(I0)} = 312,472$ ps.

Ta đánh dấu thời gian của ngõ ra Q khi cạnh xuồng như sau:



Hình 11.4.15. Đo thời gian trễ khi ngõ ra Q cạnh xuống

Khi điện áp xung Clock tăng đến 600,694 mV (điểm đánh dấu A) và điện áp ngõ ra Q giảm xuống đến 604,512 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 3,91174 ns hay nói $t_{pdf(A)} = 3,91174$ ns.

Tương tự với ngõ ra Q_{bar} , ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 11.4.1. Bảng kết quả thời gian trễ của bộ Master - Slave

Ngõ ra	Xung vào	Thông số	Giá trị	
Q	Clock	t_{pdr}	312,472 ps	
		t_{pdf}	3,91174 ns	
Q_{bar}		t_{pdr}	3,9544 ns	
		t_{pdf}	334,815 ps	

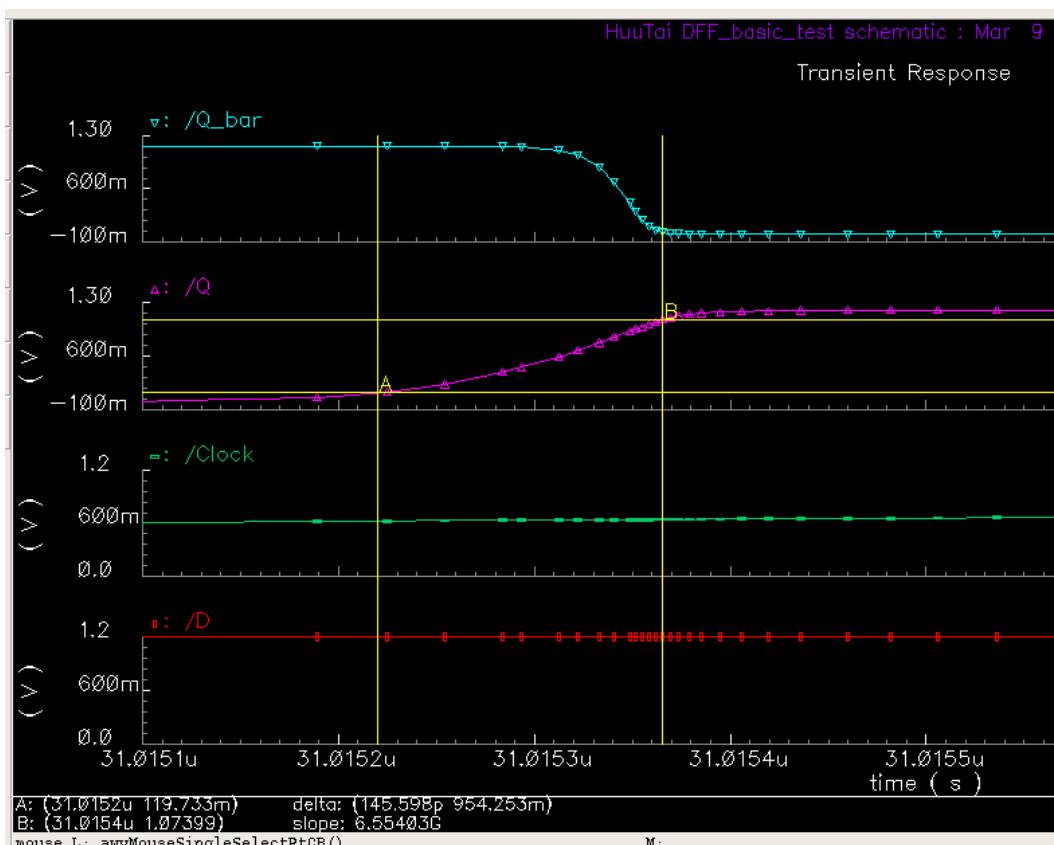
11.4.2.4. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

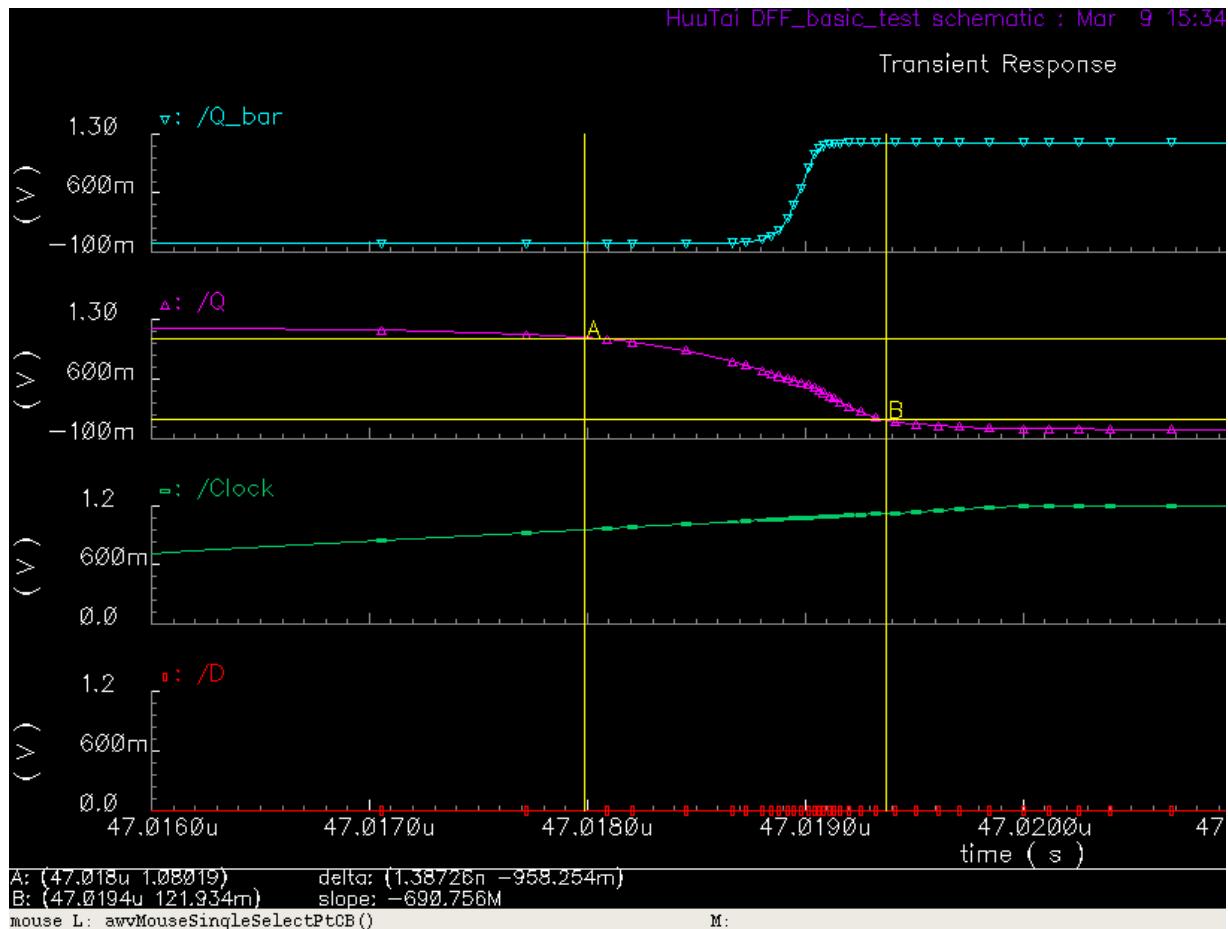
* Thời gian chuyển mạch với ngõ ra Q

Ta đánh dấu tại điểm A khi $V_{out} = 119,733$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,07399$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 145,598 ps hay $t_r = 145,598$ ps.



Hình 11.4.16. Dánh giá thời gian chuyển mạch ngõ ra Q từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08019$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 121,934$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 1,38276 ns hay $t_f = 1,38276$ ns.

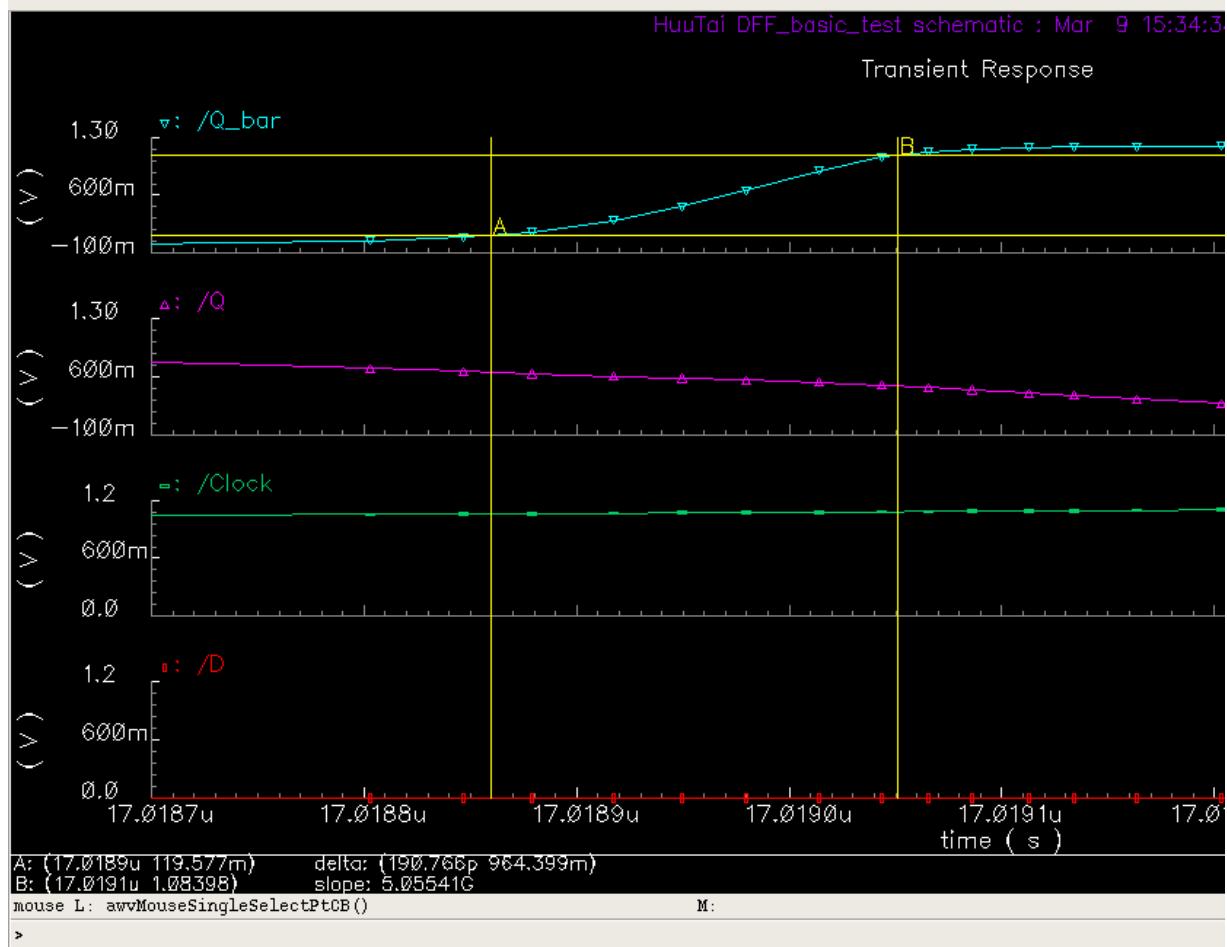


Hình 11.4.17. Đánh giá thời gian chuyển mạch ngoã ra Q từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 764,179$ ps.

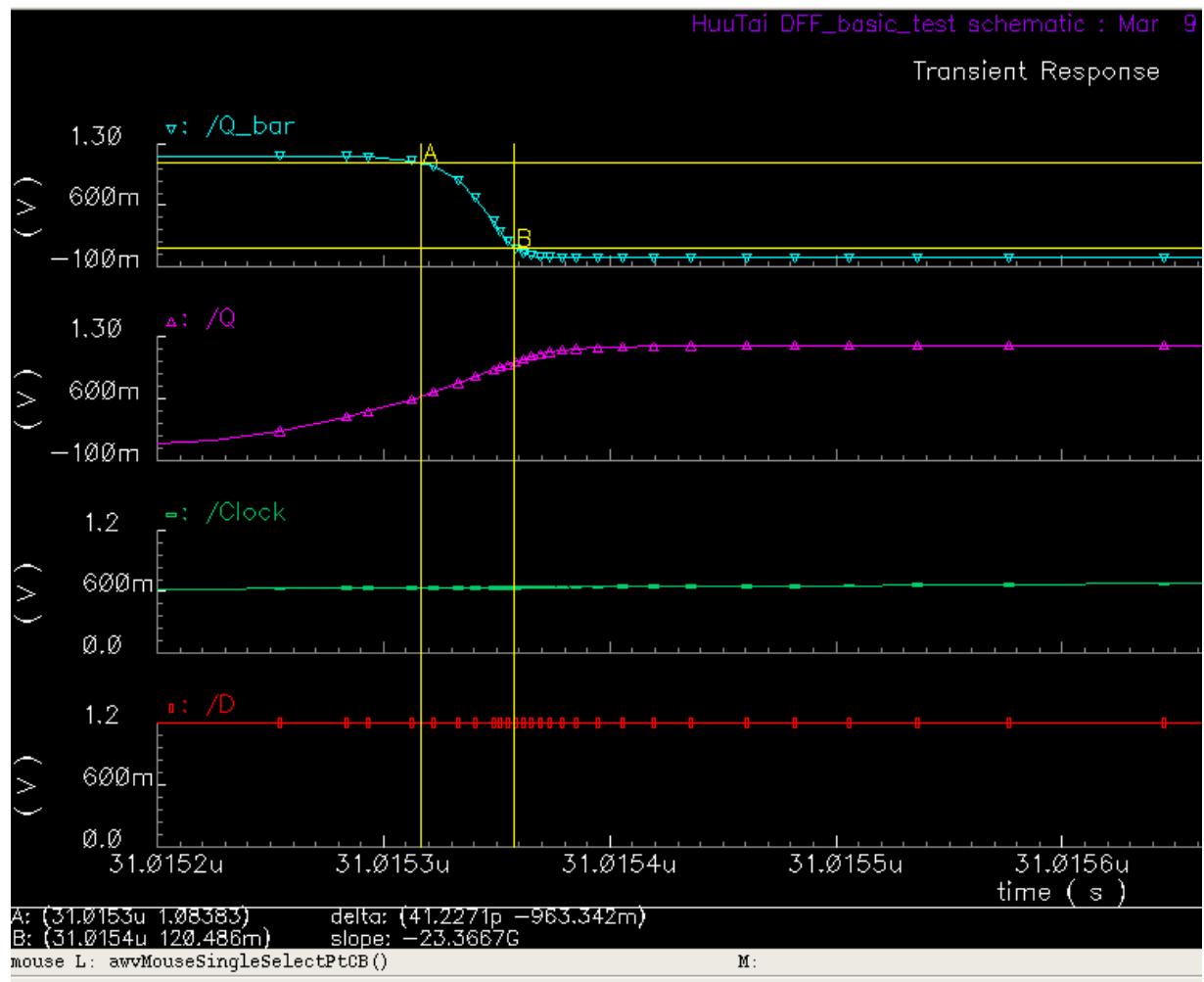
* Thời gian chuyển mạch với ngõ ra Q_bar

Ta đánh dấu tại điểm A khi $V_{out} = 119,577$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08398$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 190,766 ps hay $t_r = 190,766$ ps.



Hình 11.4.18. Đánh giá thời gian chuyển mạch ngõ ra Q_{bar} từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08383$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,486$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 41,2271 ps hay $t_r = 41,2271$ ps.



Hình 11.4.19. Đánh giá thời gian chuyển mạch ngõ ra Q_{bar} từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 115,99655 \text{ ps}$.

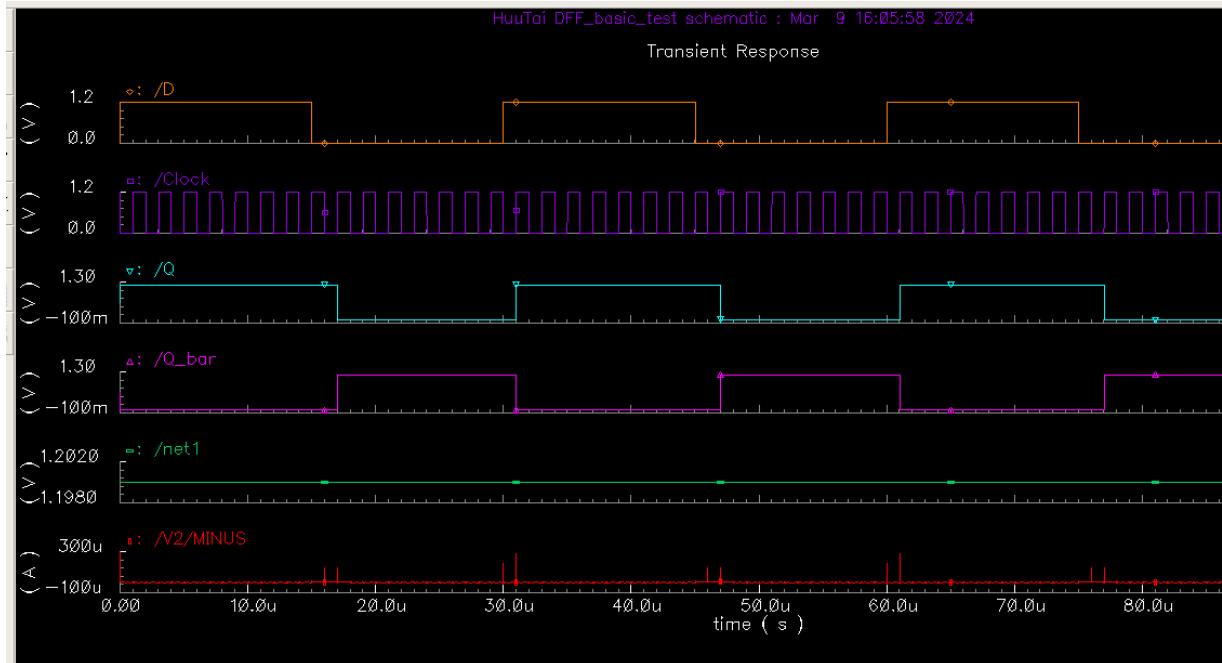
Sau khi phân tích, ta có bảng tổng kết về thời gian chuyển mạch như sau:

Bảng 11.4.2. Transition time của mạch Master – Slave

Q	Q_{bar}
764,179 ps	115,99655 ps

11.4.2.5. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho mạch và dạng sóng của dòng điện qua nguồn cung cấp như sau:



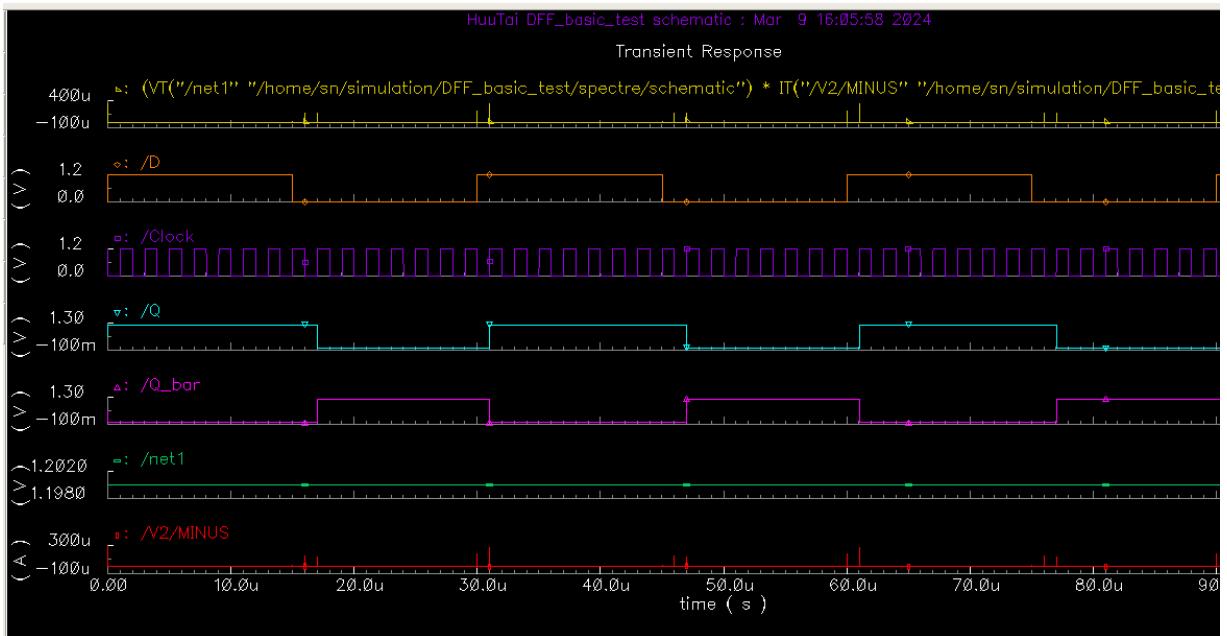
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

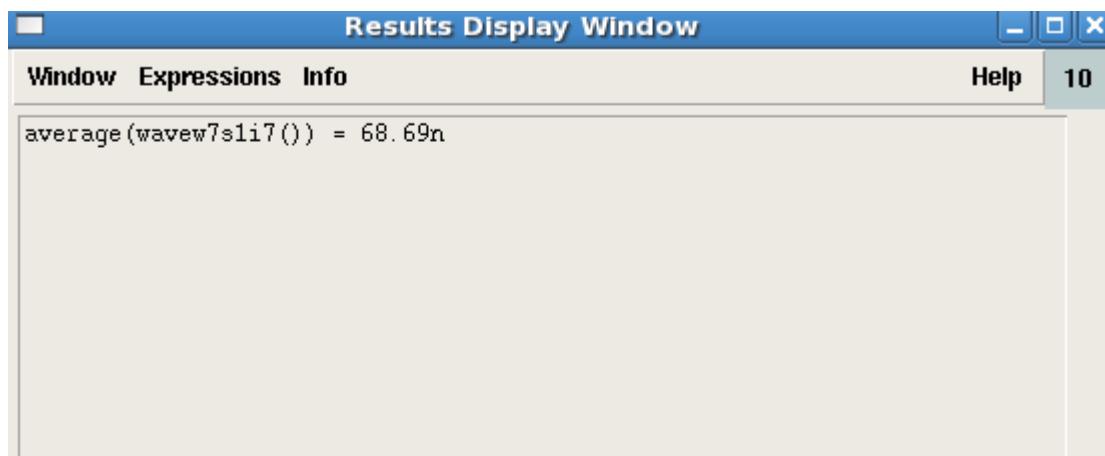
Hình 11.4.20. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 11.4.21. Dạng sóng công suất tức thời trên mạch

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 68,69 nW.

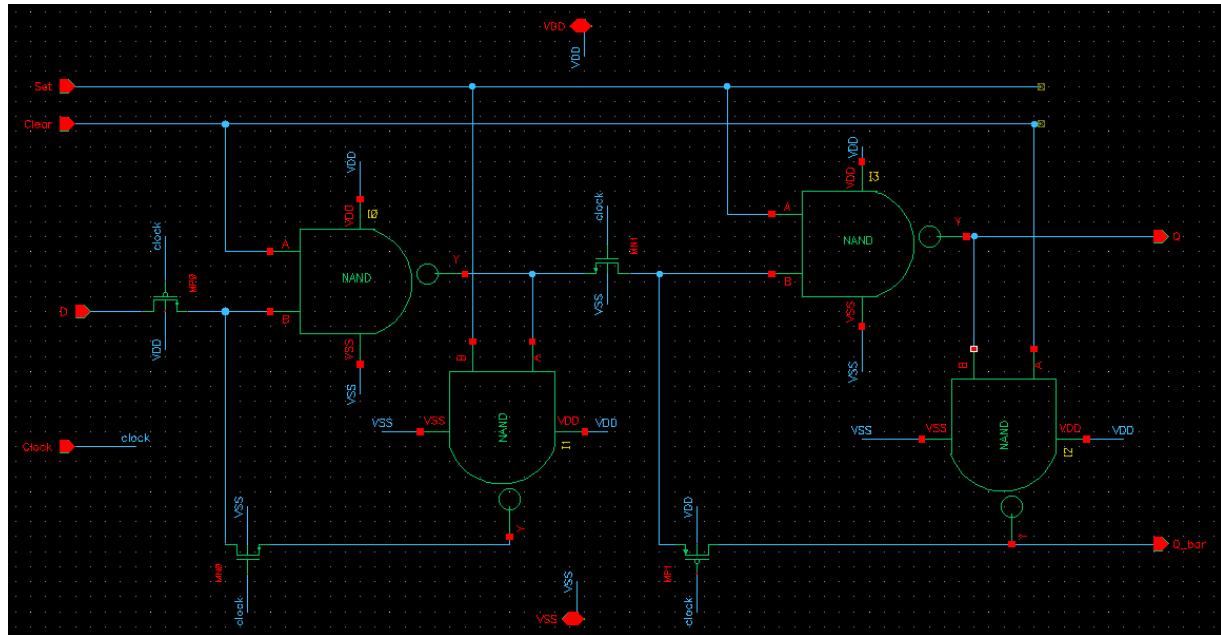


Hình 11.4.22. Kết quả tính giá trị trung bình trên bộ Master – Slave

11.5. Mô phỏng mạch Master – Slave có các tín hiệu không đồng bộ trên phần mềm Cadence

11.5.1. Thiết kế và đóng gói trên Cadence

Ta thiết kế được sơ đồ mạch Master – Slave có các tín hiệu không đồng bộ sử dụng CMOS công nghệ Samsung 0.13 μ m trong phần mềm Cadence như sau:



Hình 11.5.1. Sơ đồ nguyên lý mạch Master – Slave có điều khiển Set/Clear trên Cadence

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do đó muốn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

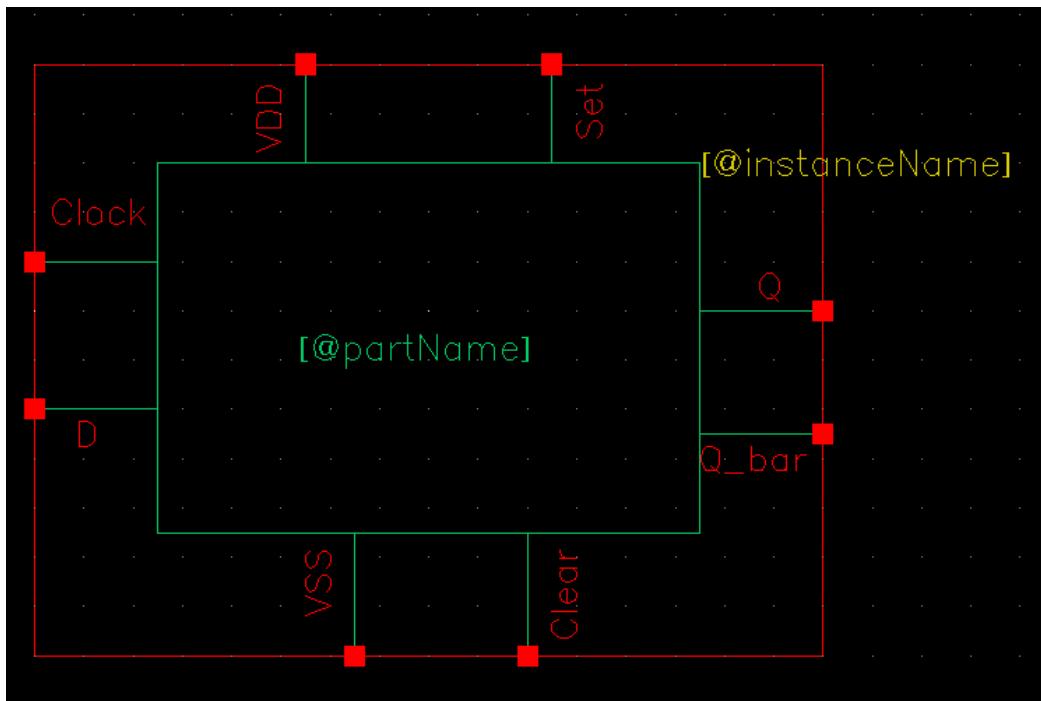
CDF Parameter	Value	Display
Length (M)	0.13u	off ▾
Width Per Finger (M)	2.6u	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6u	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40u	off ▾
Distance from another STI edge to G	0.40u	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 11.5.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13u	off ▾
Width Per Finger (M)	1.3u	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3u	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40u	off ▾
Distance from another STI edge to G	0.40u	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 11.5.3. Thông số cài đặt cho transistor nMOS

Sau khi thiết kế xong mạch, ta tiến hành đóng gói mạch bằng công cụ có sẵn trong phần mềm Cadence và thu được bộ DFF như sau:

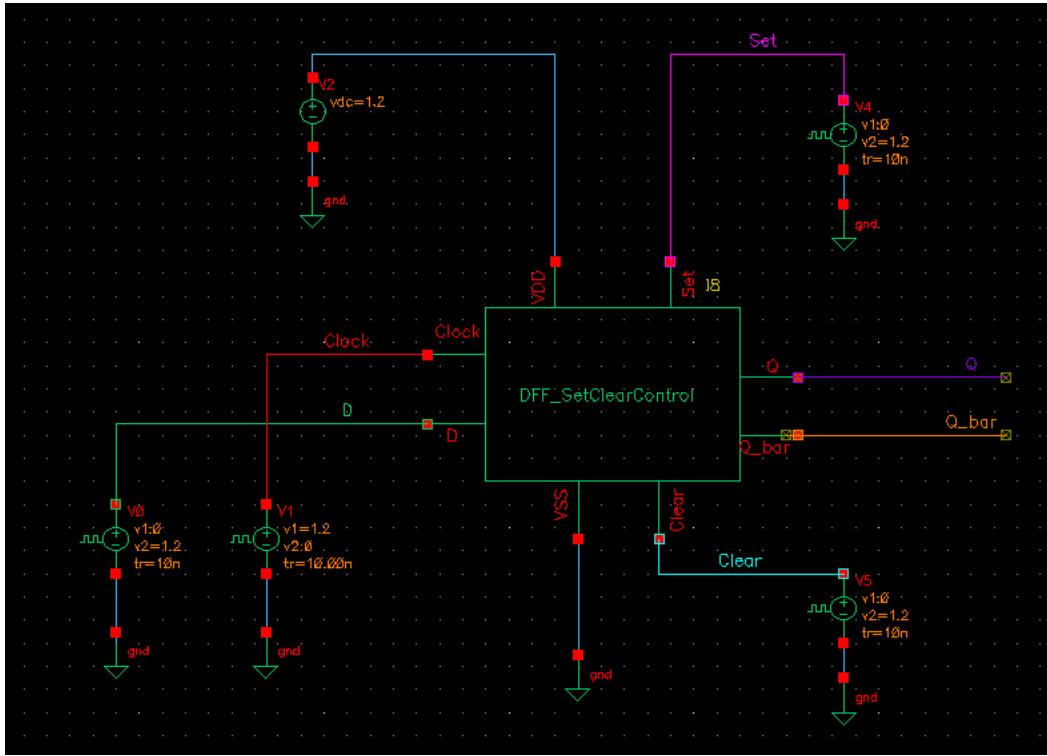


Hình 11.5.4. DFF Master – Slave có điều khiển Set/Clear sau khi đóng gói

11.5.2. Mô tả đặc tính của mạch Master – Slave có điều khiển Set/Clear

11.5.2.1. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cổng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho bộ DFF đã đóng gói như sau:



Hình 11.5.5. Cáp nguồn và tín hiệu cho mạch Master – Slave có điều khiển Set/Reset sau khi đóng góí

Tại VCC của mạch, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 11.5.6. Thông số của nguồn cung cấp VDC

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào D và Clock, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 10ns, tại ngõ vào Clock, độ rộng xung (Pulse Width) là 1 μ s và chu kỳ (Period) là 2 μ s. Tại D, độ rộng xung là 15 μ s và chu kỳ là 30 μ s. Đối Set và Clear, để quan sát đủ các trường hợp, ta thiết lập các thông số lần lượt Pulse Width = 20 μ s, Period = 40 μ s đối với Set và Pulse Width = 40 μ s, Period = 80 μ s đối với Clear.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	1.2 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	10.00n :00	off
Fall time	10.00n :00	off
Pulse width	1u :00	off
Period	2u :00	off
Frequency name for 1/period		off

Hình 11.5.7. Thông số nguồn V_{pulse} tại ngõ vào xung Clock

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	10n :00	off
Fall time	10n :00	off
Pulse width	15u :00	off
Period	30u :00	off
Frequency name for 1/period		off

Hình 11.5.8. Thông số nguồn V_{pulse} tại ngõ vào D

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	10n s	off ▾
Fall time	10n s	off ▾
Pulse width	20u s	off ▾
Period	40u s	off ▾
Frequency name for 1/period		off ▾

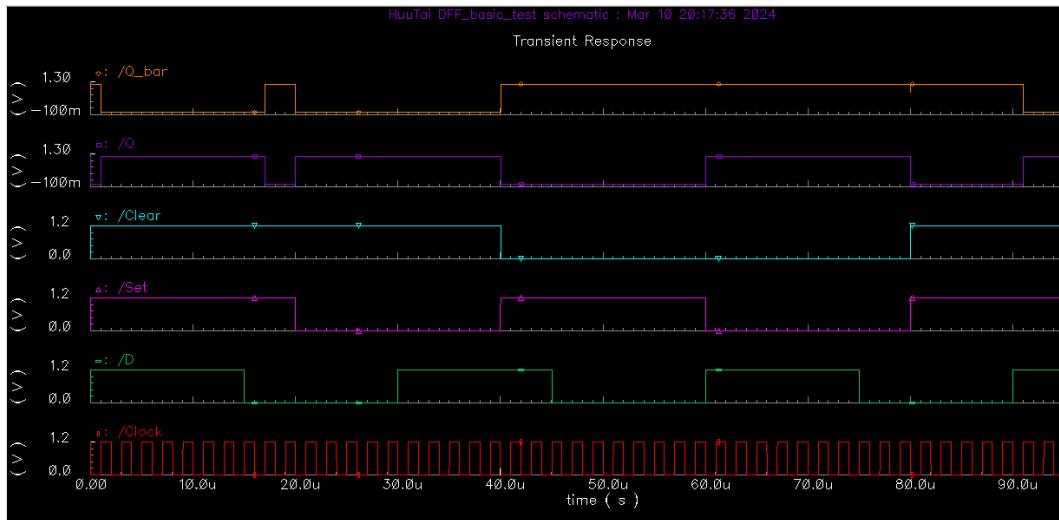
Hình 11.5.9. Thông số nguồn V_{pulse} tại ngõ vào Set

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	10n s	off ▾
Fall time	10n s	off ▾
Pulse width	40u s	off ▾
Period	80u s	off ▾
Frequency name for 1/period		off ▾

Hình 11.5.10. Thông số nguồn V_{pulse} tại ngõ vào Clear

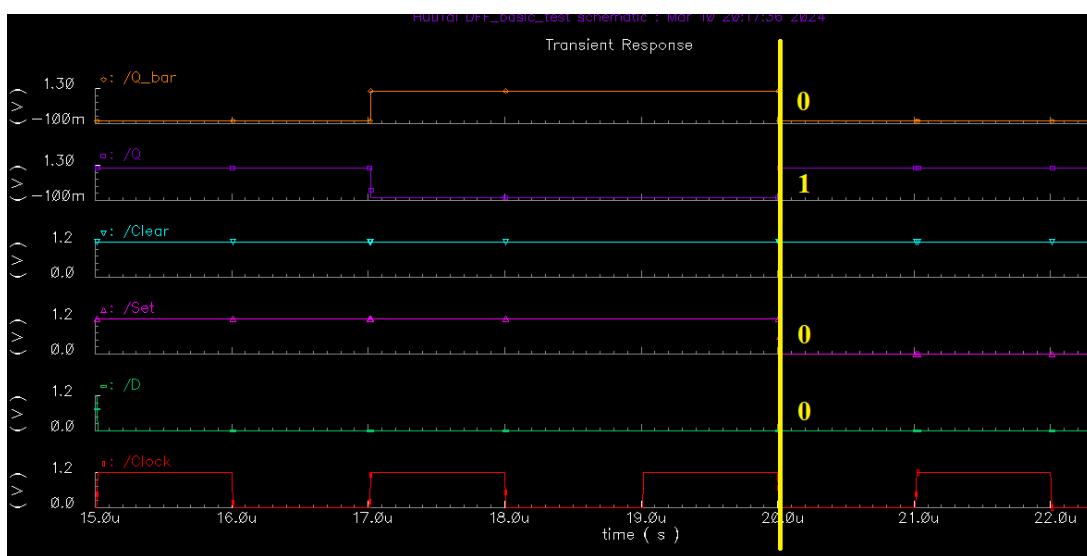
11.5.2.2. Đánh giá mức điện áp

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp vào và ngõ ra, thu được kết quả như sau:



Hình 11.5.11. Dạng sóng điện áp vào và ngõ ra

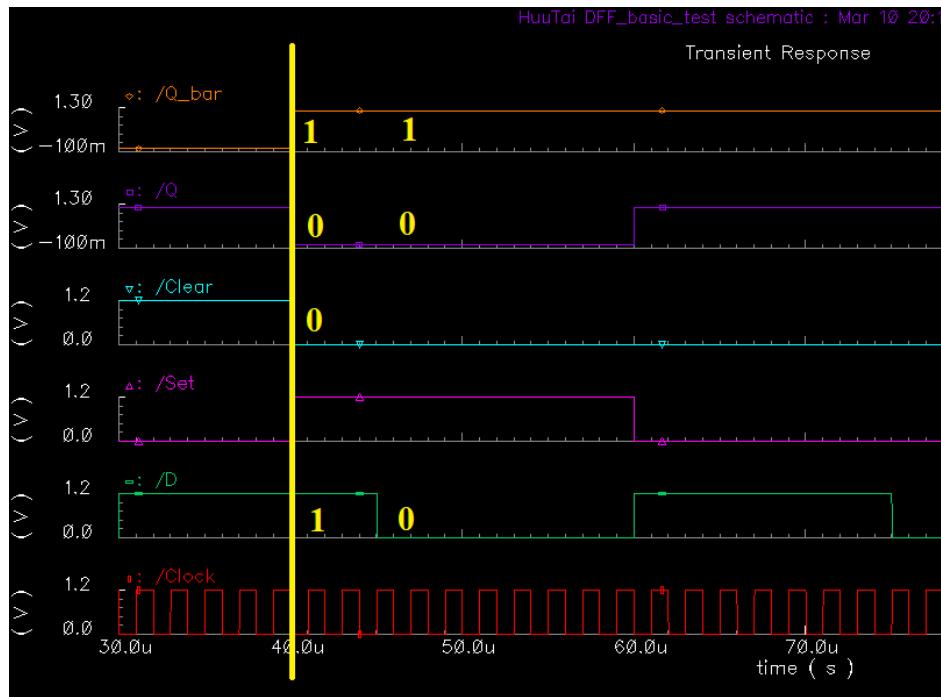
Ta phân tích mức logic của điện áp vào và ngõ ra tại thời điểm $20 \mu s$ như sau:



Hình 11.5.12. Phân tích mức logic của ngõ ra tại thời điểm $20 \mu s$

Tại thời điểm khi xung clock chưa tích cạnh lên và ngõ vào D đang ở mức logic 0, tuy nhiên lúc đó Q đổi thành trạng thái 1 khi tín hiệu ở Set được đưa xuống mức 0. Ta kết luận mạch hoạt động với ngõ vào không đồng bộ Set tích cạnh xuống, khi đó sẽ đưa ngõ ra Q về lại mức logic 1.

Ta phân tích mức logic của điện áp ngõ vào và ngõ ra tại thời điểm 40 μ s như sau:



Hình 11.5.13. Phân tích mức logic của ngõ ra tại thời điểm 40 μ s

Tại thời điểm khi xung clock chưa tích cạnh lên và ngõ vào D đang ở mức logic 1, tuy nhiên lúc đó Q đổi thành trạng thái 0 khi tín hiệu ở Clear được đưa xuống mức 0 mặc dù D có thay đổi trạng thái. Ta kết luận mạch hoạt động với ngõ vào không đồng bộ Clear tích cạnh xuống, khi đó sẽ đưa ngõ ra Q về lại mức logic 0.

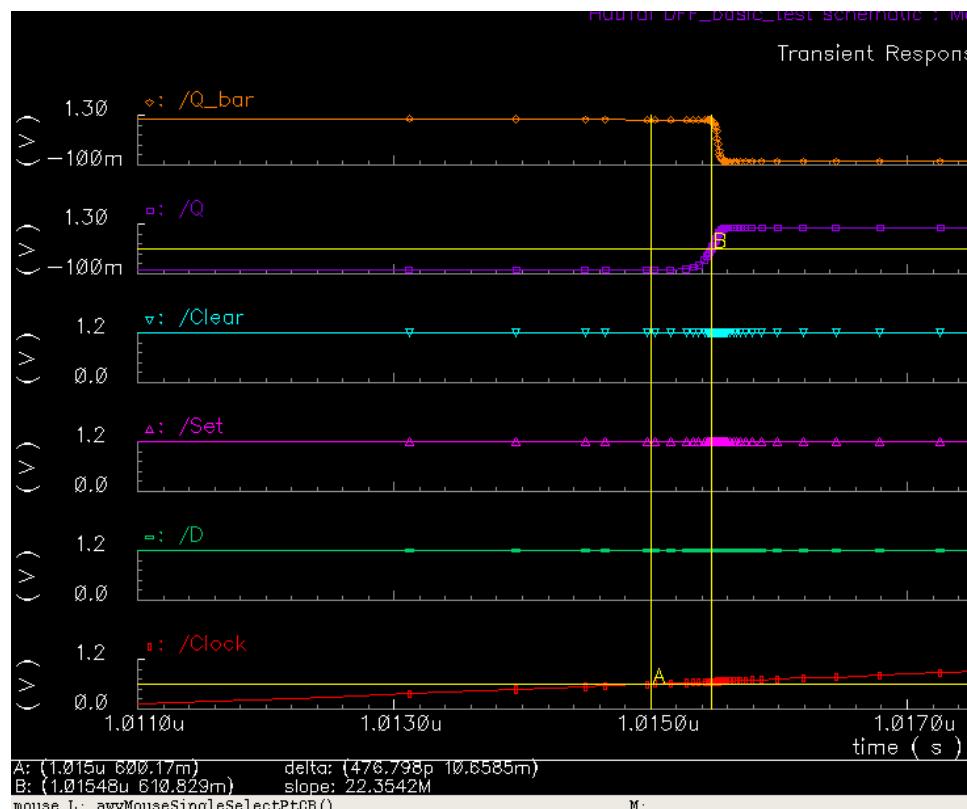
11.5.2.3. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại Clock và ngõ ra Q:

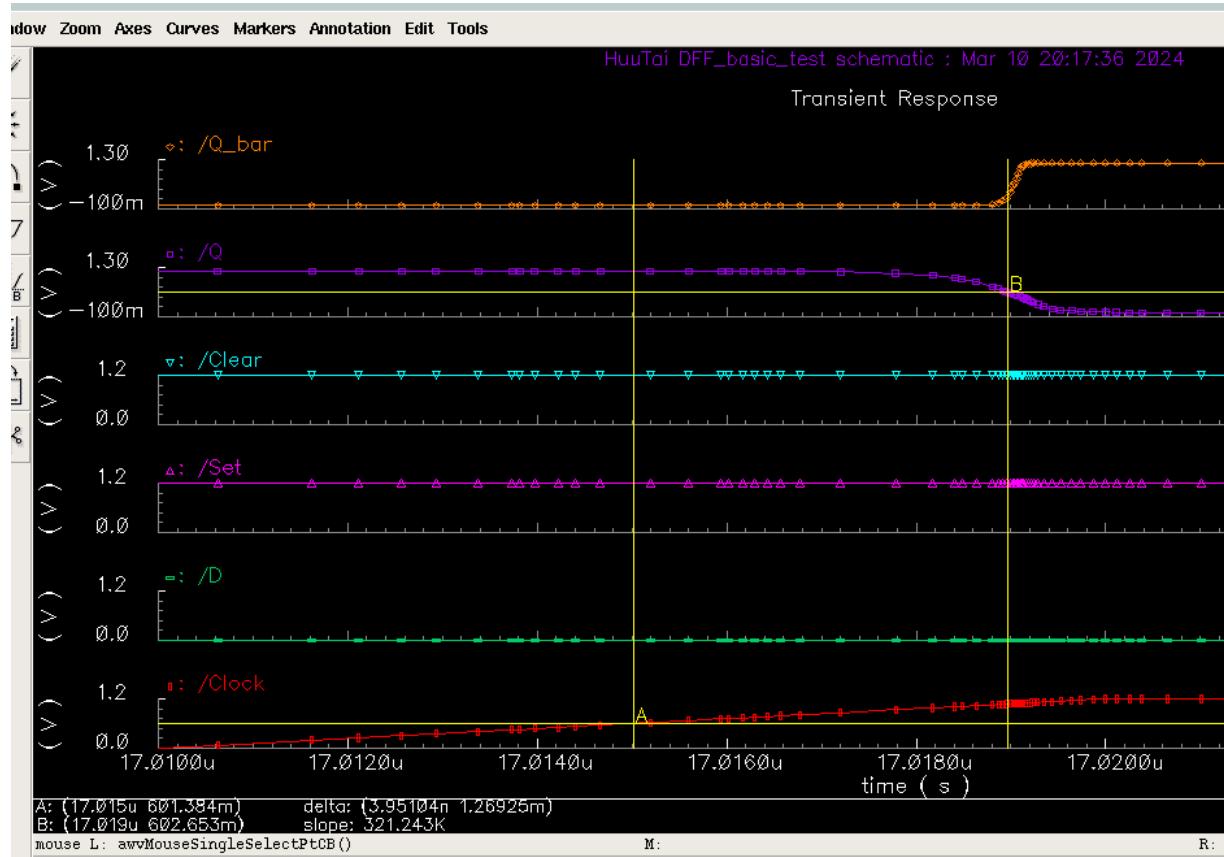
Ta đánh dấu thời gian của ngõ vào Clock khi Q cạnh lên như sau:



Hình 11.5.14. Đo thời gian trễ khi ngõ ra Q cạnh lên

Khi điện áp ngõ vào Clock tăng lên đến 600,17 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng lên 610,829 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 476,798 ps hay nói $t_{pd} (I_0) = 476,798$ ps.

Ta đánh dấu thời gian của ngõ ra Q khi cạnh xuống như sau:



Hình 11.5.15. Đo thời gian trễ khi ngõ ra Q cạnh xuống

Khi điện áp xung Clock tăng lên 601,384 mV (điểm đánh dấu A) và điện áp ngõ ra Q giảm xuống đến 602,653 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 3,95104 ns hay nói $t_{pdf(A)} = 3,95104$ ns.

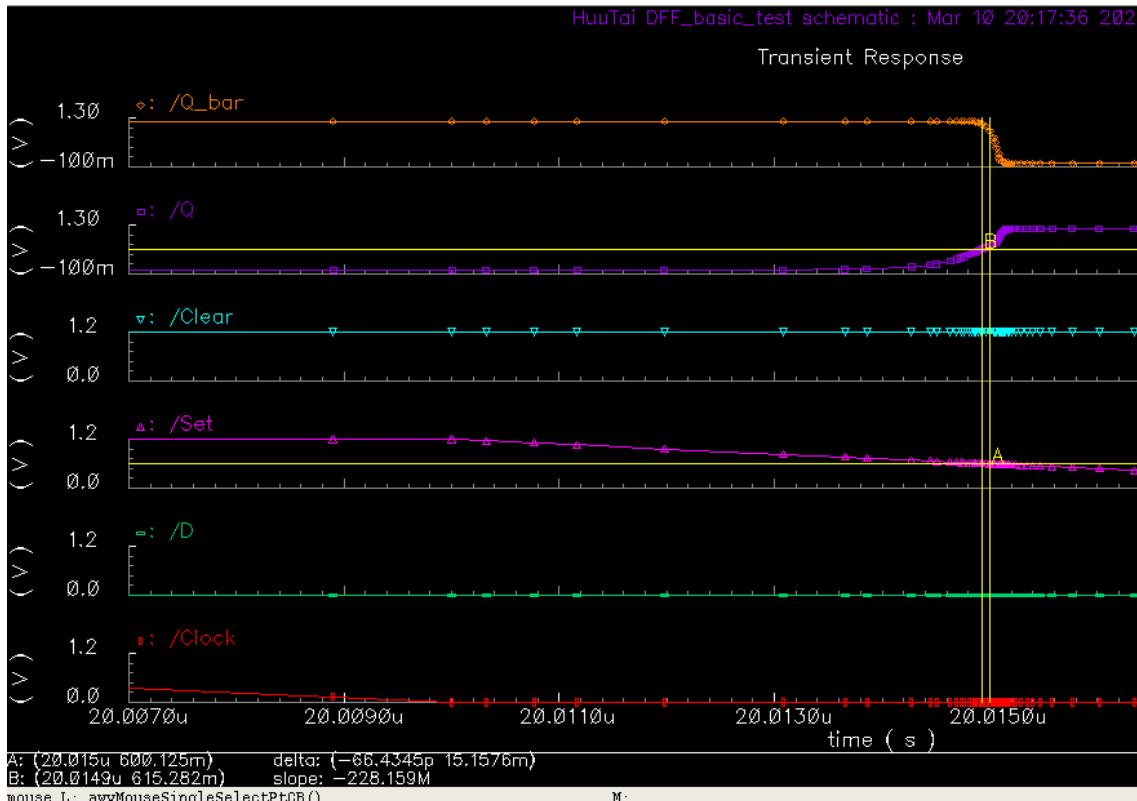
Tương tự với ngõ ra $Q_{\bar{}}_{}$, ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 11.5.1. Bảng kết quả thời gian trễ của bộ Master – Slave có tín hiệu điều khiển Set / Clear

Ngõ ra	Xung vào	Thông số	Giá trị
Q	Clock	t_{pdr}	476,798 ps
		t_{pdf}	3,95104 ns
\bar{Q}		t_{pdr}	523,934 ps
		t_{pdf}	2,815 ns

* Đo độ trễ tại Set và ngõ ra Q:

Ta đánh dấu thời gian của ngõ vào Set khi Q cạnh lên như sau:



Hình 11.5.16. Đo thời gian trễ khi ngõ ra Q cạnh lên

Khi điện áp ngõ vào Set tăng lên đến 600,125 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 615,282 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 66,4345 ps hay nói $t_{\text{pdr (I0)}} = 66,4345$ ps.

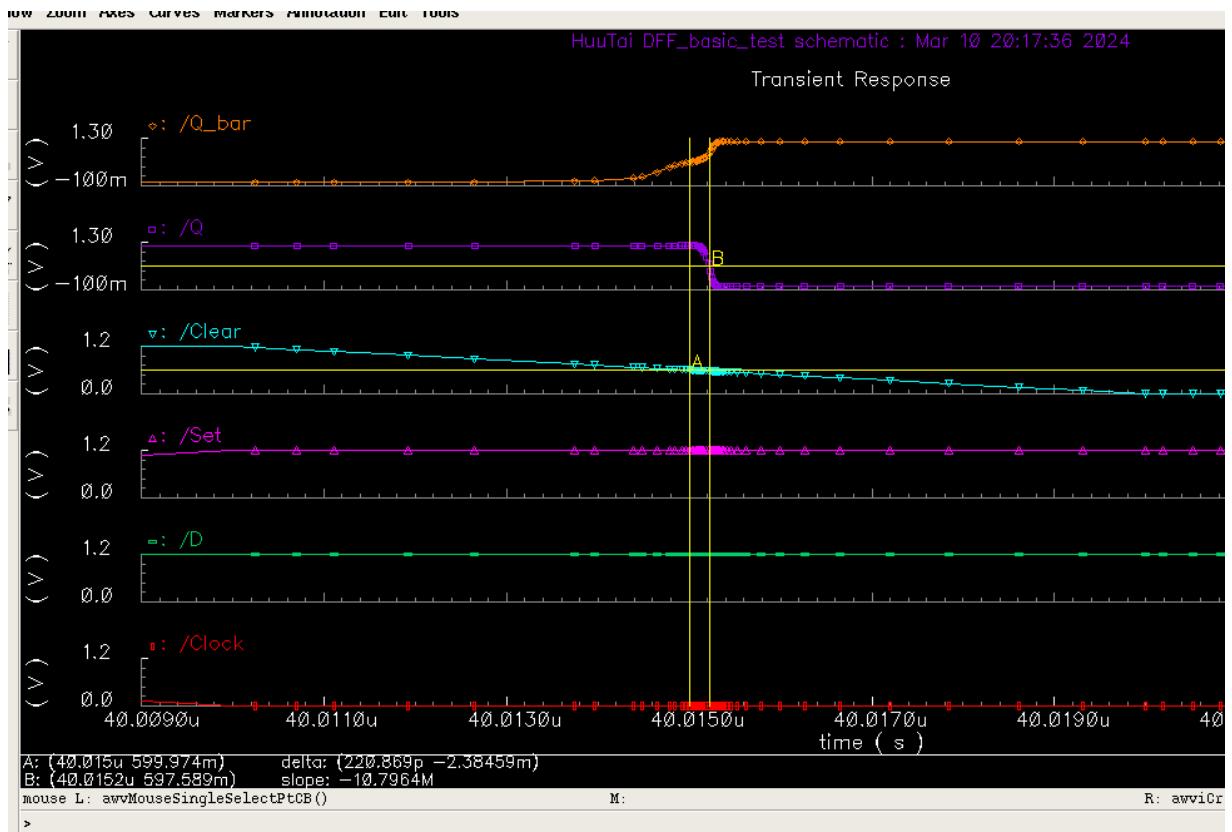
Tương tự với ngõ ra Q_bar, ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 11.5.2. Bảng kết quả thời gian trễ của bộ Master – Slave có tín hiệu điều khiển Set / Clear

Ngõ ra	Ngõ vào	Giá trị
Q		66,4345 ps
Q_bar	Set	59,934 ps

* Đo độ trễ tại Clear và ngõ ra Q:

Ta đánh dấu thời gian của ngõ vào Clear khi Q cạnh lên như sau:



Hình 11.5.17. Đo thời gian trễ ngõ vào Clear và ngõ ra Q

Khi điện áp ngõ vào Clear giảm đến 599,974 mV (điểm đánh dấu A) và điện áp ngõ ra cũng giảm đến 597,589 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 220,869 ps hay nói $t_{pdr(I0)} = 220,869$ ps.

Tương tự với ngõ ra Q_{bar} , ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 11.5.3. Bảng kết quả thời gian trễ của bộ Master – Slave có tín hiệu điều khiển Set / Clear

Ngõ ra	Ngõ vào	Giá trị
Q		220,869 ps
Q_bar	Clear	159,874 ps

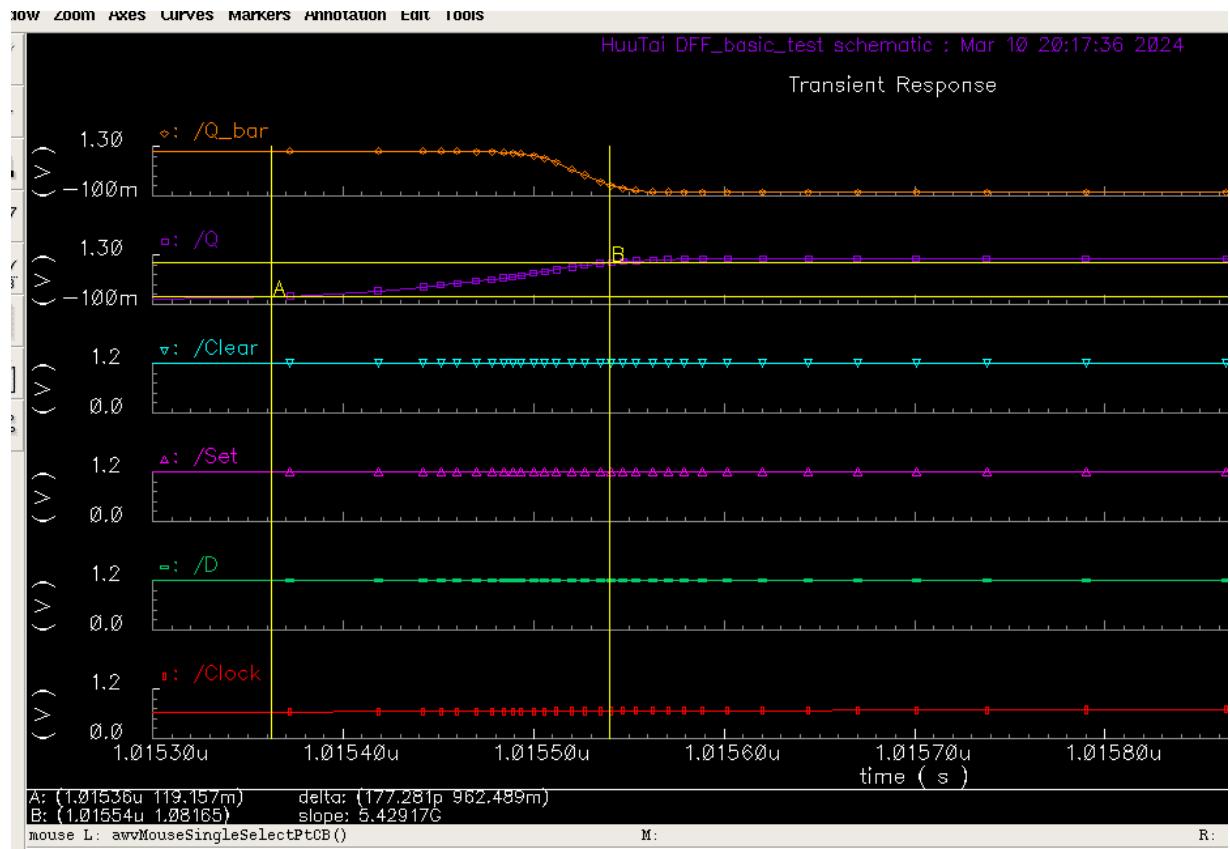
11.5.2.4. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

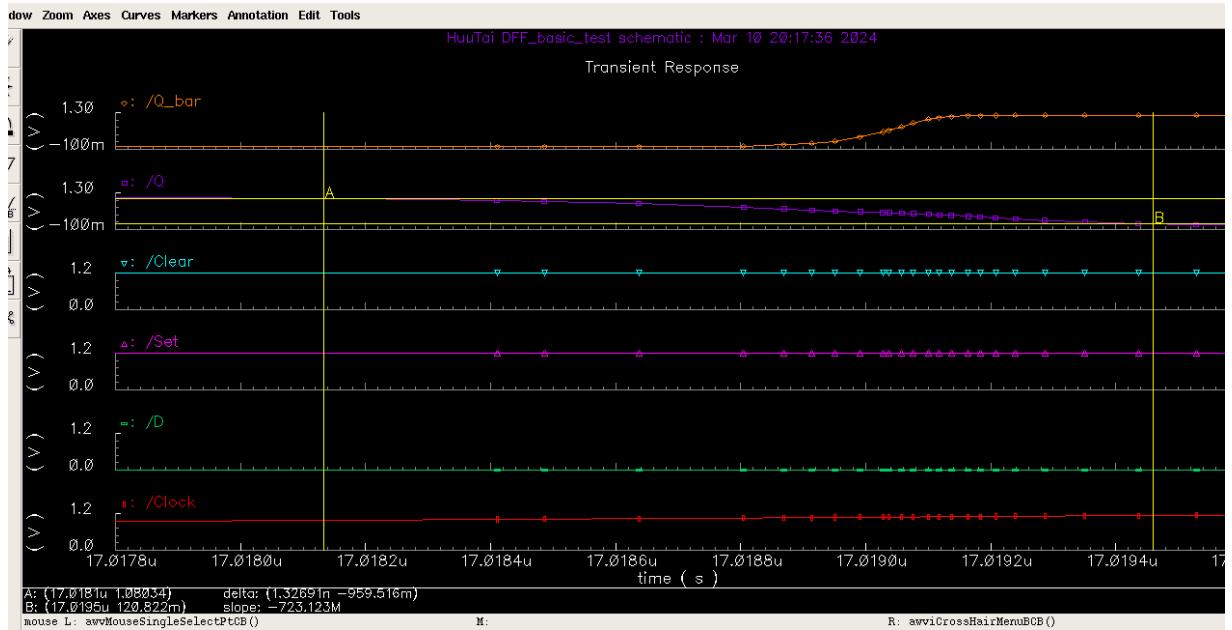
* Thời gian chuyển mạch với ngõ ra Q

Ta đánh dấu tại điểm A khi $V_{out} = 119,157$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08165$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 177,281 ps hay $t_r = 177,281$ ps.



Hình 11.5.18. Đánh giá thời gian chuyển mạch ngõ ra Q từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08034$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 120,822$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 1,32691 ns hay $t_f = 1,32691$ ns.

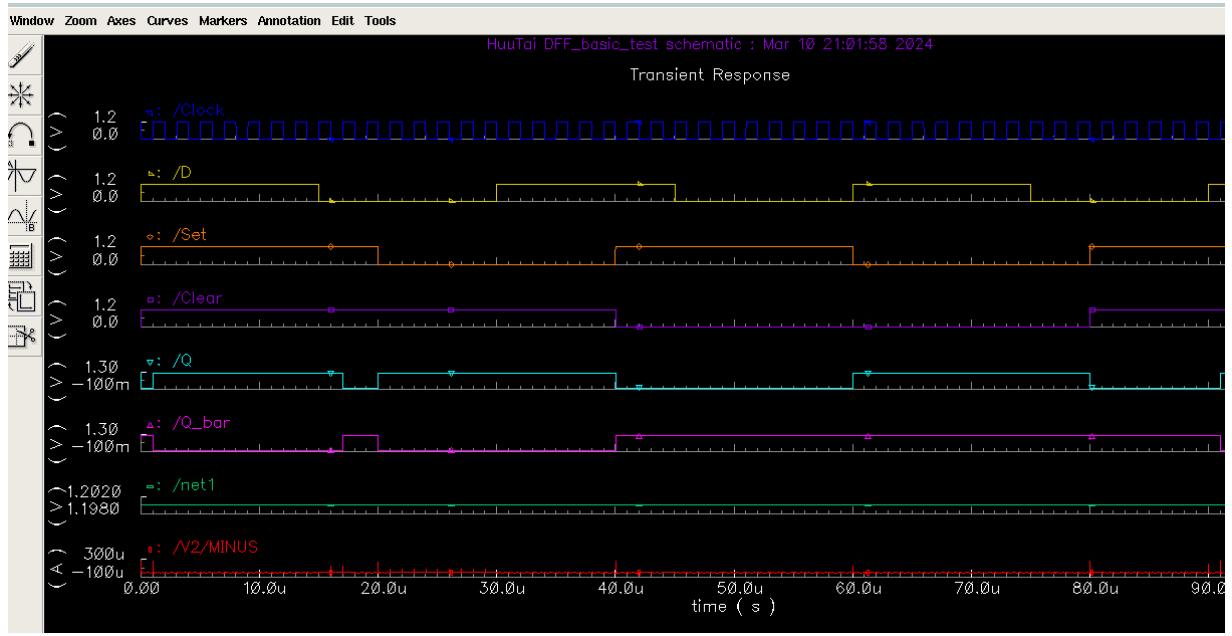


Hình 11.5.19. Dánh giá thời gian chuyển mạch ngõ ra Q từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 752,0955 \text{ ps}$.

11.5.2.5. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho mạch và dạng sóng của dòng điện qua nguồn cung cấp như sau:



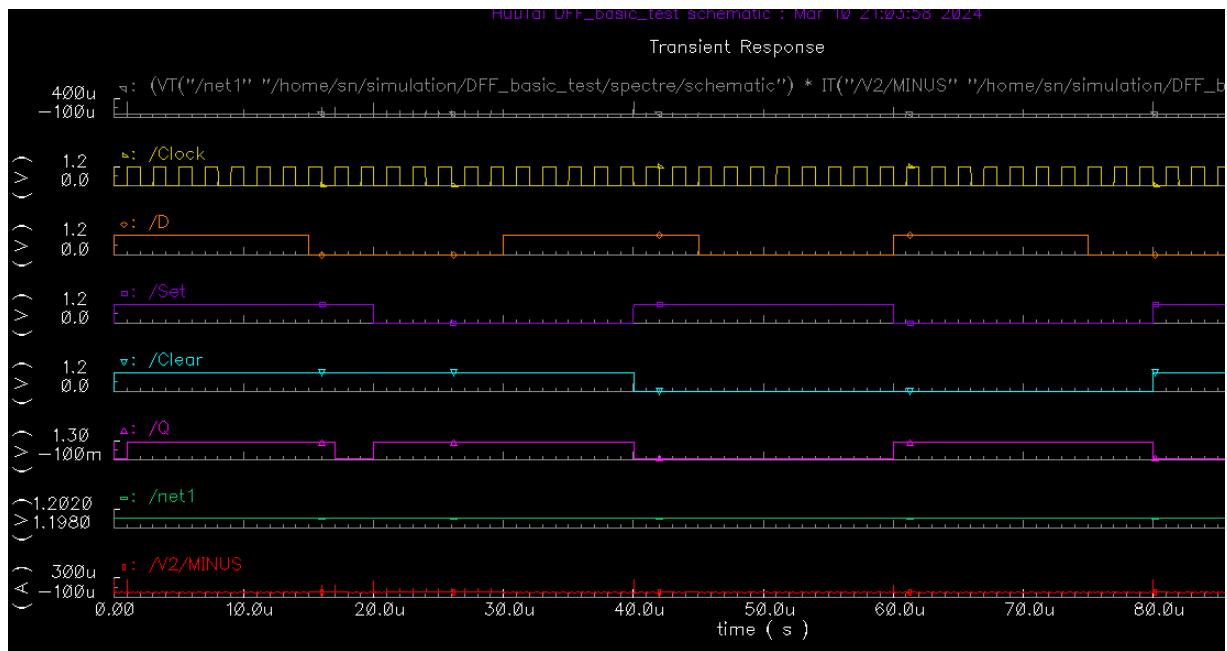
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

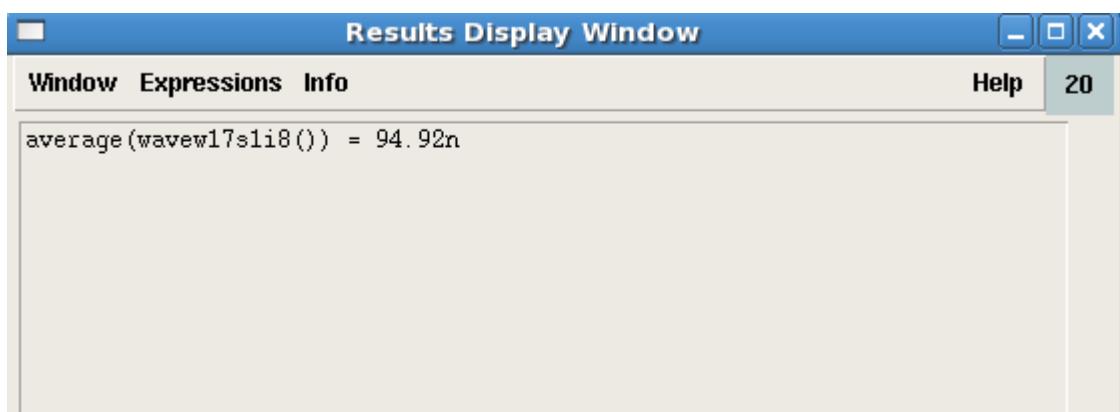
Hình 11.5.20. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 11.5.21. Dạng sóng công suất tức thời trên mạch

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 94,92 nW.

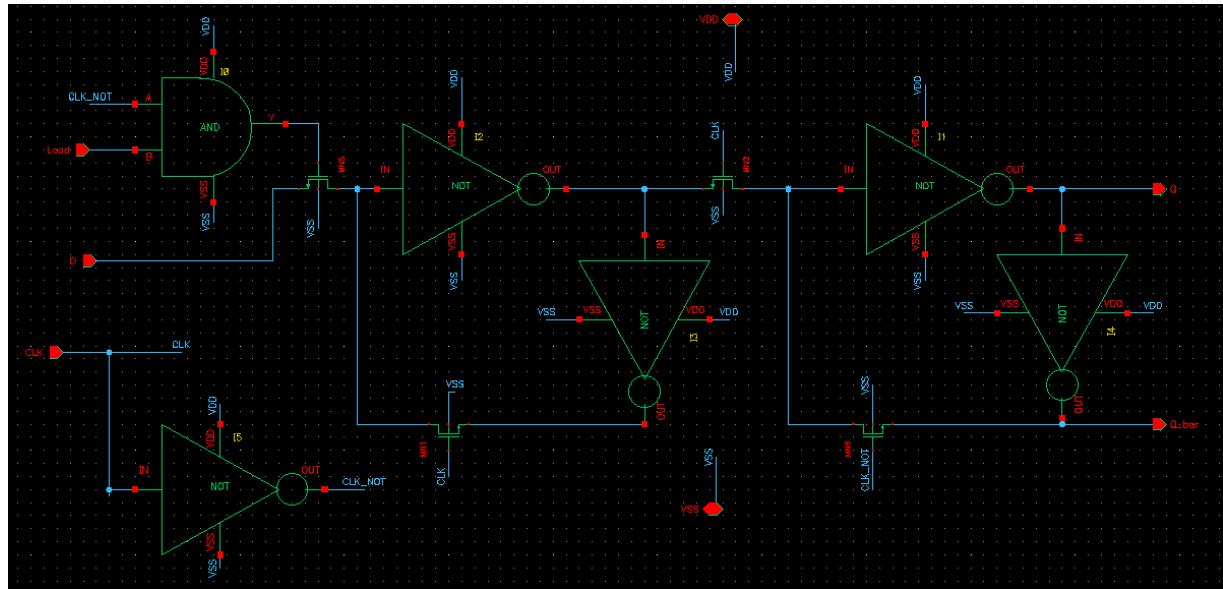


Hình 11.5.22. Kết quả tính giá trị trung bình trên bộ Master – Slave có điều khiển Set/Reset

11.6. Mô phỏng mạch Master – Slave có tín hiệu điều khiển LOAD trên phần mềm Cadence

11.6.1. Thiết kế và đóng gói trên Cadence

Ta thiết kế được sơ đồ mạch Master – Slave có các tín hiệu không đồng bộ sử dụng CMOS công nghệ Samsung 0.13μm trong phần mềm Cadence như sau:



Hình 11.6.1. Sơ đồ nguyên lý mạch Master – Slave có điều khiển Set/Clear trên Cadence

Do pMOS có hạt dẫn điện chủ yếu là lỗ trống nên độ linh động thấp hơn electron (hạt dẫn điện chủ yếu của nMOS), vì vậy điện trở của pMOS lớn hơn so với nMOS. Do đó muốn hai transistor cân bằng điện trở như nhau ta cần phải giảm điện trở của pMOS bằng cách tăng kích thước (thông số W/L) của pMOS lên gấp 2 lần nMOS.

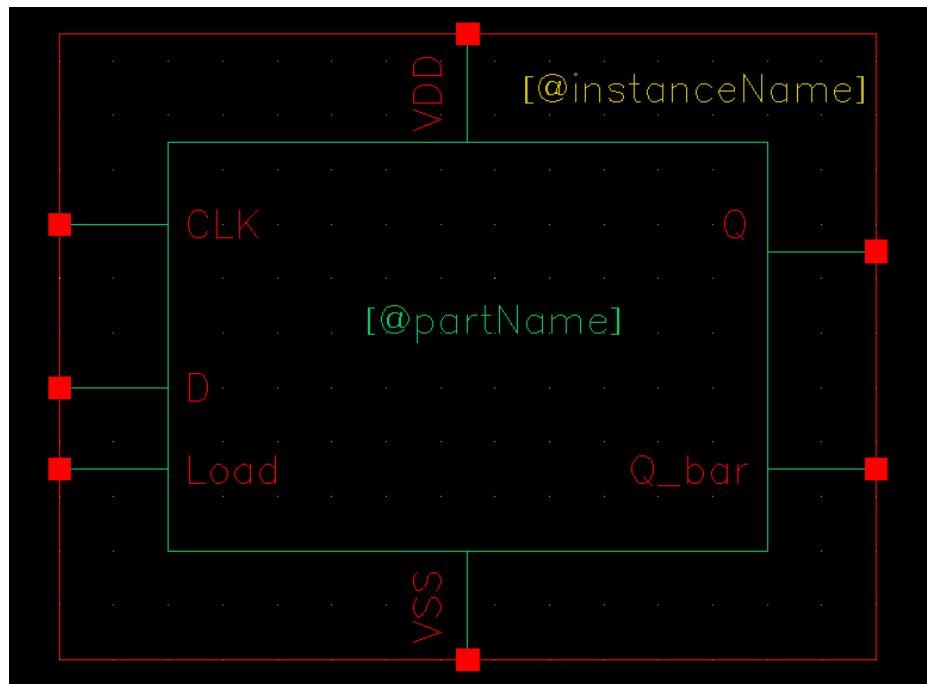
CDF Parameter	Value	Display
Length (M)	0.13u	off ▾
Width Per Finger (M)	2.6u	off ▾
Number of Fingers	1	off ▾
Width (M)	2.6u	off ▾
Multiplier	1	off ▾
Source diffusion area	1.04p	off ▾
Drain diffusion area	1.04p	off ▾
Source diffusion periphery	3.4u	off ▾
Drain diffusion periphery	3.4u	off ▾
Distance from STI edge to Gate(r)	0.40u	off ▾
Distance from another STI edge to G	0.40u	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 11.6.2. Thông số cài đặt cho transistor pMOS

CDF Parameter	Value	Display
Length (M)	0.13u	off ▾
Width Per Finger (M)	1.3u	off ▾
Number of Fingers	1	off ▾
Width (M)	1.3u	off ▾
Multiplier	1	off ▾
Source diffusion area	0.52p	off ▾
Drain diffusion area	0.52p	off ▾
Source diffusion periphery	2.1u	off ▾
Drain diffusion periphery	2.1u	off ▾
Distance from STI edge to Gate(r)	0.40u	off ▾
Distance from another STI edge to G	0.40u	off ▾
Distance between neighboring Ga	0.44u	off ▾

Hình 11.6.3. Thông số cài đặt cho transistor nMOS

Sau khi thiết kế xong mạch, ta tiến hành đóng gói mạch bằng công cụ có sẵn trong phần mềm Cadence và thu được bộ DFF như sau:

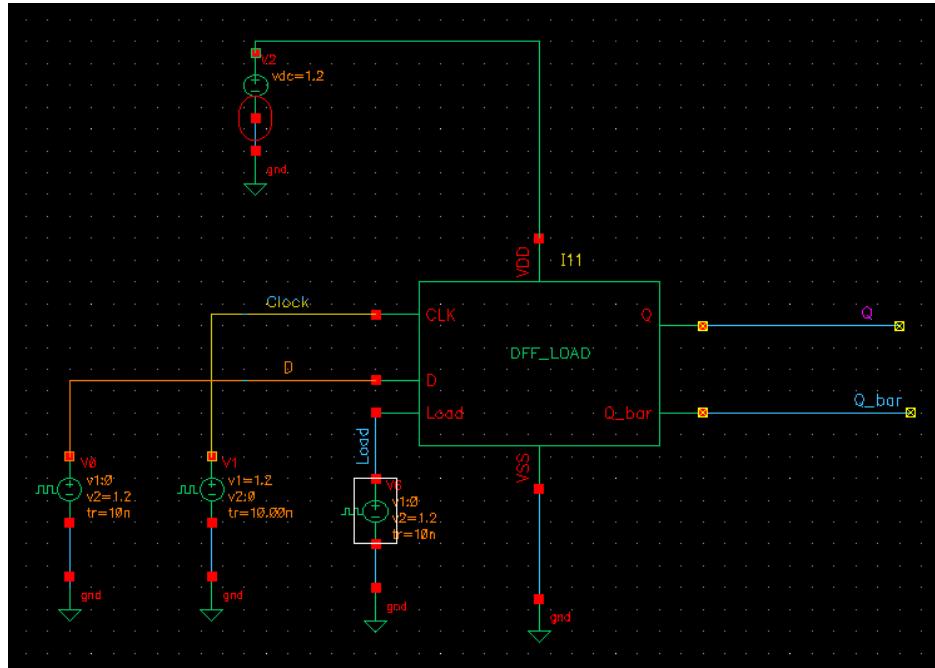


Hình 11.6.4. DFF Master – Slave có điều khiển LOAD sau khi đóng gói

11.6.2. Mô tả đặc tính của mạch Master – Slave có điều khiển LOAD

11.6.2.1. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cổng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse cho bộ DFF đã đóng gói như sau:



Hình 11.6.5. Cáp nguồn và tín hiệu cho mạch Master – Slave có điều khiển LOAD sau khi đóng gógi

Tại VCC của mạch, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 11.6.6. Thông số của nguồn cung cấp VDC

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào D và Clock, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là 10ns, tại ngõ vào Clock, độ rộng xung (Pulse Width) là 1 μ s và chu kỳ (Period) là 2 μ s. Tại D, độ rộng xung là 15 μ s và chu kỳ là 30 μ s. Đối Load, ta thiết lập các thông số lần lượt Pulse Width = 20 μ s, Period = 40 μ s.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	1.2 V	off
Voltage 2	0 V	off
Delay time		off
Rise time	10.00n	off
Fall time	10.00n	off
Pulse width	1u	off
Period	2u	off
Frequency name for 1/period		off

Hình 11.6.7. Thông số nguồn V_{pulse} tại ngõ vào xung Clock

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	10n	off
Fall time	10n	off
Pulse width	15u	off
Period	30u	off
Frequency name for 1/period		off

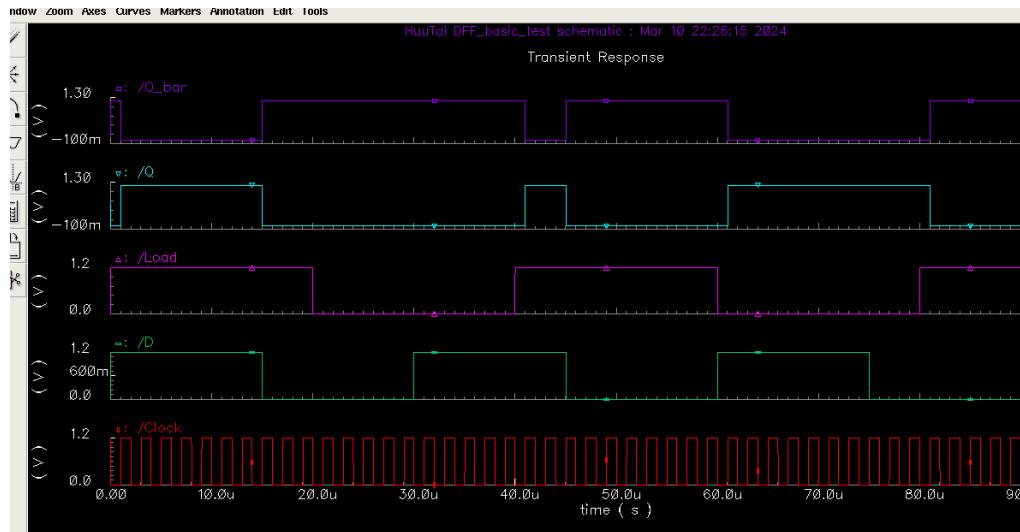
Hình 11.6.8. Thông số nguồn V_{pulse} tại ngõ vào D

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	10n s	off
Fall time	10n s	off
Pulse width	20u s	off
Period	40u s	off
Frequency name for 1/period		off

Hình 11.6.9. Thông số nguồn V_{pulse} tại ngõ vào Load

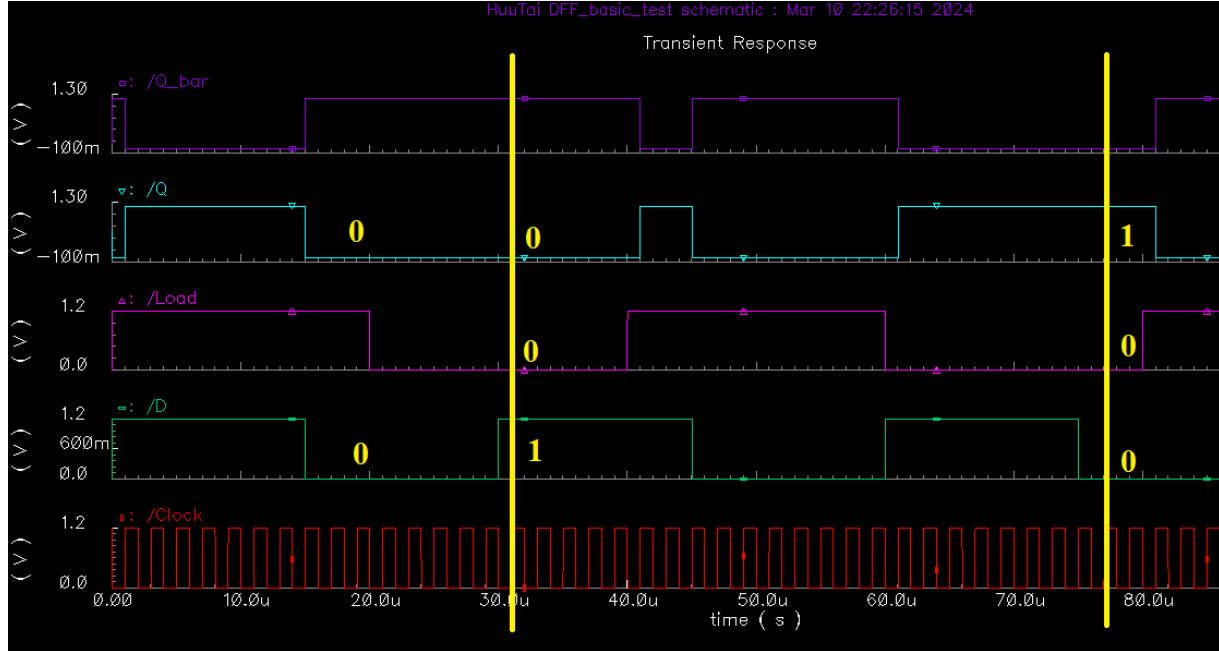
11.6.2.2. Đánh giá mức điện áp

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp ngõ vào và ngõ ra, thu được kết quả như sau:



Hình 11.6.10. Dạng sóng điện áp ngõ vào và ngõ ra

Ta phân tích mức logic của điện áp vào và ngõ ra tại các thời điểm như sau:



Hình 11.6.11. Phân tích mức logic của ngõ ra tại các thời điểm

Khi Load = 0, ta thấy ngõ ra Q vẫn giữ nguyên giá trị trước đó dù D có thay đổi trạng thái và xung Clock tích cạnh lên. Tại trường hợp đầu tiên, khi D đã lên 1, tại thời điểm xung Clock tích cạnh lên nhưng Q vẫn giữ nguyên trạng thái 0 trước đó. Tại trường hợp đánh dấu thứ hai, khi D đã xuống 0, tại thời điểm xung Clock tích cạnh lên nhưng Q vẫn tiếp tục giữ nguyên trạng thái 1 trước đó. Ta thấy chân Load đã tác động khóa xung, làm giá trị ngõ ra được giữ lại không bị thay đổi khi có xung Clock.

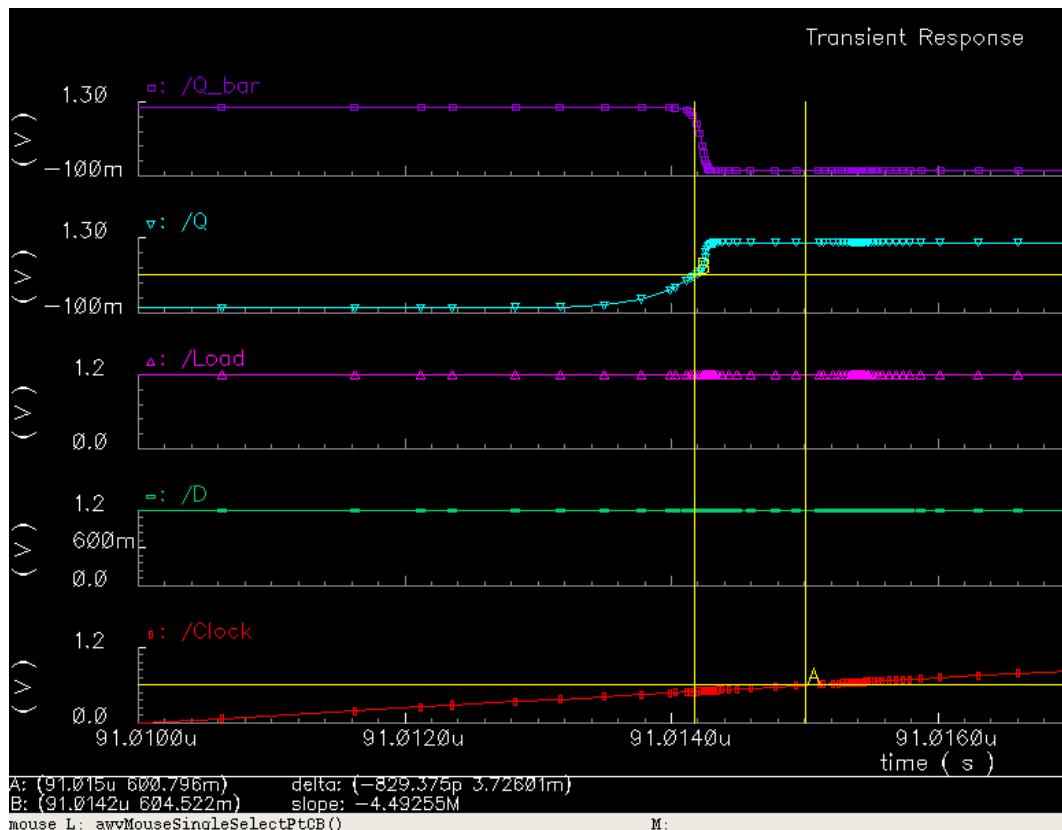
11.6.2.3. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại Clock và ngõ ra Q:

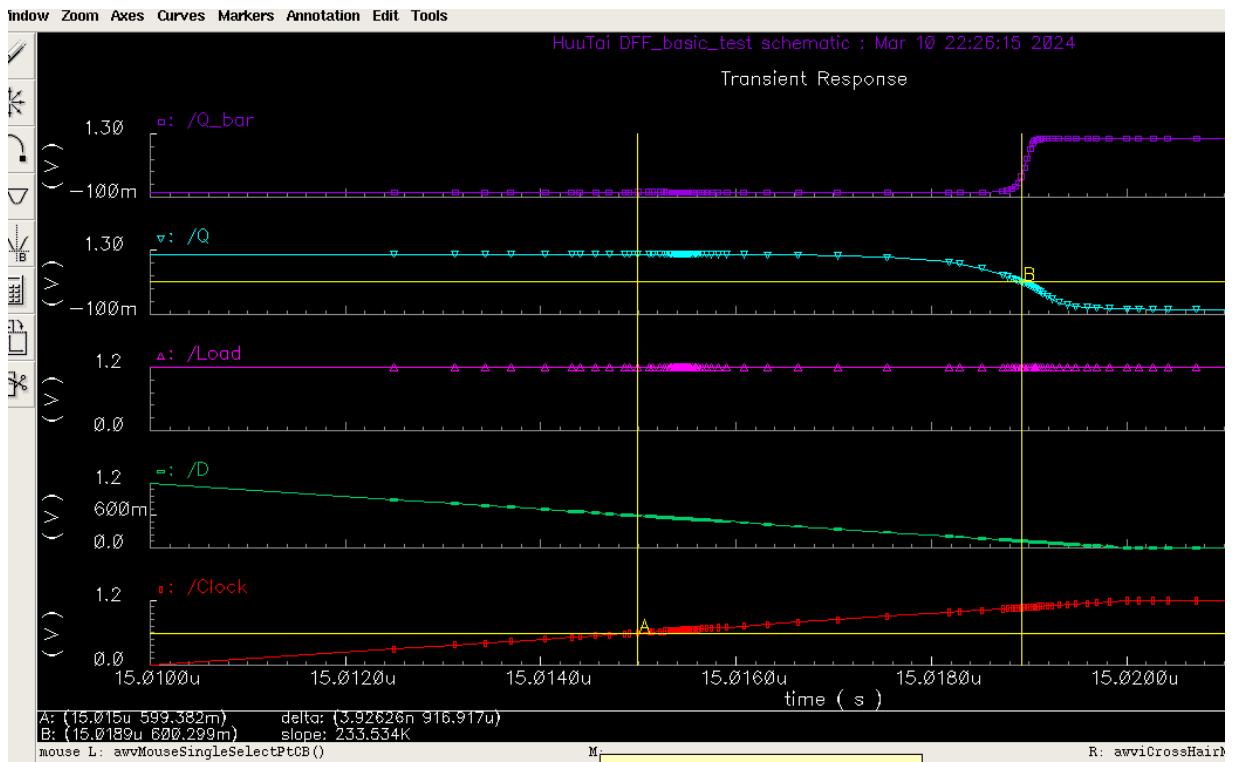
Ta đánh dấu thời gian của ngõ vào Clock khi Q cạnh lên như sau:



Hình 11.6.12. Đo thời gian trễ khi ngõ ra Q cạnh lên

Khi điện áp ngõ vào Clock tăng lên đến 600,796 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 604,522 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 829,375 ps hay nói $t_{pdr} = 829,375$ ps.

Ta đánh dấu thời gian của ngõ ra Q khi cạnh xuống như sau:



Hình 11.6.13. Do thời gian trễ khi ngõ ra Q cạnh xuống

Khi điện áp xung Clock tăng đến 599,382 mV (điểm đánh dấu A) và điện áp ngõ ra Q giảm xuống đến 600,299 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 3,92626 ns hay nói t_{pdf} = 3,92626 ns.

Tương tự với ngõ ra Q_bar, ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 11.6.1. Bảng kết quả thời gian trễ của bộ Master – Slave có tín hiệu điều khiển Load

Ngõ ra	Xung vào	Thông số	Giá trị
Q	Clock	t_{pdr}	829,375 ps
		t_{pdf}	3,92626 ns
Q_{bar}		t_{pdr}	1,934 ns
		t_{pdf}	2,853 ns

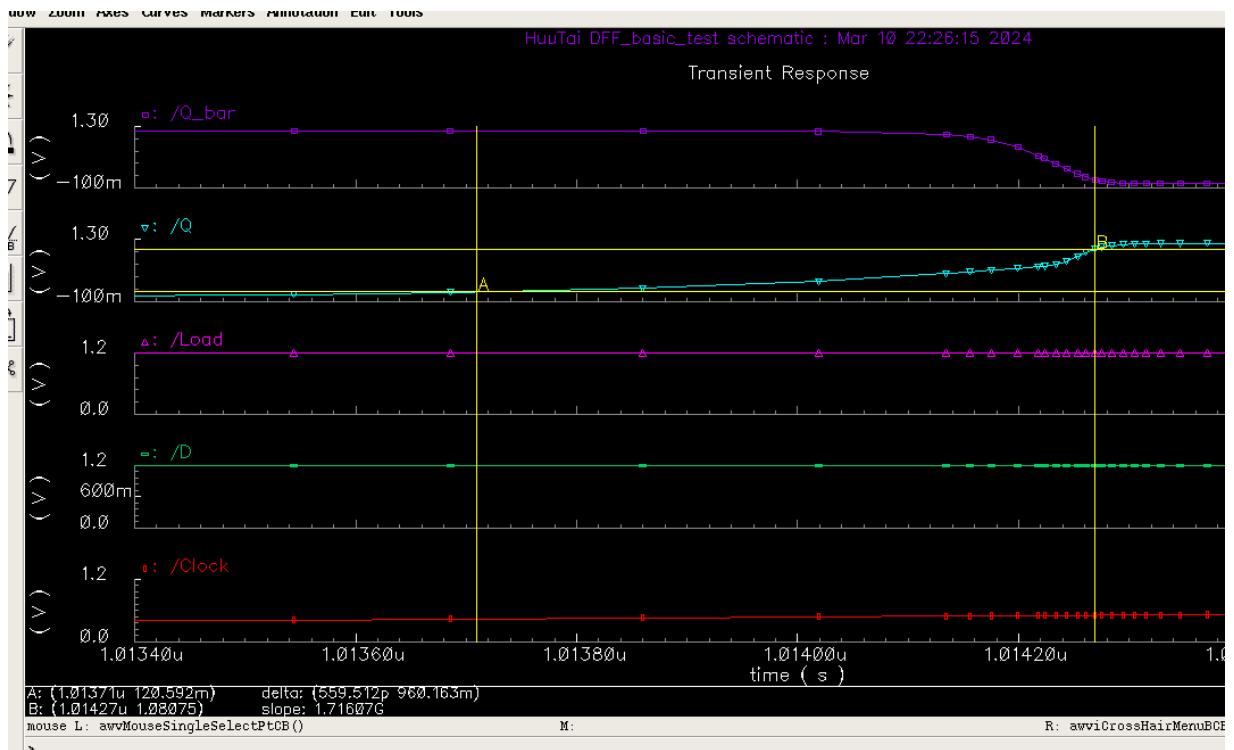
11.6.2.4. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

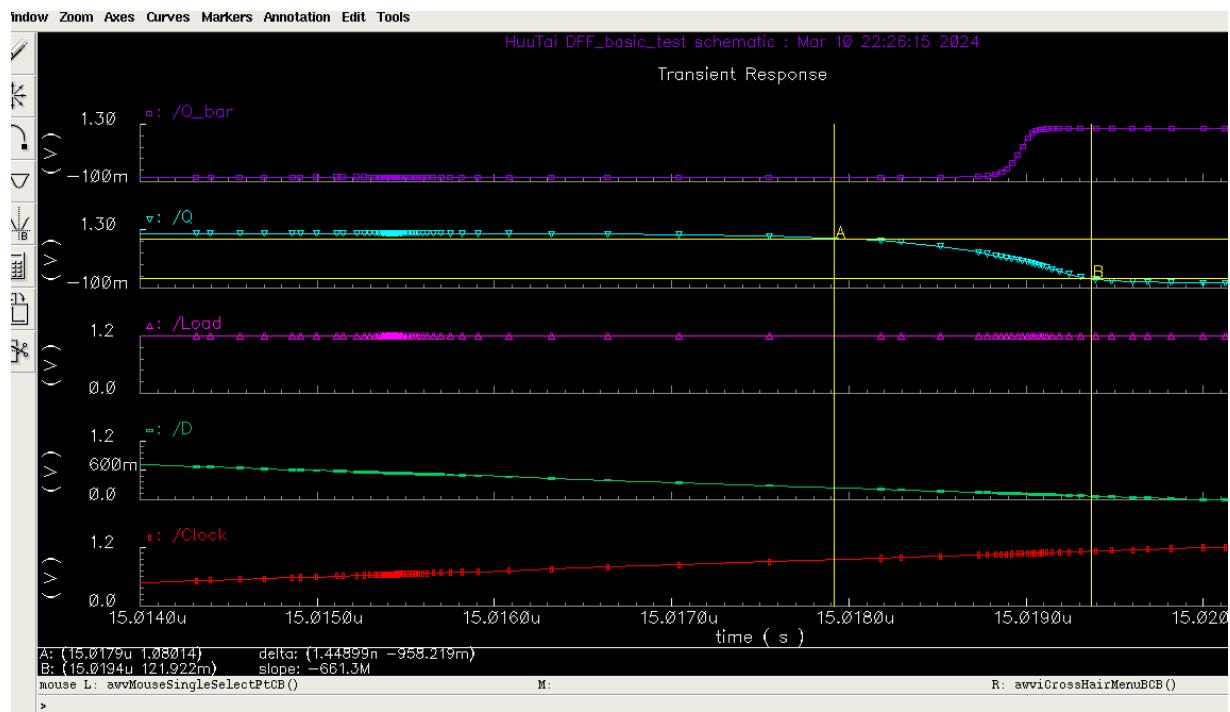
* Thời gian chuyển mạch với ngõ ra Q

Ta đánh dấu tại điểm A khi $V_{out} = 120,592$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08075$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 559,512 ps hay $t_r = 559,512$ ps.



Hình 11.6.14. Đánh giá thời gian chuyển mạch ngơ ra Q từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08014$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 121,922$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 1,4489 ns hay $t_f = 1,4489$ ns.

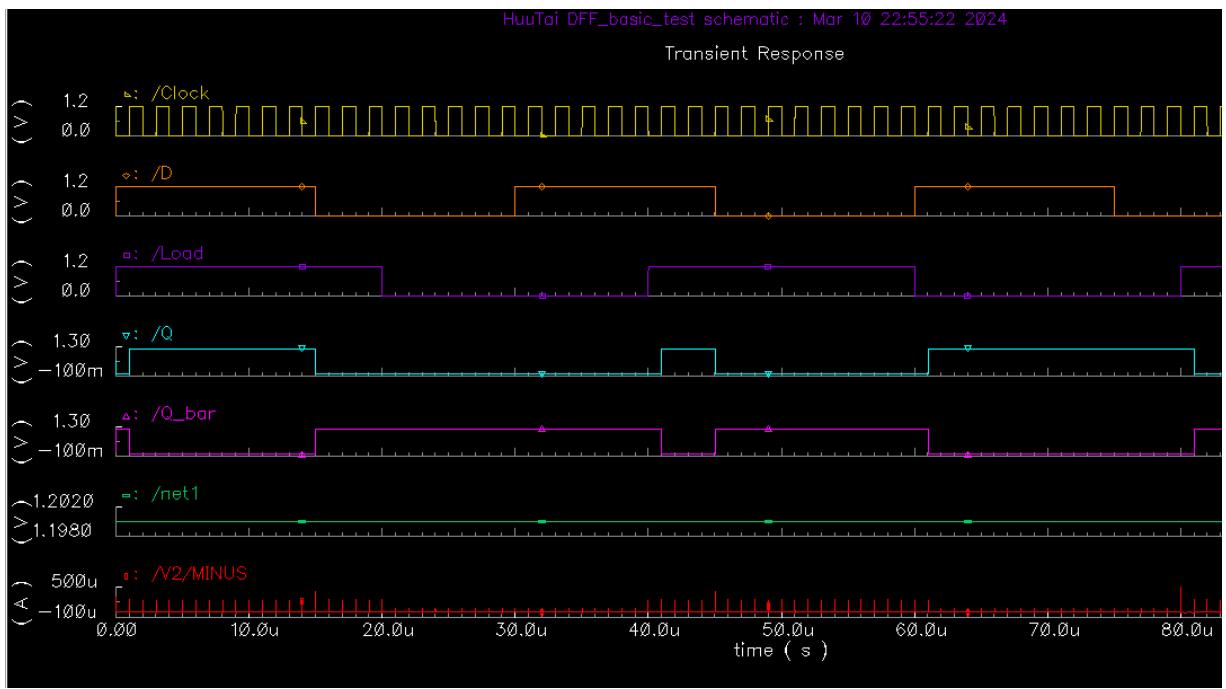


Hình 11.6.15. Đánh giá thời gian chuyển mạch ngõ ra Q từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 1,0042 \text{ ns}$.

11.6.2.5. Công suất

Vẽ dạng sóng của điện áp nguồn VDD cung cấp cho mạch và dạng sóng của dòng điện qua nguồn cung cấp như sau:



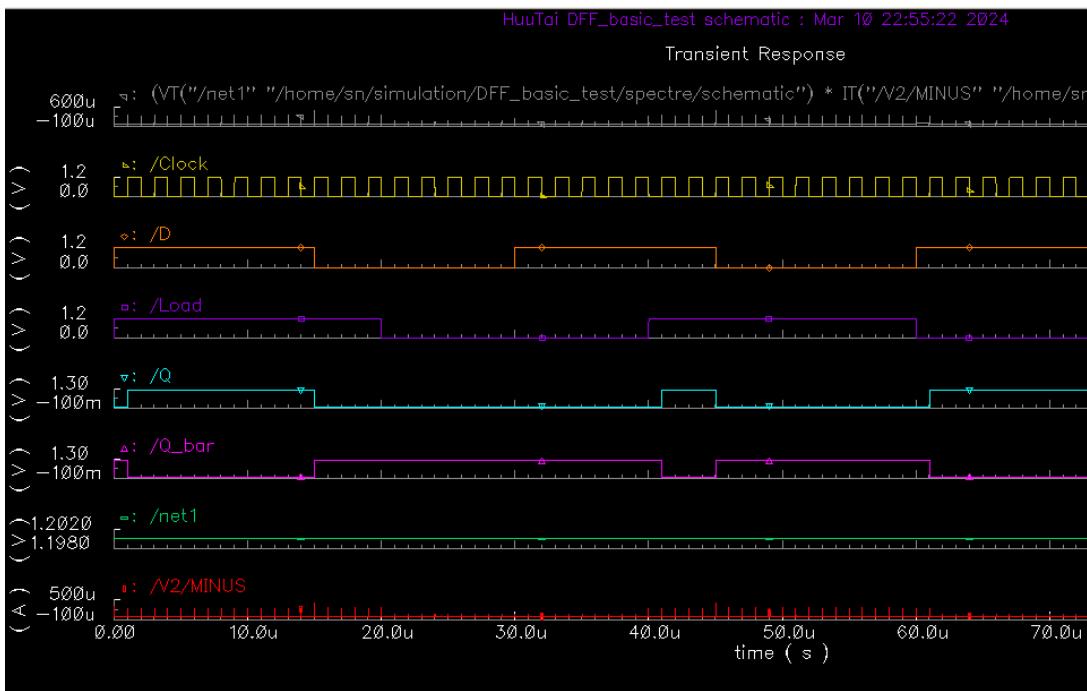
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

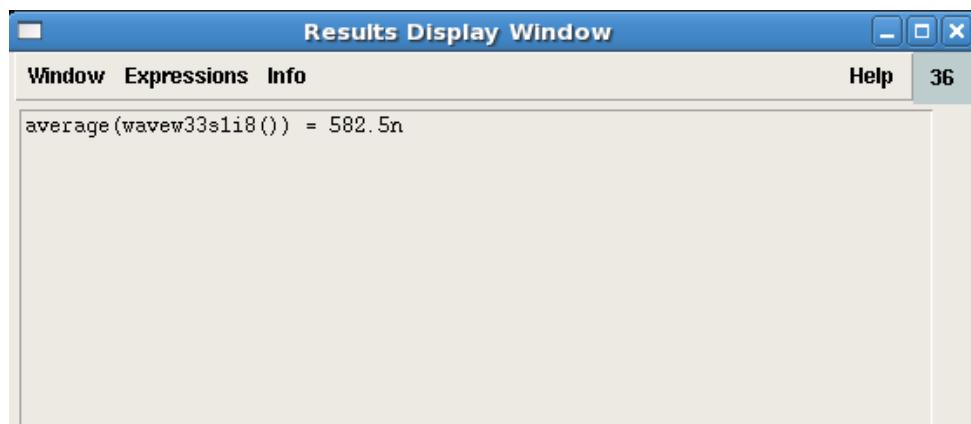
Hình 11.6.16. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 11.6.17. Dạng sóng công suất tức thời trên mạch

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 582,5 nW.



Hình 11.6.18. Kết quả tính giá trị trung bình trên bộ Master – Slave có điều khiển Load

11.7. Tổng kết và đánh giá

Sau khi mô phỏng mạch DFF với 3 thiết kế trên, ta tổng hợp được bảng sau:

Bảng 11.7.1. Bảng tổng kết mạch DFF

Thông số	Master - Slave	DFF với các chân Set/Clear	DFF có chân Load
Độ trễ (giá trị lớn nhất)	$t_{pdr} = 3,9544$ ns $t_{pdf} = 3,91174$ ns	$t_{pdr} = 523,934$ ps $t_{pdf} = 3,95104$ ns	$t_{pdr} = 1,934$ ns $t_{pdf} = 3,92626$ ns
Transistion time	764,179 ps	752,0955 ps	1,0042 ns
Công suất	68,69 nW	94,92 nW	585,5 nW

Đánh giá:

Kết quả mô phỏng cho thấy mạch thiết kế đã hoạt động đúng với lý thuyết mạch DFF.

Sau khi đánh giá độ trễ của mạch, ta kết luận rằng có sự chênh lệch về thời gian trễ truyền cạnh lên và thời gian trễ truyền cạnh xuống giữa các mạch với nhau nhưng không đáng kể, có thể là do sự khác nhau về đặc tính của các linh kiện bên trong các mạch. Thời gian chuyển mạch cũng không quá chênh lệch giữa các mạch. Về công suất, do sử dụng nhiều transistor nên công suất của mạch có điều khiển Load lớn hơn rất nhiều lần so với 2 mạch trước đó.

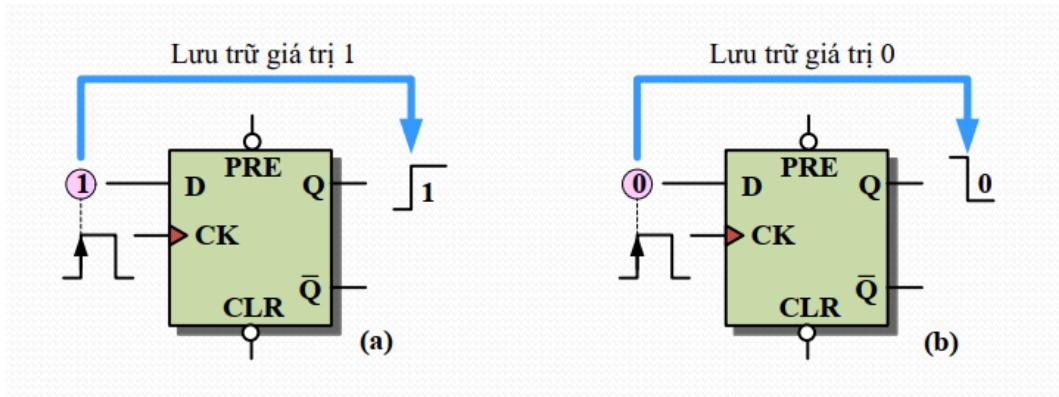
Phần 12

THANH GHI DỊCH

12.1. Khái niệm và mô tả thanh ghi dịch

Thanh ghi dịch hay shift register là một thiết bị cho phép thêm các đầu vào hoặc đầu ra bổ sung vào vi điều khiển. Điều này được thực hiện bằng cách chuyển đổi dữ liệu giữa các định dạng song song và nối tiếp. Bộ vi xử lý giao tiếp với thanh ghi dịch bằng cách sử dụng thông tin nối tiếp và thanh ghi dịch thu thập hoặc xuất thông tin ở định dạng song song (nhiều chân).

Thanh ghi có chức năng lưu trữ dữ liệu và dịch chuyển dữ liệu. Ứng dụng của thanh ghi chủ yếu để lưu trữ dữ liệu tạm thời, chuyển dữ liệu song song thành nối tiếp để truyền dữ liệu đi và chuyển đổi dữ liệu nối tiếp thành song song để lưu trữ hay xử lý.



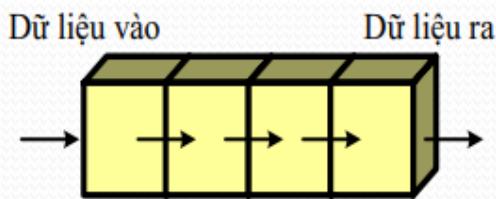
Hình 12.1. Cách lưu trữ giá trị của DFF

12.2. Các loại thanh ghi dịch

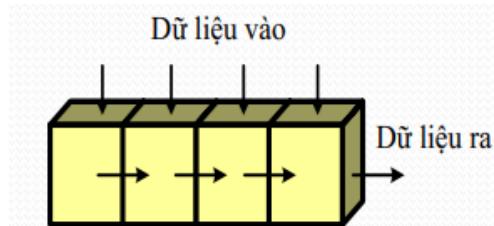
Thanh ghi dịch được chia thành 4 loại sau:

- Vào nối tiếp, ra nối tiếp.
- Vào song song, ra nối tiếp.
- Vào nối tiếp, ra song song.
- Vào song song, ra song song.

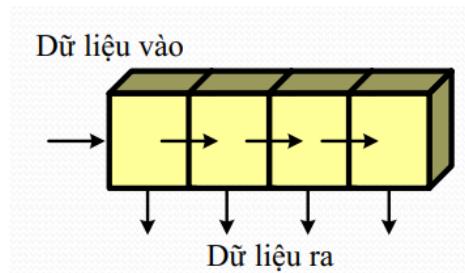
Bốn loại thanh ghi dịch được hiểu theo các sơ đồ sau:



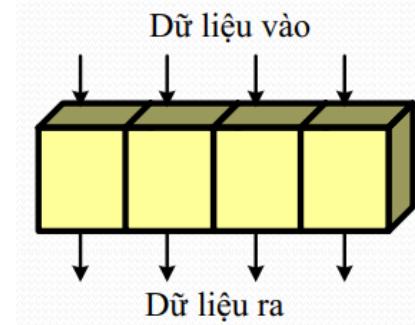
Hình 12.2. Vào nối tiếp, ra nối tiếp



Hình 12.3. Vào song song, ra nối tiếp



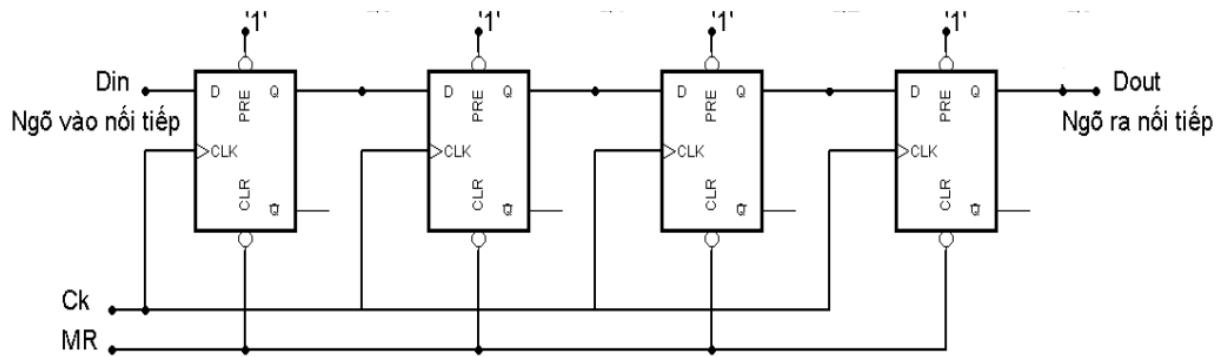
Hình 12.4. Vào nối tiếp, ra song song



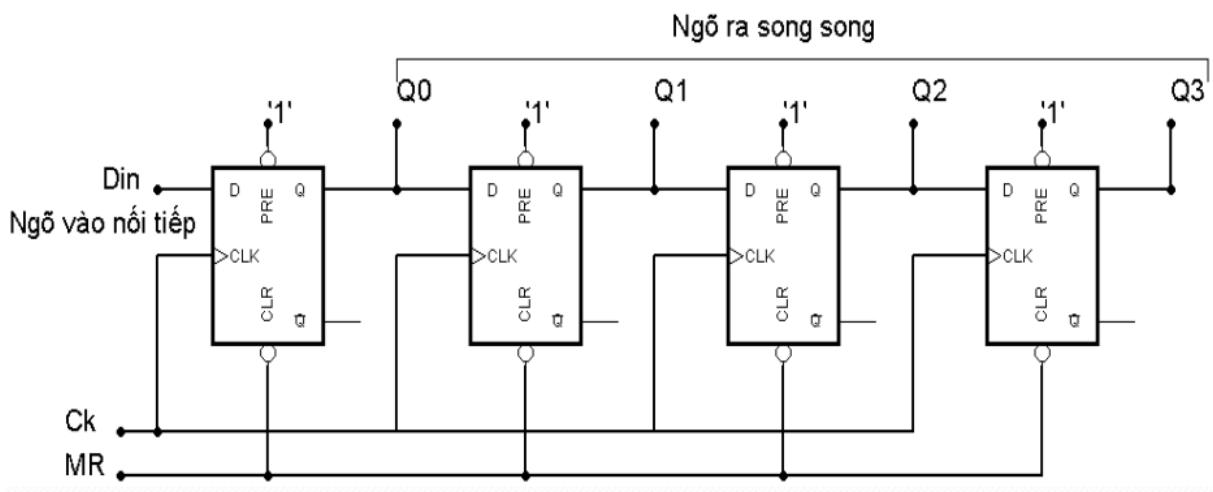
Hình 12.5. Vào song song, ra song song

12.3. Sơ đồ mạch của các loại thanh ghi dịch

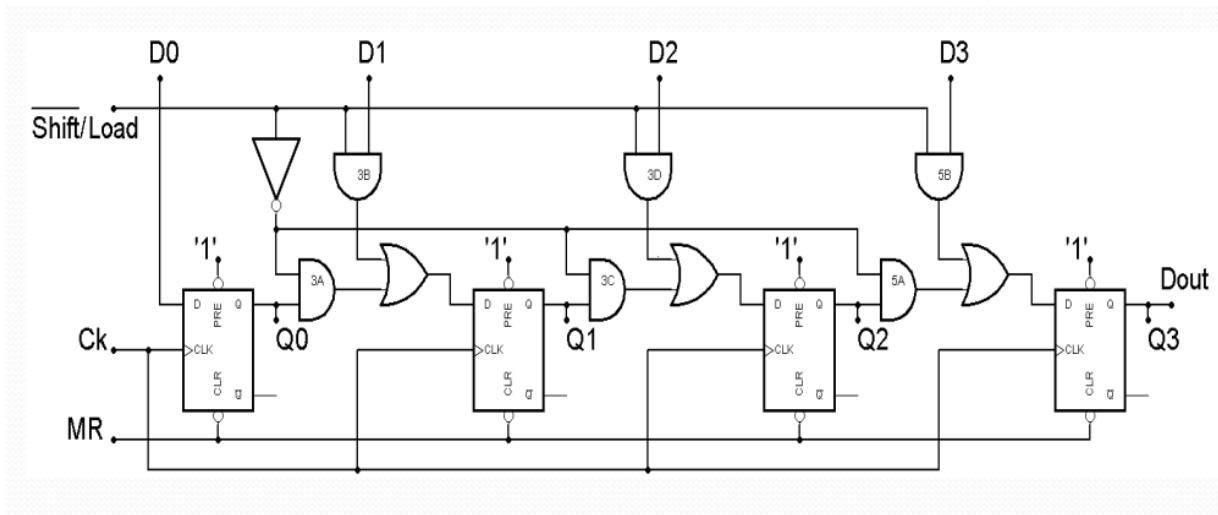
Thanh ghi dịch được tạo ra bằng cách ghép các DFF lại với nhau, sơ đồ mạch của 4 loại thanh ghi dịch như sau:



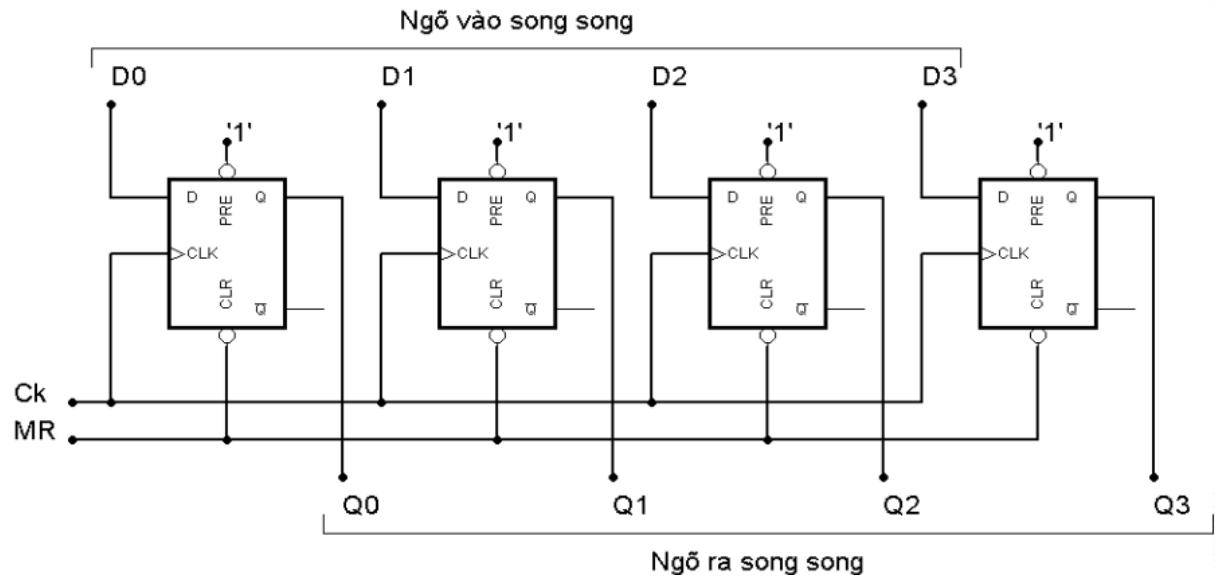
Hình 12.6. Thanh ghi dịch 4 bit với vào nối tiếp, ra nối tiếp



Hình 12.7. Thanh ghi dịch 4 bit với vào nối tiếp, ra song song



Hình 12.8. Thanh ghi dịch 4 bit với vào song song, ra nối tiếp

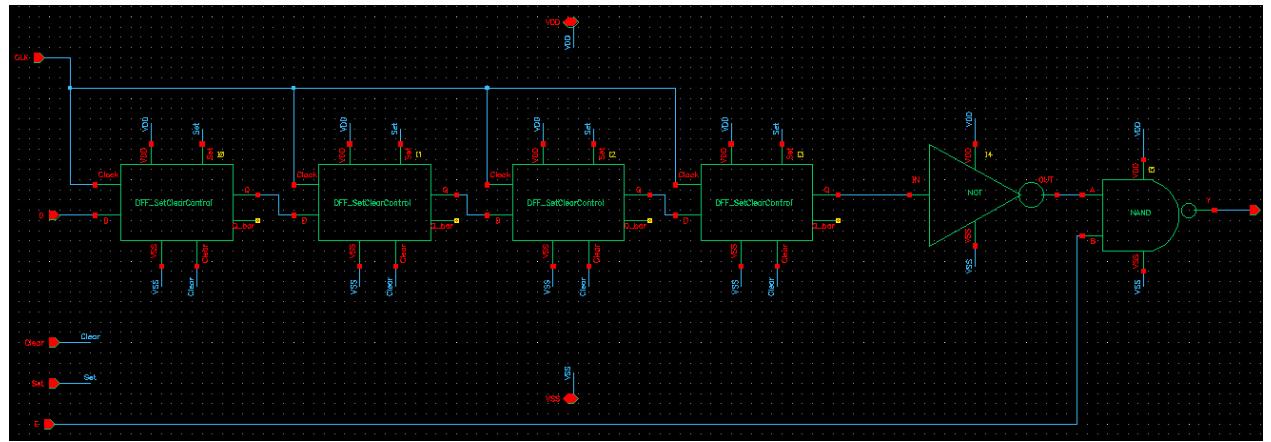


Hình 12.9. Thanh ghi dịch 4 bit với vào song song, ra song song

12.4. Thiết kế thanh ghi dịch 4 bit vào nối tiếp, ra nối tiếp với Cadence

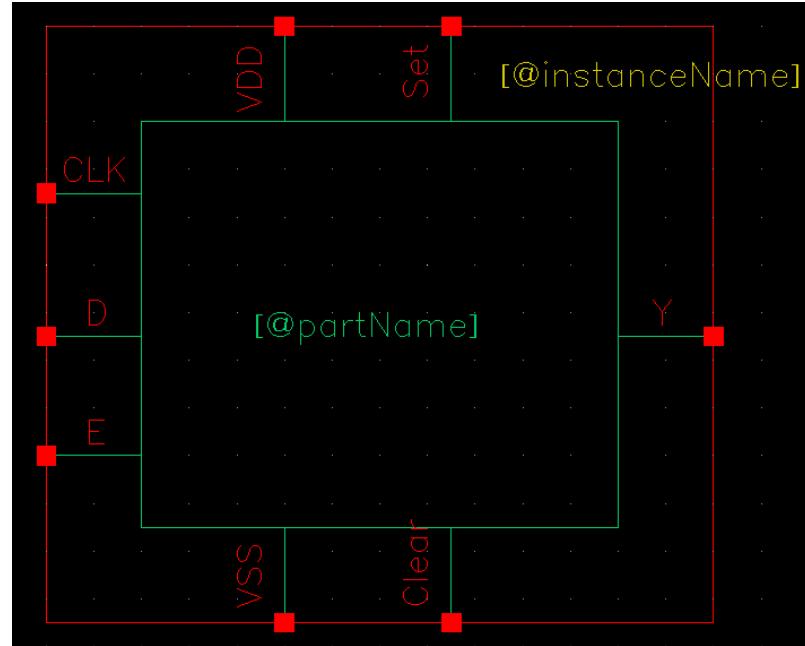
12.4.1. Thiết kế và đóng gói trên Cadence

Ta thiết kế được sơ đồ thanh ghi dịch 4 bit vào nối tiếp, ra nối tiếp sử dụng CMOS công nghệ Samsung 0.13μm trong phần mềm Cadence như sau:



Hình 12.10. Sơ đồ nguyên lý bộ thanh ghi dịch 4 bit trên Cadence

Sau khi thiết kế xong mạch, ta tiến hành đóng gói bằng công cụ có sẵn trong phần mềm Cadence và thu được thanh ghi dịch như sau:

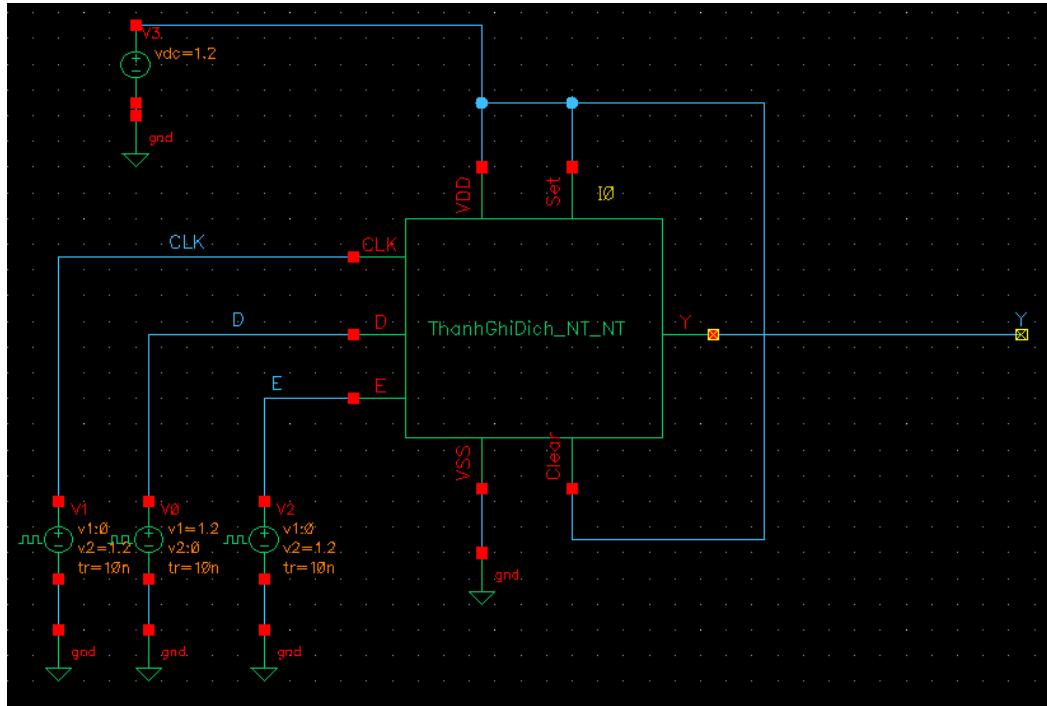


Hình 12.11. Thanh ghi dịch 4 bit vào nối tiếp, ra nối tiếp sau khi đóng gói

12.4.2. Mô tả đặc tính của thanh ghi dịch vào nối tiếp, ra nối tiếp

12.4.2.1. Cấp nguồn và tín hiệu

Để mô phỏng đặc tính của cổng, ta tiến hành cấp nguồn VDD, VSS và tín hiệu xung Vpulse như sau:



Hình 12.12. Cáp nguồn và tín hiệu cho thanh ghi dịch sau khi đóng gói

Tại VCC của mạch, ta đặt một nguồn VDC để cung cấp điện áp một chiều 1,2V với thông số như sau:

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage	1.2V	off
Noise file name		off
Number of noise/freq pairs	0	off

Hình 12.13. Thông số của nguồn cung cấp VDC

Tại chân VSS: ta nối đất (GND).

Tại mỗi ngõ vào CLK, D và E, ta đặt nguồn V_{pulse} để cấp xung có biên độ 1,2V để xem kết quả ngõ ra (Voltage 1: 0V – tương ứng mức logic 0; Voltage 2: 1,2V – tương ứng mức logic 1), thời gian chuyển tiếp cạnh lên (Rise time) và cạnh xuống (Fall time) là $0,1\mu s$, tuy nhiên để qua sát được đầy đủ các trường hợp của 3 ngõ vào, ta cho độ rộng xung (Pulse width) và chu kỳ (Period) khác nhau. Cụ thể tại ngõ vào CLK, độ rộng xung là $1\mu s$ và chu kỳ là $2\mu s$. Tại D, độ rộng xung là $15\mu s$ và chu kỳ là $30\mu s$. Tại E, độ rộng xung là $40\mu s$ và chu kỳ là $80\mu s$.

CDF Parameter	Value	Display
AC magnitude		off
AC phase		off
DC voltage		off
Voltage 1	0 V	off
Voltage 2	1.2 V	off
Delay time		off
Rise time	10n s	off
Fall time	10n s	off
Pulse width	1u s	off
Period	2u s	off

Hình 12.14. Thông số nguồn V_{pulse} tại ngõ vào CLK

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	1.2 V	off ▾
Voltage 2	0 V	off ▾
Delay time		off ▾
Rise time	10n s	off ▾
Fall time	10n s	off ▾
Pulse width	15u s	off ▾
Period	30u s	off ▾
Frequency name for 1/period		off ▾

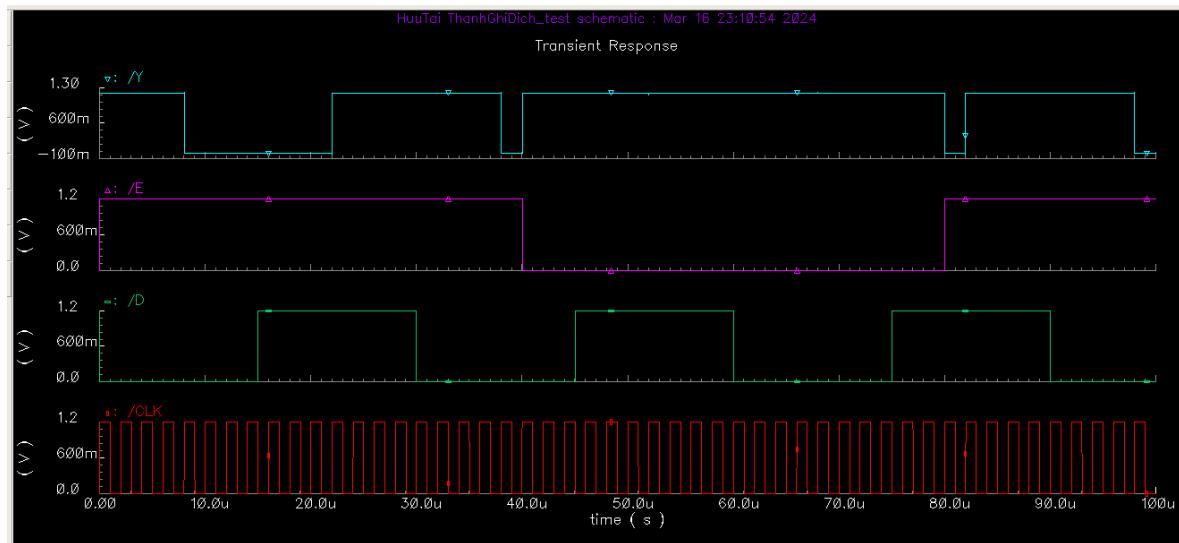
Hình 12.15. Thông số nguồn V_{pulse} tại ngõ vào D

CDF Parameter	Value	Display
AC magnitude		off ▾
AC phase		off ▾
DC voltage		off ▾
Voltage 1	0 V	off ▾
Voltage 2	1.2 V	off ▾
Delay time		off ▾
Rise time	100.0n s	off ▾
Fall time	100.0n s	off ▾
Pulse width	40u s	off ▾
Period	80u s	off ▾
Frequency name for 1/period		off ▾

Hình 12.16. Thông số nguồn V_{pulse} tại ngõ vào E

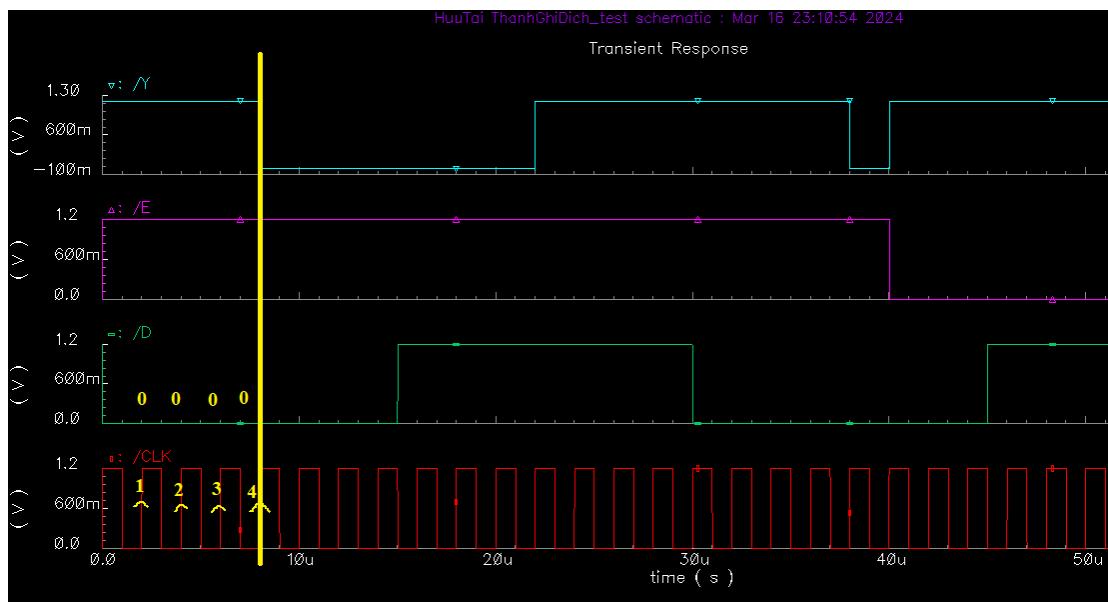
12.4.2.2. Đánh giá mức điện áp

Sau khi thiết lập các thông số, ta tiến hành mô phỏng dạng sóng điện áp vào và ngõ ra, thu được kết quả như sau:



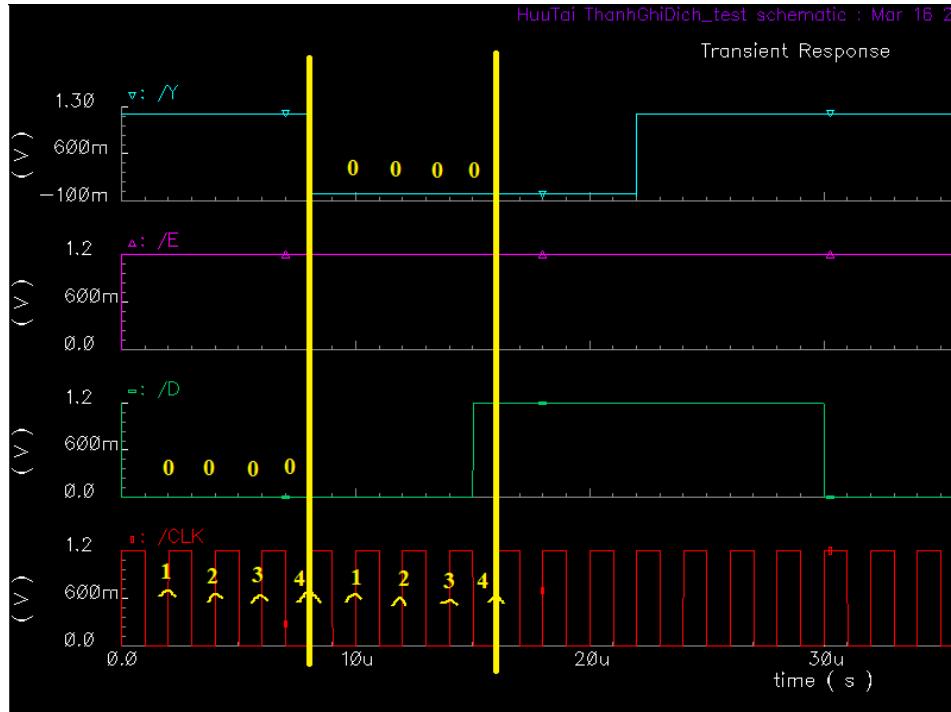
Hình 12.17. Dạng sóng điện áp ngõ vào CLK, D, E và ngõ ra Y

Ta xét khi CLK tích 4 cạnh lên đầu tiên:



Hình 12.18. Phân tích 4 bit đầu tiên ngõ vào

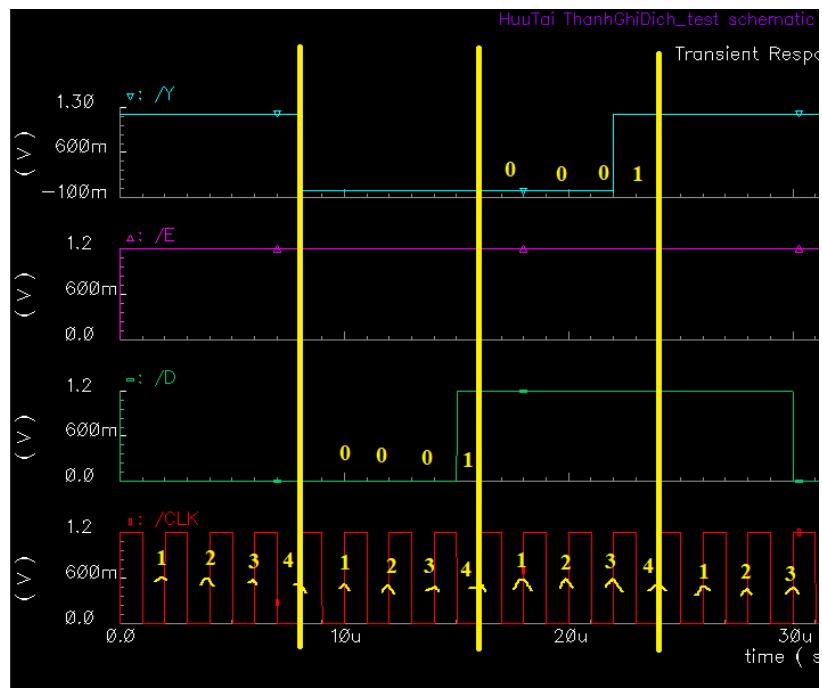
Tương ứng, ta thấy khi đó ngõ vào sẽ nhận 4 bit “0000” nối tiếp, sau khi 4 bit tại D vào thanh ghi dịch, ta xét 4 bit ngõ ra:



Hình 12.19. Phân tích 4 bit ngõ ra đầu tiên

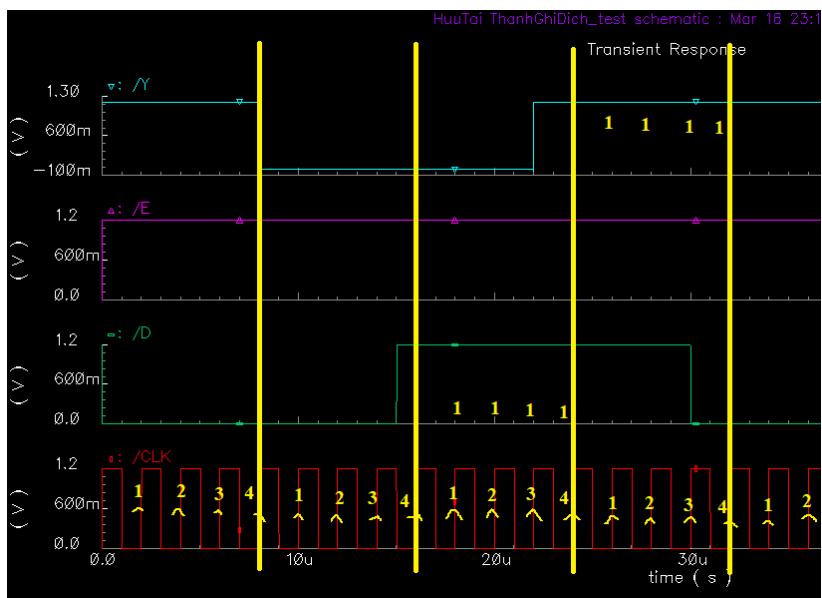
Khi đó ngõ ra đưa ra 4 bit “0000” như 4 bit ngõ vào. Tại trường hợp đầu tiên ta thấy thanh ghi dịch của ta hoạt động đúng với lý thuyết.

Tương tự trường hợp khác, khi $D = 0001$ thì $Y = 0001$



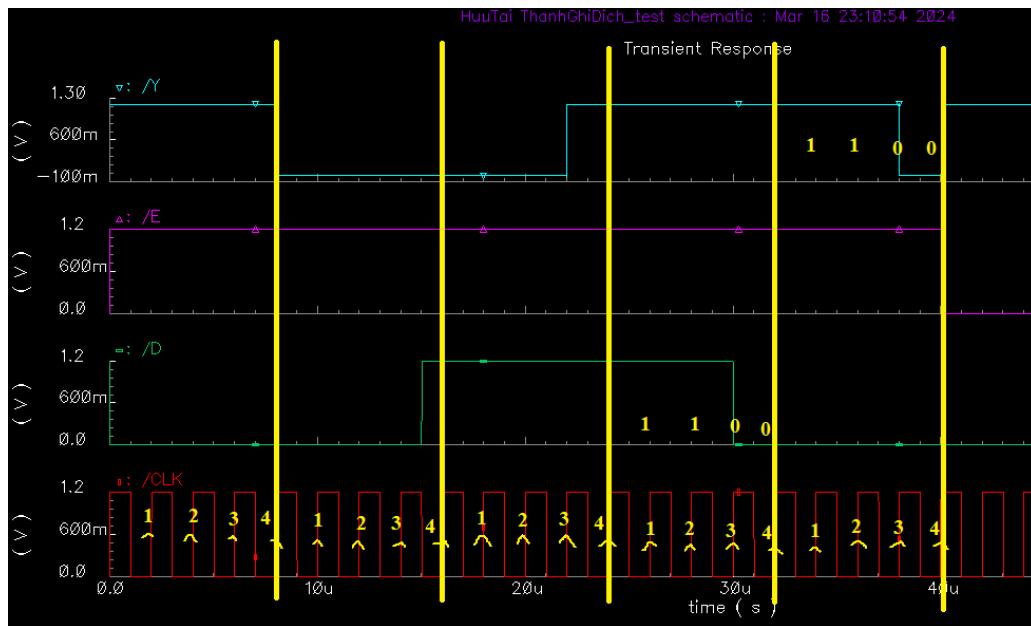
Hình 12.20. Phân tích ngõ vào và ngõ ra trường hợp thứ hai

Khi D = 1111 thì Y = 1111



Hình 12.21. Phân tích ngõ vào và ngõ ra trường hợp thứ ba

Khi D = 1100 thì Y = 1100



Hình 12.22. Phân tích ngõ vào và ngõ ra trong trường hợp thử tur

Sau 4 trường hợp đã phân tích, ta thấy thanh ghi dịch của ta đã hoạt động đúng với lý thuyết nên có thể kết luận mạch nguyên lý của chúng ta đã đúng.

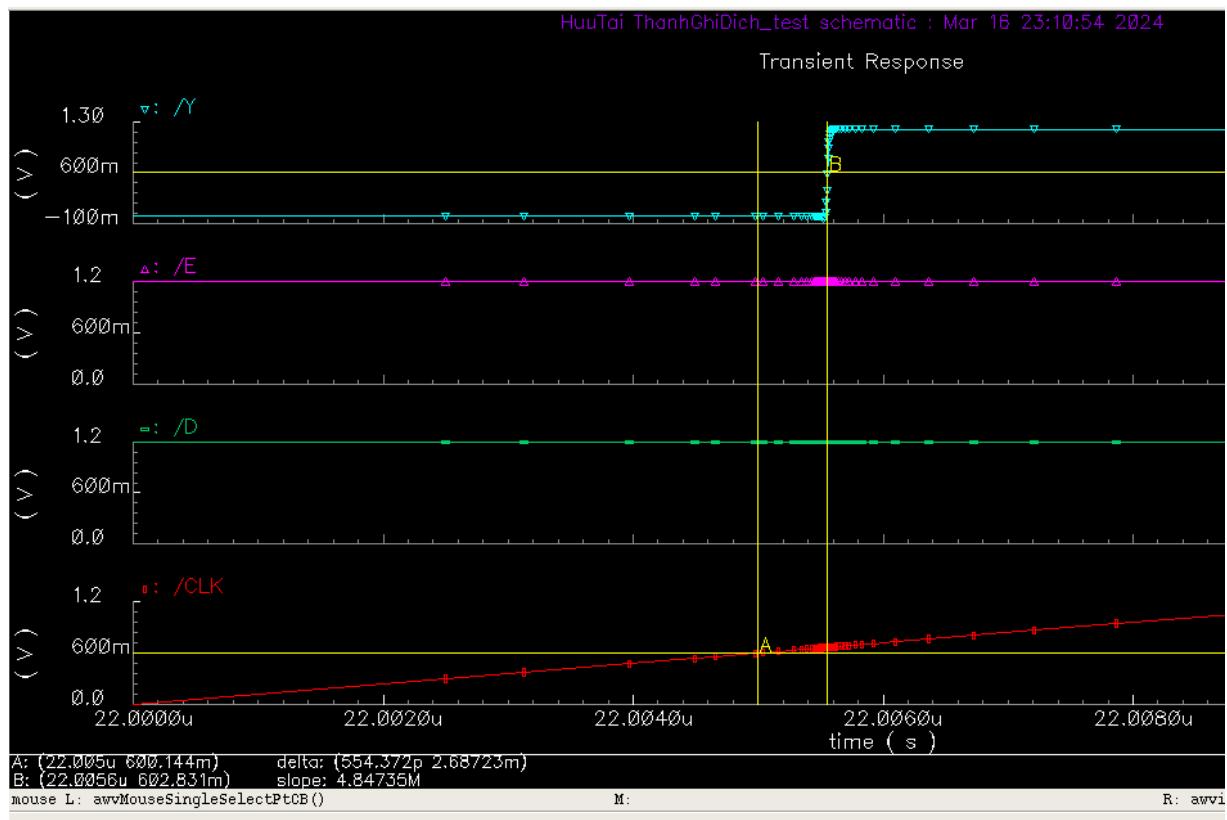
12.4.2.3. Đánh giá độ trễ

Để đo được độ trễ, ta sẽ đo khoảng thời gian từ lúc đạt 50% giá trị biên độ ngõ vào đến lúc ngõ ra đạt 50% giá trị biên độ.

Ngõ vào là một xung vuông có biên độ 1,2V nên ta sẽ đo tại lúc giá trị ngõ vào đạt 600mV đến lúc ngõ ra cũng đạt 600mV.

* Đo độ trễ tại ngõ vào CLK và ngõ ra Y:

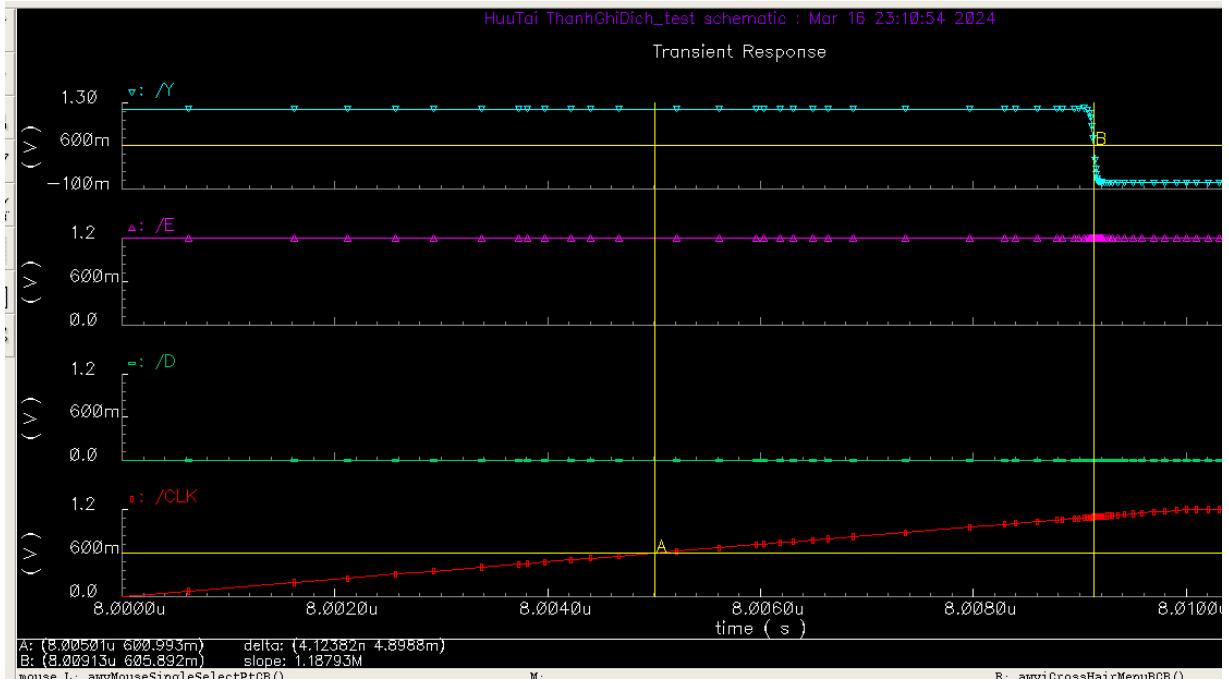
Ta đánh dấu thời gian của ngõ ra Y khi cạnh lên như sau:



Hình 12.23. Đo thời gian trễ khi ngõ ra Y cạnh lên

Khi điện áp ngõ vào CLK tăng lên đến 600,144 mV (điểm đánh dấu A) và điện áp ngõ ra cũng tăng đến 602,831 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 554,372 ps hay nói $t_{pd़} = 554,372$ ps.

Ta đánh dấu thời gian của ngõ ra Y khi cạnh xuống như sau:



Hình 12.24. Đo thời gian trễ khi ngõ ra Y cạnh xuống

Khi điện áp ngõ vào CLK tăng đến 600,993 mV (điểm đánh dấu A) và điện áp ngõ ra giảm đến 605,892 mV (điểm đánh dấu B) thì khoảng thời gian chênh lệch là 4,12382 ns hay nói $t_{pdf} = 4,12382$ ns.

Ta đo được thời gian trễ giữa ngõ vào và ngõ ra theo bảng sau:

Bảng 12.1. Bảng kết quả thời gian trễ của thanh ghi dịch 4 bit vào nối tiếp, ra nối tiếp

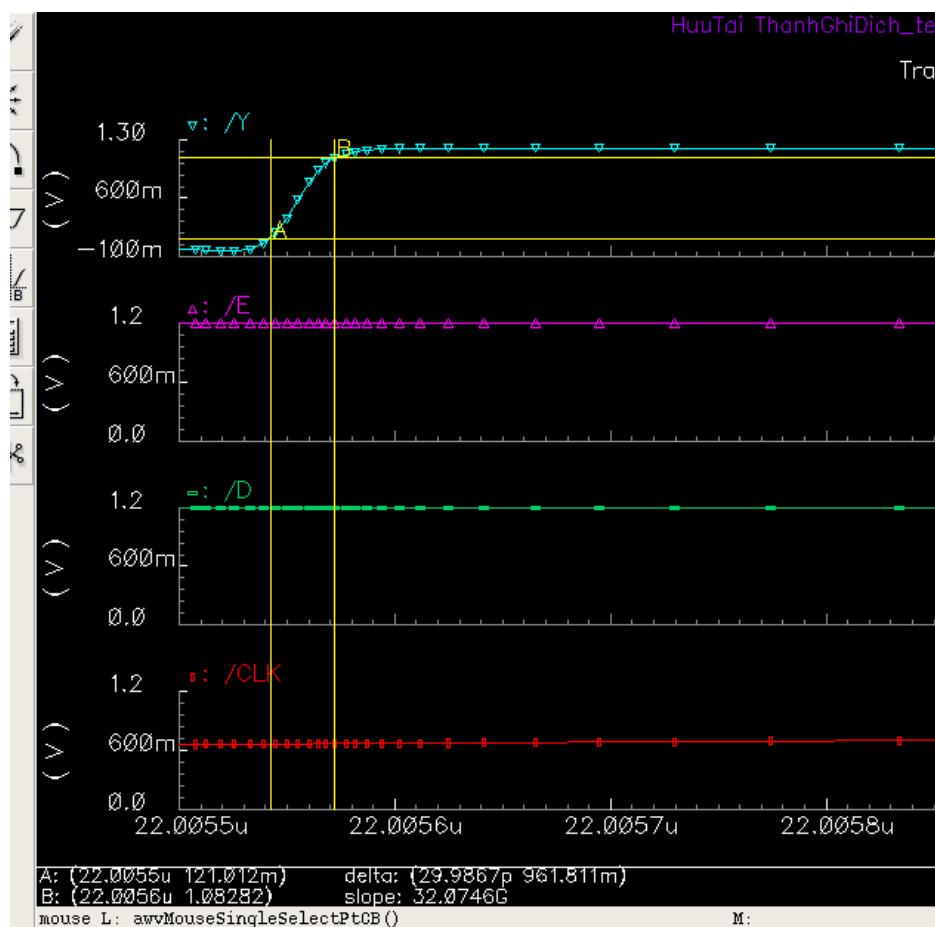
Ngõ vào	Ngõ ra	Thông số	Giá trị
CLK	Y	t_{pdr}	554,372 ps
		t_{pdf}	4,12382 ns

12.4.2.4. Transition time

Thời gian chuyển đổi (transition time) là thời gian mà tín hiệu đầu ra của mạch cần để chuyển đổi từ mức logic thấp sang mức logic cao hoặc ngược lại.

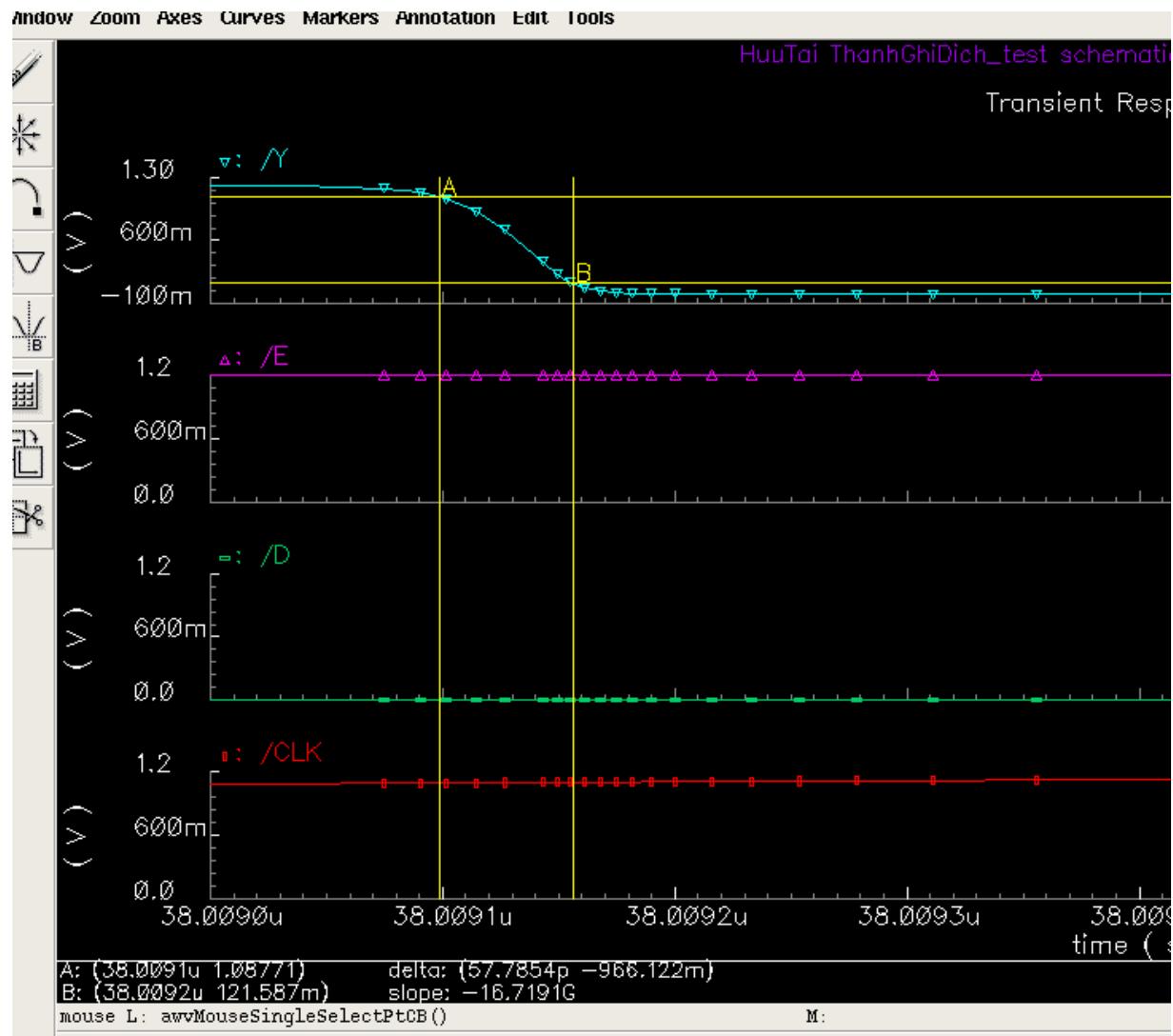
Để đo được Transition time, ta đánh dấu tín hiệu đạt từ 10% đến 90% giá trị tối đa để tính Rise Time (t_r) và tín hiệu từ 90% xuống 10% giá trị tối đa để tính Fall Time (t_f).

Ta đánh dấu tại điểm A khi $V_{out} = 121,012$ mV (10% giá trị biên độ) và điểm B khi $V_{out} = 1,08282$ V (90% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 29,9867 ps hay $t_r = 29,9867$ ps.



Hình 12.25. Đánh giá thời gian chuyển mạch ngõ ra từ mức 0 lên 1

Ta đánh dấu tại điểm A khi $V_{out} = 1,08771$ V (90% giá trị biên độ) và điểm B khi $V_{out} = 121,587$ mV (10% giá trị biên độ), thời gian chênh lệch giữa 2 thời điểm là 57,7854 ps hay $t_f = 57,7854$ ps.

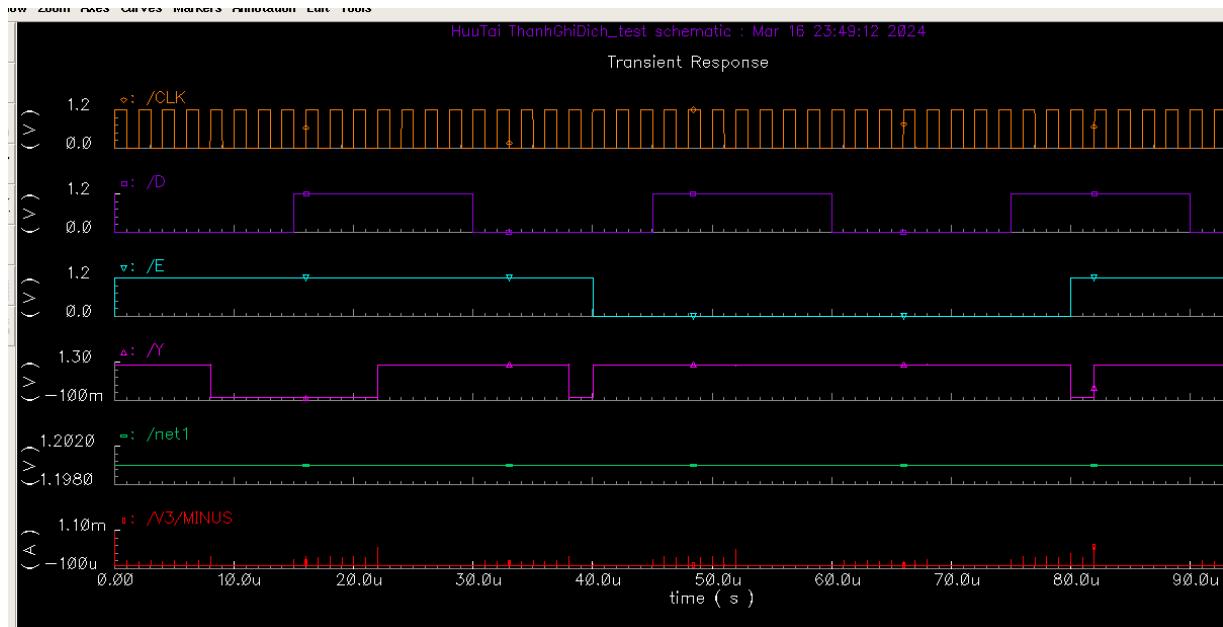


Hình 12.26. Đánh giá thời gian chuyển mạch ngõ ra từ mức 1 xuống 0

Như vậy thời gian chuyển mạch trung bình: $(t_r + t_f) / 2 = 43,8865$ ps.

12.4.2.5. Công suất

Vẽ dạng sóng của điện áp nguồn VDD và dạng sóng của dòng điện qua nguồn cung cấp như sau:



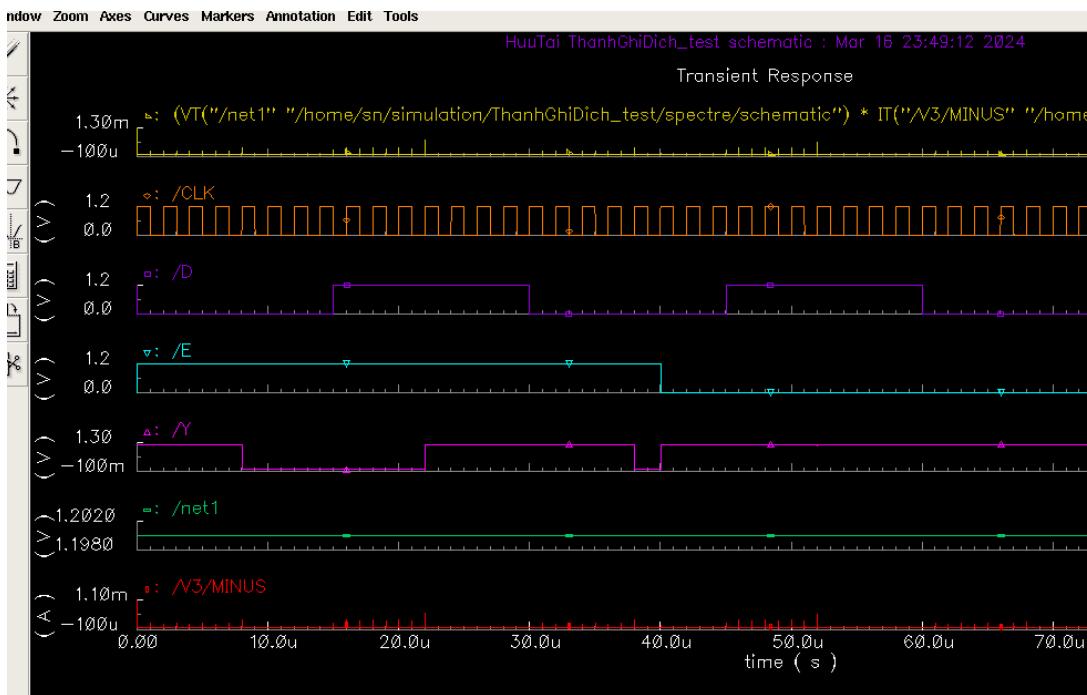
Chú thích

Màu lục: Dạng sóng của điện áp nguồn

Màu đỏ: Dạng sóng của dòng điện qua nguồn

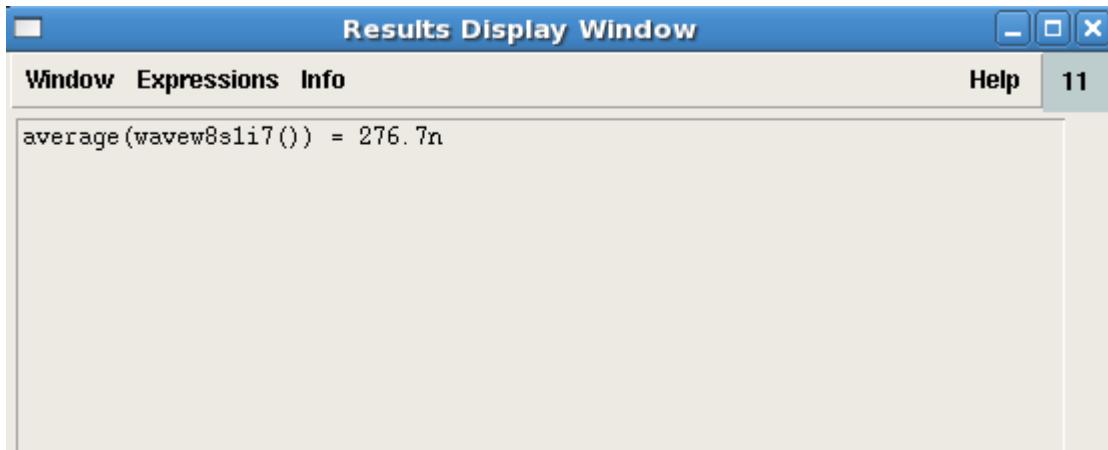
Hình 12.27. Dạng sóng điện áp và dòng điện của nguồn cung cấp

Ta vẽ dạng sóng công suất tức thời bằng cách lấy tích điện áp nguồn cung cấp và dòng điện qua nguồn, được đồ thị như sau:



Hình 12.28. Dạng sóng công suất tức thời trên mạch

Ta tính công suất trung bình bằng cách lấy giá trị trung bình của các giá trị công suất tức thời trên đồ thị, sử dụng công cụ tính toán Calculator thu được kết quả công suất trung bình là 276,7 nW.



Hình 12.29. Kết quả tính giá trị trung bình