

VIETNAM NATIONAL UNIVERSITY HO CHI MINH CITY
HO CHI MINH CITY UNIVERSITY OF TECHNOLOGY
FACULTY OF ELECTRICAL AND ELECTRONICS ENGINEERING



COURSE: INTRODUCTION TO IC DESIGN (EE3201)

LABORATORY REPORT

LAB 3: Synthesis and Static Analysis (STA)

Class: L02 – Semester: 251 – Group: 19

Supervising Instructor: M.Sc. Nguyen Trung Hieu

NO.	STUDENT'S FULL NAME	ID	INDIVIDUAL TASKS	STATUS
1	Huỳnh Trung Kiên	2311729	EXPERIMENT 3	100%
2	Nguyễn Đình Trọng Khôi	2311682	EXPERIMENT 4	100%
3	Nguyễn Trọng Lộc	2311959	EXPERIMENT 1 EXPERIMENT 2	100%

Ho Chi Minh City, December 19, 2025



MỤC LỤC

OBJECTIVES	3
PREPARATION FOR LAB 3	3
I. THÍ NGHIỆM 1.....	4
1.1. Thư viện <i>fast_vdd1v0_basicCells_hvt</i>	5
1.2. Thư viện <i>fast_vdd1v2_basicCells_hvt</i> :	17
1.3. <i>Slow_vdd1v0_basicCells_hvt</i> :	28
1.4. <i>Slow_vdd1v2_basicCells_hvt</i> :	41
1.5. Nhận xét.....	52
II. THÍ NGHIỆM 2	53
2.1. Với điều kiện ràng buộc thời gian tối đa là 10ns :.....	53
2.2. Với điều kiện ràng buộc thời gian tối đa là 1ns :.....	55
2.3. Với điều kiện ràng buộc thời gian tối đa là 0.5ns :.....	57
2.4. Với điều kiện ràng buộc thời gian tối đa là 0.2 ns :.....	59
2.5. Với điều kiện ràng buộc thời gian tối đa là 0.1ns	62
III. THÍ NGHIỆM 3	66
3.1. Scenario 0.....	66
3.2. Scenario 1.....	70
3.3. Scenario 2.....	72
3.4. Scenario 3.....	74
3.5. Scenario 4.....	76
3.6. Scenario 5.....	78
IV. THÍ NGHIỆM 4	81
4.1. Mục tiêu và yêu cầu thí nghiệm	81
4.2. So sánh mức tiêu thụ công suất giữa thí nghiệm 3 và thí nghiệm 4.....	83
4.3. Traversal và đường xấu nhất (worst path)	86
4.4. Phân tích timing	95
KẾT LUẬN	100

OBJECTIVES

- Mục tiêu của bài lab này là để sinh viên thực hiện **toàn bộ luồng thiết kế số** từ thiết kế RTL → **tổng hợp (synthesis)** → **mô phỏng mức cổng (gate-level simulation)** bằng cách sử dụng **Genus** và **Xcelium** để thực hiện tổng hợp và kiểm chứng một mạch số.
- Với **Genus**, thiết kế RTL được viết bằng HDL sẽ được **tổng hợp thành netlist mức cổng (gate-level netlist)** dựa trên **thư viện standard cell**, đồng thời tạo ra **thông tin timing** tương ứng dưới dạng tệp **SDF (Standard Delay Format)** và các tham số khác như **công suất (power)**, **diện tích (area)**, và **mức sử dụng cell (cell usage)**.
- Biết cách viết tệp **SDC (Synopsys Design Constraints)** bằng các lệnh **Tcl** để định nghĩa các tham số ràng buộc cho thiết kế số. Thực hiện **phân tích báo cáo timing** sau khi tổng hợp để kiểm tra/đảm bảo các điều kiện timing của hệ thống.

PREPARATION FOR LAB 3

- Hiểu khái niệm và quy trình (flow) của **quá trình tổng hợp (synthesis)** trong thiết kế mạch số.
- Đọc hướng dẫn truy cập server và các tài liệu hướng dẫn sử dụng cho các công cụ **Xcelium**, **SimVision** và **Genus**.
- Hiểu cách viết và áp dụng các script **TCL (Tool Command Language)** để tự động hóa quá trình tổng hợp trong **Genus**.
- Biết cách viết file **SDC** (một file văn bản thuần dùng cú pháp **Tcl**) để định nghĩa các ràng buộc về **timing**, **công suất (power)** và **diện tích (area)** cho thiết kế số.

REFERENCE

I. THÍ NGHIỆM 1

Mục tiêu: Thực hiện phân tích timing cho mạch tổ hợp (combinational circuits) sau khi đã tổng hợp (synthesis).

Mô tả: Trong thí nghiệm này, chúng ta sẽ thực hiện phân tích timing tĩnh (Static Timing Analysis – STA) cho một thiết kế mạch tổ hợp.

Đoạn mã được sử dụng trong thí nghiệm là một đoạn code mô tả khối ALU, như sau:

```
module alu (
    input logic [3:0] A,
    input logic [3:0] B,
    input logic [1:0] S,
    output logic [3:0] Y);
    always_comb begin
        case (S)
            2'b00: Y=A+B;
            2'b01: Y=A-B;
            2'b10: Y=A&B;
            2'b11: Y=A^B;
            default: Y=4'd0;
        endcase
    end
endmodule
```

Trong thí nghiệm này, chúng ta sẽ sử dụng các standard cell với bốn process corner khác nhau trong công nghệ 45 nm.

Các điều kiện cho tám corner này sẽ được trình bày trong Bảng 1.

Library Name	Process Corner	VDD (V)	Threshold Type
fast vdd1v0 basicCells hvt.lib	Fast (FF)	1.0 V	HVT (High-Vt)
fast vdd1v2 basicCells hvt.lib	Fast (FF)	1.2 V	HVT (High-Vt)
slow vdd1v0 basicCells hvt.lib	Slow (SS)	1.0 V	HVT (High-Vt)
slow vdd1v2 basicCells hvt.lib	Slow (SS)	1.2 V	HVT (High-Vt)

Table 1: Operating conditions of the four corners analyzed.

-File SDC được dùng

```
set_max_delay 0.1 -from [all_inputs] -to [all_outputs]

set_input_delay 0.0 -clock [get_clocks *] [all_inputs]

set_output_delay 0.0 -clock [get_clocks *] [all_outputs]

set timing_report unconstrained true
```

File ràng buộc SDC được sử dụng trong thí nghiệm này nhằm giới hạn độ trễ tối đa từ các ngõ vào đến các ngõ ra của mạch. Cụ thể, ràng buộc set_max_delay được thiết lập ở mức 100 ps, trong khi độ trễ ngõ vào và ngõ ra được giả sử bằng 0 để tập trung đánh giá độ trễ logic nội bộ của mạch.

- Tổng hợp (synthesis) cho từng corner ta sẽ được kết quả.

1.1. Thư viện fast_vdd1v0_basicCells_hvt

1.1.1. Worst Path

Dựa trên kết quả tổng hợp và phân tích STA, đường truyền có độ trễ lớn nhất (worst path) được xác định với các thông số như sau:

```

Path 1: VIOLATED (-28 ps) Path Delay Check
Startpoint: (R) A[3]
Endpoint: (F) Y[3]

          Capture   Launch
Path Delay:+    100      -
Drv Adjust:+     0        0
Arrival:=       100

Required Time:=  100
Data Path:-     128
Slack:=        -28

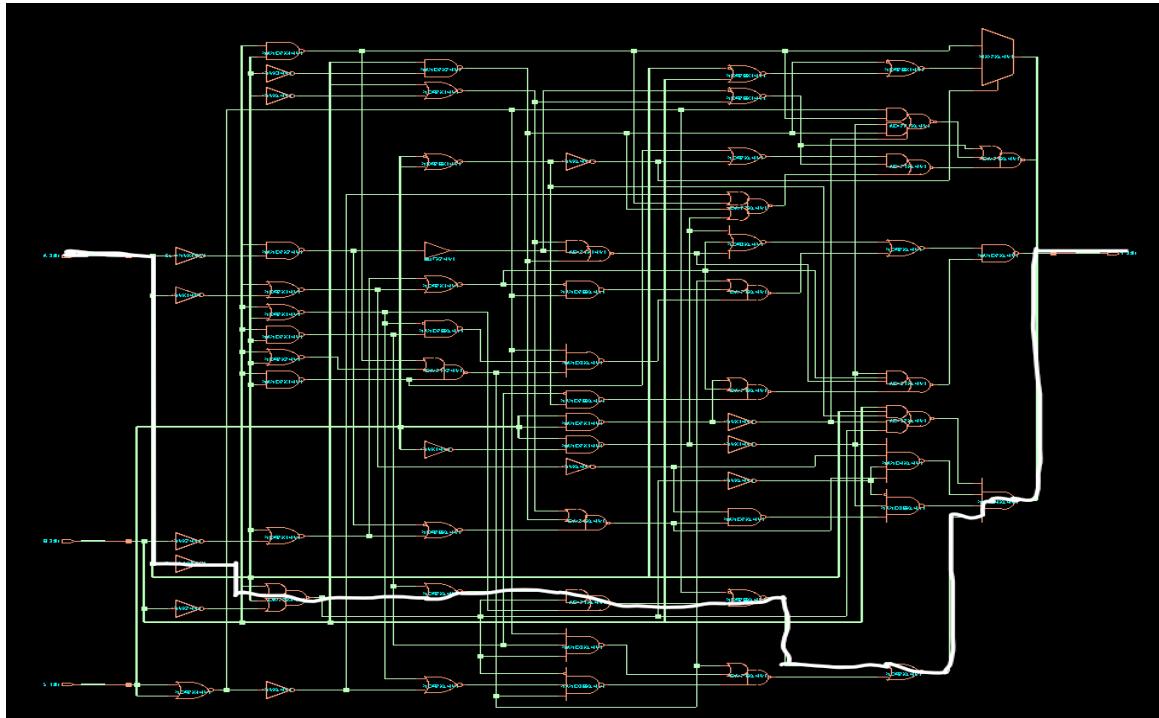
Exceptions/Constraints:
max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
A[3]          -      -     R     (arrival)      3  4.9   0     0     0     (-,-)
fopt8746/Y    -      A->Y F     CLKINVX8HVT    1  1.4   5     7     7     (-,-)
g8710_1617/Y  -      A1->Y R     OAI22X4HVT   6  1.2   26    23    30     (-,-)
g8694_2398/Y  -      B->Y F     NOR2XLHVT    1  0.2   10    18    48     (-,-)
g8688_5115/Y  -      B0->Y R     AOI21XLHVT   1  0.2   20    20    68     (-,-)
g8751/Y       -      B->Y F     NOR2BXLHVT   1  0.2   10    15    83     (-,-)
g8679_8428/Y  -      A->Y R     NOR2XLHVT    1  0.2   17    19   101     (-,-)
g8673_2398/Y  -      D->Y F     NAND4XLHVT   1  0.0   31    27   128     (-,-)
Y[3]          -      -     F     (port)        -   -     -     0    128     (-,-)
#-----
```

a. Traversal

A[3] → CLKINVX8HVT → OAI22X4HVT → NOR2XLHVT → AOI21XLHVT → NOR2BXLHVT → NOR2XLHVT → NAND4XLHVT → Y[3]

b. Kết quả synthesis của worst path



1.1.2. 10 worst paths

Thời gian ràng buộc 100ps, Slack là hiệu của “thời gian ràng buộc” và “path delay”.

Ngoài worst path, công cụ STA cũng báo cáo 10 đường truyền có độ trễ lớn nhất tiếp theo.

Với mỗi đường truyền, ta xác định lộ trình truyền tín hiệu (traversal), độ trễ đường truyền (path delay) và giá trị slack để đánh giá mức độ thỏa mãn timing.

Path1:

```

Path 1: VIOLATED (-28 ps) Path Delay Check
  Startpoint: (R) A[3]
  Endpoint: (F) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    128
  Slack:=      -28

Exceptions/Constraints:
  max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
A[3]      -      -      R      (arrival)      3   4.9    0     0      0      (-,-)
fopt8746/Y -      A->Y  F      CLKINVX8HVT    1   1.4    5     7      7      (-,-)
g8710__1617/Y -      A1->Y R      OAI22X4HVT    6   1.2   26    23     30      (-,-)
g8694__2398/Y -      B->Y  F      NOR2XLHVT    1   0.2   10    18     48      (-,-)
g8688__5115/Y -      B0->Y R      AOI21XLHVT   1   0.2   20    20     68      (-,-)
g8751/Y      -      B->Y  F      NOR2BXLHVT   1   0.2   10    15     83      (-,-)
g8679__8428/Y -      A->Y  R      NOR2XLHVT    1   0.2   17    19    101      (-,-)
g8673__2398/Y -      D->Y  F      NAND4XLHVT   1   0.0   31    27    128      (-,-)
Y[3]        -      -      F      (port)      -   -     -      0    128      (-,-)
#-----
```

Startpoint: A[3]

Endpoint: Y[3]

Traversal: A[3] → CLKINVX8HVT → OAI22X4HVT → NOR2XLHVT → AOI21XLHVT → NOR2BXLHVT → NOR2XLHVT → NAND4XLHVT → Y[3]

Path delay: 128ps

Slack=100ps-128ps=-28ps. (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path 2:

```

Path 2: VIOLATED (-28 ps) Path Delay Check
  Startpoint: (R) A[1]
  Endpoint: (R) Y[3]

    Capture      Launch
  Path Delay:+   100      -
  Drv Adjust:+    0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:= 128
  Slack:= -28

Exceptions/Constraints:
  max_delay      100          constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                               (ff)   (ps)   (ps)   (ps)   Location
#-----
A[1]      -      -      R      (arrival)      4  3.0    0    0    0    (-,-)
fopt8744/Y -      A->Y F      CLKINVX4HVT    1  0.7    4    6    6    (-,-)
g8726__6131/Y -      B->Y R      NAND2X2HVT    2  0.4    7    8   15    (-,-)
g8756/Y      -      AN->Y R      NOR2BXLHVT   1  0.2   16   26   40    (-,-)
g8693__9315/Y -      B0->Y F      OAI21XLHVT   2  0.4   26   26   66    (-,-)
g8681__1617/Y -      B->Y R      NAND2XLHVT   1  0.2   11   18   84    (-,-)
g8755/Y      -      C->Y F      NAND3BXLHVT   1  0.2   27   23  108    (-,-)
g8673__2398/Y -      C->Y R      NAND4XLHVT   1  0.0   18   20  128    (-,-)
Y[3]        -      -      R      (port)        -   -    -    0  128    (-,-)
#-----

```

Startpoint: A[1]

Endpoint: Y[3]

Traversal: A[1] -> CLKINVX4HVT -> NAND2X2HVT -> NOR2BXLHVT ->
OAI21XLHVT -> NAND2XLHVT -> NAND3BXLHVT -> NAND4XLHVT -> Y[3]

Path delay: 128ps

Slack=100ps-128ps=-28ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path 3:

```
Path 3: VIOLATED (-28 ps) Path Delay Check
  Startpoint: (F) A[0]
  Endpoint: (F) Y[3]

    Capture      Launch
  Path Delay:+   100      -
  Drv Adjust:+    0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    128
  Slack:=      -28

Exceptions/Constraints:
  max_delay      100          constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
A[0]        -      -      F  (arrival)      3  2.6    0    0    0  (-,-)
fopt8743/Y  -      A->Y  R   INVX3HVT      1  0.8    5    7    7  (-,-)
g8719__1705/Y -      B->Y  F   NAND2X2HVT     5  1.2   21   18   25  (-,-)
g8693__9315/Y -      A1->Y R   OAI21XLHVT    2  0.4   29   30   55  (-,-)
g8681__1617/Y -      B->Y  F   NAND2XLHVT     1  0.2   17   24   78  (-,-)
g8755/Y      -      C->Y  R   NAND3BXLHVT    1  0.2   14   15   94  (-,-)
g8673__2398/Y -      C->Y  F   NAND4XLHVT     1  0.0   31   34  128  (-,-)
Y[3]        -      -      F  (port)        -   -    -    0  128  (-,-)
#-----
```

Startpoint: A[0]

Endpoint: Y[3]

Traversal: A[0] -> INVX3HVT -> NAND2X2HVT -> OAI21XLHVT ->
NAND2XLHVT -> NAND3BXLHVT -> NAND4XLHVT -> Y[3]

Path delay: 128ps

Slack = 100 ps - 128 ps = -28 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path 4:

```

Path 4: VIOLATED (-28 ps) Path Delay Check
  Startpoint: (F) A[1]
  Endpoint: (F) Y[3]

    Capture      Launch
  Path Delay:+   100      -
  Drv Adjust:+    0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:= 128
  Slack:= -28

Exceptions/Constraints:
  max_delay          100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
# [A[1]]          -     -     F     (arrival)      4  2.7   0     0     0     (-,-)
fopt8744/Y      -     A->Y R   CLKINVX4HVT    1  0.8   4     6     6     (-,-)
g8726_6131/Y    -     B->Y F   NAND2X2HVT    2  0.4   13    13    20     (-,-)
g8756/Y         -     AN->Y F  NOR2BXLHVT   1  0.2   10    22    42     (-,-)
g8693_9315/Y   -     B0->Y R  OAI21XLHVT   2  0.4   29    13    54     (-,-)
g8681_1617/Y   -     B->Y F   NAND2XLHVT   1  0.2   17    24    78     (-,-)
g8755/Y         -     C->Y R   NAND3BXLHVT   1  0.2   14    15    94     (-,-)
g8673_2398/Y   -     C->Y F   NAND4XLHVT   1  0.0   31    34   128     (-,-)
Y[3]            -     -     F     (port)        -   -     -     0    128     (-,-)
#-----

```

Startpoint:A[1]

Endpoint: Y[3]

Traversal:

A[1] -> CLKINVX4HVT -> NAND2X2HVT -> NOR2BXLHVT -> OAI21XLHVT ->
NAND2XLHVT -> NAND3BXLHVT -> NAND4XLHVT -> Y[3]

Path delay:128ps

Slack = 100 ps - 128 ps = -28 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path 5:

```

Path 5: VIOLATED (-27 ps) Path Delay Check
Startpoint: (F) B[1]
Endpoint: (F) Y[3]

          Capture     Launch
Path Delay:+    100      -
Drv Adjust:+     0        0
Arrival:=       100

Required Time:=   100
Data Path:-      127
Slack:=         -27

Exceptions/Constraints:
max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                               (ff)   (ps)   (ps)   (ps)   Location
#-----
B[1]      -      -   F   (arrival)      4  2.2   0    0    0   (-,-)
g8715_1881/Y -      A->Y R   NOR2X2HVT    1  0.8   16   16   16   (-,-)
g8699_5526/Y  -      A1->Y F   OAI21X2HVT   4  0.8   23   25   41   (-,-)
g2/Y        -      C->Y R   NAND3BXLHVT   1  0.2   14   18   59   (-,-)
g8682_2802/Y -      B0->Y F   OAI21XLHVT   1  0.2   20   22   81   (-,-)
g8679_8428/Y -      B->Y R   NOR2XLHVT    1  0.2   17   20   101  (-,-)
g8673_2398/Y -      D->Y F   NAND4XLHVT    1  0.0   31   27   127  (-,-)
Y[3]      -      -   F   (port)        -   -    -    -    0   127  (-,-)
#-----
```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> NOR2X2HVT -> OAI21X2HVT -> NAND3BXLHVT -> OAI21XLHVT -> NOR2XLHVT -> NAND4XLHVT -> Y[3]

Path delay:127ps

Slack = 100 ps - 127 ps = -27 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path 6:

```

Path 6: VIOLATED (-26 ps) Path Delay Check
  Startpoint: (R) A[1]
  Endpoint: (F) Y[3]

    Capture      Launch
  Path Delay:+   100      -
  Drv Adjust:+    0       0
  Arrival:=     100

  Required Time:= 100      |
  Data Path:-    126
  Slack:=      -26

Exceptions/Constraints:
  max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc  Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
A[1]      -      -      R   (arrival)      4  3.0    0     0     0     (-,-)
fopt8744/Y -      A->Y F   CLKINVX4HVT    1  0.7    4     6     6     (-,-)
g8726__6131/Y -      B->Y R   NAND2X2HVT    2  0.4    7     8    15     (-,-)
g8756/Y      -      AN->Y R   NOR2BXLHVT   1  0.2   16    26    40     (-,-)
g8693__9315/Y -      B0->Y F   OAI21XLHVT   2  0.4   26    26    66     (-,-)
g8684__5526/Y -      D->Y R   NAND4XLHVT   1  0.2   17    20    86     (-,-)
g8673__2398/Y -      B->Y F   NAND4XLHVT   1  0.0   31    40   126     (-,-)
Y[3]      -      -      F   (port)        -   -     -     0   126     (-,-)
#-----

```

Startpoint: A[1]

Endpoint: Y[3]

Traversal:

A[1] -> CLKINVX4HVT -> NAND2X2HVT -> NOR2BXLHVT -> OAI21XLHVT -> NAND4XLHVT -> Y[3]

Path delay: 126ps

Slack = 100 ps - 126 ps = -26 ps (VIOLATED)

Vì slack < 0 nên đường này vi phạm timing.

Path 7:

```

Path 7: VIOLATED (-26 ps) Path Delay Check
  Startpoint: (R) A[1]
  Endpoint: (R) Y[3]

    Capture   Launch
  Path Delay:+  100      -
  Drv Adjust:+  0        0
  Arrival:=    100

  Required Time:= 100
  Data Path:= 126
  Slack:= -26

Exceptions/Constraints:
  max_delay          100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
A[1]      -     -     R     (arrival)      4  3.0    0    0    0    (-,-)
fopt8745/Y -     A->Y F     INVXLHVT    1  0.4    8    7    7    (-,-)
g8728_2802/Y -     B->Y R     NOR2X1HVT   3  1.0   28   23   30   (-,-)
g8693_9315/Y -     A0->Y F     OAI21XLHVT  2  0.4   26   35   65   (-,-)
g8681_1617/Y -     B->Y R     NAND2XLHVT  1  0.2   11   18   83   (-,-)
g8755/Y      -     C->Y F     NAND3BXLHVT 1  0.2   27   23   106  (-,-)
g8673_2398/Y -     C->Y R     NAND4XLHVT  1  0.0   18   20   126  (-,-)
Y[3]      -     -     R     (port)        -   -    -    -    0    126  (-,-)
#-----
```

Startpoint:A[1]

Endpoint: Y[3]

Traversal:

A[1] -> INVXLHVT -> NOR2X1HVT -> OAI21XLHVT -> NAND2XLHVT ->
NAND3BXLHVT -> NAND4XLHVT -> Y[3]

Path delay:126ps

Slack = 100 ps - 126 ps = -26 ps (VIOLATED)

Path 8:

```

Path 8: VIOLATED (-26 ps) Path Delay Check
Startpoint: (F) A[1]
Endpoint: (R) Y[2]

      Capture    Launch
Path Delay:+   100    -
Drv Adjust:+    0     0
Arrival:=    100

Required Time:= 100
Data Path:- 126
Slack:= -26

Exceptions/Constraints:
max_delay 100           constraints.sdc_line_1

#-----
# Timing Point Flags Arc Edge Cell Fanout Load Trans Delay Arrival Instance
#          (fF) (ps) (ps) (ps) Location
#-----
A[1]      -   -   F  (arrival)    4  2.7   0   0   0   (-,-)
fopt8744/Y -   A->Y R CLKINVX4HVT  1  0.8   4   6   6   (-,-)
g8726__6131/Y -   B->Y F NAND2X2HVT  2  0.4  13  13  20   (-,-)
fopt8749/Y -   A->Y F BUFX2HVT    2  0.6   9  30  50   (-,-)
g8689__7410/Y -   A1->Y R AOI21X1HVT  2  0.4  21  21  71   (-,-)
g8676__5122/Y -   A2->Y F AOI31XLHVT  1  0.2  33  36  107  (-,-)
g8672__5107/Y -   B->Y R NAND2XLHVT  1  0.0   8  19  126  (-,-)
Y[2]      -   -   R  (port)       -   -   -   0  126  (-,-)
#-----
```

Startpoint:A[1]

Endpoint: Y[2]

Traversal:

A[1] -> CLKINVX4HVT -> NAND2X2HVT -> BUFX2HVT -> AOI21X1HVT ->
AOI31XLHVT -> NAND2XLHVT -> Y[2]

Path delay:126ps

Slack = 100 ps - 126 ps = -26 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path 9:

```

Path 9: VIOLATED (-25 ps) Path Delay Check
Startpoint: (F) A[3]
Endpoint: (R) Y[3]

          Capture     Launch
Path Delay:+    100      -
Drv Adjust:+     0        0
Arrival:=      100

Required Time:= 100
Data Path:-    125
Slack:=       -25

Exceptions/Constraints:
max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
A[3]      -       -     F     (arrival)      3  4.4    0    0    0    (-,-)
fopt8746/Y -       A->Y  R     CLKINVX8HVT   1  1.6    5    8    8    (-,-)
g8710__1617/Y -      A1->Y F     OAI22X4HVT   6  1.2   27   28   36    (-,-)
g2/Y       -      AN->Y F     NAND3BXLHVT  1  0.2   28   42   79    (-,-)
g8682__2802/Y -      B0->Y R     OAI21XLHVT  1  0.2   23   19   97    (-,-)
g8679__8428/Y -      B->Y  F     NOR2XLHVT   1  0.2   10   17  114    (-,-)
g8673__2398/Y -      D->Y  R     NAND4XLHVT  1  0.0   18   11  125    (-,-)
Y[3]      -       -     R     (port)        -   -    -    0   125    (-,-)
#-----
```

Startpoint:A[3]

Endpoint: Y[3]

Traversal:

A[3] -> CLKINVX8HVT -> AOI22X4HVT -> NAND3BXLHVT -> OAI21XLHVT -> NOR2XLHVT -> NAND4XLHVT -> Y[3]

Path delay:125ps

Slack = 100 ps - 125 ps = -25 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path 10:

```

Path 10: VIOLATED (-25 ps) Path Delay Check
Startpoint: (F) A[1]
Endpoint: (F) Y[2]

          Capture   Launch
Path Delay:+    100      -
Drv Adjust:+     0        0
Arrival:=       100

Required Time:= 100
Data Path:-     125
Slack:=        -25

Exceptions/Constraints:
max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
A[1]      -      -    F    (arrival)      4  2.7    0    0    0    (-,-)
fopt8744/Y -      A->Y R  CLKINVX4HVT   1  0.8    4    6    6    (-,-)
g8726__6131/Y -      B->Y F  NAND2X2HVT   2  0.4   13   13   20   (-,-)
fopt8749/Y   -      A->Y F  BUFX2HVT    2  0.6    9    30   50   (-,-)
g8689__7410/Y -      A1->Y R  AOI21X1HVT  2  0.4   21   21   71   (-,-)
g8677__7098/Y -      C->Y F  NOR3XLHVT   1  0.2   13   17   88   (-,-)
g8674__6260/Y -      A->Y R  NOR2XLHVT   1  0.2   17   20  108   (-,-)
g8672__5107/Y -      A->Y F  NAND2XLHVT  1  0.0   11   18  125   (-,-)
Y[2]      -      -    F    (port)        -   -    -    0   125   (-,-)
#-----
```

Startpoint: A[1]

Endpoint: Y[2]

Traversal:

A[1] -> CLKINVX4HVT -> NAND2X2HVT -> BUFX2HVT -> AOI21X1HVT ->
NOR3XLHVT -> NOR2XLHVT -> NAND2XLHVT -> Y[2]

Path delay: 125ps

Slack = 100 ps - 125 ps = -25 ps (VIOLATED)

Vì slack < 0 nên đường này vi phạm timing.

1.2. Thư viện fast_vdd1v2_basicCells_hvt:

1.2.1. Worst Path

Dựa trên kết quả tổng hợp và phân tích STA, đường truyền có độ trễ lớn nhất (worst path) được xác định với các thông số như sau:

```
Path 1: MET (0 ps) Path Delay Check
  Startpoint: (F) A[3]
  Endpoint: (R) Y[3]

    Capture      Launch
  Path Delay:+   100      -
  Drv Adjust:+    0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    100
  Slack:=        0

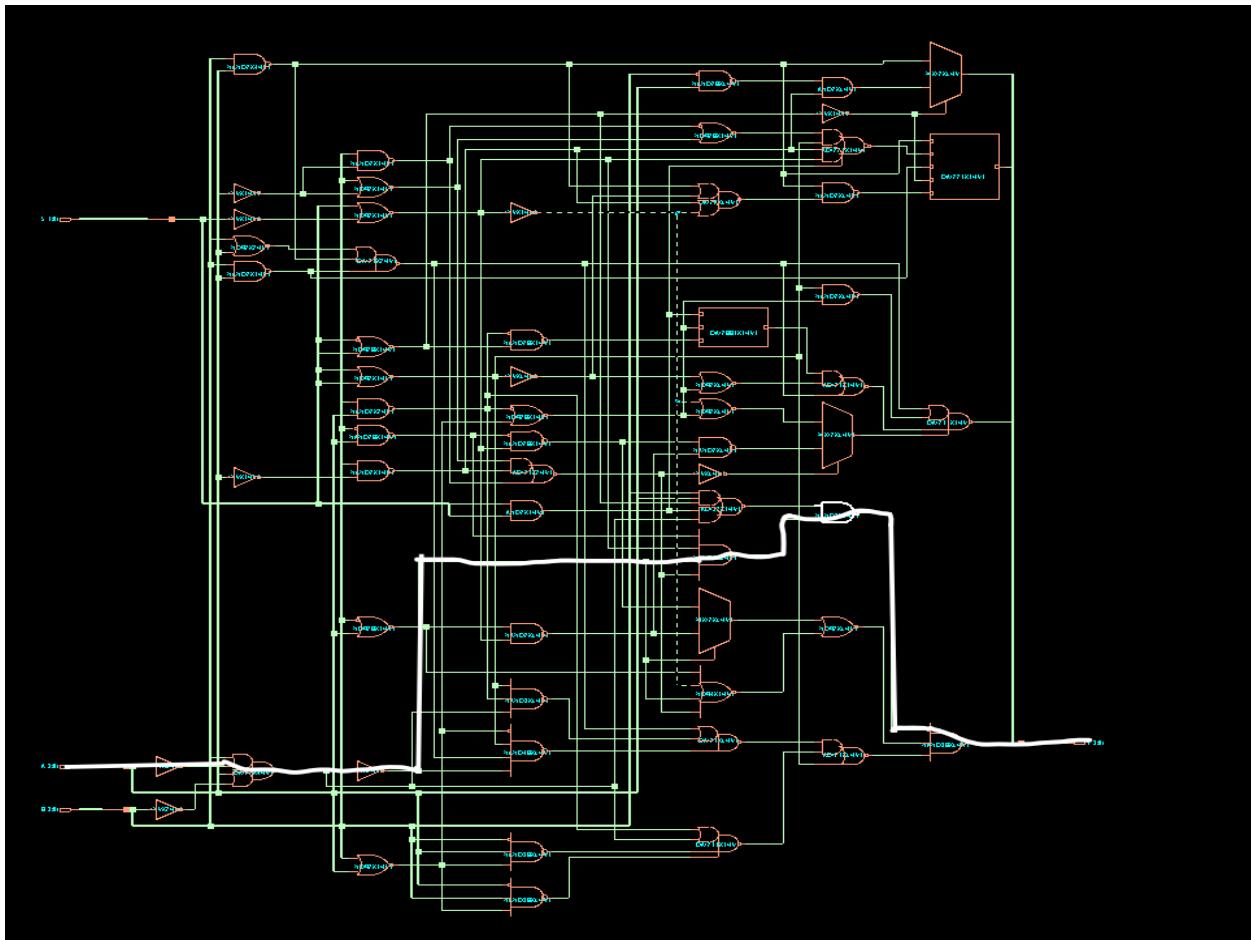
Exceptions/Constraints:
  max_delay          100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
A[3]          -      -      F      (arrival)      5  3.5   0     0     0   (-,-)
g8873/Y       -      A->Y  R      INVX3HVT     1  1.7   6     7     7   (-,-)
g8849__3680/Y -      A1->Y F      OAI22X4HVT    4  1.8  22    22    29   (-,-)
g8837/Y       -      A->Y  R      INVX2HVT     4  1.4  11    12    41   (-,-)
g8822__2802/Y -      C->Y  F      NAND4XLHVT   1  0.2  29    26    68   (-,-)
g8816__8428/Y -      B->Y  R      NAND2XLHVT   1  0.3  14    16    84   (-,-)
g8812__2398/Y -      AN->Y R      NAND3BXLHVT  1  0.0  9     16   100   (-,-)
Y[3]          -      -      R      (port)        -   -    -     -     0   100   (-,-)
#-----
```

a. Traversal

A[3] -> INVX3HVT -> OAI22X4HVT -> INVX2HVT -> NAND4XLHVT ->
NAND2XLHVT -> NAND3BXLHVT -> Y[3]

b. Kết quả synthesis của worst path



1.2.2. 10 worst paths

Thời gian ràng buộc 100ps, Slack là hiệu của “thời gian ràng buộc” và “path delay”.

Ngoài worst path, công cụ STA cũng báo cáo 10 đường truyền có độ trễ lớn nhất tiếp theo. Với mỗi đường truyền, ta xác định lộ trình truyền tín hiệu (traversal), độ trễ đường truyền (path delay) và giá trị slack để đánh giá mức độ thỏa mãn timing.

Path 1:

```

Path 1: MET (0 ps) Path Delay Check
Startpoint: (F) A[3]
Endpoint: (R) Y[3]

          Capture     Launch
Path Delay:+    100      -
Drv Adjust:+    0        0
Arrival:=      100

Required Time:= 100
Data Path:= 100
Slack:= 0

Exceptions/Constraints:
max_delay      100           constraints.sdc_line_1

#-----
# Timing Point Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
A[3]      -     -   F   (arrival)      5  3.5    0    0    0   (-,-)
g8873/Y   -     A->Y R   INVX3HVT     1  1.7    6    7    7   (-,-)
g8849_3680/Y -     A1->Y F   OAI22X4HVT   4  1.8   22   22   29   (-,-)
g8837/Y   -     A->Y R   INVX2HVT     4  1.4   11   12   41   (-,-)
g8822_2802/Y -     C->Y F   NAND4XLHVT   1  0.2   29   26   68   (-,-)
g8816_8428/Y -     B->Y R   NAND2XLHVT   1  0.3   14   16   84   (-,-)
g8812_2398/Y -     AN->Y R   NAND3BXLHVT  1  0.0    9   16  100   (-,-)
Y[3]      -     -   R   (port)       -   -    -    0   100   (-,-)
#-----
```

Startpoint: A[3]

Endpoint: Y[3]

Traversal:

A[3] -> INVX3HVT -> OAI22X4HVT -> INVX2HVT -> NAND4XLHVT ->
NAND2XLHVT -> NAND3BXLHVT -> Y[3]

Path delay: 100ps

Slack = 100 ps - 100 ps = 0 ps (MET)

Vì slack ≥ 0 nên đường này không vi phạm timing.

Path 2:

```

Path 2: MET (0 ps) Path Delay Check
  Startpoint: (F) A[0]
  Endpoint: (R) Y[3]

    Capture      Launch
  Path Delay:+   100      -
  Drv Adjust:+   0        0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    100
  Slack:=       0

Exceptions/Constraints:
  max_delay          100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
A[0]          -      -    F    (arrival)      3  2.1    0    0    0    (-,-)
g8874/Y       -      A->Y R    INVX1HVT      1  0.4    4    6    6    (-,-)
g8856__2802/Y -      B->Y F    NAND2X1HVT     4  1.6   26   19   25    (-,-)
g8828__1666/Y -      A1->Y R   AOI21X2HVT     3  0.8   16   19   44    (-,-)
g8822__2802/Y -      D->Y F    NAND4XLHVT     1  0.2   29   23   67    (-,-)
g8816__8428/Y -      B->Y R    NAND2XLHVT     1  0.3   14   16   83    (-,-)
g8812__2398/Y -      AN->Y R   NAND3BXLHVT     1  0.0    9   16  100    (-,-)
Y[3]          -      -    R    (port)         -   -    -   0   100    (-,-)
#-----

```

Startpoint: A[0]

Endpoint: Y[3]

Traversal:

A[0] -> INVX1HVT -> NAND2X1HVT -> AOI21X2HVT -> NAND4XLHVT ->
NAND2XLHVT -> NAND3BXLHVT -> Y[3]

Path delay: 100ps

Slack = 100 ps - 100 ps = 0 ps (MET)

Vì slack ≥ 0 nên đường này không vi phạm timing.

Path 3:

```

Path 3: MET (1 ps) Path Delay Check
Startpoint: (F) A[1]
Endpoint: (R) Y[3]

          Capture      Launch
Path Delay:+    100      -
Drv Adjust:+     0        0
Arrival:=       100

Required Time:= 100
Data Path:-     99
Slack:=        1

Exceptions/Constraints:
max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
A[1]          -       -   F   (arrival)      3  1.6   0     0     0   (-,-)
g8871/Y       -       A->Y R   INVX1HVT    2  0.8   7     7     7   (-,-)
g8864_-1705/Y -       B->Y F   NAND2X1HVT   2  1.0   19    16    23   (-,-)
g8828_-1666/Y -       A0->Y R   AOI21X2HVT  3  0.8   16    20    44   (-,-)
g8822_-2802/Y -       D->Y F   NAND4XLHVT   1  0.2   29    23    67   (-,-)
g8816_-8428/Y -       B->Y R   NAND2XLHVT   1  0.3   14    16    82   (-,-)
g8812_-2398/Y -       AN->Y R   NAND3BXLHVT  1  0.0   9     16    99   (-,-)
Y[3]          -       -   R   (port)        -   -     -     0     99   (-,-)
#-----
```

Startpoint:A[1]

Endpoint: Y[3]

Traversal:

A[1] -> INVX1HVT -> NAND2X1HVT -> AOI21X2HVT -> NAND4XLHVT ->
NAND2XLHVT -> NAND3BXLHVT -> Y[3]

Path delay:99ps

Slack = 100 ps - 99 ps = +1 ps (MET)

Vì slack >=0 nên đường này không vi phạm timing.

Path 4:

```

Path 4: MET (1 ps) Path Delay Check
  Startpoint: (R) B[0]
    Endpoint: (R) Y[3]

      Capture   Launch
  Path Delay:+    100      -
  Drv Adjust:+     0       0
    Arrival:=    100

  Required Time:= 100
    Data Path:- 99
      Slack:= 1

Exceptions/Constraints:
  max_delay          100           constraints.sdc_line_1

#-----
# Timing Point  Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)  (ps)  (ps)  (ps)  Location
#-----
B[0]      -      -      R  (arrival)      3  2.6   0     0     0     (-,-)
g8867__6161/Y -      A->Y F  NAND2X4HVT    4  1.6   12    13    13     (-,-)
g8839__6783/Y -      A1->Y R  OAI21X2HVT   4  1.5   22    20    33     (-,-)
g8877/Y      -      C->Y F  NAND4BXLHVT   1  0.2   29    30    62     (-,-)
g8819__3680/Y -      B0->Y R  OAI21XLHVT   1  0.2   18    15    78     (-,-)
g8815__6260/Y -      B0->Y F  AOI21XLHVT   1  0.2   16    11    89     (-,-)
g8812__2398/Y -      C->Y R  NAND3BXLHVT   1  0.0    9    10    99     (-,-)
Y[3]        -      -      R  (port)        -    -    -     0    99     (-,-)
#-----
```

Startpoint:B[0]

Endpoint: Y[3]

Traversal:

B[0] -> NAND2X4HVT -> OAI21X2HVT -> NAND4BXLHVT -> OAI21XLHVT ->
AOI21XLHVT -> NAND3BXLHVT -> Y[3]

Path delay:99ps

Slack = 100 ps - 99 ps = +1 ps (MET)

Vì slack ≥ 0 nên đường này không vi phạm timing.

Path 5:

```

Path 5: MET (1 ps) Path Delay Check
Startpoint: (F) A[3]
Endpoint: (R) Y[3]

          Capture    Launch
Path Delay:+     100      -
Drv Adjust:+      0        0
Arrival:=       100

Required Time:=   100
Data Path:-      99
Slack:=         1

Exceptions/Constraints:
max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
A[3]          -       -     F     (arrival)      5  3.5    0    0    0    (-,-)
g8873/Y       -       A->Y  R     INVX3HVT      1  1.7    6    7    7    (-,-)
g8849__3680/Y -       A1->Y F     OAI22X4HVT     4  1.8   22   22   29    (-,-)
g8837/Y       -       A->Y  R     INVX2HVT      4  1.4   11   12   41    (-,-)
g8877/Y       -       D->Y  F     NAND4BXLHVT    1  0.2   29   21   62    (-,-)
g8819__3680/Y -       B0->Y R     OAI21XLHVT    1  0.2   18   15   77    (-,-)
g8815__6260/Y -       B0->Y F     AOI21XLHVT    1  0.2   16   11   89    (-,-)
g8812__2398/Y -       C->Y  R     NAND3BXLHVT    1  0.0    9   10   99    (-,-)
Y[3]          -       -     R     (port)        -   -     -    0    99    (-,-)
#-----
```

Startpoint:A[3]

Endpoint: Y[3]

Traversal:

A[3] -> INVX3HVT -> OAI22X4HVT -> INVX2HVT -> NAND4BXLHVT ->
OAI21XLHVT -> AOI21XLHVT -> NAND3BXLHVT -> Y[3]

Path delay:99ps

Slack = 100 ps - 99 ps = +1 ps (MET)

Vì slack >=0 nên đường này không vi phạm timing.

Path 6:

```

Path 6: MET (2 ps) Path Delay Check
Startpoint: (R) B[2]
Endpoint: (F) Y[2]

          Capture    Launch
Path Delay:+   100      -
Drv Adjust:+    0        0
Arrival:=     100

Required Time:= 100
Data Path:=    98
Slack:=       2

Exceptions/Constraints:
max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----  

B[2]      -      -      R      (arrival)      4  1.9    0    0    0    (-,-)
g8866__9945/Y -      A->Y  F      NAND2X2HVT    4  1.0    12   13   13  (-,-)
g2/Y      -      AN->Y F      NOR2BX1HVT    4  0.8    12   21   34  (-,-)
g8836__6131/Y -      A1N->Y F      OAI2BB1X1HVT  1  0.4    12   22   56  (-,-)
g8827__1617/Y -      B0->Y  R      AOI21X1HVT    1  0.5    18   17   73  (-,-)
g8813__5107/Y -      B0->Y  F      OAI211X1HVT   1  0.0    20   25   98  (-,-)
Y[2]      -      -      F      (port)         -  -      -    -    0    98  (-,-)
#-----
```

Startpoint:B[2]

Endpoint: Y[2]

Traversal:

B[2] -> NAND2X2HVT -> NOR2BX1HVT -> OAI2BB1X1HVT -> AOI21X1HVT ->
OAI211X1HVT -> Y[2]

Path delay:98ps

Slack = 100 ps - 98 ps = +2 ps (MET)

Vì slack ≥ 0 nên đường này không vi phạm timing.

Path 7:

```

Path 7: MET (2 ps) Path Delay Check
  Startpoint: (R) S[0]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    98
  Slack:=       2

Exceptions/Constraints:
  max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell        Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
S[0]      -      -      R     (arrival)      4  1.5   0     0      0      (-,-)
g8876/Y   -      A->Y  F     INVX1HVT      1  0.4   4     5      5      (-,-)
g8869__8246/Y -      B->Y  R     NOR2X1HVT     5  1.7  30    21     26      (-,-)
g8861/Y    -      A->Y  F     INVX1HVT      3  0.8   12    16     42      (-,-)
g8823__1705/Y -      B->Y  R     NOR4X1HVT     1  0.2   29    31     74      (-,-)
g8818__4319/Y -      B->Y  F     NOR2XLHVT     1  0.2   9     15     88      (-,-)
g8812__2398/Y -      B->Y  R     NAND3BXLHVT   1  0.0   9     10     98      (-,-)
Y[3]      -      -      R     (port)         -   -    -     -      0      98      (-,-)
#-----
```

Startpoint:S[0]

Endpoint: Y[3]

Traversal:

S[0] -> INVX1HVT -> NOR2X1HVT -> INVX1HVT -> NOR4X1HVT ->
NOR2XLHVT -> NAND3BXLHVT -> Y[3]

Path delay:98ps

Slack = 100 ps - 98 ps = +2 ps (MET)

Vì slack ≥ 0 nên đường này không vi phạm timing.

Path 8:

```

Path 8: MET (3 ps) Path Delay Check
  Startpoint: (F) B[3]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+     100      -
  Drv Adjust:+      0       0
  Arrival:=     100

  Required Time:=   100
  Data Path:-     97
  Slack:=        3

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell    Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#
#-----  

B[3]      -      -   F   (arrival)      5  3.2   0   0   0   (-,-)
g8872/Y   -      A->Y R   INVX2HVT     1  1.7   8   8   8   (-,-)
g8849__3680/Y -      B1->Y F   OAI22X4HVT   4  1.8  22  18  26   (-,-)
g8837/Y   -      A->Y R   INVX2HVT     4  1.4  11  12  39   (-,-)
g8822__2802/Y -      C->Y F   NAND4XLHVT   1  0.2  29  26  65   (-,-)
g8816__8428/Y -      B->Y R   NAND2XLHVT   1  0.3  14  16  81   (-,-)
g8812__2398/Y -      AN->Y R   NAND3BXLHVT  1  0.0   9  16  97   (-,-)
Y[3]      -      -   R   (port)        -   -   -   0   97   (-,-)
#-----
```

Startpoint:B[3]

Endpoint: Y[3]

Traversal:

B[3] -> INVX2HVT -> OAI22X4HVT -> INVX2HVT -> NAND4XLHVT ->
NAND2XLHVT -> NAND3BXLHVT -> Y[3]

Path delay:97ps

Slack = 100 ps - 97 ps = +3 ps (MET)

Vì slack >=0 nên đường này không vi phạm timing.

Path 9:

```

Path 9: MET (3 ps) Path Delay Check
  Startpoint: (R) B[1]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+    0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    97
  Slack:=       3

Exceptions/Constraints:
  max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]        -      -     R   (arrival)      4  2.3   0     0     0     (-,-)
g8854_7482/Y -  A->Y F   NAND2X1HVT    2  1.2  21    17    17     (-,-)
g8839_6783/Y -  B0->Y R   OAI21X2HVT   4  1.5  22    13    30     (-,-)
g8877/Y      -  C->Y F   NAND4BXLHVT  1  0.2  29    30    60     (-,-)
g8819_3680/Y -  B0->Y R   OAI21XLHVT  1  0.2  18    15    76     (-,-)
g8815_6260/Y -  B0->Y F   AOI21XLHVT  1  0.2  16    11    87     (-,-)
g8812_2398/Y -  C->Y R   NAND3BXLHVT  1  0.0   9    10    97     (-,-)
Y[3]        -      -     R   (port)        -   -    -     0     97     (-,-)
#-----
```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> NAND2X1HVT -> OAI21X2HVT -> NAND4BXLHVT -> OAI21XLHVT ->
AOI21XLHVT -> NAND3BXLHVT -> Y[3]

Path delay:97ps

Slack = 100 ps - 97 ps = +3 ps (MET)

Vì slack >=0 nên đường này không vi phạm timing.

Path 10:

```

Path 10: MET (3 ps) Path Delay Check
  Startpoint: (R) A[0]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    97
  Slack:=       3

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
A[0]      -      -     R   (arrival)      3  2.3    0    0    0    (-,-)
g8867__6161/Y -      B->Y F   NAND2X4HVT      4  1.6   12   11   11    (-,-)
g8839__6783/Y -      A1->Y R   OAI21X2HVT      4  1.5   22   20   30    (-,-)
g8877/Y      -      C->Y F   NAND4BXLHVT      1  0.2   29   30   60    (-,-)
g8819__3680/Y -      B0->Y R   OAI21XLHVT      1  0.2   18   15   76    (-,-)
g8815__6260/Y -      B0->Y F   AOI21XLHVT      1  0.2   16   11   87    (-,-)
g8812__2398/Y -      C->Y R   NAND3BXLHVT      1  0.0    9   10   97    (-,-)
Y[3]        -      -     R   (port)        -   -    -    0   97    (-,-)
#-----
```

Startpoint:A[0]

Endpoint: Y[3]

Traversal:

A[0] -> NAND2X4HVT -> OAI21X2HVT -> NAND4BXLHVT -> OAI21XLHVT ->
AOI21XLHVT -> NAND3BXLHVT -> Y[3]

Path delay:97ps

Slack = 100 ps - 97 ps = +3 ps (MET)

Vì slack >=0 nên đường này không vi phạm timing.

1.3. Slow_vdd1v0_basicCells_hvt:

1.3.1. Worst Path

Dựa trên kết quả tổng hợp và phân tích STA, đường truyền có độ trễ lớn nhất (worst path) được xác định với các thông số như sau:

```

Path 1: VIOLATED (-488 ps) Path Delay Check
  Startpoint: (F) B[1]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+     100      -
  Drv Adjust:+      0       0
  Arrival:=     100      |

  Required Time:=   100
  Data Path:-      588
  Slack:=        -488

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

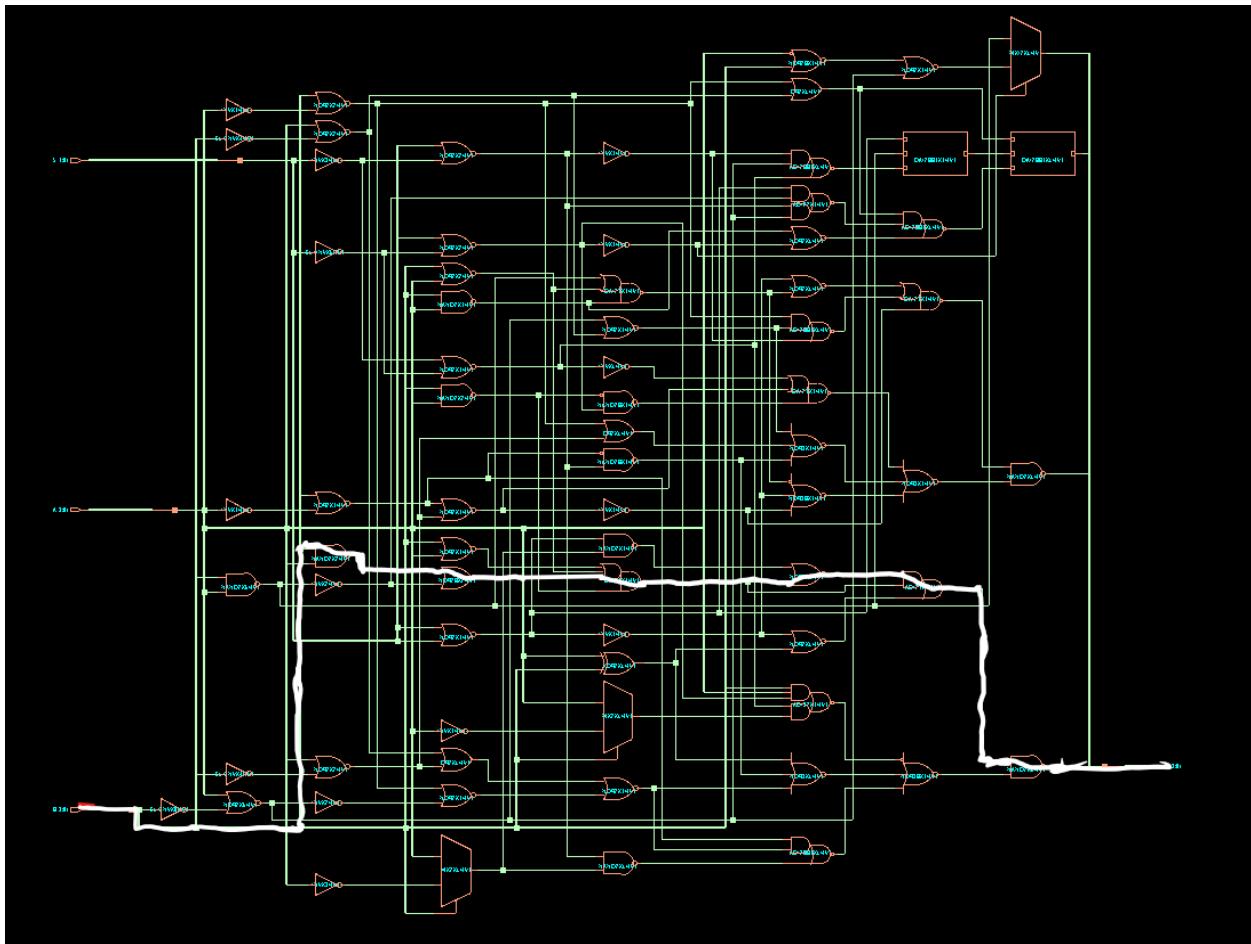
#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]      -      -      F    (arrival)      5  3.3    0     0     0     (-,-)
g10562__1666_0/Y -      A->Y  R    NAND2X2HVT    1  0.2    21    19     19     (-,-)
g10629/Y      -      AN->Y R    NOR2BX2HVT    1  1.3    79    169    188     (-,-)
g10537__7098/Y -      A2->Y F    OAI31X4HVT    2  0.6   113   138    325     (-,-)
g10528__1617/Y -      B->Y  R    NOR2X1HVT    1  0.3    60    106    431     (-,-)
g10525__4319/Y -      B0->Y F    AOI21X1HVT   1  0.2   102    68    499     (-,-)
g10515__2398/Y -      A->Y  R    NAND2XLHVT   1  0.0    34    89    588     (-,-)
Y[3]      -      -      R    (port)      -   -     -     0    588     (-,-)
#-----

```

a. Traversal

B[1] -> NAND2X2HVT -> NOR2BX2HVT -> OAI31X4HVT -> NOR2X1HVT ->
AOI21X1HVT -> NAND2XLHVT -> Y[3]

b. Kết quả synthesis của worst path



1.3.2. 10 worst paths

Thời gian ràng buộc 100ps, Slack là hiệu của “thời gian ràng buộc” và “path delay”.

Ngoài worst path, công cụ STA cũng báo cáo 10 đường truyền có độ trễ lớn nhất tiếp theo. Với mỗi đường truyền, ta xác định lộ trình truyền tín hiệu (traversal), độ trễ đường truyền (path delay) và giá trị slack để đánh giá mức độ thỏa mãn timing.

Path1:

```

Path 1: VIOLATED (-488 ps) Path Delay Check
  Startpoint: (F) B[1]
    Endpoint: (R) Y[3]

          Capture     Launch
  Path Delay:+    100      -
  Drv Adjust:+     0       0
  Arrival:=     100      |

  Required Time:=   100
  Data Path:-      588
  Slack:=      -488

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
#  Timing Point   Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]          -        -     F    (arrival)      5  3.3    0     0     0     (-,-)
g10562__1666_0/Y -      A->Y  R   NAND2X2HVT    1  0.2   21    19    19     (-,-)
g10629/Y        -      AN->Y R   NOR2BX2HVT    1  1.3   79   169   188     (-,-)
g10537__7098/Y -      A2->Y F   OAI31X4HVT    2  0.6  113   138   325     (-,-)
g10528__1617/Y -      B->Y  R   NOR2X1HVT     1  0.3   60   106   431     (-,-)
g10525__4319/Y -      B0->Y F   AOI21X1HVT    1  0.2  102    68   499     (-,-)
g10515__2398/Y -      A->Y  R   NAND2XLHVT    1  0.0   34    89   588     (-,-)
Y[3]          -        -     R    (port)        -   -    -     0    588     (-,-)
#-----

```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> NAND2X2HVT -> NOR2BX2HVT -> OAI31X4HVT -> NOR2X1HVT ->
AOI21X1HVT -> NAND2XLHVT -> Y[3]

Path delay: 588ps

Slack = 100 ps - 588 ps = -488 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path2:

```

Path 2: VIOLATED (-488 ps) Path Delay Check
  Startpoint: (F) A[3]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    588
  Slack:=     -488

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
A[3]        -      -   F    (arrival)      6  2.1    0    0    0    (-,-)
fopt10618/Y -      A->Y R    INVX3HVT     1  0.2   11   12   12    (-,-)
g10556_0_6417/Y -      B->Y R    MX2XLHVT     2  0.5   45  222  234    (-,-)
g10536_5477/Y  -      B->Y F    NAND2X1HVT    1  0.3   91   93  327    (-,-)
g10528_1617/Y  -      A->Y R    NOR2X1HVT    1  0.3   60  104  431    (-,-)
g10525_4319/Y  -      B0->Y F    AOI21X1HVT   1  0.2  102   68  499    (-,-)
g10515_2398/Y  -      A->Y R    NAND2XLHVT   1  0.0   34   89  588    (-,-)
Y[3]        -      -   R    (port)        -   -    -    0   588    (-,-)
#-----
```

Startpoint:A[3]

Endpoint: Y[3]

Traversal:

A[3] -> INVX3HVT -> MX2XLHVT -> NAND2X1HVT -> NOR2X1HVT ->
AOI21X1HVT -> NAND2XLHVT -> Y[3]

Path delay:588ps

Slack = 100 ps - 588 ps = -488 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path3:

```

Path 3: VIOLATED (-488 ps) Path Delay Check
  Startpoint: (F) A[3]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    588
  Slack:=     -488

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
A[3]          -      -     F    (arrival)      6  2.1    0     0     0     (,-)
fopt10618/Y   -      A->Y  R    INVX3HVT     1  0.2   11    12    12     (,-)
g10556_0_6417/Y -      B->Y  R    MX2XLHVT     2  0.5   45   222   234     (,-)
g10539_6417/Y  -      B->Y  F    NAND2XLHVT    1  0.2   100   100   334     (,-)
g10522_6783/Y  -      B0->Y R    AOI2BB1XLHVT  1  0.3   67   118   452     (,-)
g10518_5107/Y  -      C->Y  F    NOR3BX1HVT    1  0.2   66    77   529     (,-)
g10515_2398/Y  -      B->Y  R    NAND2XLHVT    1  0.0   34    59   588     (,-)
Y[3]          -      -     R    (port)        -   -    -     -     0     588     (,-)
#-----
```

Startpoint:A[3]

Endpoint: Y[3]

Traversal:

A[3] -> INVX3HVT -> MX2XLHVT -> NAND2XLHVT -> AOI2BBXLHVT ->
NOR3BX1HVT -> NAND2XLHVT -> Y[3]

Path delay:588ps

Slack = 100 ps - 588 ps = -488 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path4:

```

Path 4: VIOLATED (-488 ps) Path Delay Check
  Startpoint: (F) B[1]
  Endpoint: (F) Y[3]

    Capture   Launch
  Path Delay:+  100      -
  Drv Adjust:+  0        0
  Arrival:=    100

  Required Time:= 100
  Data Path:- 588
  Slack:= -488

Exceptions/Constraints:
  max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
B[1]          -      -     F     (arrival)      5  3.3   0     0     0     (-,-)
fopt10607/Y  -      A->Y R     CLKINVX4HVT   1  0.7   15    14    14     (-,-)
g10575__1881/Y -      B->Y F     NOR2X2HVT   3  0.7   45    38    52     (-,-)
g10552__2398/Y -      A->Y F     OR2XLHVT   1  0.3   48   136   188     (-,-)
g10533__1881/Y -      A->Y R     NOR2X1HVT   2  0.4   61    80    268     (-,-)
g10523__2802/Y -      C->Y F     NOR3XLHVT   1  0.3   77    85    354     (-,-)
g10518__5107/Y -      B->Y R     NOR3BX1HVT  1  0.2   87   128   482     (-,-)
g10515__2398/Y -      B->Y F     NAND2XLHVT  1  0.0   63   106   588     (-,-)
Y[3]          -      -     F     (port)        -   -     -     0     588     (-,-)
#-----
```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> CLKINVX4HVT -> NOR2X2HVT -> OR2XLHVT -> NOR2X1HVT ->
NOR3XLHVT -> NOR3BX1HVT -> NAND2XLHVT -> Y[3]

Path delay:588ps

Slack = 100 ps - 588 ps = -488 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path5:

```

Path 5: VIOLATED (-487 ps) Path Delay Check
  Startpoint: (R) B[0]
    Endpoint: (F) Y[3]

          Capture      Launch
  Path Delay:+     100      -
  Drv Adjust:+      0       0
  Arrival:=     100

  Required Time:=   100
  Data Path:-     587
  Slack:=     -487

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
B[0]        -      -     R   (arrival)      3  5.0    0    0     0   (-,-)
g10577__6161/Y -  A->Y  F   NAND2X6HVT    4  1.3   83   79    79   (-,-)
fopt10589/Y    -  A->Y  R   INVX2HVT     2  1.0   39   69   148   (-,-)
g10629/Y       -  B->Y  F   NOR2BX2HVT    1  1.2   63   61   209   (-,-)
g10537__7098/Y -  A2->Y R   OAI31X4HVT    2  0.6   91  104   313   (-,-)
g10528__1617/Y -  B->Y  F   NOR2X1HVT     1  0.3   52   94   407   (-,-)
g10525__4319/Y -  B0->Y R   AOI21X1HVT    1  0.2   56   75   482   (-,-)
g10515__2398/Y -  A->Y  F   NAND2XLHVT    1  0.0   63  106   587   (-,-)
Y[3]         -      -     F   (port)        -   -    -     0   587   (-,-)
#-----
```

Startpoint:B[0]

Endpoint: Y[3]

Traversal:

B[0] -> NAND2X6HVT -> INVX2HVT -> NOR2BX2HVT -> OAI31X4HVT ->
NOR2X1HVT -> AOI21X1HVT -> NAND2XLHVT -> Y[3]

Path delay:587ps

Slack = 100 ps - 587 ps = -487 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path6:

```

Path 6: VIOLATED (-487 ps) Path Delay Check
  Startpoint: (R) B[0]
    Endpoint: (F) Y[3]

      Capture   Launch
  Path Delay:+    100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:= 587
  Slack:= -487

Exceptions/Constraints:
  max_delay          100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[0]          -      -      R      (arrival)      3   5.0   0     0     0     (-,-)
fopt10606/Y  -      A->Y  F      CLKINVX8HVT   1   1.8   28    24    24     (-,-)
g10576__5122/Y -      B->Y  R      NOR2X6HVT   5   1.8   53    52    76     (-,-)
fopt1/Y        -      A->Y  F      INVX2HVT    1   0.3   33    55   131     (-,-)
g10540__7410/Y -      B->Y  R      NOR2X1HVT   1   0.3   53    57   188     (-,-)
g10533__1881/Y -      B->Y  F      NOR2X1HVT   2   0.4   53    68   255     (-,-)
g10522__6783/Y -      A1N->Y F      AOI2BB1XLHVT 1   0.3   62   132   387     (-,-)
g10518__5107/Y -      C->Y  R      NOR3BX1HVT   1   0.2   87   93   480     (-,-)
g10515__2398/Y -      B->Y  F      NAND2XLHVT  1   0.0   63   106   587     (-,-)
Y[3]          -      -      F      (port)      -   -     -     -     0     587     (-,-)
#-----

```

Startpoint:B[0]

Endpoint: Y[3]

Traversal:

B[0] -> CLKINVX8HVT -> NOR2X6HVT -> INVX2HVT -> NOR2X1HVT ->
NOR2X1HVT -> AOI2BB1XLHVT -> NOR3BX1HVT -> NAND2XLHVT -> Y[3]

Path delay:587ps

Slack = 100 ps - 587 ps = -487 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path7:

```

Path 7: VIOLATED (-486 ps) Path Delay Check
  Startpoint: (F) A[3]
  Endpoint: (R) Y[3]

          Capture   Launch
  Path Delay:+    100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:=  100
  Data Path:-    586
  Slack:=     -486

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell    Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
A[3]      -      -      F    (arrival)      6  2.1    0    0    0    (-,-)
fopt10621/Y -      A->Y  R    INVX1HVT     1  0.2   15   13   13    (-,-)
g10586__10605/Y -      B->Y  R    MX2XLHVT     1  0.3   35  219  232    (-,-)
g10532__6161/Y  -      B1->Y F    AOI32X1HVT    1  0.2  238   90  322    (-,-)
g10518__5107/Y  -      AN->Y F    NOR3BX1HVT    1  0.2   66  205  528    (-,-)
g10515__2398/Y  -      B->Y  R    NAND2XLHVT    1  0.0   34   59  586    (-,-)
Y[3]      -      -      R    (port)        -   -    -    -    0    586    (-,-)
#-----
```

Startpoint:A[3]

Endpoint: Y[3]

Traversal:

A[3] -> INVX1HVT -> MX2XLHVT -> AOI32X1HVT -> NOR3BX1HVT ->
NAND2XLHVT -> Y[3]

Path delay:586ps

Slack = 100 ps - 586 ps = -486 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path8:

```

Path 8: VIOLATED (-485 ps) Path Delay Check
Startpoint: (R) B[1]
Endpoint: (F) Y[3]

          Capture    Launch
Path Delay:+   100      -
Drv Adjust:+    0        0
Arrival:=     100

Required Time:= 100
Data Path:-    585
Slack:=     -485

Exceptions/Constraints:
max_delay           100           constraints.sdc_line_1

#-----
# Timing Point   Flags   Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
B[1]      -      -      R   (arrival)      5  3.7    0    0    0  (-,-)
g10562__1666_0/Y -  A->Y  F   NAND2X2HVT    1  0.2   68   68   68  (-,-)
g10629/Y      -  AN->Y  F   NOR2BX2HVT    1  1.2   63  138  206  (-,-)
g10537__7098/Y -  A2->Y R   OAI31X4HVT    2  0.6   91  104  310  (-,-)
g10528__1617/Y -  B->Y  F   NOR2X1HVT     1  0.3   52   94  404  (-,-)
g10525__4319/Y -  B0->Y R   AOI21X1HVT    1  0.2   56   75  479  (-,-)
g10515__2398/Y -  A->Y  F   NAND2XLHVT    1  0.0   63  106  585  (-,-)
Y[3]      -      -      F   (port)        -   -    -    0   585  (-,-)
#-----

```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> NAND2X2HVT -> NOR2BX2HVT -> OAI31X4HVT -> NOR2X1HVT ->
AOI21X1HVT -> NAND2XLHVT -> Y[3]

Path delay:585ps

Slack = 100 ps - 585 ps = -485 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path9:

```

Path 9: VIOLATED (-484 ps) Path Delay Check
  Startpoint: (F) A[1]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+    100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:=   100
  Data Path:-     584
  Slack:=     -484

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#
#-----#
#  Timing Point   Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----#
A[1]        -      -     F   (arrival)      5  2.4    0    0    0  (-,-)
g10562__1666_0/Y -  B->Y   R   NAND2X2HVT    1  0.2   21   15   15  (-,-)
g10629/Y        -  AN->Y   R   NOR2BX2HVT    1  1.3   79  169  184  (-,-)
g10537__7098/Y  -  A2->Y   F   OAI31X4HVT    2  0.6  113  138  322  (-,-)
g10528__1617/Y  -  B->Y   R   NOR2X1HVT     1  0.3   60  106  427  (-,-)
g10525__4319/Y  -  B0->Y  F   AOI21X1HVT    1  0.2  102   68  495  (-,-)
g10515__2398/Y  -  A->Y   R   NAND2XLHVT    1  0.0   34   89  584  (-,-)
Y[3]        -      -     R   (port)        -   -    -    -    0  584  (-,-)
#-----#

```

Startpoint:A[1]

Endpoint: Y[3]

Traversal:

A[1] -> NAND2X2HVT -> NOR2BX2HVT -> OAI31X4HVT -> NOR2X1HVT ->
AOI21X1HVT -> NAND2XLHVT -> Y[3]

Path delay:584ps

Slack = 100 ps - 584 ps = -484 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path10:

```

Path 10: VIOLATED (-484 ps) Path Delay Check
  Startpoint: (R) B[1]
    Endpoint: (F) Y[3]

          Capture     Launch
  Path Delay:+   100      -
  Drv Adjust:+   0        0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    584
  Slack:=       -484

Exceptions/Constraints:
  max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
#-----[B[1]      -      -      R      (arrival)      5  3.7    0    0      0      (-,-)
fopt10607/Y  -      A->Y  F      CLKINVX4HVT   1  0.6    22   20      20      (-,-)
g10575__1881/Y -      B->Y  R      NOR2X2HVT   3  0.7    56   52      72      (-,-)
g10552__2398/Y -      A->Y  R      OR2XLHVT   1  0.3    30  119     192      (-,-)
g10533__1881/Y -      A->Y  F      NOR2X1HVT   2  0.4    53   61      252      (-,-)
g10522__6783/Y -      A1N->Y F      AOI2BB1XLHVT 1  0.3    62  132     384      (-,-)
g10518__5107/Y -      C->Y  R      NOR3BX1HVT  1  0.2    87   93      478      (-,-)
g10515__2398/Y -      B->Y  F      NAND2XLHVT  1  0.0    63  106     584      (-,-)
Y[3]         -      -      F      (port)      -    -    -    -      0      584      (-,-)
#-----
```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> CLKINVX4HVT -> NOR2X2HVT -> OR2XLHVT -> NOR2X1HVT ->
AOI2BB1XLHVT -> NOR3BX1HVT -> NAND2XLHVT -> Y[3]

Path delay:584ps

Slack = 100 ps - 584 ps = -484 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

1.4. Slow_vdd1v2_basicCells_hvt:

1.4.1. Worst Path

Dựa trên kết quả tổng hợp và phân tích STA, đường truyền có độ trễ lớn nhất (worst path) được xác định với các thông số như sau:

```
Path 1: VIOLATED (-145 ps) Path Delay Check
  Startpoint: (R) B[1]
  Endpoint: (R) Y[3]

          Capture     Launch
  Path Delay:+    100      -
  Drv Adjust:+      0       0
  Arrival:=     100

  Required Time:=   100
  Data Path:-     245
  Slack:=      -145

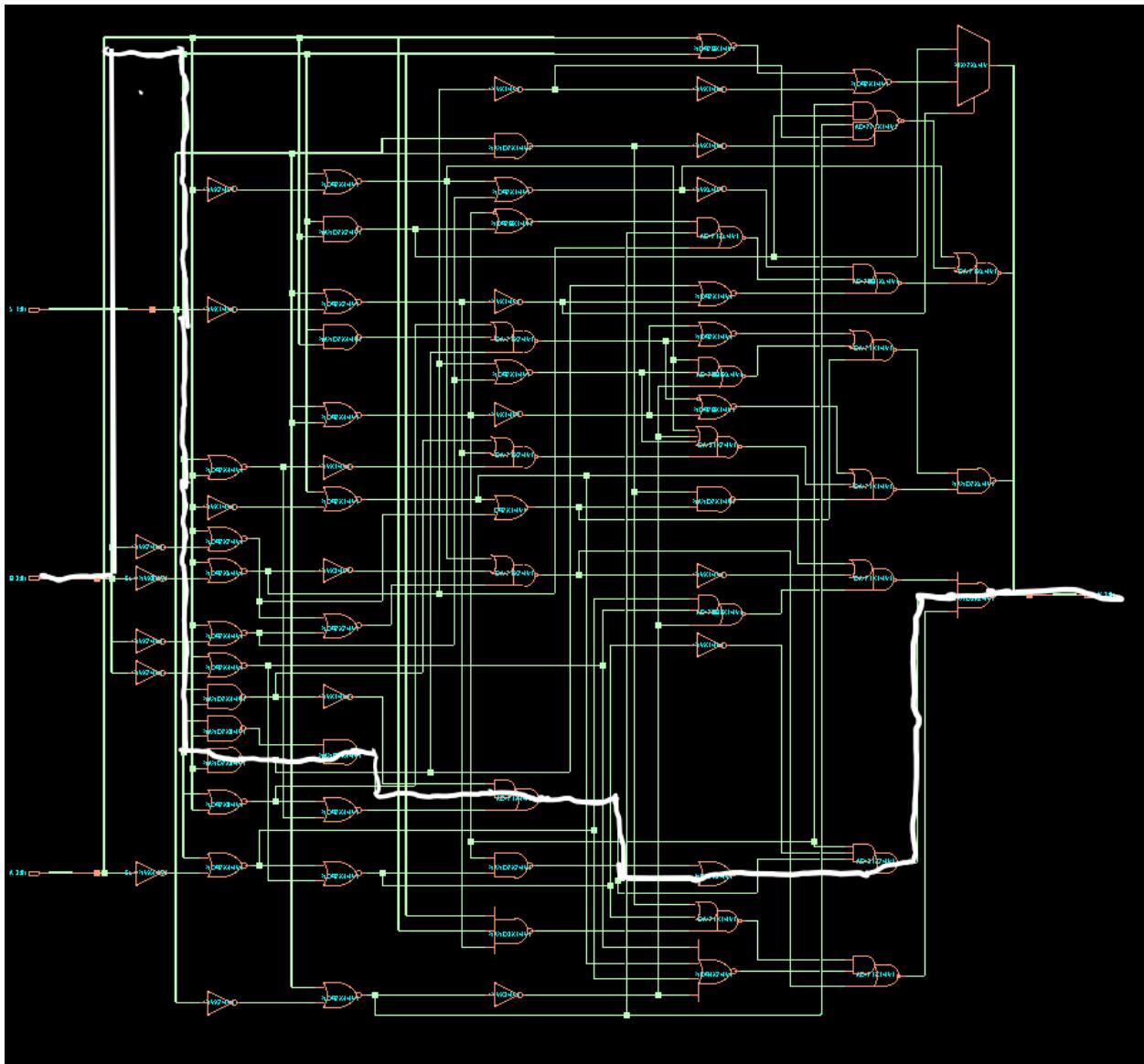
Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]      -      -      R      (arrival)      4   8.4     0     0     0     (-,-)
g12588__9315/Y -    A->Y   F    NAND2X8HVT      3   2.3    40    39    39     (-,-)
g12561__3680/Y -    B->Y   R    NAND2X4HVT      1   1.5    21    28    68     (-,-)
g12546__7482/Y -    A1->Y  F    AOI21X4HVT      2   1.4    53    55   123     (-,-)
g12540__1705/Y -    B->Y   R    NOR2X2HVT      1   0.8    33    44   167     (-,-)
g12537__8428/Y -    B0->Y  F    AOI31X2HVT      1   0.2    68    28   196     (-,-)
g12528__2398/Y -    B->Y   R    NAND3XLHVT      1   0.0    23    49   245     (-,-)
Y[3]      -      -      R      (port)        -    -     -     0    245     (-,-)
#-----
```

a. Traversal

B[1] -> NAND2X8HVT -> NAND2X4HVT -> AOI21X4HVT -> NOR2X2HVT ->
AOI31X2HVT -> NAND3XLHVT -> Y[3]

b. Kết quả synthesis của worst path



1.4.2. 10 worst paths

Thời gian ràng buộc 100ps, Slack là hiệu của “thời gian ràng buộc” và “path delay”.

Ngoài worst path, công cụ STA cũng báo cáo 10 đường truyền có độ trễ lớn nhất tiếp theo. Với mỗi đường truyền, ta xác định lộ trình truyền tín hiệu (traversal), độ trễ đường truyền (path delay) và giá trị slack để đánh giá mức độ thỏa mãn timing.

Path1

```

Path 1: VIOLATED (-145 ps) Path Delay Check
  Startpoint: (R) B[1]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    245
  Slack:=     -145

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell    Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]      -      -      R    (arrival)      4  8.4    0     0     0     (-,-)
g12588__9315/Y -    A->Y  F    NAND2X8HVT    3  2.3   40    39    39     (-,-)
g12561__3680/Y -    B->Y  R    NAND2X4HVT    1  1.5   21    28    68     (-,-)
g12546__7482/Y -   A1->Y F    AOI21X4HVT   2  1.4   53    55   123     (-,-)
g12540__1705/Y -   B->Y  R    NOR2X2HVT    1  0.8   33    44   167     (-,-)
g12537__8428/Y -   B0->Y F    AOI31X2HVT   1  0.2   68    28   196     (-,-)
g12528__2398/Y -   B->Y  R    NAND3XLHVT   1  0.0   23    49   245     (-,-)
Y[3]      -      -      R    (port)        -   -    -     0    245     (-,-)
#-----
```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> NAND2X8HVT -> NAND2X4HVT -> AOI21X4HVT -> NOR2X2HVT ->
AOI31X2HVT -> NAND3XLHVT -> Y[3]

Path delay:245ps

Slack = 100 ps - 245 ps = -145 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path2

```

Path 2: VIOLATED (-145 ps) Path Delay Check
  Startpoint: (R) B[1]
  Endpoint: (R) Y[3]

          Capture     Launch
Path Delay:+    100      -
Drv Adjust:+    0        0
Arrival:=     100

Required Time:= 100
Data Path:-    245
Slack:=     -145

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point   Flags   Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]          -       -     R     (arrival)      4  8.4    0    0    0    0    (-,-)
g12575__2346/Y - A->Y F    NOR2X8HVT      2  2.0    21   20   20   20   (-,-)
g12559__1617/Y - A->Y R    NOR2X4HVT      1  1.5    30   36   56   56   (-,-)
g12546__7482/Y - A0->Y F   AOI21X4HVT     2  1.4    53   67  123  123  (-,-)
g12540__1705/Y - B->Y R    NOR2X2HVT      1  0.8    33   44  167  167  (-,-)
g12537__8428/Y - B0->Y F   AOI31X2HVT     1  0.2    68   28  196  196  (-,-)
g12528__2398/Y - B->Y R    NAND3XLHVT     1  0.0    23   49  245  245  (-,-)
Y[3]          -       -     R     (port)        -   -    -    -    0    245  (-,-)
#-----
```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> NOR2X8HVT -> NOR2X4HVT -> AOI21X4HVT -> NOR2X2HVT ->
AOI31X2HVT -> NAND3XLHVT -> Y[3]

Path delay:245ps

Slack = 100 ps - 245 ps = -145 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path3

```
Path 3: VIOLATED (-145 ps) Path Delay Check
  Startpoint: (F) B[0]
  Endpoint: (F) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+     0       0
  Arrival:=    100

  Required Time:= 100
  Data Path:- 245
  Slack:= -145

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
B[0]      -      -   F  (arrival)      5  7.8    0    0    0    (-,-)
g12608_0__5477/Y -      A->Y R  NAND2X8HVT    1  1.5   13   14   14    (-,-)
g12561__3680/Y   -      A->Y F  NAND2X4HVT    1  1.4   42   45   59    (-,-)
g12546__7482/Y   -      A1->Y R  AOI21X4HVT   2  1.4   34   47  106    (-,-)
g12540__1705/Y   -      B->Y F  NOR2X2HVT    1  0.7   24   32  138    (-,-)
g12537__8428/Y   -      B0->Y R  AOI31X2HVT   1  0.2   29   36  174    (-,-)
g12528__2398/Y   -      B->Y F  NAND3XLHVT   1  0.0   54   70  245    (-,-)
Y[3]      -      -   F  (port)        -   -    -    -    0   245    (-,-)
#-----
```

Startpoint:B[0]

Endpoint: Y[3]

Traversal:

B[0] -> NAND2X8HVT -> NAND2X4HVT -> AOI21X4HVT -> NOR2X2HVT ->
AOI31X2HVT -> NAND3XLHVT -> Y[3]

Path delay:245

Slack = 100 ps - 245 ps = -145 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path4

```

Path 4: VIOLATED (-144 ps) Path Delay Check
  Startpoint: (R) B[3]
  Endpoint: (R) Y[3]

          Capture      Launch
  Path Delay:+    100      -
  Drv Adjust:+     0       0
  Arrival:=      100

  Required Time:=   100
  Data Path:-     244
  Slack:=      -144

Exceptions/Constraints:
  max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)  (ps)  (ps)  (ps)  Location
#-----
B[3]      -      - R  (arrival)    3  2.7   0   0   0   (-,-)
g12598/Y -      A->Y F  INVX2HVT   1  1.3  21  16  16   (-,-)
g12574__1705/Y -      B->Y R  NOR2X4HVT  3  2.4  36  33  50   (-,-)
g12569__12615/Y -      B->Y F  NOR2X4HVT  3  1.3  27  32  82   (-,-)
fopt12614/Y -      A->Y R  INVX1HVT   1  0.7  19  25  107  (-,-)
g12537__8428/Y -      A1->Y F  AOI31X2HVT  1  0.2  68  88  195  (-,-)
g12528__2398/Y -      B->Y R  NAND3XLHVT  1  0.0  23  49  244  (-,-)
Y[3]      -      - R  (port)      -   -   -   0   244  (-,-)
#-----
```

Startpoint:B[3]

Endpoint: Y[3]

Traversal:

B[3] -> INVX2HVT -> NOR2X4HVT -> NOR2X4HVT -> INVX1HVT ->
AOI31X2HVT -> NAND3XLHVT -> Y[3]

Path delay:244ps

Slack = 100 ps - 244 ps = -144 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path5

```

Path 5: VIOLATED (-144 ps) Path Delay Check
  Startpoint: (R) A[3]
  Endpoint: (R) Y[3]

          Capture    Launch
  Path Delay:+    100      -
  Drv Adjust:+     0       0
  Arrival:=     100

  Required Time:=   100
  Data Path:-     244
  Slack:=      -144

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
A[3]          -      -     R   (arrival)      3  3.4    0    0    0    (-,-)
g12593/Y      -      A->Y F   CLKINVX4HVT    1  1.3   14   13   13    (-,-)
g12585__5122/Y -      B->Y R   NOR2X4HVT    3  2.5   36   31   44    (-,-)
g12569__12615/Y -      A->Y F   NOR2X4HVT    3  1.3   27   37   81    (-,-)
fopt12614/Y    -      A->Y R   INVX1HVT     1  0.7   19   25   107   (-,-)
g12537__8428/Y -      A1->Y F   AOI31X2HVT   1  0.2   68   88   195   (-,-)
g12528__2398/Y -      B->Y R   NAND3XLHVT   1  0.0   23   49   244   (-,-)
Y[3]          -      -     R   (port)        -   -    -    0   244   (-,-)
#-----

```

Startpoint:A[3]

Endpoint: Y[3]

Traversal:

A[3] -> CLKINVX4HVT -> NOR2X4HVT -> NOR2X4HVT -> INVX1HVT ->
AOI31X2HVT -> NAND3XLHVT -> Y[3]

Path delay:244ps

Slack = 100 ps - 244 ps = -144 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path6

```

Path 6: VIOLATED (-144 ps) Path Delay Check
  Startpoint: (R) B[0]
  Endpoint: (F) Y[3]

          Capture    Launch
  Path Delay:+   100      -
  Drv Adjust:+    0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-    244
  Slack:=     -144

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell        Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[0]      -      -     R   (arrival)      5  8.8    0    0    0    (-,-)
fopt12610/Y -      A->Y  F   CLKINVX8HVT   1  2.0   13   14   14    (-,-)
g12579__7482/Y -      B->Y  R   NOR2X6HVT   4  2.1   28   26   40    (-,-)
fopt2/Y      -      A->Y  F   INVX3HVT    1  0.7   16   25   64    (-,-)
g12544__4733/Y -      A1->Y R   OAI21X2HVT  2  0.8   36   36  100    (-,-)
g12542/Y      -      A->Y  F   INVX1HVT    1  0.3   19   32  132    (-,-)
g12535__5526/Y -      A1->Y R   OAI21X1HVT  1  0.2   31   34  166    (-,-)
g12528__2398/Y -      A->Y  F   NAND3XLHVT  1  0.0   54   78  244    (-,-)
Y[3]         -      -     F   (port)      -   -    -    0   244    (-,-)
#-----
```

Startpoint:B[0]

Endpoint: Y[3]

Traversal:

B[0] -> CLKINVX8HVT -> NOR2X6HVT -> INVX3HVT -> OAI21X2HVT ->
INVX1HVT -> OAI21X1HVT -> NAND3XLHVT -> Y[3]

Path delay:244ps

Slack = 100 ps - 244 ps = -144 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path7

```
Path 7: VIOLATED (-144 ps) Path Delay Check
  Startpoint: (R) B[1]
  Endpoint: (F) Y[3]

    Capture      Launch
  Path Delay:+   100      -
  Drv Adjust:+   0       0
  Arrival:=     100

  Required Time:= 100
  Data Path:-   244
  Slack:=     -144

Exceptions/Constraints:
  max_delay          100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]      -      -      R     (arrival)      4   8.4    0     0     0     (-,-)
g12588__9315/Y -    A->Y  F     NAND2X8HVT    3   2.3   40    39    39     (-,-)
g12561__3680/Y -    B->Y  R     NAND2X4HVT    1   1.5   21    28    68     (-,-)
g12546__7482/Y -    A1->Y F     AOI21X4HVT   2   1.4   53    55   123     (-,-)
g12537__8428/Y -    A2->Y R     AOI31X2HVT   1   0.2   29    50   173     (-,-)
g12528__2398/Y -    B->Y  F     NAND3XLHVT   1   0.0   54    70   244     (-,-)
Y[3]      -      -      F     (port)        -   -     -     -     0     244     (-,-)
#-----
```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> NAND2X8HVT -> NAND2X4HVT -> AOI21X4HVT -> AOI31X2HVT ->
NAND3XLHVT -> Y[3]

Path delay:244ps

Slack = 100 ps - 244 ps = -144 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path8

```

Path 8: VIOLATED (-144 ps) Path Delay Check
  Startpoint: (R) B[1]
  Endpoint: (F) Y[3]

          Capture      Launch
  Path Delay:+    100      -
  Drv Adjust:+     0       0
  Arrival:=      100

  Required Time:=   100
  Data Path:-      244
  Slack:=        -144

Exceptions/Constraints:
  max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]      -      -      R      (arrival)      4   8.4   0     0     0     (-,-)
g12575__2346/Y -    A->Y  F      NOR2X8HVT    2   2.0   21    20    20     (-,-)
g12559__1617/Y -    A->Y  R      NOR2X4HVT    1   1.5   30    36    56     (-,-)
g12546__7482/Y -   A0->Y F      AOI21X4HVT   2   1.4   53    67   123     (-,-)
g12537__8428/Y -   A2->Y R      AOI31X2HVT   1   0.2   29    50   173     (-,-)
g12528__2398/Y -   B->Y  F      NAND3XLHVT   1   0.0   54    70   244     (-,-)
Y[3]      -      -      F      (port)        -   -     -     -     0     244     (-,-)
#-----
```

Startpoint:B[1]

Endpoint: Y[3]

Traversal:

B[1] -> NOR2X8HVT -> NOR2X4HVT -> AOI21X4HVT -> AOI31X2HVT ->
NAND3XLHVT -> Y[3]

Path delay:244ps

Slack = 100 ps - 244 ps = -144 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path9:

```
Path 9: VIOLATED (-143 ps) Path Delay Check
Startpoint: (R) B[2]
Endpoint: (F) Y[2]

          Capture    Launch
Path Delay:+    100      -
Drv Adjust:+     0       0
Arrival:=     100

Required Time:=   100
Data Path:-     243
Slack:=     -143

Exceptions/Constraints:
max_delay           100           constraints.sdc_line_1

#-----
# Timing Point  Flags  Arc   Edge   Cell    Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[2]        -      -     R    (arrival)    4  4.2    0     0      0      (-,-)
g12586__2883/Y -  A->Y  F    NAND2X4HVT   2  1.0   36    36      36      (-,-)
g12555__7410/Y -  A0->Y R    OAI21X2HVT   1  0.8   37    50      86      (-,-)
g12538__2802/Y -  B0->Y F    OAI31X2HVT   1  0.3   52    66     153      (-,-)
g12531__6260/Y -  A1->Y R    OAI21X1HVT   1  0.2   34    50     203      (-,-)
g12529__5107/Y -  B->Y  F    NAND2XLHVT   1  0.0   27    40     243      (-,-)
Y[2]        -      -     F    (port)      -     -     -      0     243      (-,-)
#-----
```

Startpoint:B[2]

Endpoint: Y[2]

Traversal: B[2] -> NAND2X4HVT -> OAI21X4HVT -> OAI31X2HVT ->
OAI21X1HVT -> NAND2XLHVT -> Y[2]

Path delay:243

Slack = 100 ps - 243 ps = -143 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

Path10

```
Path 10: VIOLATED (-143 ps) Path Delay Check
  Startpoint: (F) B[2]
  Endpoint: (R) Y[3]

    Capture      Launch
  Path Delay:+   100      -
  Drv Adjust:+   0        0
  Arrival:=     100

  Required Time:= 100
  Data Path:= 243
  Slack:= -143

Exceptions/Constraints:
  max_delay          100           constraints.sdc_line_1

#-----
# Timing Point  Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
B[2]      -      -   F  (arrival)      4  3.7    0    0    0    (-,-)
g12594/Y -      A->Y R INVX2HVT      1  0.7   10   10   10   (-,-)
g12573__2802/Y -     B->Y F NOR2X2HVT     2  0.9   24   21   31   (-,-)
g12566__2398/Y -     A->Y R NOR2X2HVT     1  0.8   30   37   68   (-,-)
g12544__4733/Y -     B0->Y F OAI21X2HVT    2  0.6   50   56  124   (-,-)
g12542/Y       -     A->Y R INVX1HVT      1  0.4   18   34  158   (-,-)
g12535__5526/Y -     A1->Y F OAI21X1HVT    1  0.2   46   46  204   (-,-)
g12528__2398/Y -     A->Y R NAND3XLHVT    1  0.0   23   39  243   (-,-)
Y[3]      -      -   R  (port)          -   -    -    -    0  243   (-,-)
#-----
```

Startpoint: B[2]; Endpoint: Y[3]

Traversal: B[2] -> INVX2HVT -> NOR2X2HVT -> NOR2X2HVT -> OAI21X2HVT -> INVX1HVT -> OAI21X1HVT -> NAND3XLHVT -> Y[3]

Path delay: 243ps

Slack = 100 ps - 243 ps = -143 ps (VIOLATED)

Vì slack<0 nên đường này vi phạm timing.

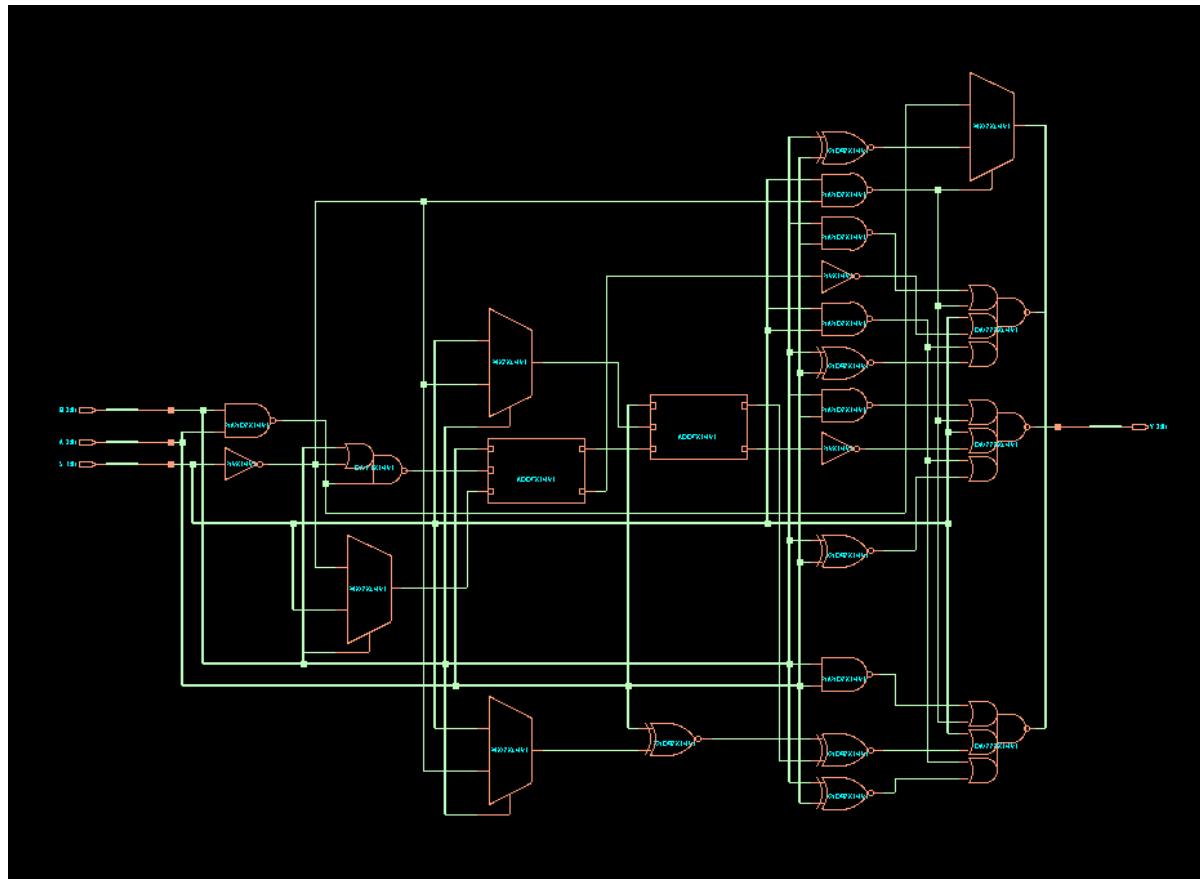
1.5. Nhận xét

Từ những kết quả phân tích STA ở các corner khác nhau, có thể nhận thấy rằng các corner Fast có độ trễ đường truyền nhỏ hơn rất nhiều so với các corner Slow. Ví dụ như VDD 1,2 V có độ trễ đường truyền nhỏ hơn 1,0 V. Ta có thể nhìn thấy từ kết quả phân tích, khi mà ta sử dụng thư viện ‘Fast_vdd1v2_basicCells_hvt’ thì mới có các đường truyền thỏa mãn ràng buộc timing. Ngược lại, tại các corner Slow, độ trễ logic tăng đáng kể, dẫn đến nhiều đường truyền bị vi phạm timing (Violated) với giá trị slack âm rất lớn.

Kết quả phân tích và kiểm chứng này phù hợp với lý thuyết, bởi vì ở corner chậm, tốc độ chuyển mạch của các cell giảm, làm tăng tổng độ trễ đường truyền. Kết quả cho thấy ràng buộc về `set_max_delay = 100 ps` là khá khắt khe đối với các corner Slow, và cần được nới lỏng hoặc tối ưu lại mạch nếu muốn thỏa mãn timing tại mọi corner.

II. THÍ NGHIỆM 2

2.1. Với điều kiện ràng buộc thời gian tối đa là 10ns :



Mạch khi chạy mô phỏng: có 6 tầng vì timing constraint = 10ns , thời gian là tương đối nhiều nên mạch sẽ được timing tốt . Và Mạch khi mô phỏng có những standard cell logic cấp cao như 4 con mux, 2 bộ FA,... nên làm tốn nhiều timing. Sau khi mô phỏng, đường dài nhất là :

```

Path 1: MET (9438 ps) Path Delay Check
Startpoint: (F) S[0]
Endpoint: (F) Y[3]

          Capture    Launch
Path Delay:+ 10000   -
Drv Adjust:+ 0        0
Arrival:= 10000

Required Time:= 10000
Data Path:- 562
Slack:= 9438

Exceptions/Constraints:
max_delay      10000      constraints.sdc_line_1

#-----#
# Timing Point Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
#           (ff)   (ps)   (ps)   (ps) Location
#-----#
S[0]      -     -     F  (arrival)      5  1.2    0    0    0  (-,-)
g704/Y    -     A->Y  R  INVX1HVT      5  1.4   26   18    0  (-,-)
g693_5122/Y -     A->Y  F  MXI2XLHVT    1  0.5   84   83   102  (-,-)
g686_5526/CO -     CI->CO F  ADDFX1HVT    1  0.5   25   127   228  (-,-)
g683_4319/CO -     CI->CO F  ADDFX1HVT    1  0.4   23   101   330  (-,-)
g681_6260/Y  -     B->Y  R  XNOR2X1HVT   1  0.4   18   112   442  (-,-)
g679_2398/Y  -     B1->Y F  OAI222X1HVT   1  0.8   109  128   562  (-,-)
Y[3]       <<<  -     F  (port)        -   -    -    0    562  (-,-)
#-----#

```

=> Đường dài nhất(tệ nhất) đã met được timing constraint = 10ns với việc tính slack = required time – data path = 10000 – 562 = 9438. Thực tế chỉ mất 562ps để từ S[0] đến Y[3] => ở trường hợp 10ns này thì timing ràng buộc là không tối ưu cho timing

Vẽ đường đi của longest path : Đi từ Startpoint S[0]: => INVX1HVT => MXI2XLHVT => ADDFX1HVT (Full Adder) - Instance g686 & g683 (tín hiệu đi qua chân CI -> C0) => XNOR2X1HVT & OAI222X1HVT rồi trả ngõ ra ở Y[3].

Từ S[0] đến g704/Y (INVX1HVT) : mất 18ps

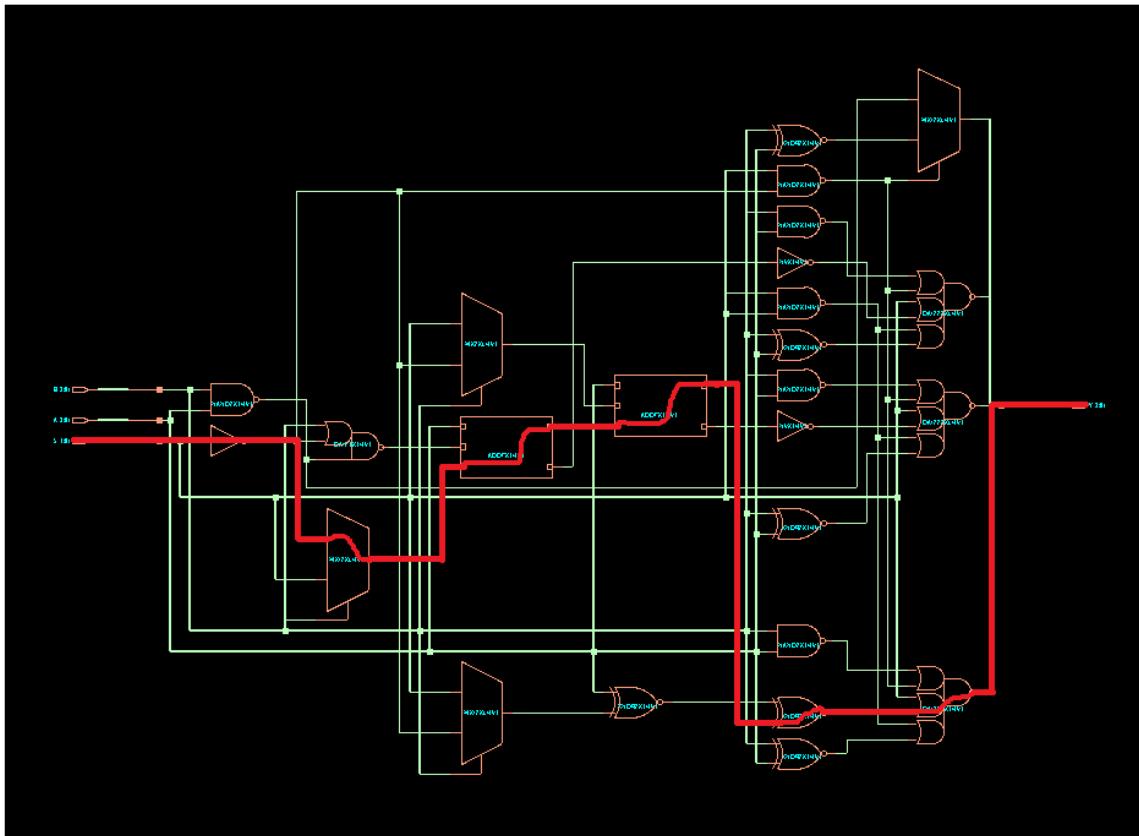
Từ g704/Y (INVX1HVT) đến g693_5122/Y (MXI2XLHVT) : mất 83ps

Từ g693_5122/Y (MXI2XLHVT) đến g686_5526/CO (ADDFX1HVT) : mất 127ps

Từ g686_5526/CO (ADDFX1HVT) đến g683_4319/CO (ADDFX1HVT) : mất 101ps

Từ g683_4319/CO (ADDFX1HVT) đến g681_6260/Y (XNOR2X1HVT) : mất 112ps.

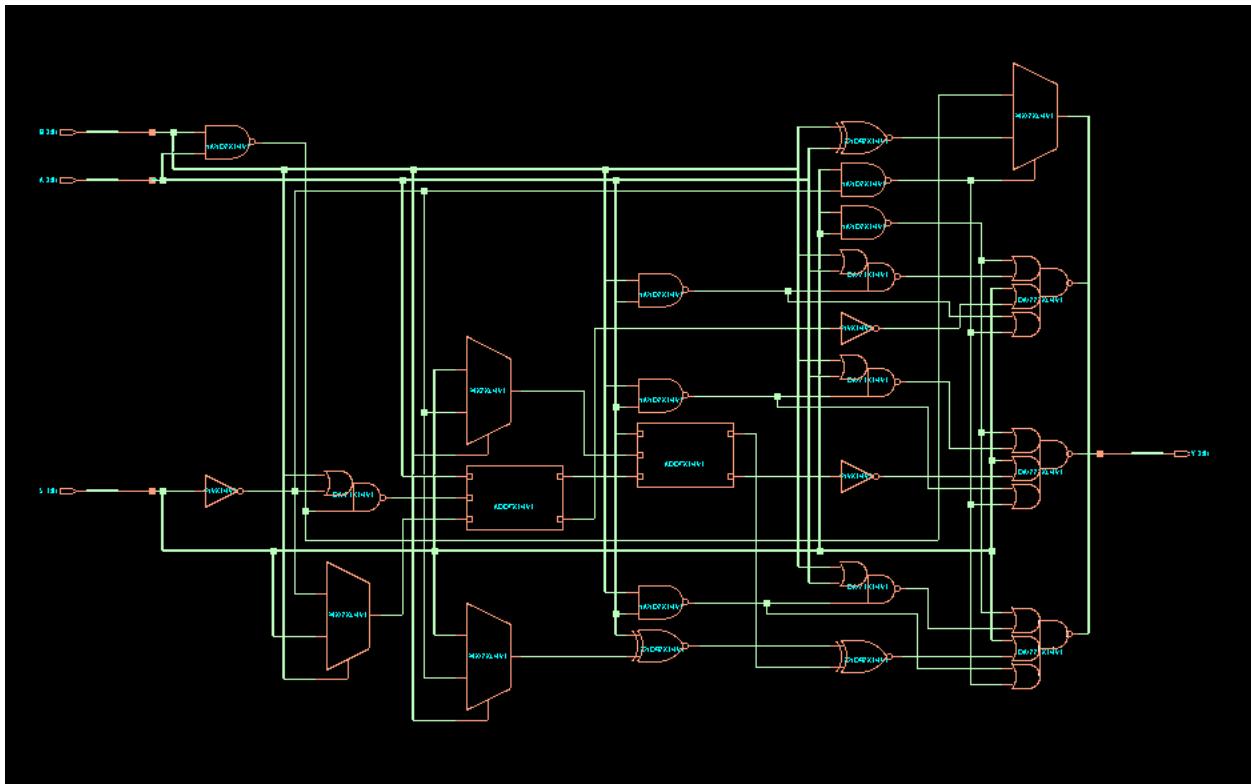
Từ g681_6260/Y (XNOR2X1HVT) đến g679_2398/Y (OAI222X1HVT) : mất 120ps
Còn lại các dây từ nối với input và nối tới output thì không có delay .



$$\text{datopath} = 18 + 83 + 127 + 101 + 112 + 120 = 562.$$

$$\text{Slack} = 10000 - 562 = 9438 > 0 \Rightarrow \text{MET Timing}.$$

2.2. Với điều kiện ràng buộc thời gian tối đa là 1ns :



Ở trường hợp này 1ns, mạch mô phỏng vẫn có 6 tầng và có cấu trúc gần như giống với trường hợp timing constraint = 10ns, chỉ thay đổi vị trí của các cell. Vì đường tê nhát (longest path) chỉ mất 0.562ns nhưng mà timing constraints = 1ns \Rightarrow Vẫn đáp ứng được (MET Timing). Ta có đường dài nhất (tê nhát) như sau :

```

Path 1: MET (438 ps) Path Delay Check
Startpoint: (F) S[0]
Endpoint: (F) Y[3]

          Capture      Launch
Path Delay:+ 1000      -
Drv Adjust:+ 0          0
Arrival:=    1000

Required Time:= 1000
Data Path:=   562
Slack:=     438

Exceptions/Constraints:
max_delay           1000           constraints.sdc_line_1

#-----
# Timing Point  Flags    Arc    Edge   Cell        Fanout Load Trans Delay Arrival Instance
#          Point      Arc     Edge   Cell       (ff)   (ps)   (ps)   (ps)   Location
#-----
```

Timing Point	Flags	Arc	Edge	Cell	Fanout	Load	Trans	Delay	Arrival	Instance	Location
S[0]	-	-	F	(arrival)	5	1.2	0	0	0	(-, -)	
g678/Y	-	A->Y	R	INVX1HVT	5	1.4	26	18	18	(-, -)	
g671__7098/Y	-	A->Y	F	MXI2XLHVT	1	0.5	84	83	102	(-, -)	
g660__5526/C0	-	CI->CO	F	ADDFX1HVT	1	0.5	25	127	228	(-, -)	
g657__4319/C0	-	CI->CO	F	ADDFX1HVT	1	0.4	23	101	330	(-, -)	
g655__6260/Y	-	B->Y	R	XNOR2X1HVT	1	0.4	18	112	442	(-, -)	
g653__2398/Y	-	B1->Y	F	OAI222X1HVT	1	0.0	109	120	562	(-, -)	
Y[3]	-	-	F	(port)	-	-	-	0	562	(-, -)	

=> Đường tê nhất đã met được timing constraint = 1ns với slack = required time – data path = $1000 - 562 = 438$. Thực tế chỉ mất 562ps để từ S[0] đến Y[3] => ở trường hợp 1ns này thì timing ràng buộc là chưa tối ưu cho timing (giống trường hợp timing constraints = 10ns ở trên)

vẽ đường longest path (nét màu đỏ) : Đi từ Startpoint S[0] đến g678/Y (INVX1HVT) => g671_7098/Y (MXI2XLHVT) => g660_5526/CO (ADDFX1HVT) => g657_4319/CO (ADDFX1HVT) => g655_6260/Y (XNOR2X1HVT) => g653_2398/Y (OAI222X1HVT) .

Ta được:

Từ S[0] đến g678/Y (INVX1HVT): mất 18ps

Từ g678/Y (INVX1HVT) đến g671 7098/Y (MXI2XLHVT): mất 83ps

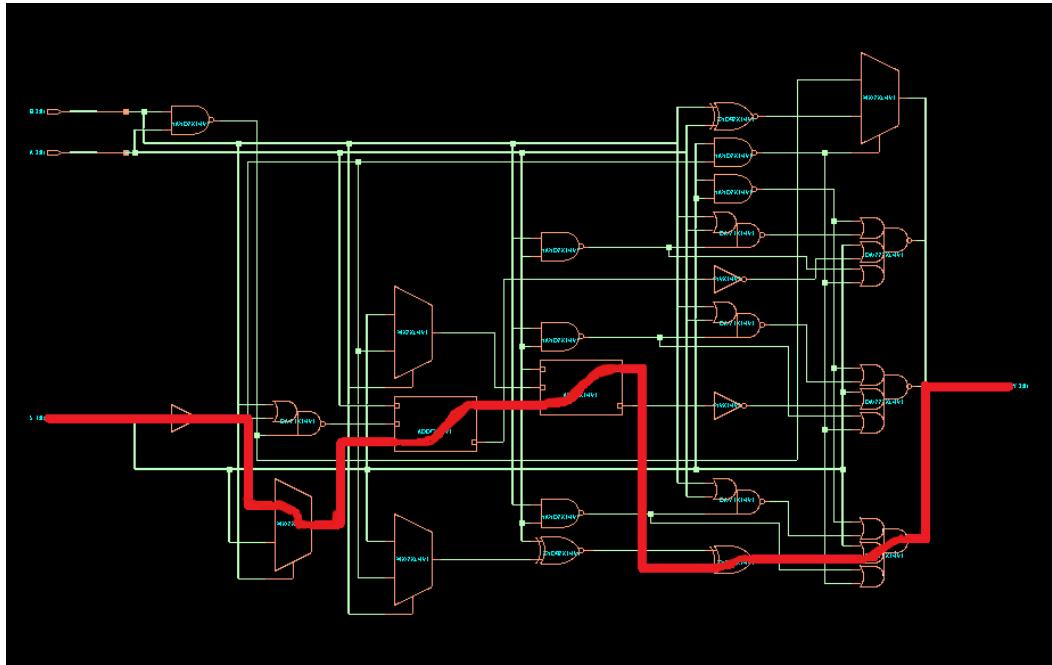
Từ g671 7098/Y (MXI2XLHVT) đến g660 5526/CO (ADDFX1HVT) : mất 127ps

Từ g660_5526/CÔ (ADDFX1HVT) đến g657_4319/CÔ (ADDFX1HVT): mất 101ps

Từ g657_4319/CO (ADDFX1HVT) đến g655_6260/Y (XNOR2X1HVT): mất 112ps.

Từ g655_6260/Y (XNOR2X1HVT) đến g653_2398/Y (OAI222X1HVT) : mất 120ps

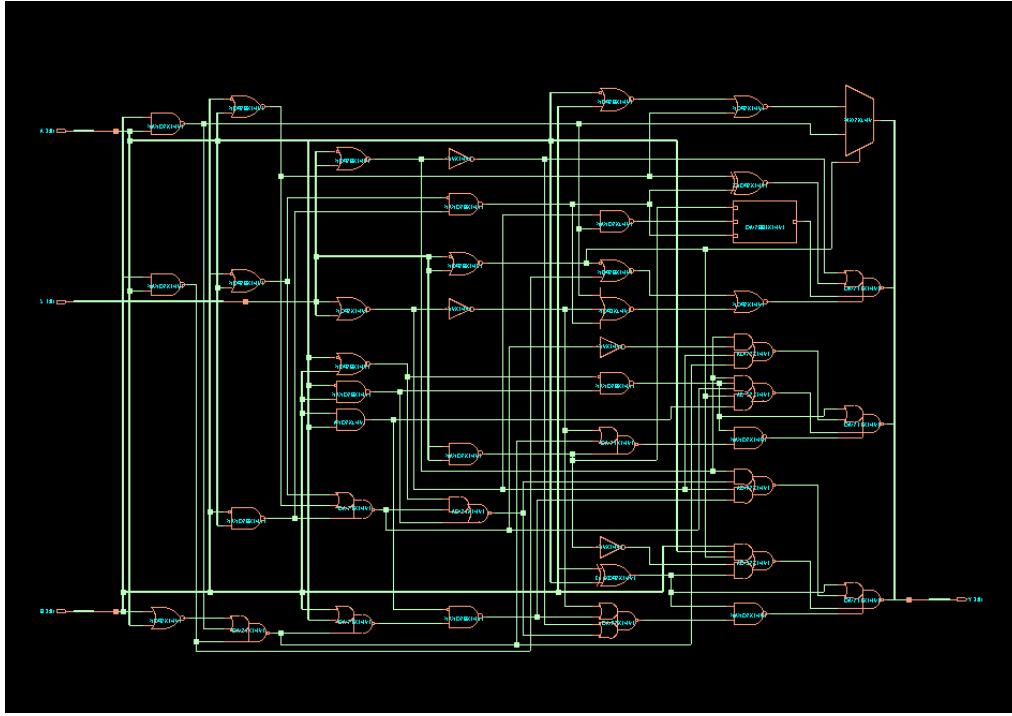
Còn lại các net từ nối với input và nối tới output thì không có delay .



$$\text{datopath} = 18 + 83 + 127 + 101 + 112 + 120 = 562.$$

Slack = 1000 - 562 = 438 > 0 => MET Timing.

2.3. Với điều kiện ràng buộc thời gian tối đa là 0.5ns :



Ở Trường hợp này, mạch bắt đầu có thay đổi cấu trúc để đáp ứng với timing constraint = 0.5ns. Mạch có 7 tầng, nhiều hơn số tầng ở 2 trường hợp 10ns và 1ns. Nhưng vì mục tiêu là giảm delay tổng trên toàn bộ đường đi nên mặc dù nhiều tầng logic hơn nhưng : mà thay các cổng của FA (delay lớn), thay bằng OAI hoặc NAND có delay nhỏ hơn Khi thêm tầng nhưng delay của đường longest path (tê nhát) đã giảm hơn => Đáp ứng tốt hơn nên vẫn met timing .

Đường longest path (tê nhát) :

```

Path 1: MET (72 ps) Path Delay Check
Startpoint: (R) B[0]
Endpoint: (F) Y[3]

          Capture      Launch
Path Delay:+    500        -
Drv Adjust:+     0          0
Arrival:=       500

Required Time:=  500
Data Path:-     428
Slack:=         72

Exceptions/Constraints:
max_delay      500           constraints.sdc_line_1

#-----#
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----#
B[0]          -      - R    (arrival)    3  1.0  0   0   0   (-,-)
g818_5122/Y  -      A->Y F  NAND2X1HVT  4  0.9  63  51  51  (-,-)
g796_6161/Y  -      A1->Y R  OAI21X1HVT 3  1.2  65  73  124 (-,-)
g794_6131/Y  -      B0->Y F  OAI21X1HVT 1  0.3  53  75  199 (-,-)
g788_1705/Y  -      B->Y R   NAND2BX1HVT 2  0.8  28  41  240 (-,-)
g780_5526/Y  -      A1->Y F  OAI22X1HVT 1  0.3  66  74  314 (-,-)
g777_5107/Y  -      B->Y R   NAND2X1HVT 1  0.4  23  44  358 (-,-)
g776_2398/Y  -      C0->Y F  OAI211X1HVT 1  0.0  68  70  428 (-,-)
Y[3]          -      - F    (port)      -   -   -   0   428 (-,-)
#-----#

```

=> Đường tê nhát đã met được timing constraint = 0.5ns với slack = required time – data path = 500 - 428 = 72ps. Thực tế chỉ mất 428ps để từ B[0] đến Y[3] => ở trường hợp

0.5ns này thì đường đi ngắn hơn và không còn bộ ADDFX1HVT có delay lớn nữa, mà thay vào đó là qua các công logic cơ bản và phức hợp (NAND2X1HVT, OAI21X1HVT) Nên giảm được độ phức tạp của logic và tăng tốc độ truyền dữ liệu

Start point là B[0] thay vì S[0] như các trường hợp trước.

Đường longest path : Đi từ Startpoint B[0]: => g818_5122/Y (NAND2X1HVT) => g796_6161/Y (OAI21X1HVT) => g794_6131/Y (OAI21X1HVT) => g788_1785/Y (NAND2BX1HVT) => g780_5526/Y (OAI22X1HVT) => g777_5107/Y (NAND2X1HVT) => g776_2398/Y (OAI211X1HVT) rồi trả ngõ ra ở Y[3]

Ta được:

Từ B[0] đến g818_5122/Y (NAND2X1HVT): mất 51ps

Từ g818_5122/Y (NAND2X1HVT) đến g796_6161/Y (OAI21X1HVT) : mất 73ps

Từ g796_6161/Y (OAI21X1HVT) đến g794_6131/Y (OAI21X1HVT) : mất 75ps

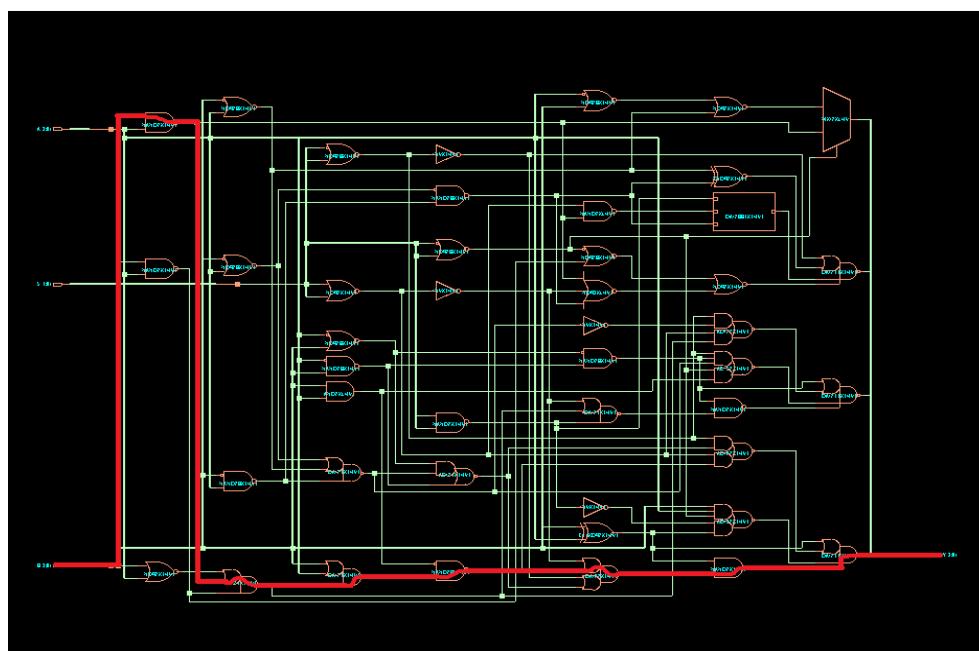
Từ g794_6131/Y (OAI21X1HVT) đến g788_1785/Y (NAND2BX1HVT) : mất 41ps

Từ g788_1785/Y (NAND2BX1HVT) đến g780_5526/Y (OAI22X1HVT) : mất 74ps.

Từ g780_5526/Y (OAI22X1HVT) đến g777_5107/Y (NAND2X1HVT) : mất 44ps

Từ g777_5107/Y (NAND2X1HVT) đến g776_2398/Y (OAI211X1HVT) : mất 70ps

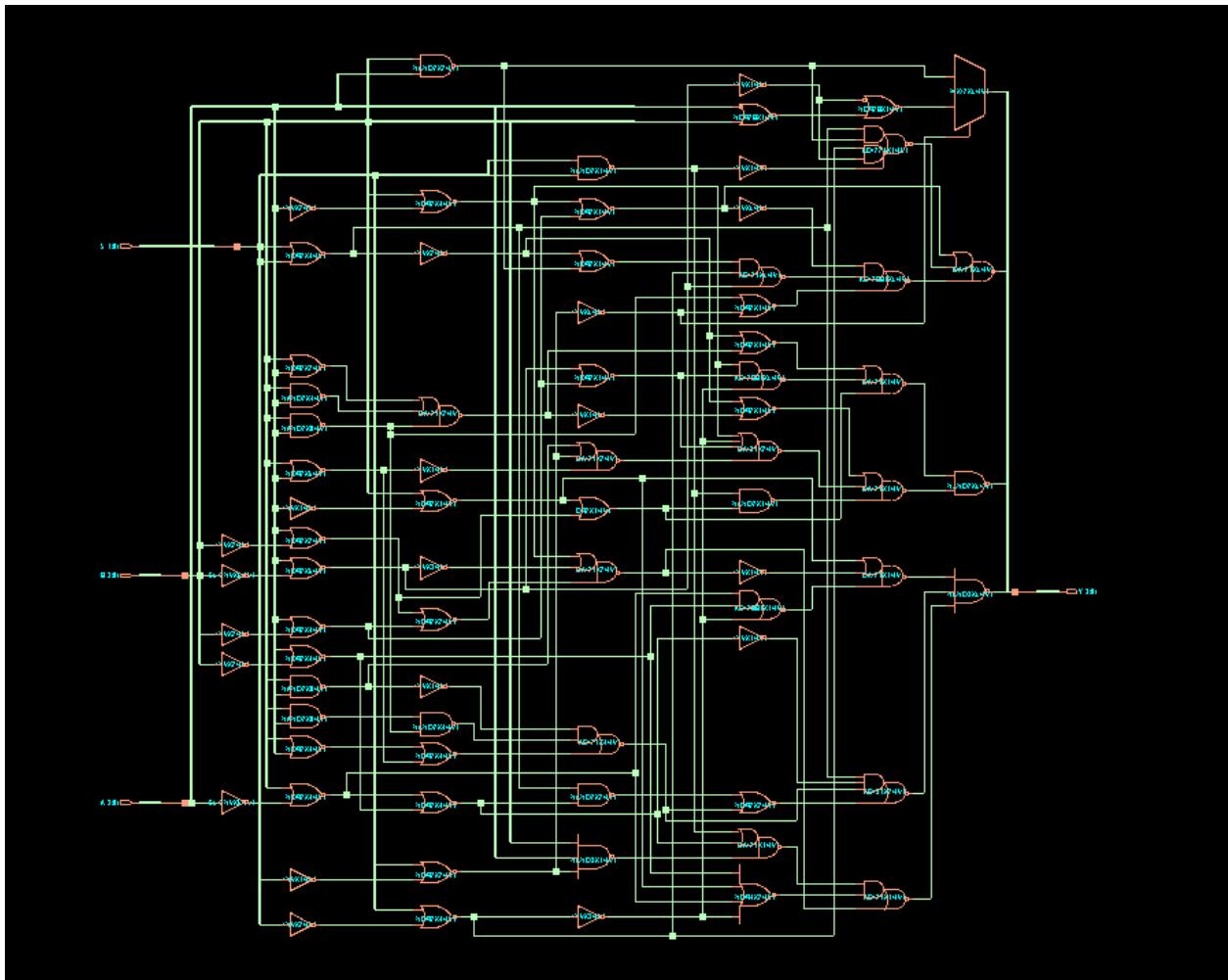
Còn lại các dây từ nối với input và nối tới output thì không có delay .



$$\text{datapath} = 51 + 73 + 75 + 41 + 74 + 44 + 70 = 428\text{ps}$$

$$\text{Slack} = 500 - 428 = 72 > 0 \Rightarrow \text{MET Timing.}$$

2.4. Với điều kiện ràng buộc thời gian tối đa là 0.2 ns :



Ở trường hợp này, độ phức tạp của mạch được tăng lên (nhiều cổng logic nhỏ), tool genus đã tối ưu tối đa cho timing constraint = 0.2ns nhưng vẫn bị violated (không đáp ứng timing nữa), ta xuất ra đường longest path (tệ nhất) :

```

Path 1: VIOLATED (-45 ps) Path Delay Check
Startpoint: (R) B[1]
Endpoint: (R) Y[3]

          Capture    Launch
Path Delay:+   200      -
Drv Adjust:+    0       0
Arrival:=     200

Required Time:= 200
Data Path:-    245
Slack:=      -45

Exceptions/Constraints:
max_delay      200           constraints.sdc_line_1

#-----#
# Timing Point Flags Arc Edge Cell   Fanout Load Trans Delay Arrival Instance
#                               (ff)   (ps)   (ps)   (ps)   Location
#-----#
B[1]      -      -      R   (arrival)   5  7.5   0   0   0   (-,-)
g12588__9315/Y -  A->Y  F   NAND2X8HVT  3  2.3   40  39  39  (-,-)
g12561__3680/Y -  B->Y  R   NAND2X4HVT  1  1.5   21  28  68  (-,-)
g12546__7482/Y -  A1->Y F   AOI21X4HVT 2  1.4   53  55  123 (-,-)
g12540__1705/Y -  B->Y  R   NOR2X2HVT  1  0.8   33  44  167 (-,-)
g12537__8428/Y -  B0->Y F   AOI31X2HVT 1  0.2   68  28  196 (-,-)
g12528__2398/Y -  B->Y  R   NAND3XLHVT 1  0.0   23  49  245 (-,-)
Y[3]      -      -      R   (port)      -  -     -   0   245 (-,-)
#-----#

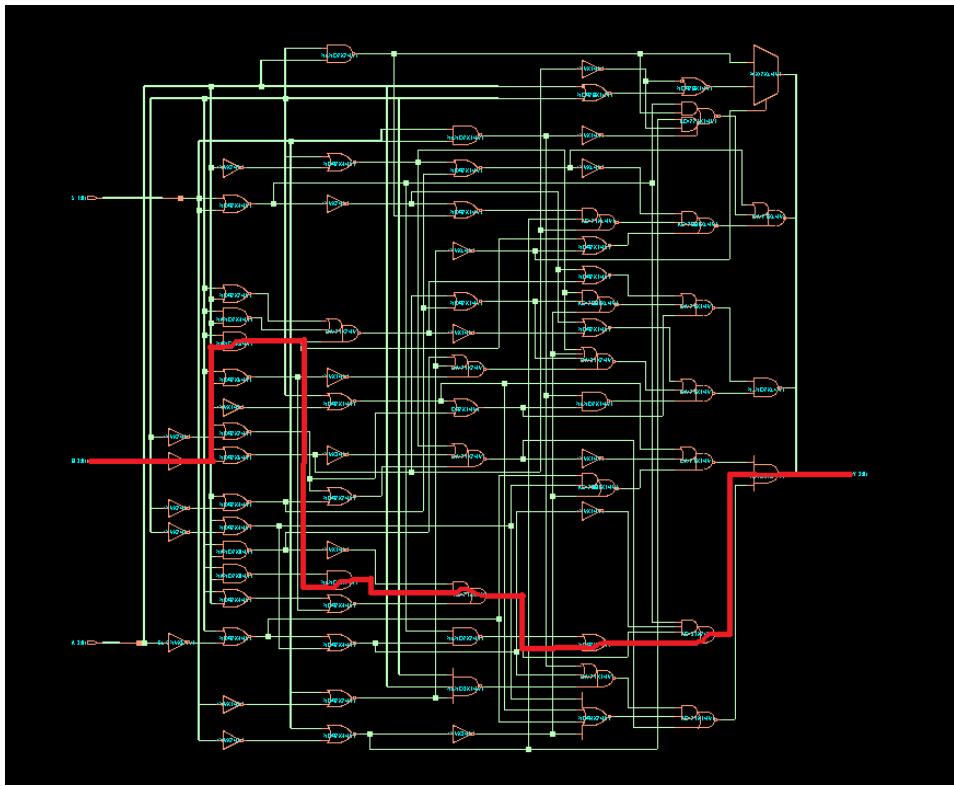
```

Có 1 đường bị violated dẫn đến trường hợp này không chạy được, không đáp ứng timing được. Ở trường hợp này, tool đã làm giảm datapath từ 428ps xuống tối đa còn 245ps nhưng vẫn không đáp ứng timing constraint = 0.2ps được.

Nên trường hợp này đã vượt giới hạn của công nghệ 45nm với loại cell slow_vdd1v2_basicCells_hvt.lib như đề bài yêu cầu

Đường tệ nhất đi từ B[1] => g12588__9315/Y (NAND2X8HVT) (delay 39ps) => g12561__3680/Y (NAND2X4HVT) (delay 28ps) => g12546__7482/Y (AOI21X4HVT) (delay 55ps) => g12540__1705/Y (NOR2X2HVT) (delay 44ps) => g12537__8428/Y (AOI31X2HVT) (delay 28ps) => g12528__2398/Y (NAND3XLHVT) (delay 49ps) rồi trả ngõ ra ở Y[3]

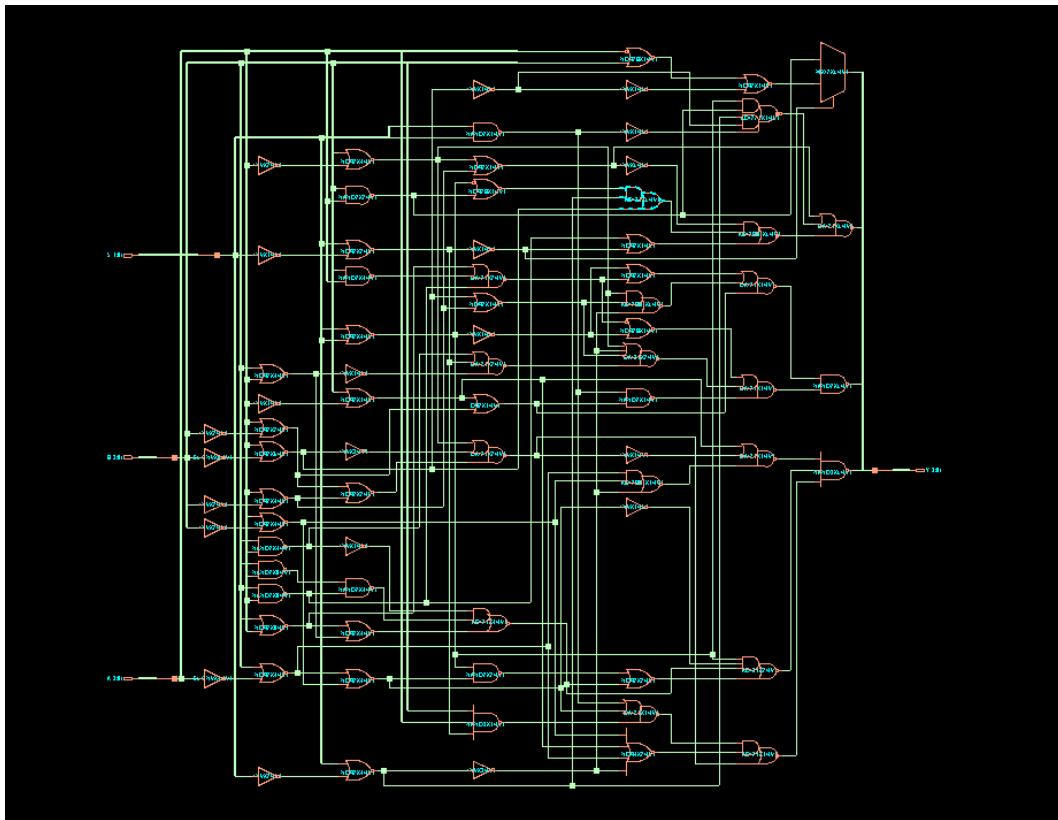
Còn lại các net từ nối với input và nối tới output thì không có delay .



$$\text{datapath} = 39 + 28 + 55 + 44 + 28 + 49 = 243\text{ps}$$

Slack = $200 - 243 = -43 < 0 \Rightarrow$ Violated nên không thỏa mãn timing .

2.5. Vói điều kiện ràng buộc thời gian tối đa là 0.1ns



Mạch sau mô phỏng rất giống với trường hợp timing constraints = 0.2ns. Vẫn là những tầng logic rất dày đặc, nhưng toàn là những cổng logic đơn giản như NOT, NAND, XOR,... có tính delay ít thay vì là những FA có delay lớn.

Ở trường hợp này, tool cũng đã tối ưu để datapath = 245ps là max. Nhưng required time của trường hợp này là 0.1ns = 100ps là không đủ => Không đáp ứng được timing => Violated timing

Ta có đường longest path (tệ nhất) được xuất ra :

```

Path 1: VIOLATED (-145 ps) Path Delay Check
  Startpoint: (R) B[1]
  Endpoint: (R) Y[3]

          Capture     Launch
Path Delay:+    100      -
Drv Adjust:+     0        0
Arrival:=     100

Required Time:=   100
Data Path:-     245
Slack:=     -145

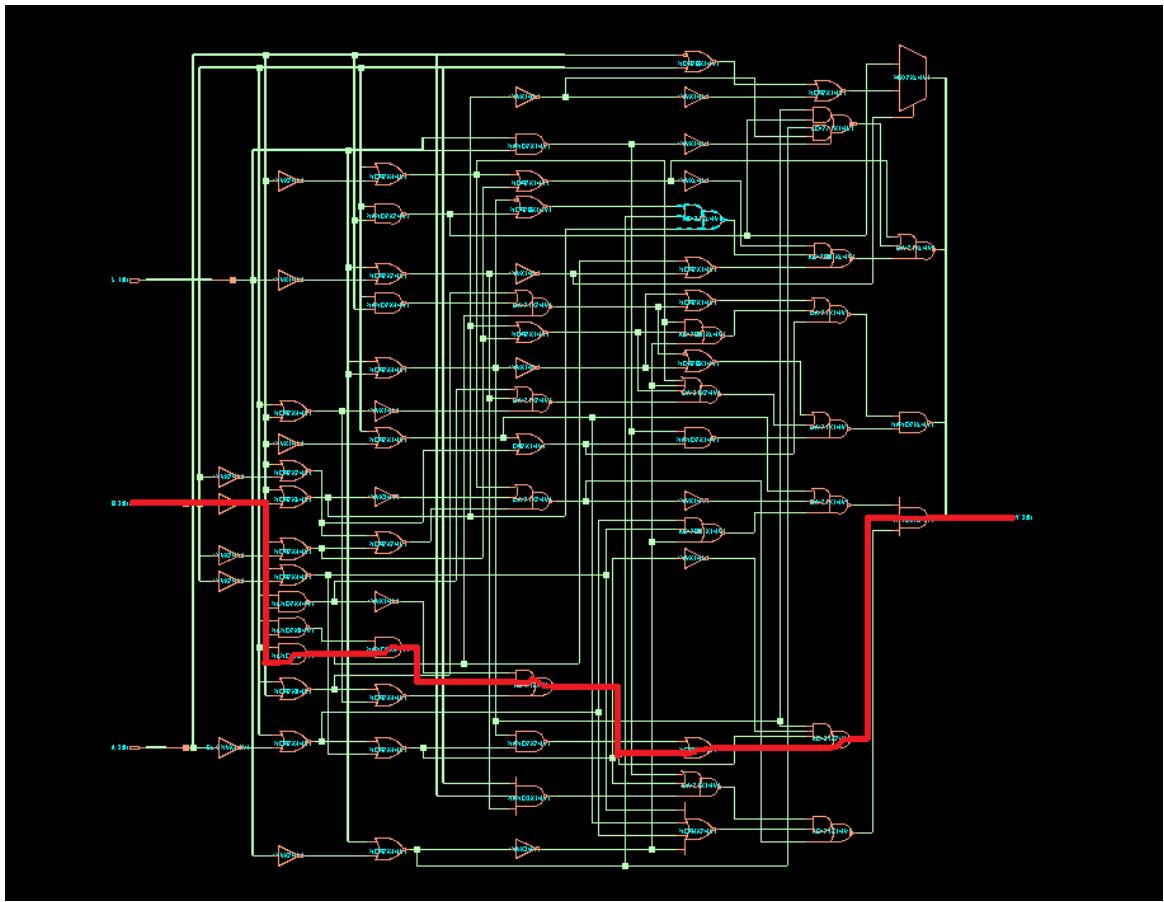
Exceptions/Constraints:
  max_delay      100           constraints.sdc_line_1

#-----
# Timing Point  Flags   Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
#                               (fF)   (ps)   (ps)   (ps)   Location
#-----
B[1]      -      -      R   (arrival)      4  8.4    0    0    0    (-,-)
g12588__9315/Y -  A->Y  F   NAND2X8HVT    3  2.3   40   39   39   (-,-)
g12561__3680/Y -  B->Y  R   NAND2X4HVT    1  1.5   21   28   68   (-,-)
g12546__7482/Y -  A1->Y F   AOI21X4HVT   2  1.4   53   55  123   (-,-)
g12540__1705/Y -  B->Y  R   NOR2X2HVT    1  0.8   33   44  167   (-,-)
g12537__8428/Y -  B0->Y F   AOI31X2HVT   1  0.2   68   28  196   (-,-)
g12528__2398/Y -  B->Y  R   NAND3XLHVT   1  0.0   23   49  245   (-,-)
Y[3]      <<<   -      R   (port)       -   -    -    0   245   (-,-)
#-----

```

Đi từ Startpoint là B[1] => g12588__9315 (NAND2X8HVT) (delay 39ps) => g12561__3680 (NAND2X4HVT) (delay 28ps) => g12546__7482 (AOI21X4HVT) (delay 55ps) => g12540__1705 (NOR2X2HVT) (delay 44ps) => g12537__8428 (AOI31X2HVT) (delay 28ps) => g12528__2398 (NAND3XLHVT) (delay 49ps) rồi trả ra Y[3] ở ngõ ra.

Còn lại các net từ nối với input và nối tới output thì không có delay .



$$\text{datapath} = 39 + 28 + 55 + 44 + 28 + 49 = 243\text{ps}$$

Slack = $100 - 243 = -143 < 0 \Rightarrow$ Violated nên không thỏa mãn timing .

III. THÍ NGHIỆM 3

Scenario	period of clk	max delay	input delay	output delay
1	1ns	0.2ns	0.2ns	0.3ns
2	1ns	0.2ns	0.1ns	0.3ns
3	0.8ns	0.2ns	0.3ns	0.3ns
4	0.6ns	0.2ns	0.2ns	0.2ns
5	0.5ns	0.2ns	0.1ns	0.2ns

Table 2: Table of constraint parameters used during synthesis.

3.1. Scenario 0

- **constraints.sdc contents:**

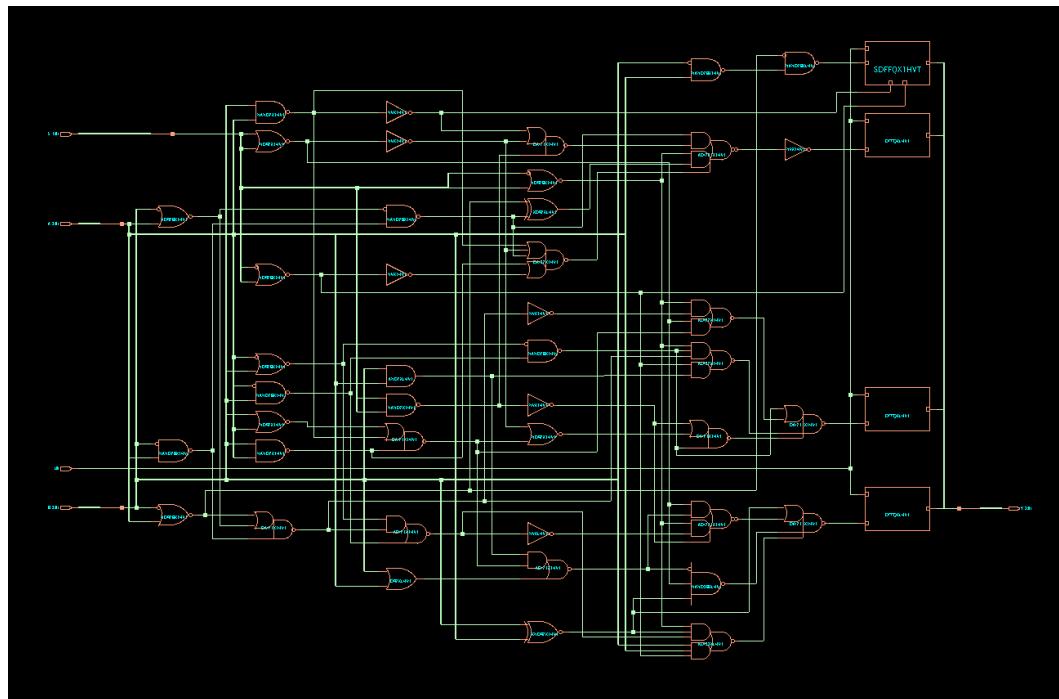
```
create_clock -name clk -period 1.0 [get_ports clk]

set_input_delay 0.2 -clock [get_clocks *] [all_inputs]
set_output_delay 0.3 -clock [get_clocks *] [all_outputs]

set_max_delay 0.5 -from [all_inputs] -to [all_outputs]

set timing report unconstrained true
```

- **netlist:**



- In this case, since the required time is relatively relaxed (907 ps), the synthesized netlist is mapped across 10 stages at much, which increases path delay but makes the design easier to manufacture in practice.

- ***Worst path timing report:***

```
=====
Generated by:          Genus(TM) Synthesis Solution 21.19-s055_1
Generated on:         Dec 15 2025 08:10:22 pm
Module:               alu
Operating conditions: PVT_1P08V_125C (balanced_tree)
Wireload mode:        enclosed
Area mode:            timing library
=====

Path 1: MET (251 ps) Setup Check with Pin Y_reg[3]/CK->D
    Group: clk
    Startpoint: (R) B[0]
        Clock: (R) clk
    Endpoint: (R) Y_reg[3]/D
        Clock: (R) clk

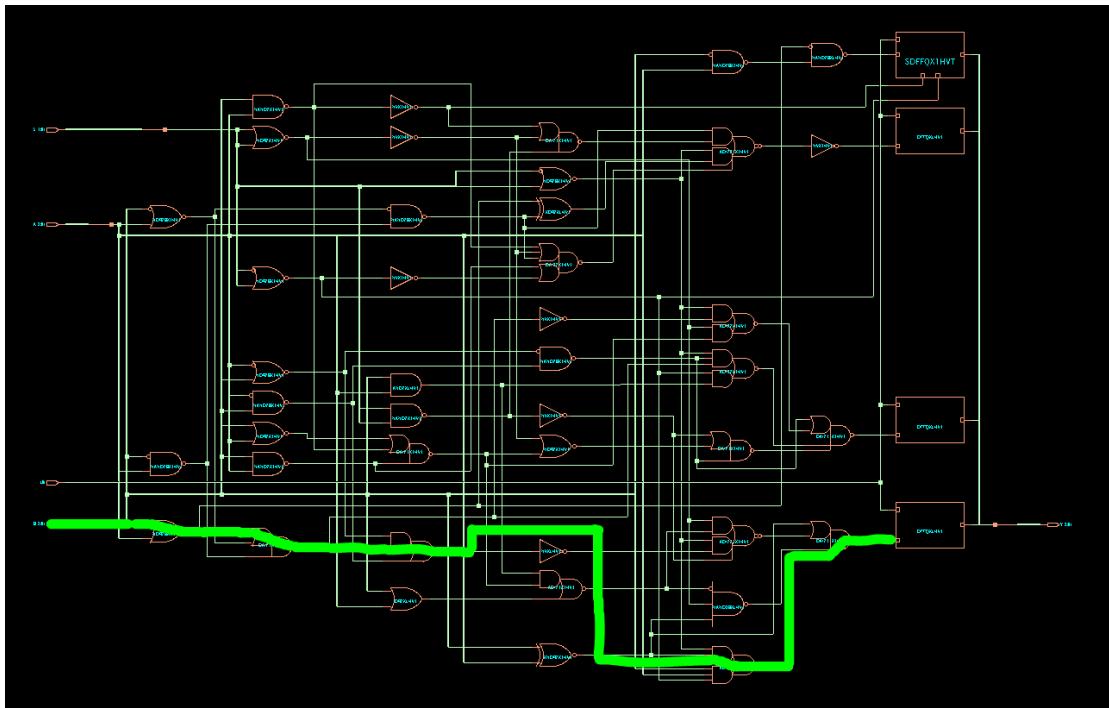
        Capture      Launch
    Clock Edge:+   1000           0
    Drv Adjust:+   0              0
    Src Latency:+  0              0
    Net Latency:+  0 (I)         0 (I)
    Arrival:=     1000           0

    Setup:-       93
    Required Time:= 907
    Launch Clock:- 0
    Input Delay:- 200
    Data Path:-   455
    Slack:=      251

Exceptions/Constraints:
    input_delay      200          constraints.sdc_line_6_7_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)  Location
#-----
B[0]          -      -     R     (arrival)      3  0.8   0     0    200  (-,-)
g808_8428/Y  -      AN->Y R   NOR2BX1HVT   3  0.8   40    61   261  (-,-)
g782_1881/Y  -      A0->Y F   OAI21X1HVT   3  0.9   75    87   348  (-,-)
g772_5122/Y  -      A1->Y R   AOI21X1HVT   2  0.4   36    64   412  (-,-)
g768_4319/Y  -      A2->Y F   AOI33XLHVT   1  0.3   169   147   559  (-,-)
g764_2398/Y  -      C0->Y R   OAII211X1HVT 1  0.2   47    96   655  (-,-)
Y_reg[3]/D    <<<   -     R     DFFQXLHVT  1   -    -     0    655  (-,-)
#-----
```

- ***Worst path's traversal:***



- timing analysis of the 10 worst paths: (input delay = 200ps)

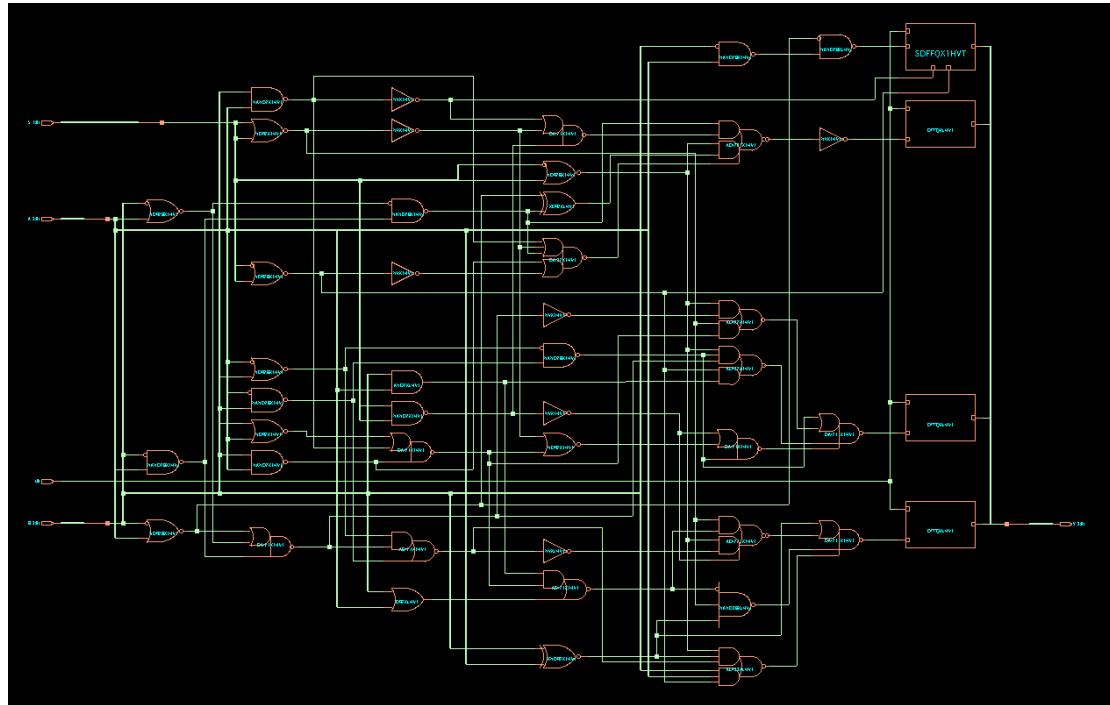
No	traversal	Path delay (ps)	Slack (ps)	meets slack or is violated
1	B[0] - g808_8428/Y - g782_1881/Y - g772_5122/Y - g768_4319/Y - g764_2398/Y - Y_reg[3]/D	455	+251	Meets
2	B[1] g796_7410/Y - g782_1881/Y - g772_5122/Y - g768_4319/Y - g764_2398/Y - Y_reg[3]/D	436	+270	Meets
3	A[0] g808_8428/Y g782_1881/Y g772_5122/Y g768_4319/Y g764_2398/Y Y_reg[3]/D	422	+285	Meets
4	B[1] - g797_6417/Y - g782_1881/Y - g772_5122/Y - g768_4319/Y - g764_2398/Y - Y_reg[3]/D	422	+285	Meets
5	A[1] - g796_7410/Y - g782_1881/Y - g772_5122/Y - g768_4319/Y - g764_2398/Y - Y_reg[3]/D	403	+304	Meets

6	B[0] g808_8428/Y - g782_1881/Y - g772_5122/Y - g770/Y - g767_6260/Y - g764_2398/Y - Y_reg[3]/D	421	+315	Meets
7	A[1] - g797_6417/Y - g782_1881/Y - g772_5122/Y - g768_4319/Y - g764_2398/Y - Y_reg[3]/D	391	+316	Meets
8	B[0] - g798_5526/Y - g786_5115/Y - g779_2802/Y - g778_6783/Y - g764_2398/Y - Y_reg[3]/D	384	+322	Meets
9	B[3] - g791_9315/Y - g768_4319/Y - g764_2398/Y - Y_reg[3]/D	383	+323	Meets
10	B[0] - g798_5526/Y - g786_5115/Y - g779_2802/Y - g767_6260/Y - g764_2398/Y - Y_reg[3]/D	408	+328	Meets

- From the diagram above, most of the worst-case signal paths are observed to traverse an OAI211 (g764_2398/Y - OAI211X1HVT) gate, indicating that this gate is a major contributor to the overall path delay.

3.2. Scenario 1

- *netlist:*



- In this scenario, the synthesized netlist remains fundamentally the same as in Scenario 0, as the input flip-flop delays are excluded from the timing calculation.

- **Worst path timing report:**

```
=====
Generated by:          Genus(TM) Synthesis Solution 21.19-s055_1
Generated on:         Dec 15 2025 10:35:27 pm
Module:               alu
Operating conditions: PVT_1P08V_125C (balanced_tree)
Wireload mode:        enclosed
Area mode:            timing library
=====

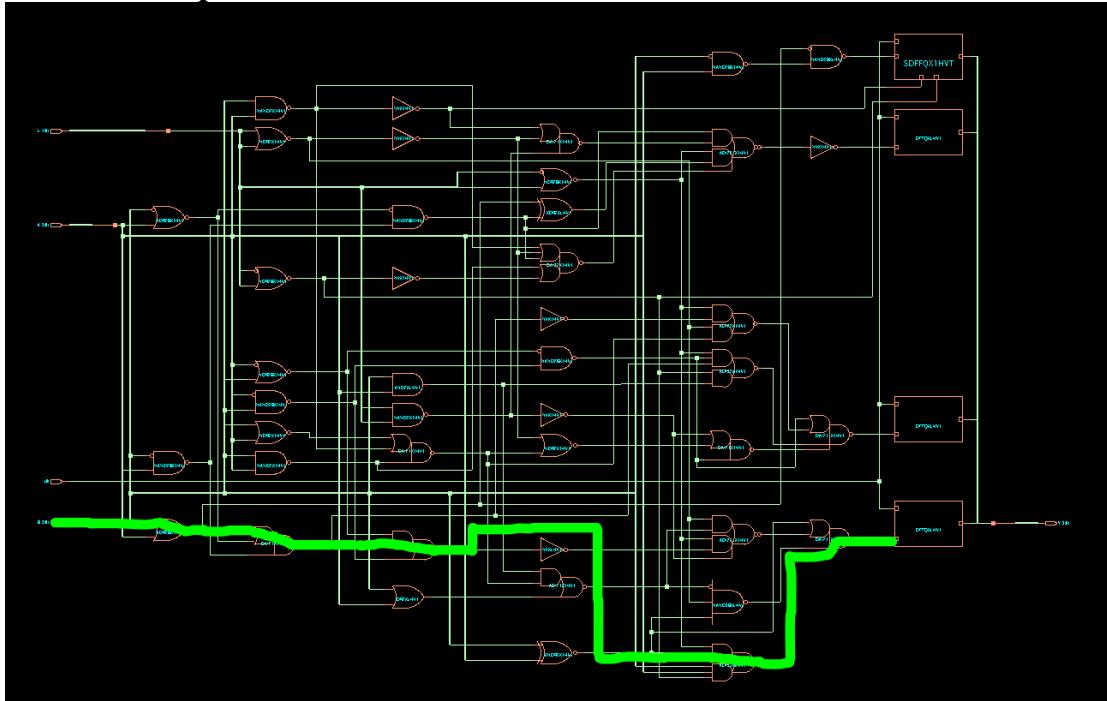
Path 1: MET (251 ps) Setup Check with Pin Y_reg[3]/CK->D
    Group: clk
    Startpoint: (R) B[0]
        Clock: (R) clk
    Endpoint: (R) Y_reg[3]/D
        Clock: (R) clk

        Capture      Launch
    Clock Edge:+   1000          0
    Drv Adjust:+   0             0
    Src Latency:+  0             0
    Net Latency:+  0 (I)        0 (I)
        Arrival:=  1000          0

        Setup:-     93
    Required Time:= 907
    Launch Clock:- 0
    Input Delay:- 200
    Data Path:-   455
    Slack:=     251

Exceptions/Constraints:
    input_delay      200           constraints.sdc_line_6_7_1
#-----
# Timing Point  Flags  Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
B[0]          -      -     R     (arrival)      3  0.8   0     0     200  (-,-)
g808_8428/Y  -      AN->Y R   NOR2BX1HVT   3  0.8   40    61    261  (-,-)
g782_1881/Y  -      A0->Y F   OAI21X1HVT   3  0.9   75    87    348  (-,-)
g772_5122/Y  -      A1->Y R   AOI21X1HVT   2  0.4   36    64    412  (-,-)
g768_4319/Y  -      A2->Y F   AOI33XLHVT   1  0.3   169   147   559  (-,-)
g764_2398/Y  -      C0->Y R   OAI211X1HVT  1  0.2   47    96    655  (-,-)
Y_reg[3]/D    <<<   -     R     DFFQXLHVT  1  -     -     0     655  (-,-)
#-----
```

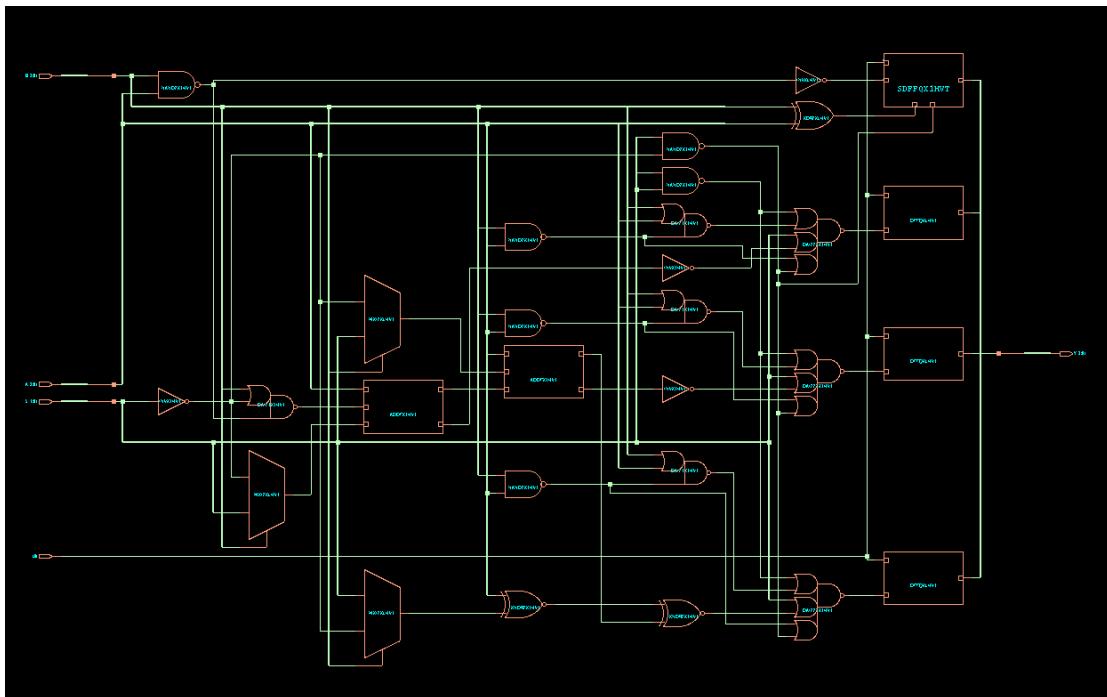
- *Worst path's traversal:*



Conclusion: After reviewing the timing report above, we conclude that this path meets the timing requirements, with a slack of 251 (ps).

3.3. Scenario 2

- *netlist:*



- Reducing the clock period to 0.8 ns leads to a more aggressively optimized netlist with fewer logic levels and faster cells compared to the 1.0 ns case.

- ***Worst path timing report:***

```
=====
Generated by:          Genus(TM) Synthesis Solution 21.19-s055_1
Generated on:         Dec 15 2025 10:53:37 pm
Module:               alu
Operating conditions: PVT_1P08V_125C (balanced_tree)
Wireload mode:        enclosed
Area mode:            timing library
=====

Path 1: MET (251 ps) Setup Check with Pin Y_reg[3]/CK->D
    Group: clk
    Startpoint: (F) S[0]
        Clock: (R) clk
    Endpoint: (F) Y_reg[3]/D
        Clock: (R) clk

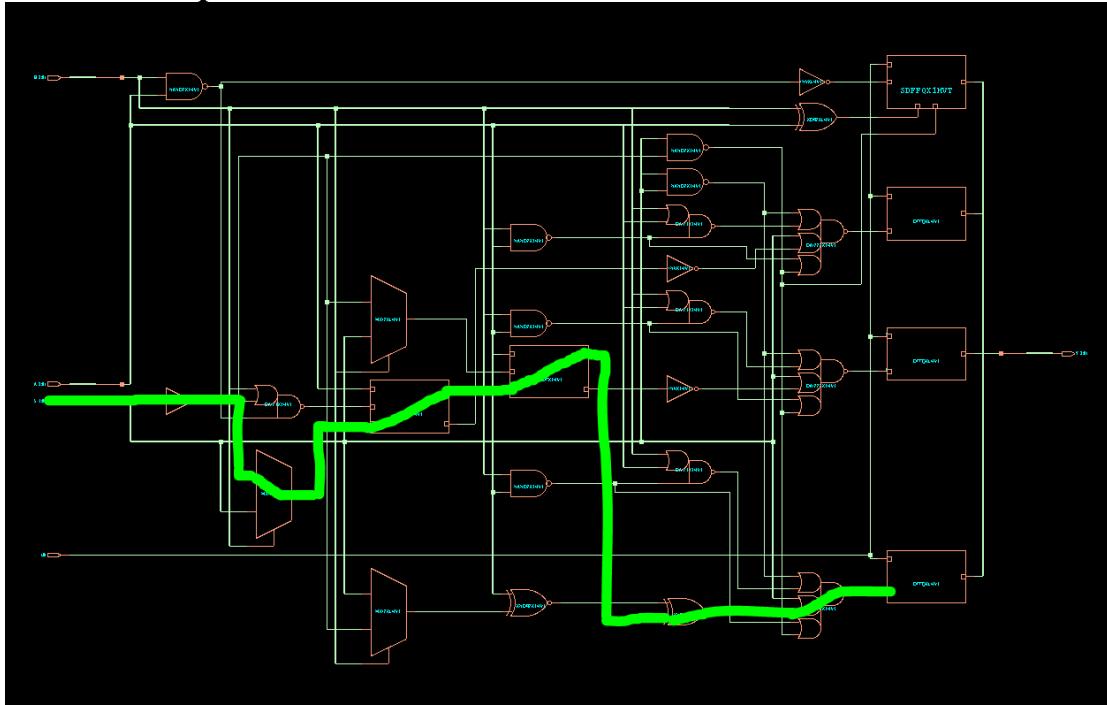
    Capture           Launch
    Clock Edge:+    1000      0
    Drv Adjust:+    0          0
    Src Latency:+   0          0
    Net Latency:+   0 (I)     0 (I)
    Arrival:=       1000      0

    Setup:-          80
    Required Time:= 920
    Launch Clock:- 0
    Input Delay:- 100
    Data Path:-    570
    Slack:=       251

Exceptions/Constraints:
    input_delay      100          constraints.sdc_line_6_9_1

#-----
# Timing Point  Flags   Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (fF)   (ps)   (ps)   (ps)   Location
#-----
S[0]          -      -      F      (arrival)      5   1.2    0      0      100   (-,-)
g683/Y        -      A->Y   R      INVX1HVT      5   1.4    26     18     118   (-,-)
g674_5122/Y   -      A->Y   F      MXI2XLHVT     1   0.5    84     83     202   (-,-)
g665_5526/C0  -      CI->CO F      ADDFX1HVT     1   0.5    25    127     328   (-,-)
g661_4319/C0  -      CI->CO F      ADDFX1HVT     1   0.4    23    101     430   (-,-)
g659_6260/Y   -      B->Y   R      XNOR2X1HVT    1   0.4    18    113     542   (-,-)
g656_2398/Y   -      B1->Y  F      OAI222X1HVT   1   0.2    122   128     670   (-,-)
Y_reg[3]/D    <<<   -      F      DFFQXLHVT     1   -      -      0      670   (-,-)
#-----
```

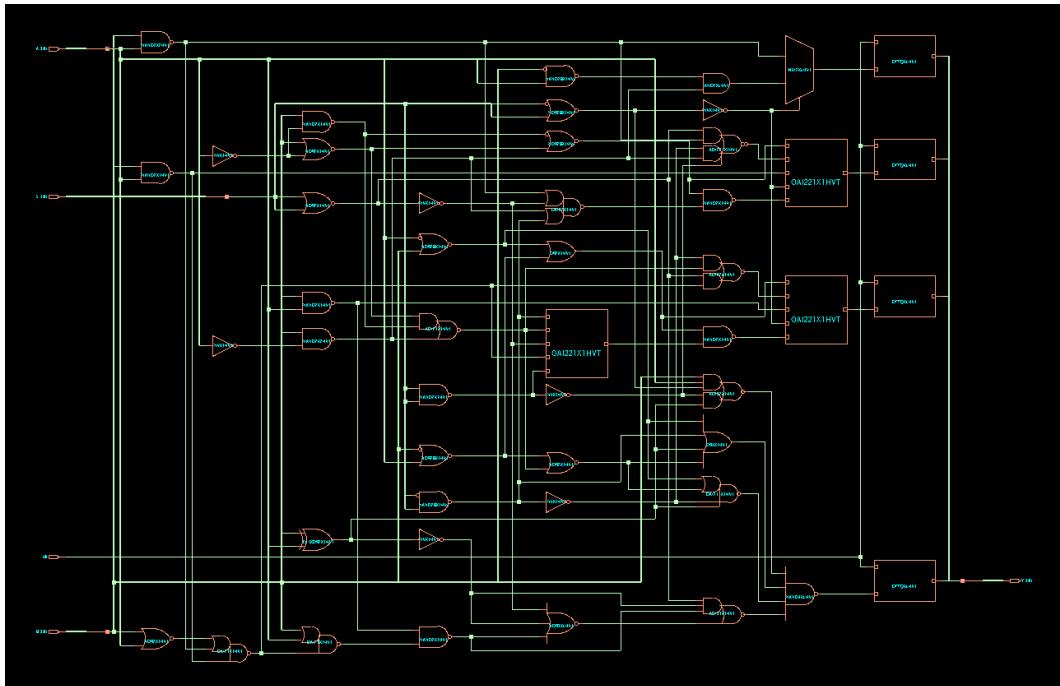
- *Worst path's traversal:*



- *Conclusion:* After reviewing the timing report above, we conclude that this path meets the timing requirements, with a slack of 251 (ps).

3.4. Scenario 3

- *netlist:*



- Reducing the clock period to 0.8 ns leads to a more aggressively optimized netlist with fewer logic levels and faster cells compared to the 1.0 ns case.
- ***Worst path timing report:***

```
=====
Generated by:          Genus(TM) Synthesis Solution 21.19-s055_1
Generated on:         Dec 15 2025 11:11:17 pm
Module:               alu
Operating conditions: PVT_1P08V_125C (balanced_tree)
Wireload mode:        enclosed
Area mode:            timing library
=====

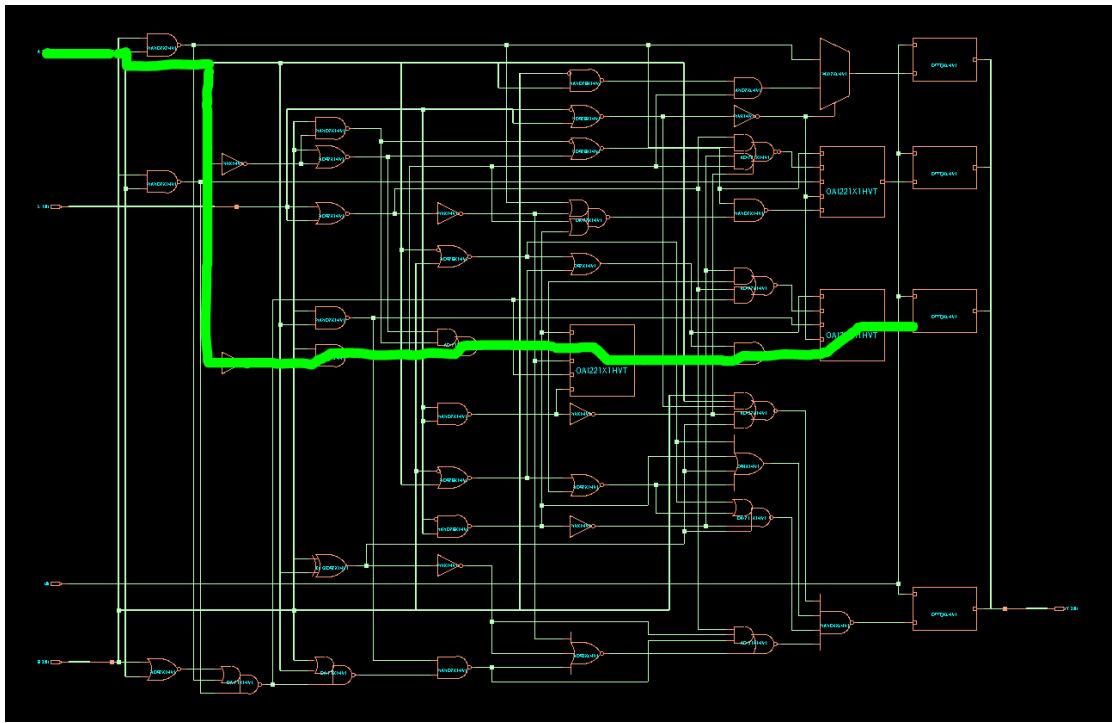
Path 1: MET (7 ps) Setup Check with Pin Y_reg[2]/CK->D
    Group: clk
    Startpoint: (F) A[0]
        Clock: (R) clk
    Endpoint: (F) Y_reg[2]/D
        Clock: (R) clk

        Capture           Launch
    Clock Edge:+     800          0
    Drv Adjust:+      0          0
    Src Latency:+      0          0
    Net Latency:+      0 (I)      0 (I)
        Arrival:=     800          0

        Setup:-       69
    Required Time:=   731
    Launch Clock:-     0
    Input Delay:-     300
    Data Path:-       424
        Slack:=       7

Exceptions/Constraints:
    input_delay      300          constraints.sdc_line_6_3_1
#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
A[0]          -      -     F   (arrival)      3  1.3   0    0    300  (-,-)
g1984/Y       -      A->Y R   INVX1HVT     1  0.8   17   13   313  (-,-)
g1972_6417/Y  -      B->Y F   NAND2X2HVT    4  1.1   50   44   357  (-,-)
g1954_5115/Y  -      A0->Y R   AOI21X1HVT   3  1.2   59   72   429  (-,-)
g1946_1617/Y  -      A1->Y F   OAI221X1HVT  1  0.3   102  134  562  (-,-)
g1941_8428/Y  -      B->Y R   NAND2X1HVT    1  0.4   29   62   625  (-,-)
g1938_6260/Y  -      C0->Y F   OAI221X1HVT  1  0.2   96   99   724  (-,-)
Y_reg[2]/D    <<<  -     F   DFFQXLHVT   1  -    -    0    724  (-,-)
#-----
```

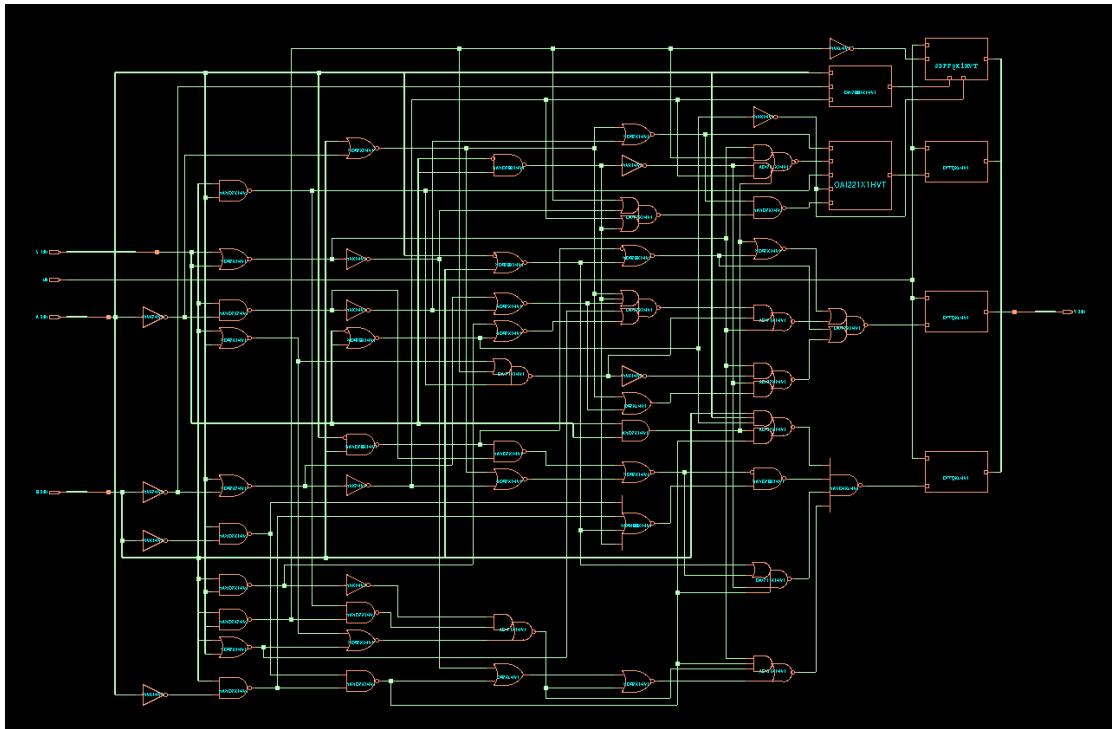
- ***Worst path's traversal:***



- **Conclusion:** After reviewing the timing report above, we conclude that this path meets the timing requirements, with a slack of 7 (ps).

3.5. Scenario 4

- *netlist:*



- Reducing the clock period to 0.8 ns leads to a more aggressively optimized netlist with fewer logic levels and faster cells compared to the 1.0 ns case.

- ***Worst path timing report:***

```
=====
Generated by:          Genus(TM) Synthesis Solution 21.19-s055_1
Generated on:         Dec 15 2025 11:46:04 pm
Module:               alu
Operating conditions: PVT_1P08V_125C (balanced_tree)
Wireload mode:        enclosed
Area mode:            timing library
=====

Path 1: MET (0 ps) Setup Check with Pin Y_reg[3]/CK->D
    Group: clk
    Startpoint: (R) A[2]
        Clock: (R) clk
    Endpoint: (F) Y_reg[3]/D
        Clock: (R) clk

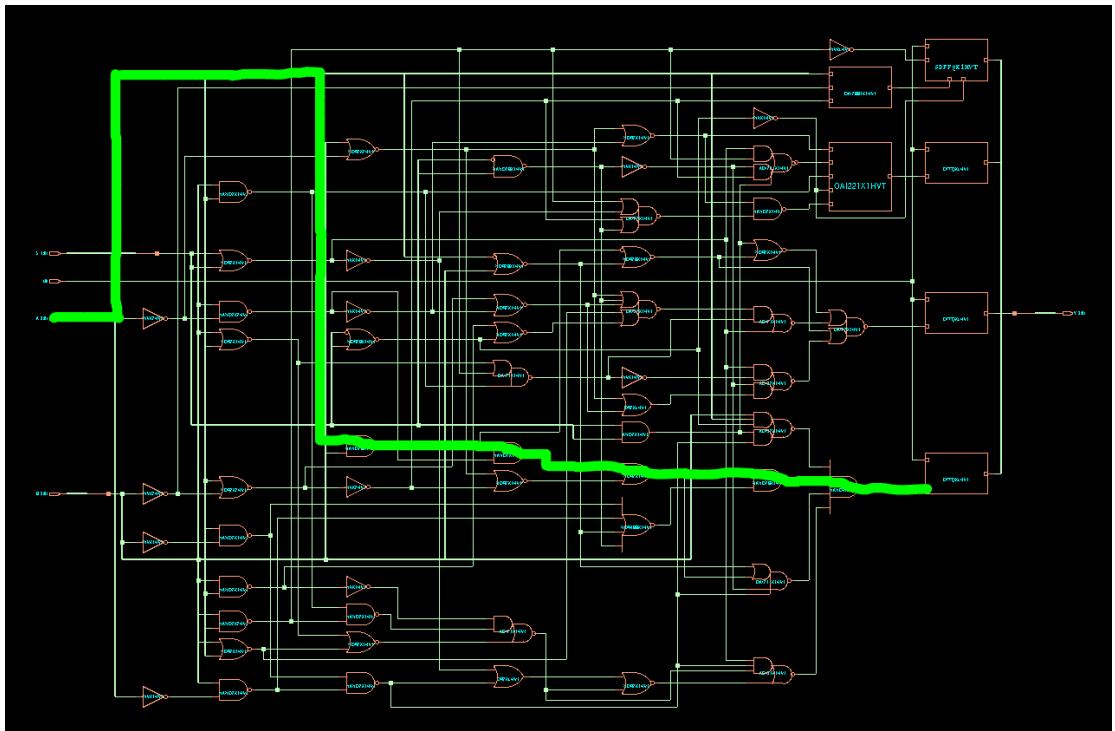
    Capture           Launch
    Clock Edge:+     600      0
    Drv Adjust:+     0        0
    Src Latency:+    0        0
    Net Latency:+   0 (I)    0 (I)
    Arrival:=       600      0

    Setup:-          79
    Required Time:=  521
    Launch Clock:-  0
    Input Delay:-   200
    Data Path:-     321
    Slack:=         0

Exceptions/Constraints:
    input_delay      200          constraints.sdc_line_6_1_1

#-----
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----
A[2]          -      -     R     (arrival)    4  1.2    0    0    200  (-,-)
g12517/Y     -      AN->Y R     NAND2BX1HVT  2  0.6   22   44   244  (-,-)
g12475_6417/Y -      A->Y F     NAND2X1HVT  1  0.3   39   47   291  (-,-)
g12460_8246/Y -      A->Y R     NOR2X1HVT   2  0.6   36   48   338  (-,-)
g2/Y          -      AN->Y R     NAND2BX1HVT  1  0.2   16   56   394  (-,-)
g12444_5107/Y -      B->Y F     NAND4XLHVT  1  0.2  121  127   521  (-,-)
Y_reg[3]/D    <<<   -     F     DFFQXLHVT  1  -     -    0    521  (-,-)
#-----
```

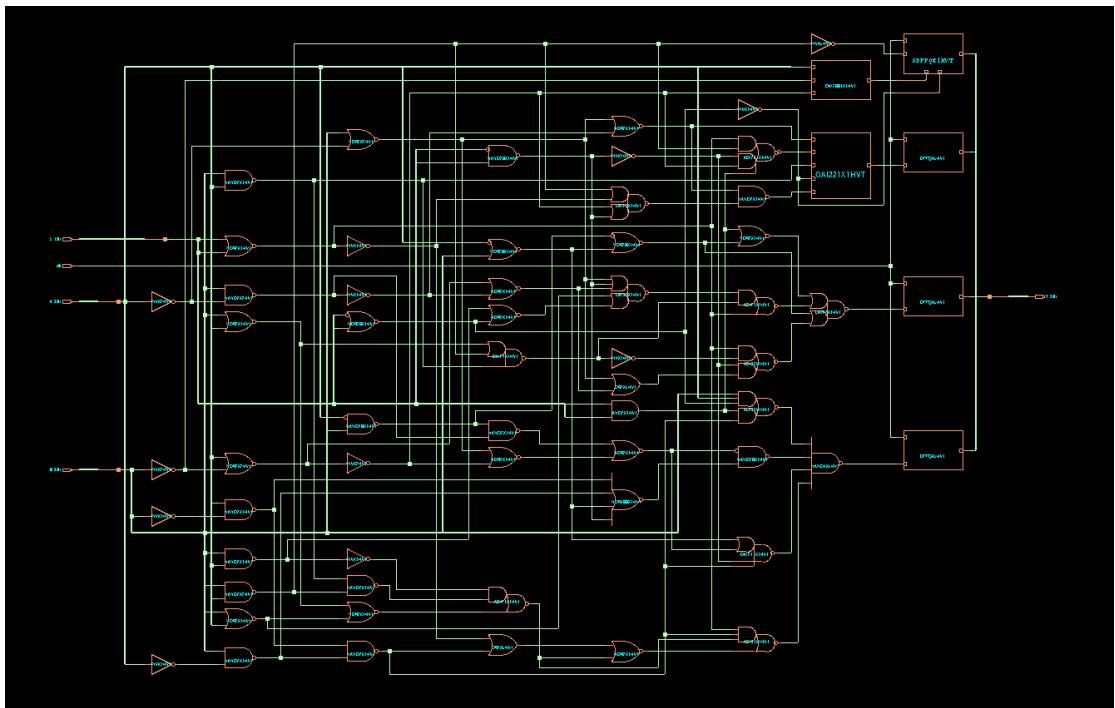
- ***Worst path's traversal:***



- **Conclusion:** After reviewing the timing report above, we conclude that this path meets the timing requirements, with a slack of 0 (ps).

3.6. Scenario 5

- *netlist:*



- Reducing the clock period to 0.8 ns leads to a more aggressively optimized netlist with fewer logic levels and faster cells compared to the 1.0 ns case.

- ***Worst path timing report:***

```
=====
Generated by:      Genus(TM) Synthesis Solution 21.19-s055_1
Generated on:     Dec 16 2025 12:11:34 am
Module:          alu
Operating conditions: PVT_1P08V_125C (balanced_tree)
Wireload mode:    enclosed
Area mode:       timing library
=====

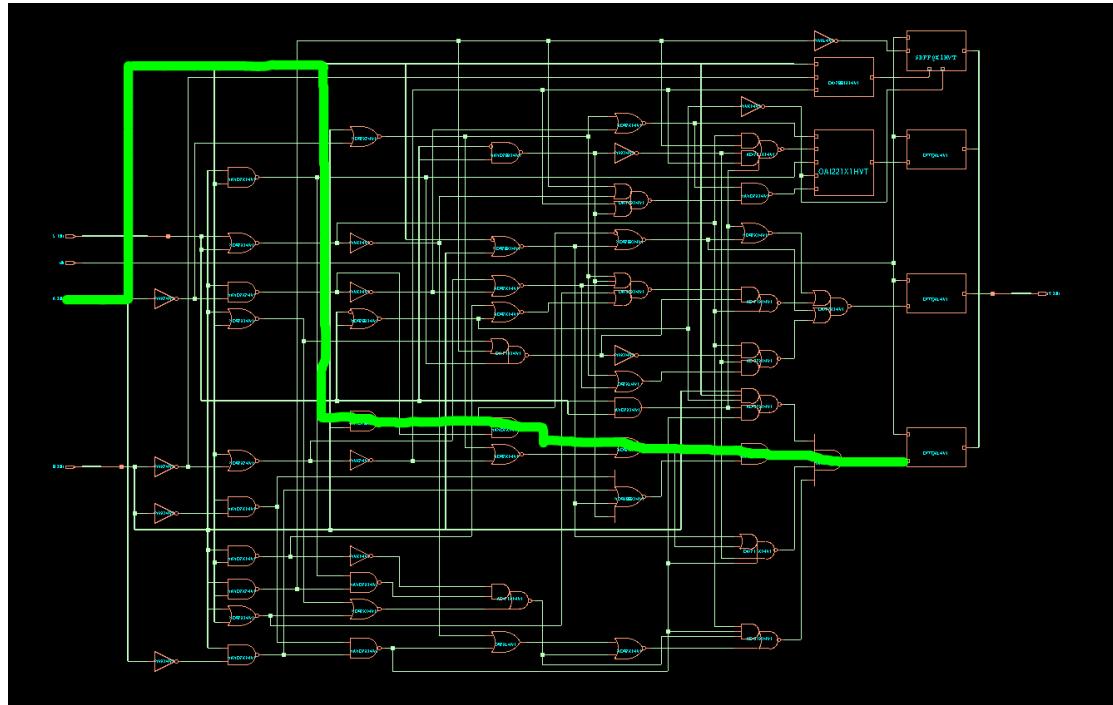
Path 1: MET (0 ps) Setup Check with Pin Y_reg[3]/CK->D
  Group: clk
  Startpoint: (R) A[2]
    Clock: (R) clk
  Endpoint: (F) Y_reg[3]/D
    Clock: (R) clk

      Capture        Launch
  Clock Edge:+    500          0
  Drv Adjust:+    0           0
  Src Latency:+   0           0
  Net Latency:+   0 (I)       0 (I)
    Arrival:=     500          0

      Setup:-      79
  Required Time:= 421
  Launch Clock:- 0
  Input Delay:-  100
  Data Path:-    321
    Slack:=      0 |

Exceptions/Constraints:
  input_delay      100          constraints.sdc_line_6_1_1
  -----
#-----#
# Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
#                                         (ff)   (ps)   (ps)   (ps)   Location
#-----#
A[2]          -      - R    (arrival)      4  1.2   0     0     100   (-,-)
g12517/Y      -      AN->Y R  NAND2BX1HVT  2  0.6   22    44    144   (-,-)
g12475_6417/Y -      A->Y F  NAND2X1HVT  1  0.3   39    47    191   (-,-)
g12460_8246/Y -      A->Y R  NOR2X1HVT  2  0.6   36    48    238   (-,-)
g2/Y          -      AN->Y R  NAND2BX1HVT 1  0.2   16    56    294   (-,-)
g12444_5107/Y -      B->Y F  NAND4XLHVT 1  0.2   121   127   421   (-,-)
Y_reg[3]/D    <<< -      F   DFFQXLHVT 1  -     -     0     421   (-,-)
#-----#
```

- *Worst path's traversal:*



- **Conclusion:** After reviewing the timing report above, we conclude that this path meets the timing requirements, with a slack of 0 (ps).

IV. THÍ NGHIỆM 4

4.1. Mục tiêu và yêu cầu thí nghiệm

Mục tiêu: Thực hiện phân tích thời gian (timing) cho mạch tuần tự tiết kiệm năng lượng (low-power) sau khi tổng hợp (synthesis).

Mô tả: Trong thí nghiệm này, chúng ta thực hiện phân tích thời gian tĩnh (STA) cho một thiết kế tuần tự tiết kiệm năng lượng. Đoạn mã được sử dụng trong thí nghiệm này là một đoạn mã mô tả ALU có áp dụng kỹ thuật **clock-gating** (gating xung clock):

```
module alu_low_power (
    input logic [3:0] A,
    input logic [3:0] B,
    input logic [1:0] S,
    input logic     clk,
    output logic [3:0] Y
);

    logic [3:0] add_res, sub_res, and_res, xor_res;
    logic en_add,en_sub,en_and,en_xor;

    // Activate only the necessary logic to reduce switching
    // Generate enable signals for each block
    assign en_add = (S == 2'b00)?1'b1:1'b0;
    assign en_sub = (S == 2'b01)?1'b1:1'b0;
    assign en_and = (S == 2'b10)?1'b1:1'b0;
    assign en_xor = (S == 2'b11)?1'b1:1'b0;

    // Use clk gating to supply clk signals to each logic block
    logic clk_add, clk_sub, clk_andl, clk_xorl;

    // Clock gating using an AND gate
    assign clk_add = clk & en_add;
    assign clk_sub = clk & en_sub;
    assign clk_andl = clk & en_and;
    assign clk_xorl = clk & en_xor;

    // These blocks operate only when en = 1.
    always_ff @(posedge clk_add)
        add_res <= A + B;

    always_ff @(posedge clk_sub)
        sub_res <= A - B;

    always_ff @(posedge clk_andl)
        and_res <= A & B;

    always_ff @(posedge clk_xorl)
        xor_res <= A ^ B;

    //Output Selection Mux
    always_comb begin
        case (S)
            2'b00: Y = add_res;
            2'b01: Y = sub_res;
            2'b10: Y = and_res;
            2'b11: Y = xor_res;
            default: Y = 4'd0;
        endcase
    end
endmodule
```

Yêu cầu:

Sử dụng thư viện **slow_vdd1v2_basicCells_hvt.lib** để thực hiện các yêu cầu sau:

- **Tổng hợp (synthesize)** đoạn mã trong phần mô tả với các **ràng buộc (constraints)** như trong **thí nghiệm 3**.

```
create_clock -name clk -period 1.0 [get_ports clk]

set_input_delay 0.2 -clock [get_clocks *] [all_inputs]
set_output_delay 0.3 -clock [get_clocks *] [all_outputs]
set_max_delay 0.5 -from [all_inputs] -to [all_outputs]

set timing_report_unconstrained true
```

So sánh **mức tiêu thụ công suất (power consumption)** của hai thiết kế trong **Experiment 3** và **Experiment 4**. Giải thích vì sao công suất của chúng khác nhau và vì sao (thiết kế low-power) lại **thấp hơn**.

- Tìm **đường xấu nhất (worst path)** theo các điều kiện được chỉ định trong file **SDC** đã cung cấp: nêu rõ **traversal** và vẽ đường xấu nhất dựa trên kết quả sau tổng hợp (synthesis).
- Thực hiện **phân tích timing** (có thể vẽ **biểu đồ thời gian/timing diagram**) cho **10 đường xấu nhất**. Với mỗi đường (path), hãy nêu **traversal** (không cần vẽ), ghi **độ trễ của đường (path delay)**, và cho biết đường đó **đạt slack hay bị vi phạm**.

4.2. So sánh mức tiêu thụ công suất giữa thí nghiệm 3 và thí nghiệm 4

Trong thí nghiệm 3, thiết kế ALU thường (alu) được tổng hợp và báo cáo công suất theo chế độ vectorless của Genus. Trong thí nghiệm 4, thiết kế ALU low-power (alu_low_power) được tổng hợp với cùng thư viện và điều kiện ràng buộc, sau đó thực hiện báo cáo công suất để so sánh. Công suất được phân rã thành ba thành phần: Leakage, Internal, và Switching, đồng thời phân loại theo nhóm phần tử (register, logic, clock,...).

a. Kết quả đo công suất

Dựa trên kết quả sau tổng hợp (synthesis), ta thu được công suất của 2 thiết kế như sau:

- ALU thường:

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	5.42607e-10	1.13839e-05	0.00000e+00	1.13844e-05	44.80%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	2.23387e-09	8.48340e-06	4.60737e-06	1.30930e-05	51.53%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	9.33120e-07	9.33120e-07	3.67%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	2.77648e-09	1.98673e-05	5.54049e-06	2.54106e-05	100.00%
Percentage	0.01%	78.19%	21.80%	100.00%	100.00%

- ALU low-power:

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	1.97189e-09	1.80446e-05	9.56448e-07	1.90030e-05	50.06%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	2.83351e-09	1.08688e-05	4.51139e-06	1.53830e-05	40.53%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	1.31104e-10	1.51788e-06	2.05286e-06	3.57087e-06	9.41%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	4.93651e-09	3.04312e-05	7.52070e-06	3.79568e-05	100.00%
Percentage	0.01%	80.17%	19.81%	100.00%	100.00%

b. Nhận xét theo thành phần công suất và nhóm phân tử:

Xét theo nhóm phân tử, các thay đổi đáng chú ý như sau:

- Clock power:
 - Ex3: 9.33120e-07 W (3.67%)
 - Ex4: 3.57087e-06 W (9.41%)
→ Công suất clock trong Ex4 tăng mạnh (xấp xỉ 3.8 lần).
- Register power:
 - Ex3: 1.13844e-05 W (44.80%)
 - Ex4: 1.90030e-05 W (50.06%)
→ Công suất của register trong Ex4 tăng đáng kể.
- Logic power:
 - Ex3: 1.30930e-05 W (51.53%)
 - Ex4: 1.53830e-05 W (40.53%)
→ Logic tăng nhẹ về giá trị tuyệt đối, tuy nhiên tỷ trọng giảm do clock và register tăng nhiều hơn.

Như vậy, nguyên nhân chính làm tổng công suất Ex4 tăng là do clock network và register tiêu thụ nhiều hơn so với Ex3.

c, Giải thích theo cơ sở lý thuyết (vì sao low-power “đáng lẽ” thấp hơn)

Về lý thuyết, công suất động của mạch số xấp xỉ: $P_{dyn} = \alpha C V^2 f$

Trong đó α là hệ số chuyển mạch, C là điện dung tải, V là điện áp, và f là tần số.

Các kỹ thuật low-power như clock gating nhằm giảm α theo hai hướng:

1. Giảm switching trên mạng clock (vì clock toggle liên tục nên đóng góp lớn vào dynamic power), đặc biệt khi clock được gating hợp lệ (ICG/clock enable), các nhánh không hoạt động sẽ không còn toggle → giảm clock power và kéo theo giảm cả switching ở các FF phía sau.
2. Ngăn các FF/logic không cần thiết hoạt động trong những chu kỳ không sử dụng, từ đó giảm switching ở register và logic, đồng thời giảm số lần nạp/xả điện dung trên các node nội bộ (giảm $\alpha \cdot C \cdot V^2 \cdot f$), nên công suất động tổng thể giảm rõ rệt.

Do đó, trong trường hợp clock gating được triển khai đúng và các khối không sử dụng thực sự ở trạng thái “ngủ” trong nhiều chu kỳ, thiết kế low-power kỳ vọng sẽ có tổng công suất thấp hơn thiết kế thường.

d, Đối chiếu với kết quả thực nghiệm

Trong kết quả thực nghiệm hiện tại, alu_low_power không thấp hơn mà cao hơn. Điều này phù hợp với các quan sát sau từ báo cáo:

- Công suất clock tăng mạnh ở Ex4 cho thấy mạng clock/nhánh clock nội bộ trong thiết kế low-power đã tạo ra overhead đáng kể. Thực tế, việc bổ sung logic điều khiển/gating và các nhánh clock có thể làm tăng switching của clock nếu kỹ thuật gating không được tối ưu hoặc không được nhận diện/ánh xạ theo cấu trúc clock gating chuẩn.
- Công suất register tăng đáng kể ở Ex4 cho thấy thiết kế low-power đã sử dụng nhiều phần tử lưu trữ hơn (hoặc nhiều thanh ghi trung gian hơn). Khi số FF tăng, công suất internal của register tăng theo, làm tổng công suất tăng.
- Báo cáo power được thực hiện theo chế độ vectorless, tức là hoạt động chuyển mạch được suy luận theo giả định thay vì từ waveform thực (VCD/SAIF). Trong điều kiện này, lợi ích “giảm switching nhờ gating” có thể không phản ánh đầy đủ như khi có hoạt động thực tế phù hợp (ví dụ S cố định lâu và nhiều khối bị tắt trong đa số thời gian).

Như vậy, đối với thực nghiệm này, phần tiết kiệm switching (nếu có) không bù đắp phần overhead do tăng clock/register, dẫn đến tổng công suất Ex4 lớn hơn Ex3.

e, Kết luận

- Theo số liệu báo cáo, tổng công suất của ALU thường (Ex3) là $2.54106e-05$ W, trong khi **ALU low-power (Ex4)** là $3.79568e-05$ W.
- Thành phần gây tăng chính ở Ex4 là **clock power** và **register power**, cho thấy overhead do cấu trúc low-power hiện tại lớn hơn phần lợi ích giảm switching.
- Về mặt lý thuyết, thiết kế low-power có thể đạt công suất thấp hơn nhờ giảm switching activity và giảm hoạt động của mạng clock; tuy nhiên trong kết quả tổng hợp và ước lượng power hiện tại, lợi ích này chưa thể hiện rõ do các yếu tố overhead nêu trên.

4.3. Traversal và đường xấu nhất (worst path)

Dựa trên báo cáo *report_timing -nworst 10* sau tổng, ta thu được file all_path.rpt có nội dung như sau:

```
all_path.rpt ×
=====
1  Generated by:          Genus(TM) Synthesis Solution 21.19-s055_1
2  Generated on:         Dec 16 2025 03:26:28 pm
3  Module:               alu
4  Operating conditions: PVT_1P08V_125C (balanced_tree)
5  Wireload mode:        enclosed
6  Area mode:            timing library
7
8 =====
9
10
11 Path 1: MET (251 ps) Setup Check with Pin Y_reg[3]/CK->D
12     Group: clk
13     Startpoint: (R) B[0]
14     Clock: (R) clk
15     Endpoint: (R) Y_reg[3]/D
16     Clock: (R) clk
17
18             Capture      Launch
19     Clock Edge:+    1000          0
20     Drv Adjust:+    0             0
21     Src Latency:+   0             0
22     Net Latency:+   0 (I)        0 (I)
23     Arrival:=       1000          0
24
25     Setup:-         93
26     Required Time:= 907
27     Launch Clock:- 0
28     Input Delay:-  200
29     Data Path:-    455
30     Slack:=        251
31
32 Exceptions/Constraints:
33     input_delay      200           constraints_ex3.sdc_line_3_7_1
34
35 #-----
36 # Timing Point  Flags  Arc   Edge   Cell    Fanout Load Trans Delay Arrival Instance
37 #                                         (ff)  (ps)  (ps)  (ps)  Location
38 #-----
39     B[0]      -      - R    (arrival)    3  0.8   0   0   200  (-,-)
40     g808_8428/Y -      AN->Y R  NOR2BX1HVT  3  0.8   40  61  261  (-,-)
41     g782_1881/Y -      A0->Y F  OAI21X1HVT  3  0.9   75  87  348  (-,-)
42     g772_5122/Y -      A1->Y R  A0I21X1HVT  2  0.4   36  64  412  (-,-)
43     g768_4319/Y -      A2->Y F  A0I33XLHVT  1  0.3  169  147  559  (-,-)
44     g764_2398/Y -      C0->Y R  OAI211X1HVT 1  0.2   47  96  655  (-,-)
45     Y_reg[3]/D   -      - R    DFFQXLHVT  1  -     -   0   655  (-,-)
46 #-----
47
```

```

49
50 Path 2: MET (270 ps) Setup Check with Pin Y_reg[3]/CK->D
51     Group: clk
52     Startpoint: (R) B[1]
53         Clock: (R) clk
54     Endpoint: (R) Y_reg[3]/D
55         Clock: (R) clk
56
57             Capture      Launch
58             Clock Edge:+ 1000          0
59             Drv Adjust:+ 0            0
60             Src Latency:+ 0            0
61             Net Latency:+ 0 (I)       0 (I)
62             Arrival:=    1000          0
63
64             Setup:-        93
65             Required Time:= 907
66             Launch Clock:- 0
67             Input Delay:- 200
68             Data Path:-   436
69             Slack:=       270
70
71 Exceptions/Constraints:
72     input_delay      200           constraints_ex3.sdc_line_3_6_1
73
74 #-----
75 # Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
76 #                                         (fF)   (ps)   (ps)   (ps)   Location
77 #-----
78     B[1]          -      -     R     (arrival)    4  1.2   0     0     200   (-,-)
79     g796_7410/Y  -      AN->Y R  NOR2BX1HVT  2  0.6   34    57    257   (-,-)
80     g782_1881/Y  -      A1->Y F  OAI21X1HVT  3  0.9   75    72    329   (-,-)
81     g772_5122/Y  -      A1->Y R  AOI21X1HVT  2  0.4   36    64    393   (-,-)
82     g768_4319/Y  -      A2->Y F  AOI33XLHVT  1  0.3  169   147   541   (-,-)
83     g764_2398/Y  -      C0->Y R  OAI211X1HVT 1  0.2   47    96    636   (-,-)
84     Y_reg[3]/D   -      -     R   DFFQXLHVT  1  -     -     0     636   (-,-)
85 #-----
86
87
88
89 Path 3: MET (285 ps) Setup Check with Pin Y_reg[3]/CK->D
90     Group: clk
91     Startpoint: (F) A[0]
92         Clock: (R) clk
93     Endpoint: (R) Y_reg[3]/D
94         Clock: (R) clk
95
96             Capture      Launch
97             Clock Edge:+ 1000          0

```

```

95
96          Capture      Launch
97          Clock Edge:+ 1000          0
98          Drv Adjust:+ 0            0
99          Src Latency:+ 0            0
100         Net Latency:+ 0 (I)      0 (I)
101         Arrival:=    1000          0
102
103         Setup:-      93
104         Required Time:= 907
105         Launch Clock:- 0
106         Input Delay:- 200
107         Data Path:-   422
108         Slack:=      285
109
110        Exceptions/Constraints:
111          input_delay      200           constraints_ex3.sdc_line_3_3_1
112
113        #
114        #-----#
115        # Timing Point Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
116        #                                     (fF)  (ps)  (ps)  (ps)  Location
117        #-----#
118          A[0]      -     -     F  (arrival)      3  0.9  0  0  200  (-,-)
119          g808_8428/Y -     B->Y R  NOR2BX1HVT    3  0.8  40 27  227  (-,-)
120          g782_1881/Y -     A0->Y F  OAI21X1HVT    3  0.9  75 87  314  (-,-)
121          g772_5122/Y -     A1->Y R  AOI21X1HVT    2  0.4  36 64  378  (-,-)
122          g768_4319/Y -     A2->Y F  AOI33XLHVT    1  0.3  169 147 526  (-,-)
123          g764_2398/Y -     C0->Y R  OAI211X1HVT   1  0.2  47 96  622  (-,-)
124          Y_reg[3]/D -     -     R  DFFQXLHVT    1  -   -   0  622  (-,-)
125
126
127
128        Path 4: MET (285 ps) Setup Check with Pin Y_reg[3]/CK->D
129          Group: clk
130          Startpoint: (R) B[1]
131          Clock: (R) clk
132          Endpoint: (R) Y_reg[3]/D
133          Clock: (R) clk
134
135          Capture      Launch
136          Clock Edge:+ 1000          0
137          Drv Adjust:+ 0            0
138          Src Latency:+ 0            0
139          Net Latency:+ 0 (I)      0 (I)
140          Arrival:=    1000          0
141

```

```

141
142      Setup:-      93
143      Required Time:= 907
144      Launch Clock:- 0
145      Input Delay:- 200
146      Data Path:- 422
147      Slack:= 285
148
149 Exceptions/Constraints:
150     input_delay      200          constraints_ex3.sdc_line_3_6_1
151
152 #-----
153 # Timing Point   Flags   Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
154 #                                         (fF)   (ps)   (ps)   (ps)   Location
155 #-----
156     B[1]           -      -      R      (arrival)        4   1.2    0     0    200   (-,-)
157     g797_6417/Y   -      AN->Y R      NAND2BX1HVT      2   0.8    25    45   245   (-,-)
158     g782_1881/Y   -      B0->Y F      OAI21X1HVT      3   0.9    75    69   314   (-,-)
159     g772_5122/Y   -      A1->Y R      AOI21X1HVT      2   0.4    36    64   378   (-,-)
160     g768_4319/Y   -      A2->Y F      AOI33XLHVT      1   0.3   169   147   526   (-,-)
161     g764_2398/Y   -      C0->Y R      OAI211X1HVT     1   0.2    47    96   622   (-,-)
162     Y_reg[3]/D   -      -      R      DFFQXLHVT      1   -     -     0    622   (-,-)
163 #-----
164
165
166
167 Path 5: MET (304 ps) Setup Check with Pin Y_reg[3]/CK->D
168     Group: clk
169     Startpoint: (F) A[1]
170     Clock: (R) clk
171     Endpoint: (R) Y_reg[3]/D
172     Clock: (R) clk
173
174             Capture      Launch
175     Clock Edge:+ 1000          0
176     Drv Adjust:+ 0            0
177     Src Latency:+ 0            0
178     Net Latency:+ 0 (I)       0 (I)
179     Arrival:= 1000          0
180
181     Setup:-      93
182     Required Time:= 907
183     Launch Clock:- 0
184     Input Delay:- 200
185     Data Path:- 403
186     Slack:= 304
187
188 Exceptions/Constraints:
189     innut delav      200          constraints_ex3.sdc_line_3_2_1

```

```

187
188 Exceptions/Constraints:
189     input_delay          200           constraints_ex3.sdc_line_3_2_1
190
191 #
192 #-----#
193 # Timing Point Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
194 #                                         (fF) (ps) (ps) (ps) Location
195 #
196 A[1]      -      -   F   (arrival)      4  1.2   0   0   200  (-,-)
197 g796_7410/Y -      B->Y R NOR2BX1HVT    2  0.6   34  24  224  (-,-)
198 g782_1881/Y -      A1->Y F OAI21X1HVT    3  0.9   75  72  296  (-,-)
199 g772_5122/Y -      A1->Y R AOI21X1HVT    2  0.4   36  64  360  (-,-)
200 g768_4319/Y -      A2->Y F AOI33XLHVT    1  0.3  169 147  507  (-,-)
201 g764_2398/Y -      C0->Y R OAI211X1HVT   1  0.2   47  96  603  (-,-)
202 Y_reg[3]/D  -      -   R DFFQXLHVT       1  -     -   0   603  (-,-)
203
204
205
206 Path 6: MET (315 ps) Setup Check with Pin Y_reg[3]/CK->D
207     Group: clk
208     Startpoint: (R) B[0]
209     Clock: (R) clk
210     Endpoint: (F) Y_reg[3]/D
211     Clock: (R) clk
212
213             Capture      Launch
214     Clock Edge:+  1000        0
215     Drv Adjust:+  0           0
216     Src Latency:+ 0           0
217     Net Latency:+ 0 (I)      0 (I)
218     Arrival:=    1000        0
219
220     Setup:-      64
221     Required Time:= 936
222     Launch Clock:- 0
223     Input Delay:- 200
224     Data Path:-  421
225     Slack:=    315
226
227 Exceptions/Constraints:
228     input_delay          200           constraints_ex3.sdc_line_3_7_1
229
230 #
231 #-----#
232 # Timing Point Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
233 #                                         (fF) (ps) (ps) (ps) Location
234 #
235 B[0]      -      -   R   (arrival)      3  0.8   0   0   200  (-,-)
236 a808_8428/Y -      AN->Y R NOR2BX1HVT    3  0.8   40  61  261  (-,-)

```

```

234   B[0]      -      -      R    (arrival)      3  0.8    0    0    200  (-,-)
235   g808_8428/Y -      AN->Y R    NOR2BX1HVT    3  0.8    40   61    261  (-,-)
236   g782_1881/Y -      A0->Y F    OAI21X1HVT    3  0.9    75   87    348  (-,-)
237   g772_5122/Y -      A1->Y R    AOI21X1HVT    2  0.4    36   64    412  (-,-)
238   g770/Y       -      A->Y F    INVXLHVT     1  0.3    24   36    448  (-,-)
239   g767_6260/Y -      B1->Y R    AOI221X1HVT   1  0.4    66   70    518  (-,-)
240   g764_2398/Y -      A1->Y F    OAI211X1HVT   1  0.2    82  104    621  (-,-)
241   Y_reg[3]/D  -      -      F    DFFQXLHVT    1  -     -    0    621  (-,-)
242 #
243
244
245
246 Path 7: MET (316 ps) Setup Check with Pin Y_reg[3]/CK->D
247   Group: clk
248   Startpoint: (F) A[1]
249   Clock: (R) clk
250   Endpoint: (R) Y_reg[3]/D
251   Clock: (R) clk
252
253           Capture      Launch
254   Clock Edge:+ 1000          0
255   Drv Adjust:+ 0             0
256   Src Latency:+ 0             0
257   Net Latency:+ 0 (I)        0 (I)
258   Arrival:=    1000          0
259
260   Setup:-      93
261   Required Time:= 907
262   Launch Clock:- 0
263   Input Delay:- 200
264   Data Path:-   391
265   Slack:=      316
266
267 Exceptions/Constraints:
268   input_delay      200      constraints_ex3.sdc_line_3_2_1
269
270 #
271 # Timing Point Flags Arc Edge Cell      Fanout Load Trans Delay Arrival Instance
272 #                                         (fF)  (ps)  (ps)  (ps)  Location
273 #
274   A[1]      -      -      F    (arrival)      4  1.2    0    0    200  (-,-)
275   g797_6417/Y -      B->Y R    NAND2BX1HVT   2  0.8    25   15    215  (-,-)
276   g782_1881/Y -      B0->Y F    OAI21X1HVT    3  0.9    75   69    284  (-,-)
277   g772_5122/Y -      A1->Y R    AOI21X1HVT    2  0.4    36   64    348  (-,-)
278   g768_4319/Y -      A2->Y F    AOI33XLHVT   1  0.3   169  147    495  (-,-)
279   g764_2398/Y -      C0->Y R    OAI211X1HVT   1  0.2    47   96    591  (-,-)
280   Y_reg[3]/D  -      -      R    DFFQXLHVT    1  -     -    0    591  (-,-)
281 #
282

```

```

284
285 Path 8: MET (322 ps) Setup Check with Pin Y_reg[3]/CK->D
286     Group: clk
287     Startpoint: (R) B[0]
288     Clock: (R) clk
289     Endpoint: (R) Y_reg[3]/D
290     Clock: (R) clk
291
292             Capture      Launch
293     Clock Edge:+    1000        0
294     Drv Adjust:+    0           0
295     Src Latency:+   0           0
296     Net Latency:+   0 (I)      0 (I)
297     Arrival:=       1000        0
298
299             Setup:-      93
300     Required Time:= 907
301     Launch Clock:- 0
302     Input Delay:-  200
303     Data Path:-    384
304     Slack:=        322
305
306 Exceptions/Constraints:
307     input_delay      200          constraints_ex3.sdc_line_3_7_1
308
309 #
310 # Timing Point  Flags  Arc   Edge   Cell      Fanout Load Trans Delay Arrival Instance
311 #                                         (fF)   (ps)   (ps)   (ps)   Location
312 #
313 B[0]      -      -      R     (arrival)    3  0.8    0    0    200  (-,-)
314 g798_5526/Y -      A->Y  F     NAND2X1HVT  3  0.9    63   51   251  (-,-)
315 g786_5115/Y -      A1->Y R    OAI21X1HVT  3  1.2    65   73   324  (-,-)
316 g779_2802/Y -      A1->Y F    AOI21X1HVT  2  0.5    63   83   406  (-,-)
317 g778_6783/Y -      AN->Y F    NAND3BXLHVT 1  0.3    89  119   526  (-,-)
318 g764_2398/Y -      B0->Y R    OAI211X1HVT 1  0.2    47   59   584  (-,-)
319 Y_reg[3]/D  -      -      R     DFFQXLHVT  1  -      -    0    584  (-,-)
320 #
321
322
323
324 Path 9: MET (323 ps) Setup Check with Pin Y_reg[3]/CK->D
325     Group: clk
326     Startpoint: (F) B[3]
327     Clock: (R) clk
328     Endpoint: (R) Y_reg[3]/D
329     Clock: (R) clk
330
331             Capture      Launch
332     Clock Edge:+    1000        0

```

```

331          Capture      Launch
332          Clock Edge:+ 1000        0
333          Drv Adjust:+ 0           0
334          Src Latency:+ 0           0
335          Net Latency:+ 0 (I)     0 (I)
336          Arrival:=   1000        0
337
338          Setup:-      93
339          Required Time:= 907
340          Launch Clock:- 0
341          Input Delay:- 200
342          Data Path:- 383
343          Slack:=     323
344
345 Exceptions/Constraints:
346     input_delay      200          constraints_ex3.sdc_line_3_4_1
347
348 #-----
349 # Timing Point  Flags  Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
350 #          #          (fF)   (ps)   (ps)   (ps)    (ps)   Location
351 #
352     B[3]         -      -     F     (arrival)    2  0.4   0   0    200  (-,-)
353     g791_9315/Y -      A->Y R   XNOR2XLHVT   3  0.8   24  130   330  (-,-)
354     g768_4319/Y -      A1->Y F   AOI33XLHVT   1  0.3   169  158   488  (-,-)
355     g764_2398/Y -      C0->Y R   OAI211X1HVT  1  0.2   47   96   583  (-,-)
356     Y_reg[3]/D  -      -     R   DFFQXLHVT   1  -     -   0    583  (-,-)
357 #
358
359
360
361 Path 10: MET (328 ps) Setup Check with Pin Y_reg[3]/CK->D
362     Group: clk
363     Startpoint: (R) B[0]
364     Clock: (R) clk
365     Endpoint: (F) Y_reg[3]/D
366     Clock: (R) clk
367
368          Capture      Launch
369          Clock Edge:+ 1000        0
370          Drv Adjust:+ 0           0
371          Src Latency:+ 0           0
372          Net Latency:+ 0 (I)     0 (I)
373          Arrival:=   1000        0
374
375          Setup:-      64
376          Required Time:= 936
377          Launch Clock:- 0
378          Input Delay:- 200

```

```

375          Setup:-      64
376          Required Time:= 936
377          Launch Clock:- 0
378          Input Delay:- 200
379          Data Path:- 408
380          Slack:=     328
381
382 Exceptions/Constraints:
383     input_delay      200          constraints_ex3.sdc_line_3_7_1
384
385 #-----
386 # Timing Point  Flags  Arc   Edge   Cell       Fanout Load Trans Delay Arrival Instance
387 #          #          (fF)   (ps)   (ps)   (ps)    (ps)   Location
388 #
389     B[0]         -      -     R     (arrival)    3  0.8   0   0    200  (-,-)
390     g798_5526/Y -      A->Y F   NAND2XLHVT   3  0.9   63  51   251  (-,-)
391     g786_5115/Y -      A1->Y R   OAI21XLHVT   3  1.2   65  73   324  (-,-)
392     g779_2802/Y -      A1->Y F   AOI21XLHVT   2  0.5   63  83   406  (-,-)
393     g767_6260/Y -      A1->Y R   OAI221XLHVT  1  0.4   66  98   504  (-,-)
394     g764_2398/Y -      A1->Y F   OAI211XLHVT  1  0.2   82  104  608  (-,-)
395     Y_reg[3]/D  -      -     F   DFFQXLHVT   1  -     -   0    608  (-,-)
396 #
397
398

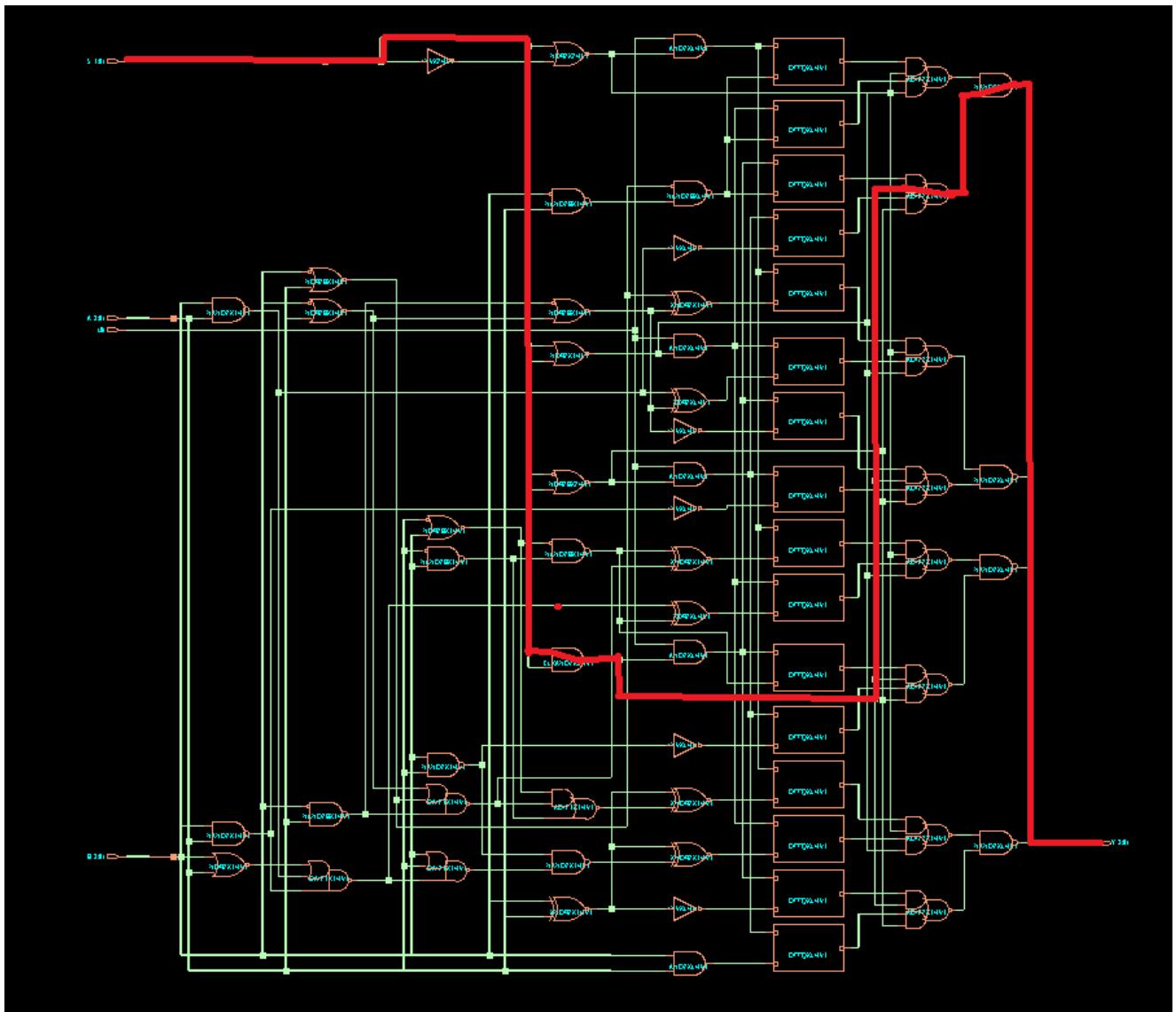
```

Ta xác định đường truyền xấu nhất (worst path) theo slack nhỏ nhất.

- **Worst path: Path 1**
- **Startpoint → Endpoint:** S[0] → Y[0]
- **Slack:** $-176 \text{ ps} \Rightarrow \text{VIOLATED}$

Traversal (Path 1):

S[0] → g588_2398 (CLKAND2X6HVT, arc A→Y) → g1121_5115 (AOI22X1HVT, arc A1→Y) → g1114_5122 (NAND2XLHVT, arc B→Y) → Y[0].



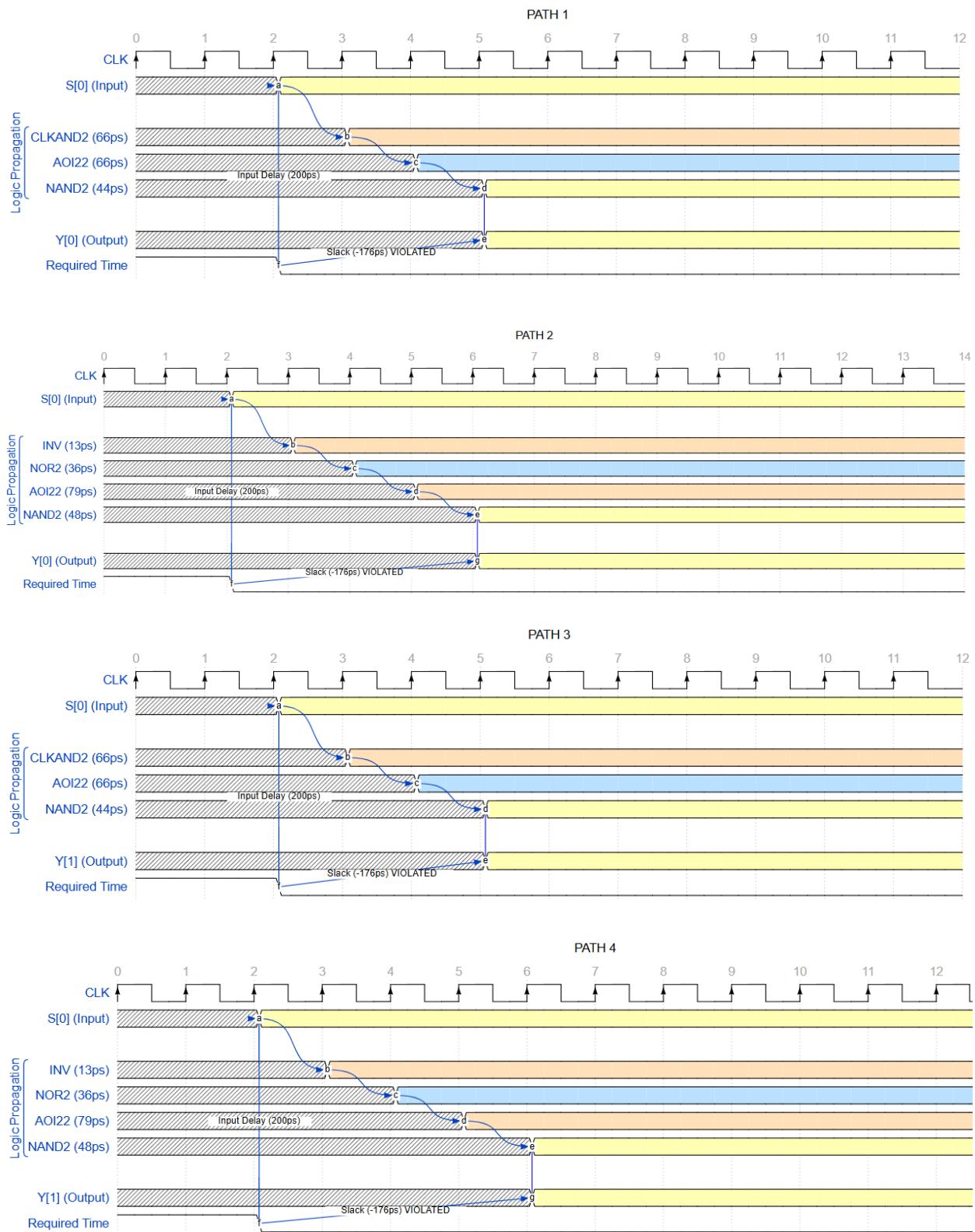
Hình minh họa (đường đỏ) thể hiện đường truyền worst path sau tổng hợp.

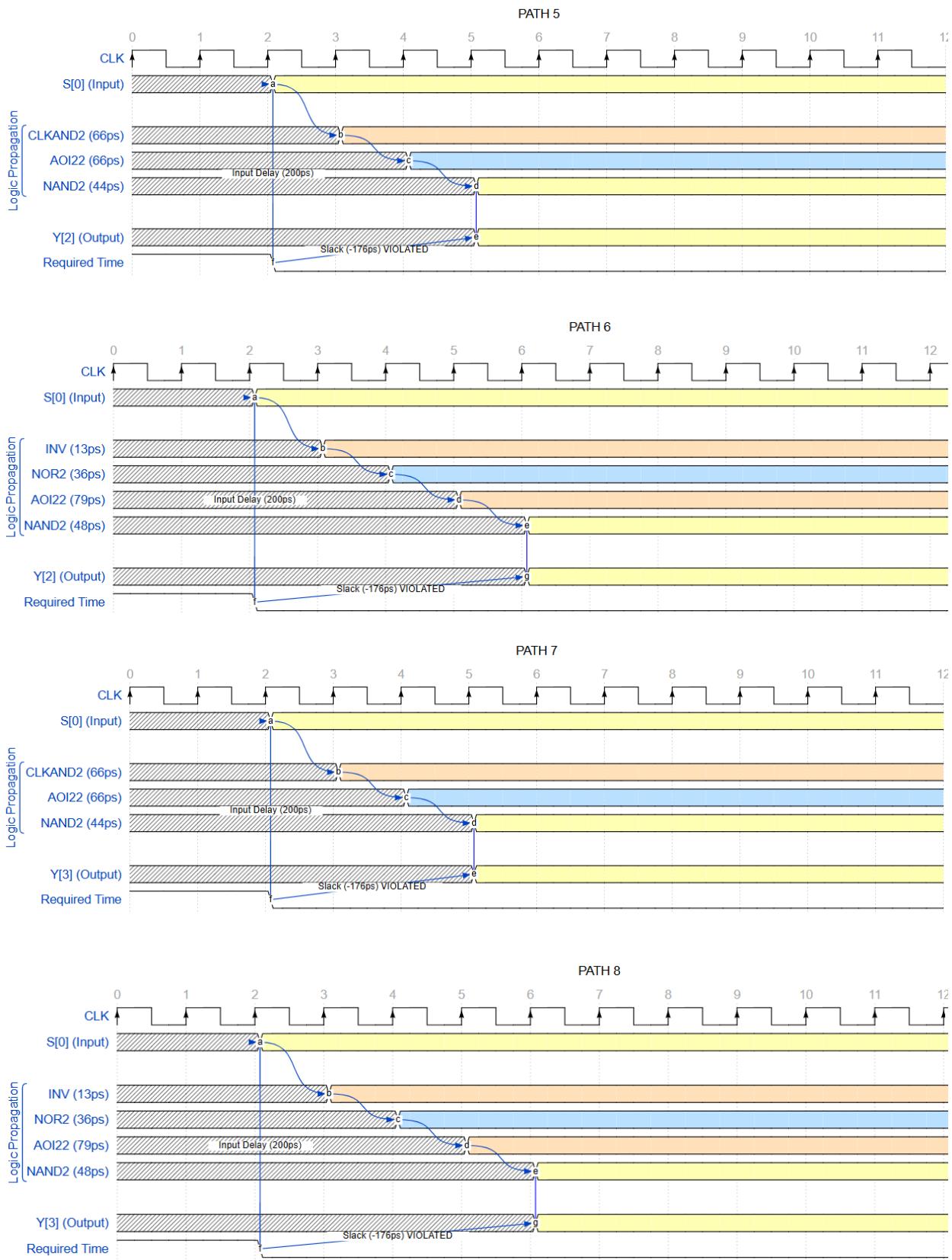
4.4. Phân tích timing

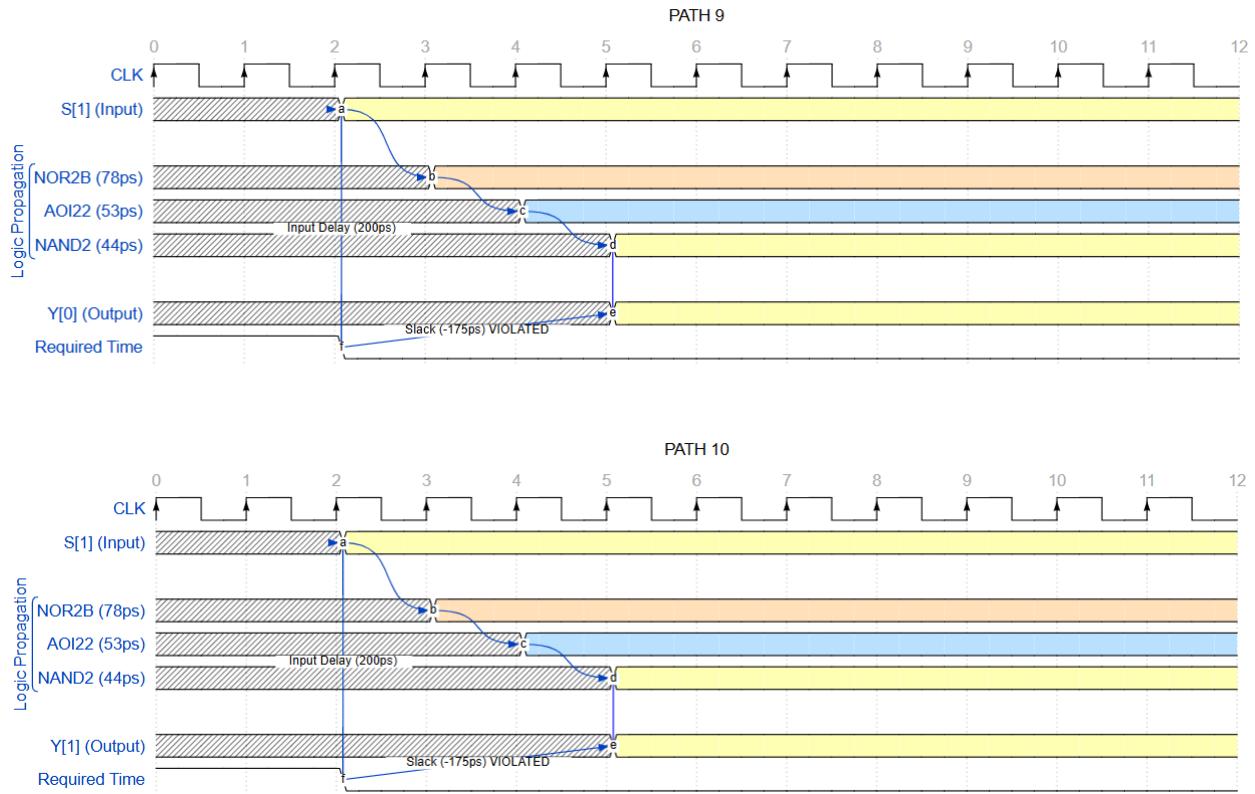
Bảng tổng hợp 10 worst paths:

Path	Start → End	Traversal	Path delay (Data Path)	Slack	Kết luận
1	S[0] → Y[0]	S[0] → CLKAND2X6HVT (A→Y) → AOI22X1HVT (A1→Y) → NAND2XLHVT (B→Y) → Y[0]	176 ps	-176 ps	VIOLATED
2	S[0] → Y[0]	S[0] → INVX2HVT (A→Y) → NOR2X2HVT (B→Y) → AOI22X1HVT (A1→Y) → NAND2XLHVT (A→Y) → Y[0]	176 ps	-176 ps	VIOLATED
3	S[0] → Y[1]	S[0] → CLKAND2X6HVT (A→Y) → AOI22X1HVT (A1→Y) → NAND2XLHVT (B→Y) → Y[1]	176 ps	-176 ps	VIOLATED
4	S[0] → Y[1]	S[0] → INVX2HVT (A→Y) → NOR2X2HVT (B→Y) → AOI22X1HVT (A1→Y) → NAND2XLHVT (A→Y) → Y[1]	176 ps	-176 ps	VIOLATED
5	S[0] → Y[2]	S[0] → CLKAND2X6HVT (A→Y) → AOI22X1HVT (A1→Y) → NAND2XLHVT (B→Y) → Y[2]	176 ps	-176 ps	VIOLATED
6	S[0] → Y[2]	S[0] → INVX2HVT (A→Y) → NOR2X2HVT (B→Y) → AOI22X1HVT (A1→Y) → NAND2XLHVT (A→Y) → Y[2]	176 ps	-176 ps	VIOLATED
7	S[0] → Y[3]	S[0] → CLKAND2X6HVT (A→Y) → AOI22X1HVT (A1→Y) → NAND2XLHVT (B→Y) → Y[3]	176 ps	-176 ps	VIOLATED
8	S[0] → Y[3]	S[0] → INVX2HVT (A→Y) → NOR2X2HVT (B→Y) → AOI22X1HVT (A1→Y) → NAND2XLHVT (A→Y) → Y[3]	176 ps	-176 ps	VIOLATED
9	S[1] → Y[0]	S[1] → NOR2BX2HVT (AN→Y) → AOI22X1HVT (B1→Y) → NAND2XLHVT (B→Y) → Y[0]	175 ps	-175 ps	VIOLATED
10	S[1] → Y[1]	S[1] → NOR2BX2HVT (AN→Y) → AOI22X1HVT (B1→Y) → NAND2XLHVT (B→Y) → Y[1]	175 ps	-175 ps	VIOLATED

*Timing diagram:







a, Tổng quan timing

Kết quả report_timing -nworst 10 cho thấy các đường xáu nhất đều thuộc nhóm Group: clk và đều bị báo Late External Delay Assertion tại các chân output Y[i]. Điều này cho thấy các ràng buộc kiểu I/O timing (đặc biệt là set_max_delay 0.5 từ [all_inputs] đến [all_outputs]) đang là điều kiện chi phối chính, khiến đường truyền dữ liệu từ input S[*] đến output Y[*] không đạt yêu cầu.

b, Worst path và đặc điểm vi phạm

Đường xáu nhất là **Path 1** với:

- **Startpoint → Endpoint:** S[0] → Y[0]
- **Data Path delay:** 176 ps
- **Slack:** -176 ps (VIOLATED)

Các đường còn lại (Path 2 → Path 10) có cấu trúc tương tự, chủ yếu xuất phát từ S[0] hoặc S[1] và kết thúc tại các bit Y[0..3]. Độ trễ dữ liệu của chúng xấp xỉ 175–176 ps, và slack xấp xỉ -175 đến -176 ps, do đó đều bị VIOLATED.

c, Lý do 10 đường đều bị VIOLATED

Từ thông tin trong mỗi path:

- Input delay = 200 ps
- Data Path $\approx 175\text{--}176$ ps
→ Arrival tại output $\approx 375\text{--}376$ ps

Trong khi báo cáo hiển thị **Required Time = 200 ps**, nên:

- **Slack = Required – Arrival $\approx 200 - 375 = -175$ ps**

Vì vậy toàn bộ 10 đường xấu nhất đều bị vi phạm do required time quá nhỏ so với arrival time dưới các điều kiện ràng buộc hiện tại. Nói cách khác, thiết kế chưa đáp ứng constraint I/O timing mà SDC đưa ra.

d, Kết luận

Kết quả STA sau synthesis cho thấy thiết kế alu_low_power **chưa đạt timing** theo SDC (các worst paths đều bị vi phạm với slack âm). Đường xấu nhất thuộc loại đường I/O (từ $S[*]$ đến $Y[*]$) và đi qua một số cell tổ hợp (AND/AOI/NAND hoặc INV/NOR/AOI/NAND). Do constraint đang chặt, công cụ không thể tối ưu đủ để đưa slack về không dương trong cấu hình thư viện và effort hiện tại.

KẾT LUẬN

Qua Lab 3, chúng em đã nắm vững quy trình thiết kế số hoàn chỉnh, bắt đầu từ mô tả RTL bằng HDL, thực hiện tổng hợp (synthesis) và tiến hành phân tích timing tĩnh (Static Timing Analysis – STA) bằng công cụ Cadence Genus, đồng thời kiểm chứng kết quả bằng các báo cáo timing, power, area và QoR. Thí nghiệm đã giúp làm rõ mối liên hệ chặt chẽ giữa mô tả logic, ràng buộc thiết kế (SDC) và kết quả vật lý sau tổng hợp.

Trong các thí nghiệm với mạch tóm tắt, chúng em quan sát được cách Genus tối ưu hóa mạch khi các ràng buộc timing ngày càng khắt khe, thể hiện qua sự thay đổi của đường critical path, độ trễ lan truyền, slack và cấu trúc netlist. Việc phân tích worst path và 10 worst paths dưới nhiều process corners khác nhau (FF/SS, VDD khác nhau) cho thấy ảnh hưởng rõ rệt của corner công nghệ đến hiệu năng timing, từ đó giúp sinh viên hiểu được vì sao STA luôn phải được thực hiện trong nhiều điều kiện vận hành.

Đối với mạch tuần tự, Lab 3 giúp chúng em hiểu sâu hơn về vai trò của clock, input delay, output delay và max delay trong việc xác định khả năng đáp ứng timing của hệ thống. Việc thay đổi các tham số ràng buộc trong file SDC đã minh họa rõ cách mà clock period và timing margin chi phối khả năng đạt timing closure. Ngoài ra, thí nghiệm về mạch tiết kiệm năng lượng sử dụng clock-gating đã chứng minh rằng việc giảm hoạt động chuyển mạch không chỉ giúp giảm công suất tiêu thụ, mà vẫn có thể duy trì yêu cầu timing nếu được thiết kế và ràng buộc hợp lý.

Tổng kết lại, Lab 3 không chỉ giúp chúng em làm chủ công cụ Genus và STA, mà quan trọng hơn là hình thành tư duy thiết kế dựa trên ràng buộc (constraint-driven design) là trong những kỹ năng cốt lõi sau này trong thiết kế vi mạch số và IC hiện đại. Kiến thức và kỹ năng thu được từ bài lab này là nền tảng quan trọng cho các bước tiếp theo trong physical design, timing closure và tối ưu công suất trong các dự án thiết kế vi mạch thực tế.