

VIETNAM NATIONAL UNIVERSITY HO CHI MINH CITY  
HO CHI MINH CITY UNIVERSITY OF TECHNOLOGY  
FACULTY OF ELECTRICAL AND ELECTRONICS ENGINEERING



**COURSE: INTRODUCTION TO IC DESIGN (EE3201)**

**LABORATORY REPORT**

**LAB 5: Layout of Basic Standard Cells**

**Class: L02 – Semester: 251 – Group: 19**  
*Supervising Instructor: M.Sc. Nguyen Trung Hieu*

NO.	STUDENT'S FULL NAME	ID	INDIVIDUAL TASKS	STATUS
1	Huỳnh Trung Kiên	2311729	<b>EXPERIMENT 3</b>	<b>100%</b>
2	Nguyễn Đình Trọng Khôi	2311682	<b>EXPERIMENT 2: GATE NOR, XOR + TỔNG HỢP</b>	<b>100%</b>
3	Nguyễn Trọng Lộc	2311959	<b>EXPERIMENT 1 EXPERIMENT 2: GATE NAND</b>	<b>100%</b>

*Ho Chi Minh City, January 06, 2026*

## MỤC LỤC

<b>MỤC TIÊU .....</b>	<b>3</b>
<b>CHUẨN BỊ CHO BÀI THÍ NGHIỆM 5.....</b>	<b>3</b>
<b>TÀI LIỆU THAM KHẢO.....</b>	<b>3</b>
<b>1. THÍ NGHIỆM 1.....</b>	<b>4</b>
1.1. Chạy DRC và giải quyết lỗi vi phạm .....	5
1.2. Chạy LVS và giải quyết lỗi vi phạm .....	7
1.3. Layout hoàn chỉnh của cổng NOT CMOS (2 fingers) .....	8
<b>2. THÍ NGHIỆM 2.....</b>	<b>9</b>
2.1. Cổng NAND .....	9
2.1.1. Chạy DRC và giải quyết lỗi vi phạm.....	10
2.1.2. Chạy LVS và giải quyết lỗi vi phạm.....	11
2.1.3. Layout hoàn chỉnh của cổng NAND CMOS (2 fingers) .....	12
2.2. Cổng NOR.....	13
2.2.1. Chạy DRC và giải quyết lỗi vi phạm.....	14
2.2.2. Chạy LVS và giải quyết lỗi vi phạm.....	16
2.2.3. Layout hoàn chỉnh của cổng NOR CMOS (2 fingers).....	17
2.3. Cổng XOR.....	18
2.3.1. Chạy DRC và giải quyết lỗi vi phạm.....	19
2.3.2. Chạy LVS và giải quyết lỗi vi phạm.....	21
2.3.3. Layout hoàn chỉnh của cổng XOR CMOS (2 fingers).....	21
<b>3. THÍ NGHIỆM 3.....</b>	<b>22</b>
3.1. Chạy DRC và giải quyết lỗi vi phạm .....	23
3.2. Chạy LVS và giải quyết lỗi vi phạm .....	23
3.3. Layout hoàn chỉnh của cổng MUX CMOS (2 fingers) .....	27

## MỤC TIÊU

- Mục tiêu của bài thí nghiệm này là để sinh viên thực hiện quy trình thiết kế số hoàn chỉnh từ **thiết kế layout** → **mô phỏng sau layout (post-layout simulation)** sử dụng phần mềm Cadence Virtuoso.
- Sau khi hoàn thành quá trình thiết kế mạch nguyên lý, sinh viên sẽ chuyển sang giai đoạn thiết kế layout sử dụng bộ công cụ **Cadence Virtuoso Layout Suite** và thực hiện kiểm tra **DRC** và **LVS** bằng công cụ **PVS**.

## CHUẨN BỊ CHO BÀI THÍ NGHIỆM 5

- Hiểu rõ khái niệm và quy trình thiết kế mạch cho các **công chuẩn cơ bản (basic standard cells)**.
- Đọc kỹ hướng dẫn truy cập máy chủ (server) và các tài liệu hướng dẫn sử dụng Cadence Virtuoso.
- Hiểu cách sử dụng Cadence Virtuoso để thiết kế mạch, chạy mô phỏng pre-layout và đo đạc các thông số pre-layout.
- Đọc file GPDK045\_design\_rule để hiểu các quy tắc vẽ layout (design rules) cho mạch số sử dụng công nghệ **45 nm**.

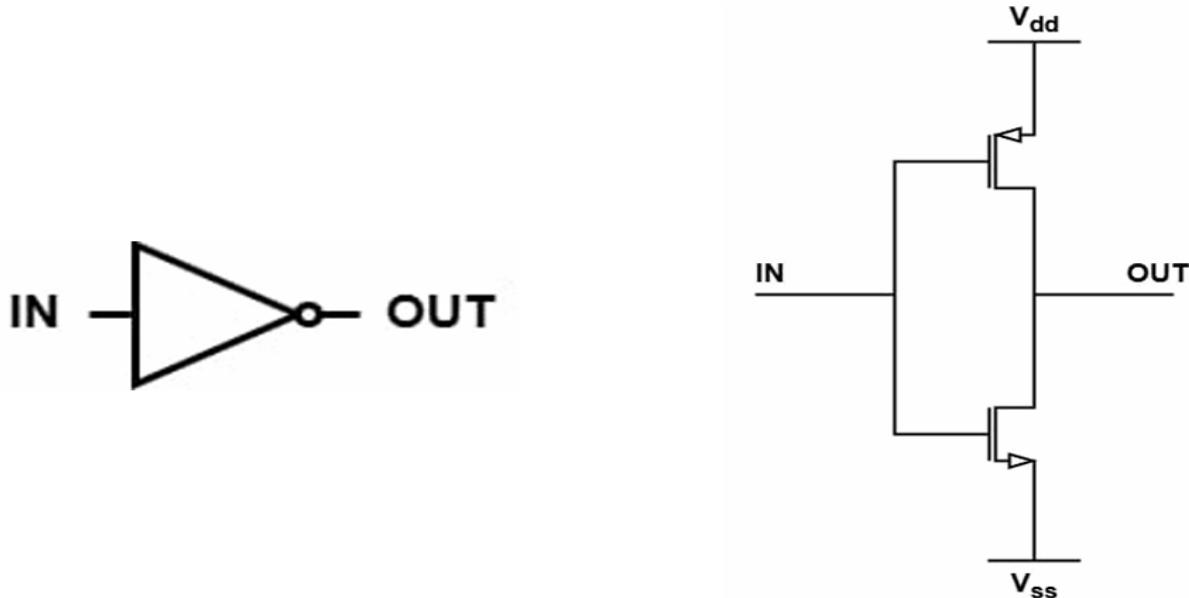
## TÀI LIỆU THAM KHẢO

## 1. THÍ NGHIỆM 1

**Mục tiêu:** Thực hiện thiết kế layout cho cổng logic NOT sử dụng công nghệ CMOS.

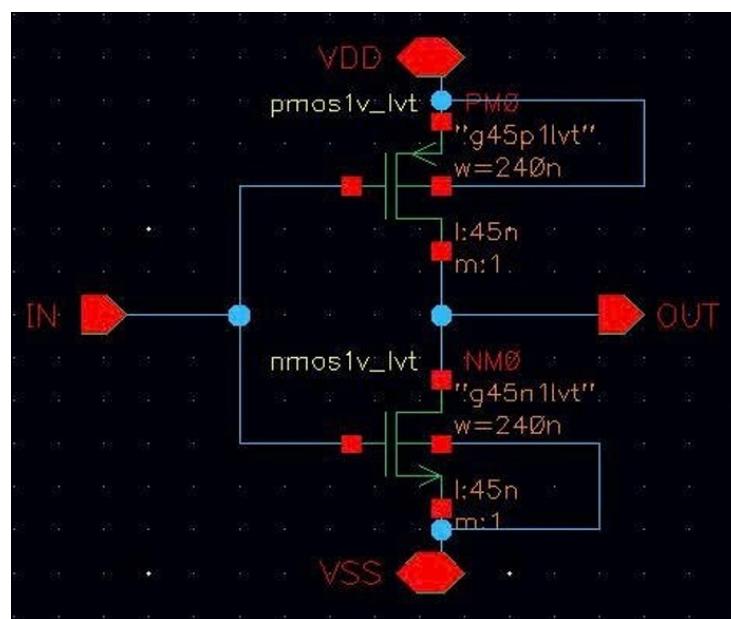
**Mô tả:** Trong bài thí nghiệm này, chúng ta sẽ thực hiện thiết kế layout cho cổng logic NOT CMOS. Quá trình thiết kế mạch nguyên lý (schematic) đã được hoàn thành ở Bài 4 (Lab 4). Nhóm có nhiệm vụ thiết kế layout cho cổng logic này.

**Thông số kích thước cho từng NMOS và PMOS:** (width/length/finger=120n/45n/2).



**Hình 1a:** Ký hiệu của cổng đảo (Inverter). **Hình 1b:** Sơ đồ nguyên lý (Schematic) của cổng đảo CMOS.

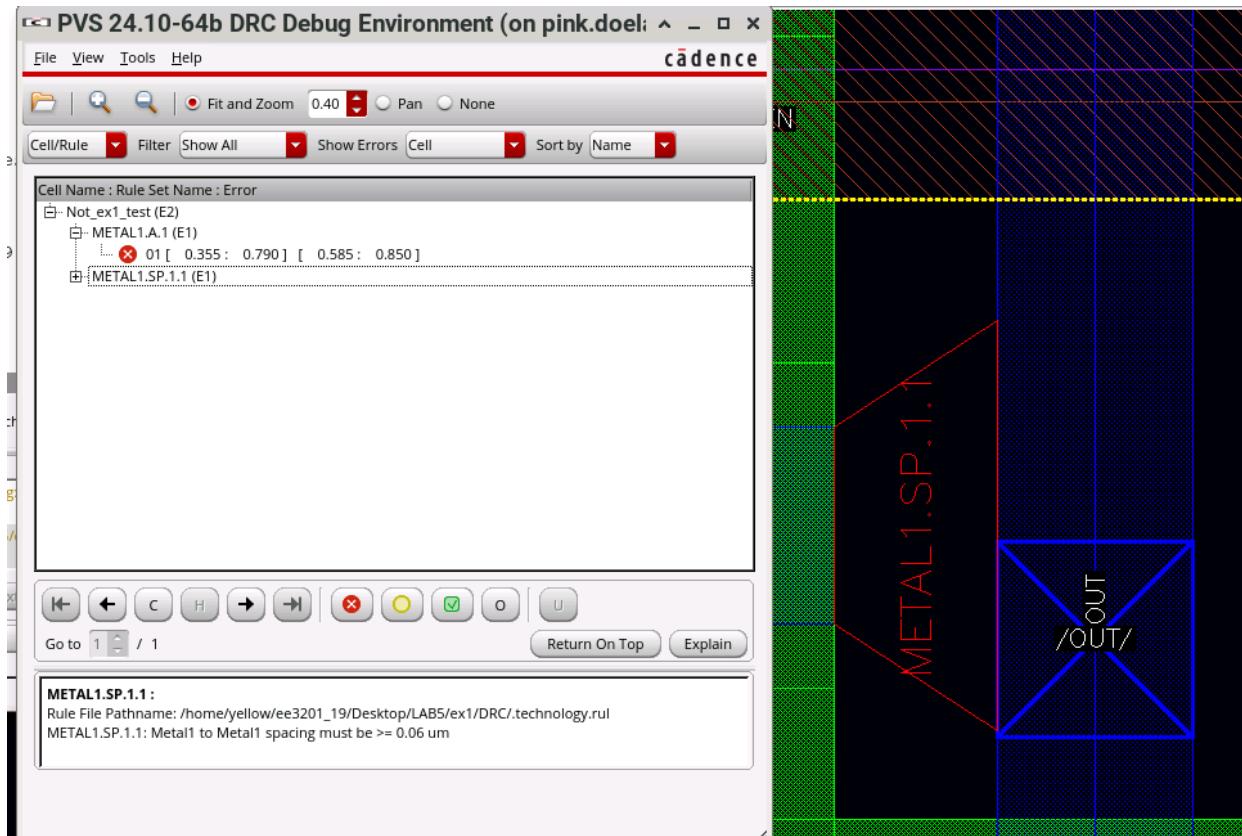
➤ Hình ảnh Schematic của cổng NOT :



## 1.1. Chạy DRC và giải quyết lỗi vi phạm

Sau khi vẽ layout của công NOT từ schematic, ta tiến hành cài đặt rule như trong tài liệu hướng dẫn và chạy DRC, thu được kết quả và 2 lỗi như sau:

- Lỗi thứ nhất:

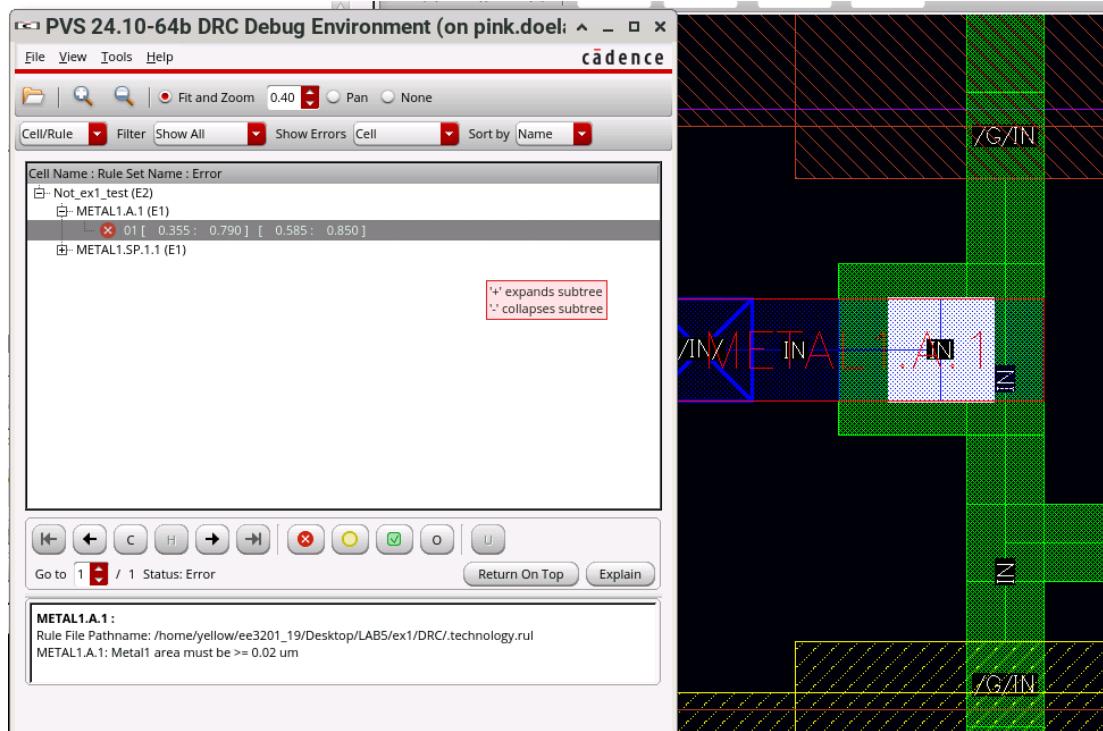


Trong hình DRC Debug Environment đang báo lỗi spacing của Metal1:

**Nhận xét:** Rule METAL1.SP.1.1 và nội dung ở dòng dưới: “Metal1 to Metal1 spacing must be  $\geq 0.06$  um” có nghĩa là: khoảng cách giữa 2 vùng Metal1 đang nhỏ hơn 0.06 um (hai miếng M1 quá gần nhau hoặc gần như chạm).

**Cách sửa :** kéo rộng vùng metal 1 hoặc là lớp poly ra xa và đi dây lại thì chỗ metal 1 thì DRC debug sẽ không báo lỗi khoảng cách nữa.

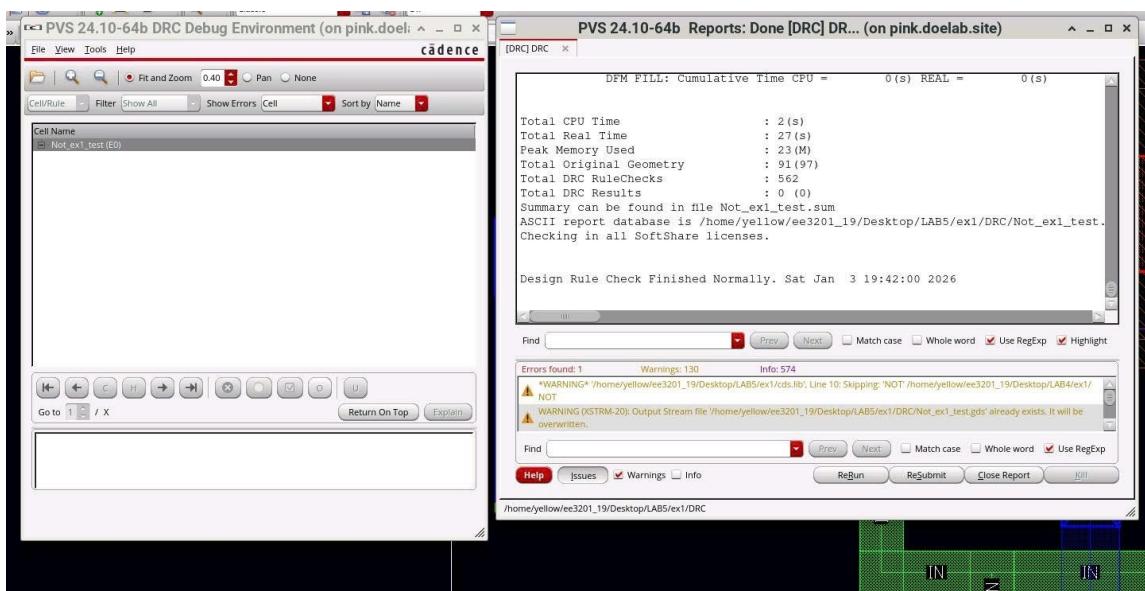
➤ Lỗi thứ hai:



**Nhận xét:** Trong hình báo lỗi Metal1 area vì diện tích của dây metal 1 của cổng IN tới viva đang nhỏ hơn 0.02um nên debug DRC công nghệ GDK045 báo lỗi .

**Cách sửa :** Tăng kích thước diện tích của pin IN bằng cách tăng width lên 0.08 và tăng height lên 0.08 và đi dây lại sẽ fix được lỗi bug.

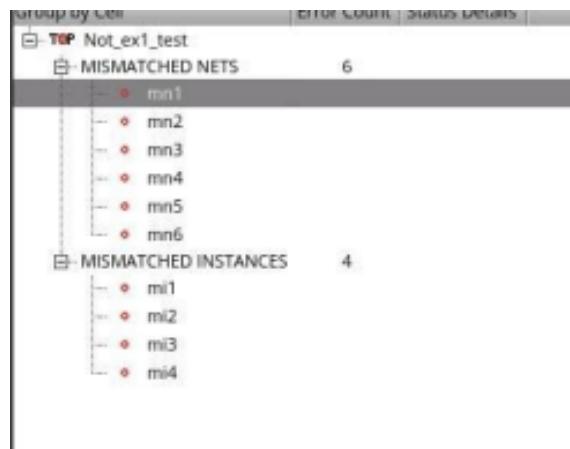
Sau khi tiến hành chỉnh sửa 2 lỗi DRC trên, ta chạy lại DRC và thu được kết quả:



➤ Kết luận: Layout sạch lỗi DRC (DRC Clean).

## 1.2. Chạy LVS và giải quyết lỗi vi phạm

Tiến hành Run LVS, ta thu được lỗi như sau:



**Nhận xét:** Lỗi này phát sinh trong quá trình layout đi dây các khớp nối giữa các dây không dính với nhau , hoặc đi dây thiếu trong quá trình layout nên khi chạy lvs của tool cadence công nghệ GDK045 báo lỗi LVS như trên hình.

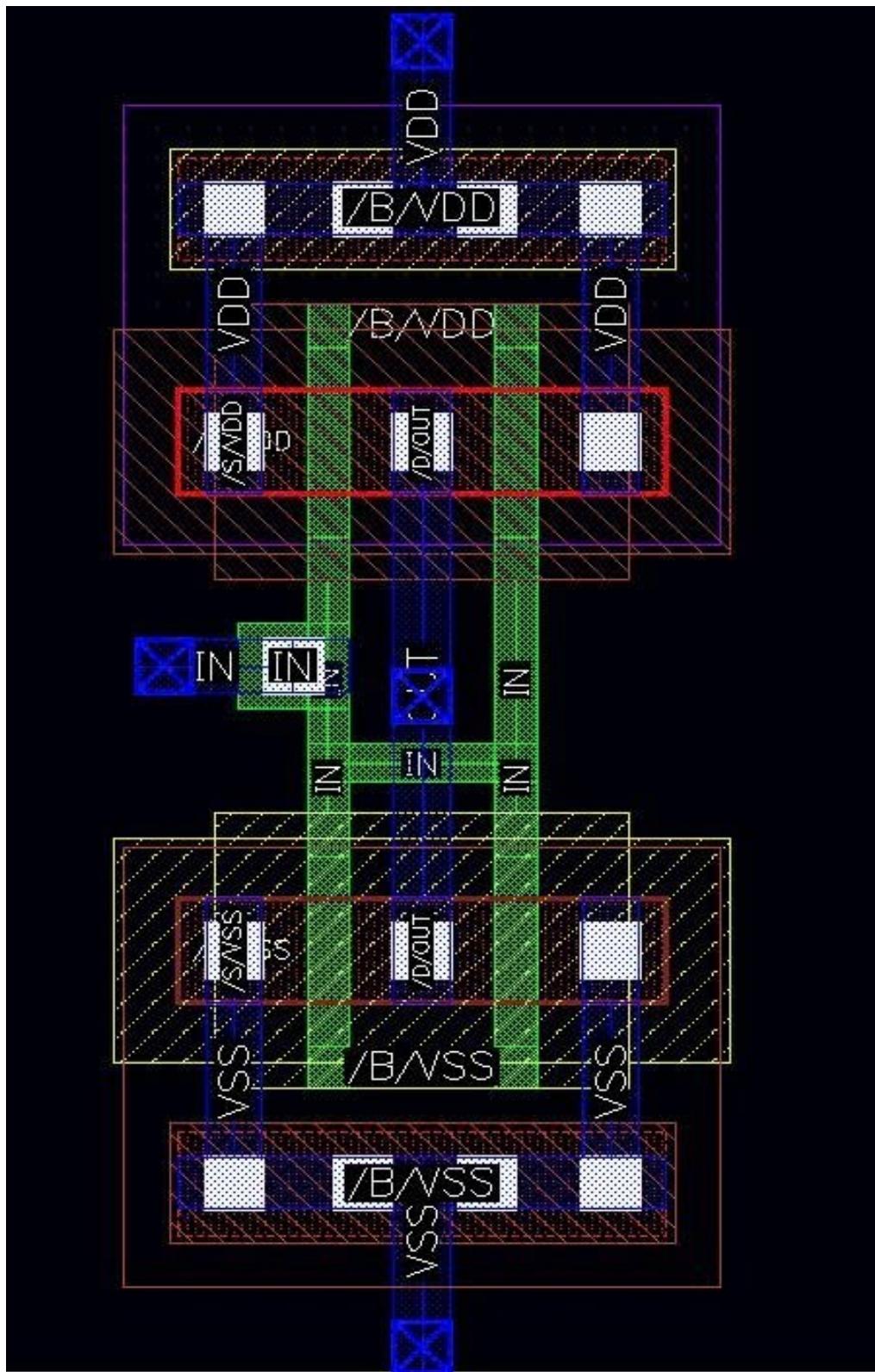
**Cách sửa:** Để sửa được lỗi này ta cần check những điểm báo lỗi và tiến hành đi dây lại đúng tâm của đường đi dây , thay đổi vị trí các cell hoặc pin sao cho phù hợp để tránh lỗi xảy ra. Và đây là kết quả sau khi sửa được lỗi.

Sau khi tiến hành chỉnh sửa lỗi LVS trên, ta chạy lại LVS và thu được kết quả:



- Công cụ PVS báo cáo trạng thái **Match**. Điều này xác nhận rằng thiết kế layout của cổng NOT đã tuân thủ đúng các kết nối logic được thiết kế trong sơ đồ nguyên lý (Schematic) và không vi phạm các lỗi về điện (ERC Results: Empty).

### 1.3. Layout hoàn chỉnh của cổng NOT CMOS (2 fingers)



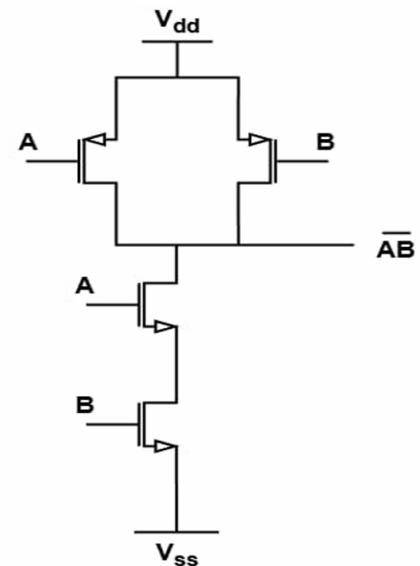
## 2. THÍ NGHIỆM 2

**Mục tiêu:** Thực hiện thiết kế layout cho các công logic NAND, NOR và XOR sử dụng công nghệ CMOS.

**Mô tả:** Trong bài thí nghiệm này, chúng ta sẽ thực hiện thiết kế layout cho các công logic CMOS: NAND, NOR và XOR. Quá trình thiết kế mạch nguyên lý (schematic) đã được hoàn thành ở Bài 4 (Lab 4). Nhóm có nhiệm vụ thiết kế layout cho các công logic này.

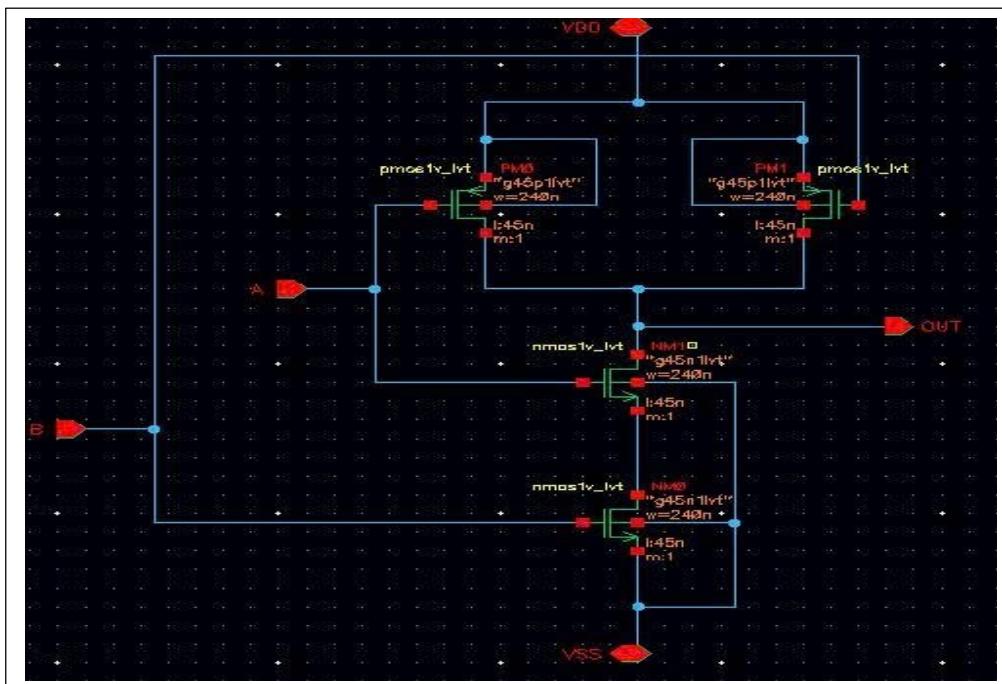
**Thông số kích thước cho từng NMOS và PMOS:** (width/length/finger=120n/45n/2).

### 2.1. Công NAND



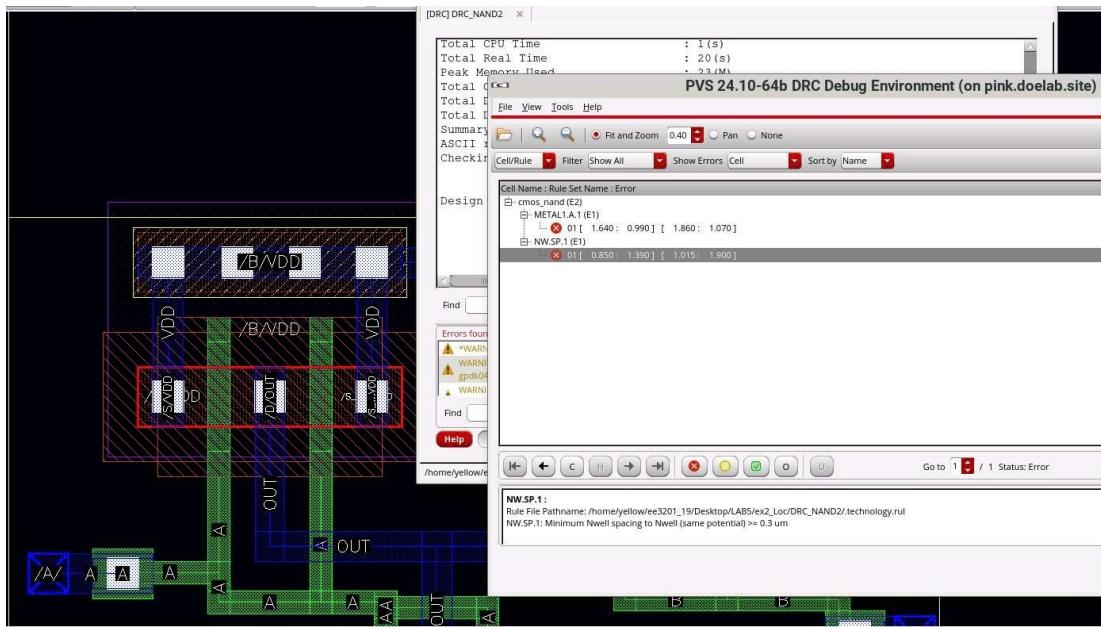
**Hình 2a:** Ký hiệu của công NAND. **Hình 2b:** Sơ đồ nguyên lý (Schematic) của công NAND CMOS

➤ Hình ảnh Schematic của công NAND:



### 2.1.1. Chạy DRC và giải quyết lỗi vi phạm

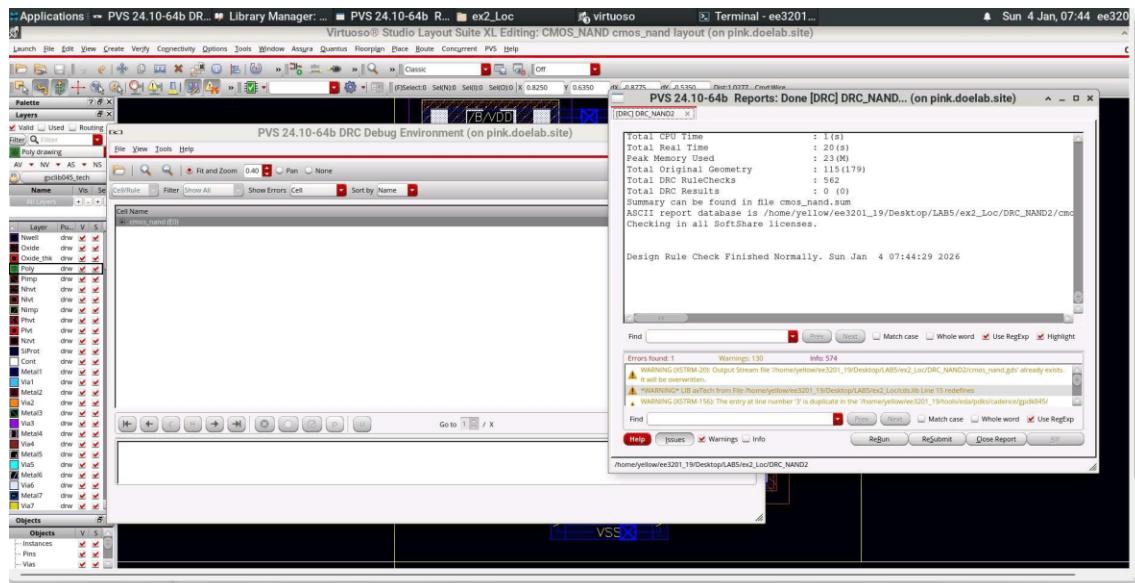
Sau khi vẽ layout của công NAND từ schematic, ta tiến hành cài đặt rule như trong tài liệu hướng dẫn và chạy DRC, thu được kết quả và 2 lỗi như sau:



**Nhận xét :** Ở hình trên DRC debug báo lỗi metal1.A là lỗi diện tích của input còn nhỏ bé hơn 0.02um và lỗi thứ 2 là NW.SP khoảng cách giữa 2 nwell chưa  $\geq 0.3\text{um}$  nên báo lỗi

**Cách sửa:** tăng kích thước của pin A,B lên với height 0.08 và width là 0.08, đồng thời thay đổi khoảng cách giữa 2 nwell ở trên kéo chúng ra xa nhau hơn, đi lại dây để tránh debug.

Sau khi tiến hành chỉnh sửa 2 lỗi DRC trên, ta chạy lại DRC và thu được kết quả:

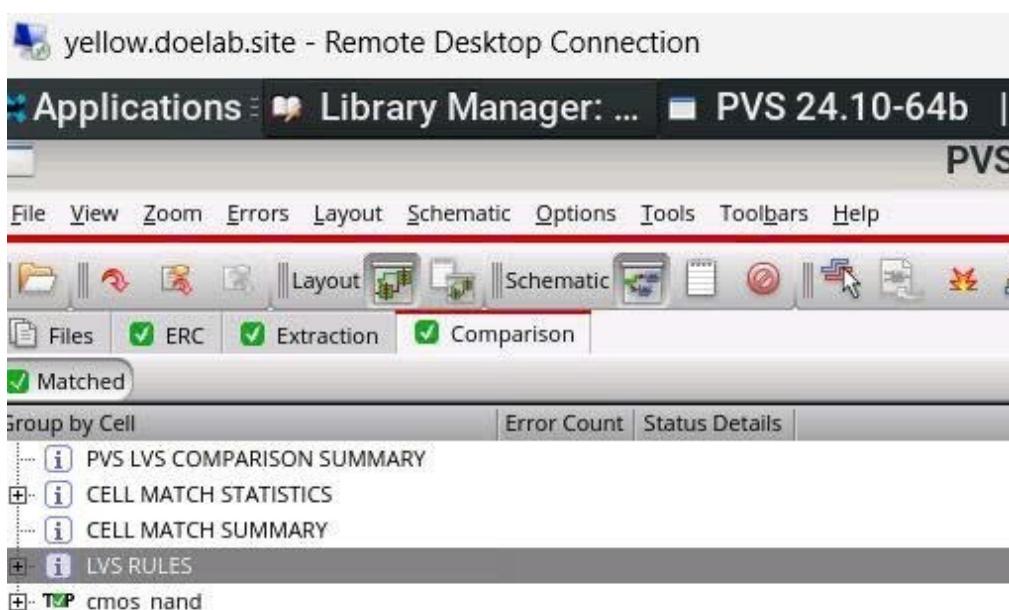
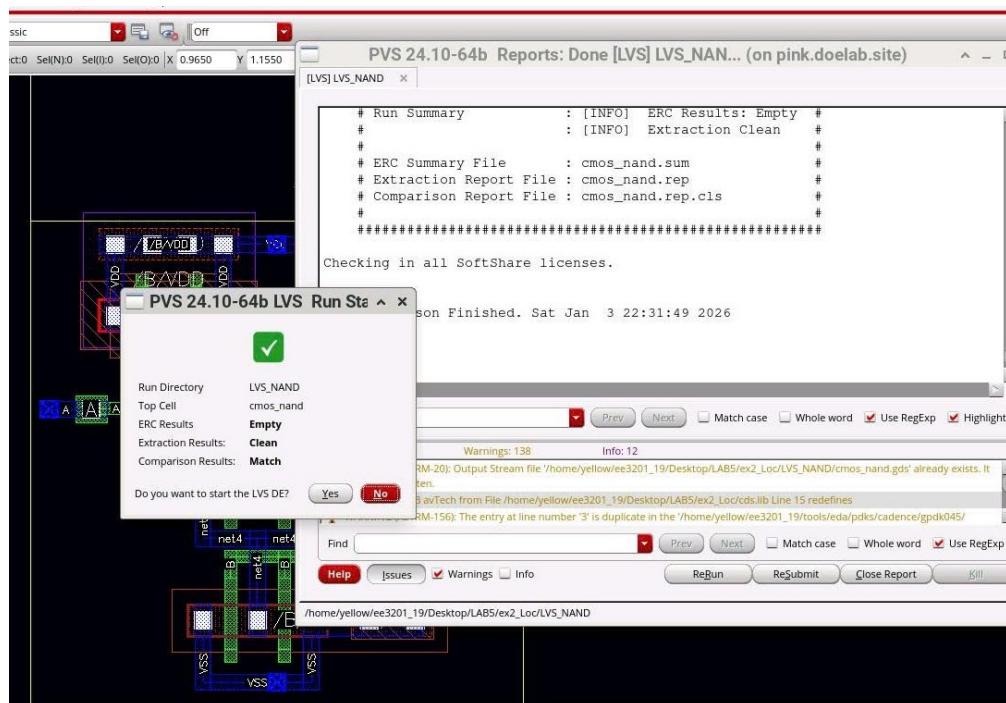


➤ **Kết luận:** Layout sạch lỗi DRC (DRC Clean).

## 2.1.2. Chạy LVS và giải quyết lỗi vi phạm

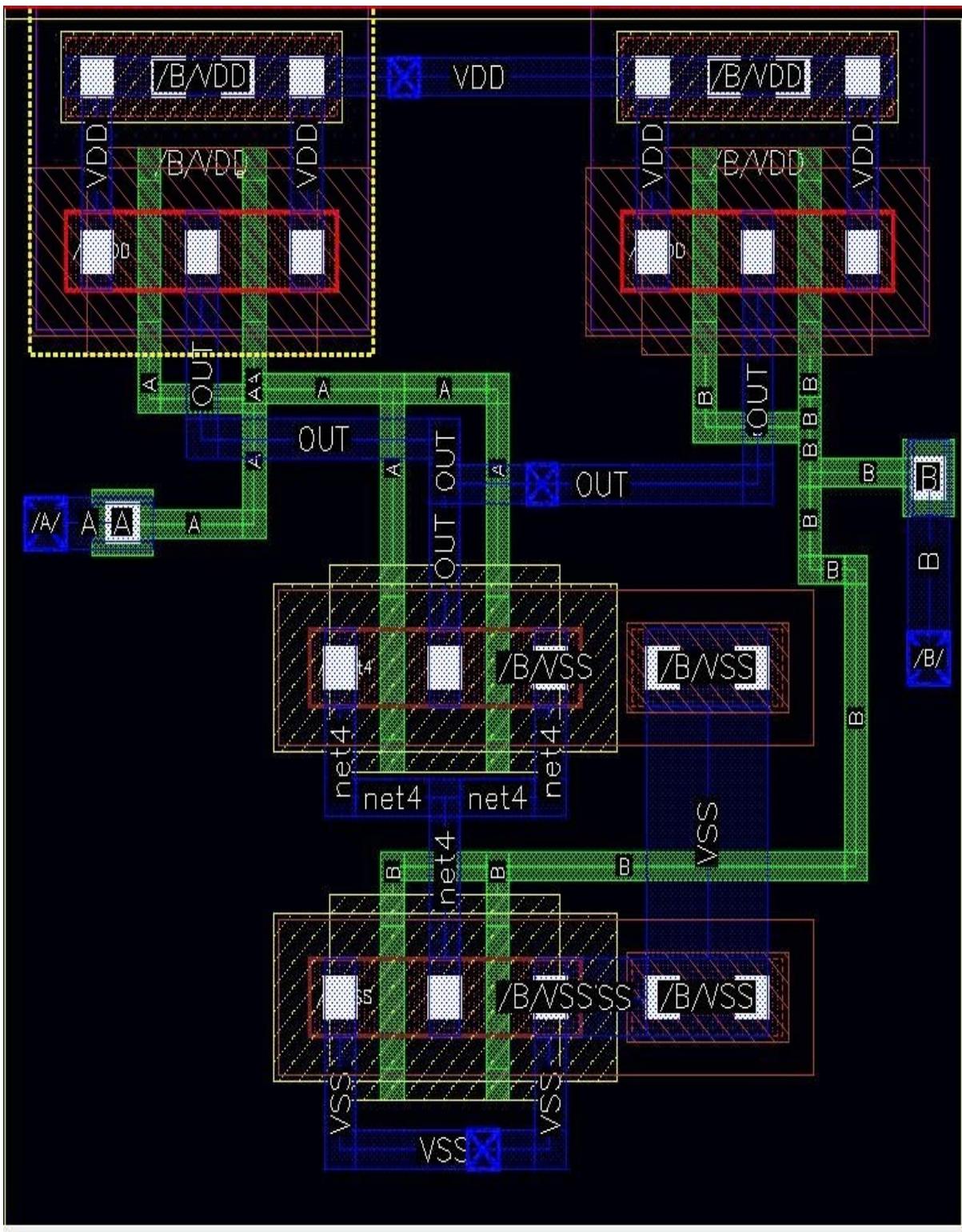
Tiến hành Run LVS, ta cũng thu được lỗi như công NOT. Trong quá trình layout điểm nối giữa các dây và pin, cell không khớp nhau nên khi chạy LVS báo lỗi.

Cách sửa : Nối những điểm khít lại với nhau, đúng tâm ô vuông trên dây. Hình ảnh dưới đây của công nand sau khi fix lỗi và làm sạch LVS:

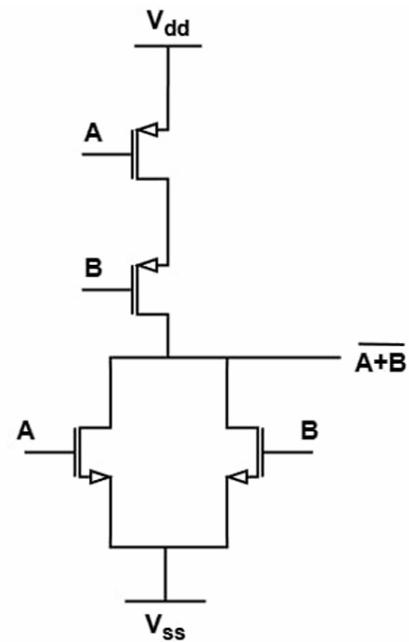
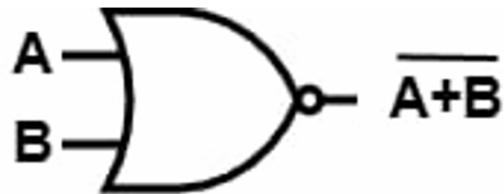


➤ **Kết luận:** Layout sạch lỗi LVS và MATCH với schematic.

### 2.1.3. Layout hoàn chỉnh của cổng NAND CMOS (2 fingers)



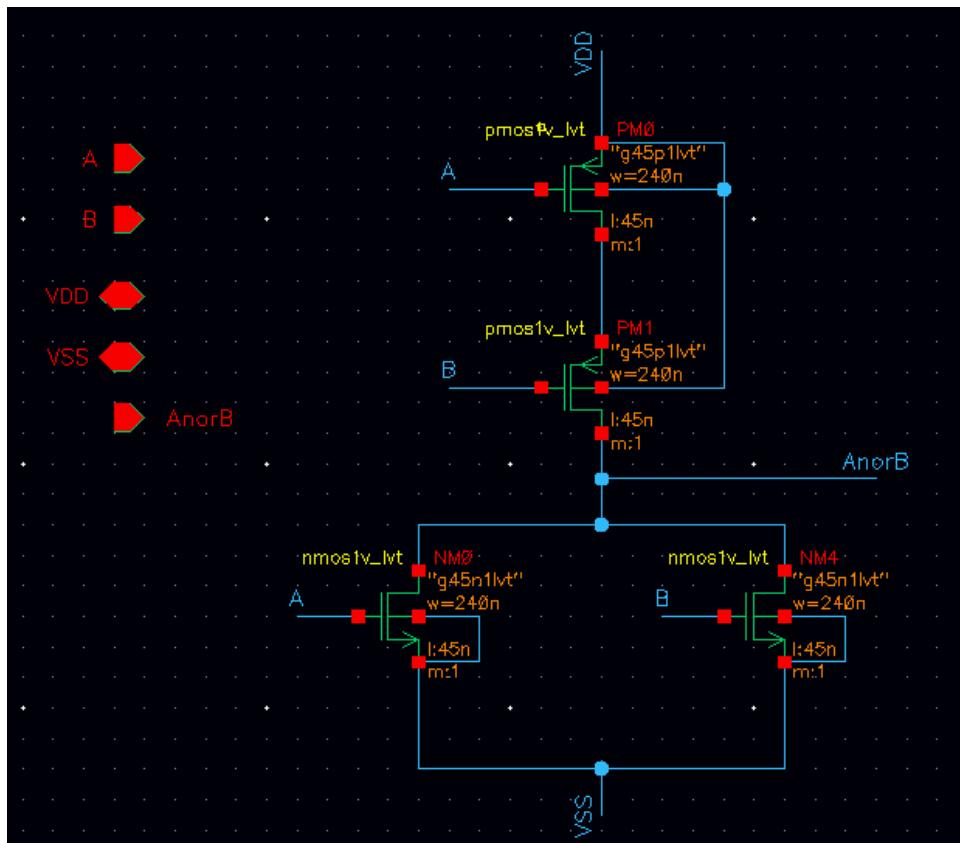
## 2.2. Cổng NOR



**Hình 3a:** Ký hiệu của cổng NOR.

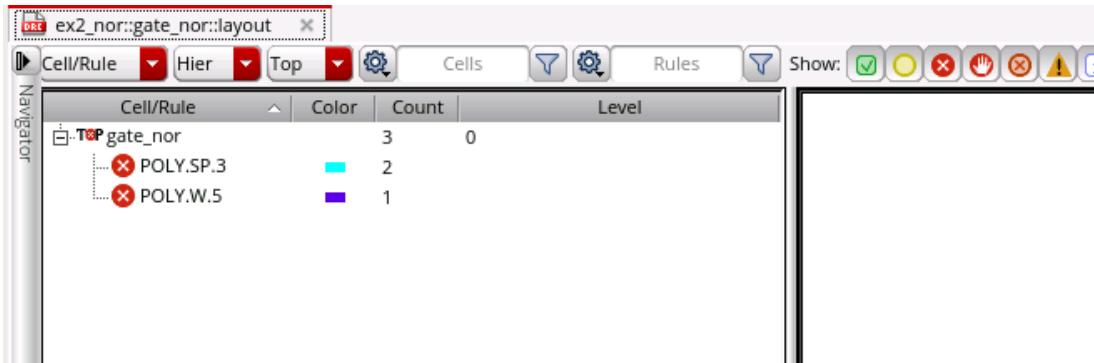
**Hình 3b:** Sơ đồ nguyên lý (Schematic) của cổng NOR CMOS

➤ Hình ảnh Schematic của cổng NOR:

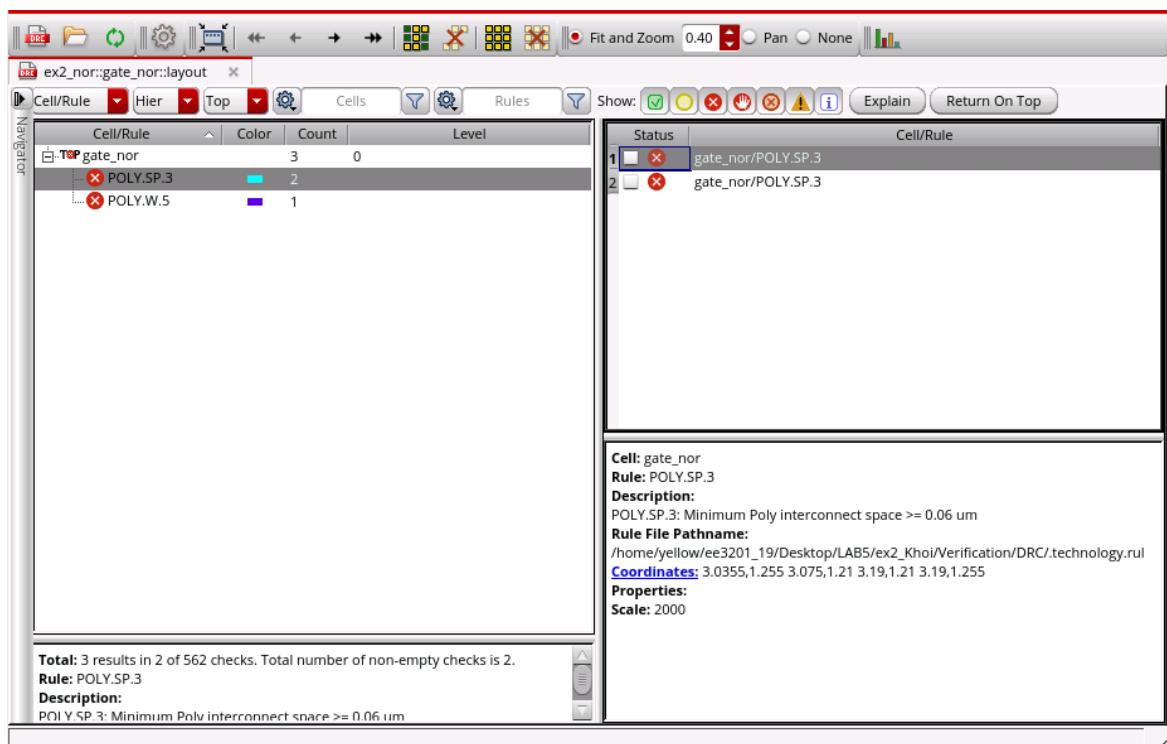


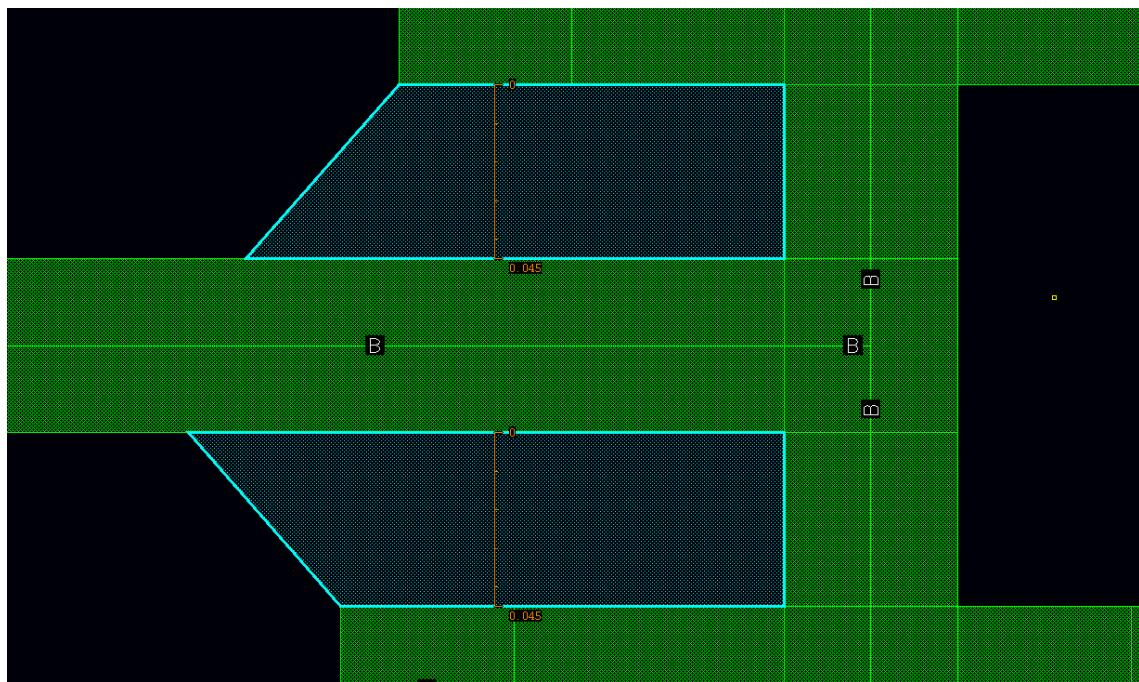
### 2.2.1. Chạy DRC và giải quyết lỗi vi phạm

Sau khi vẽ layout của công NOR từ schematic, ta tiến hành cài đặt rule như trong tài liệu hướng dẫn và chạy DRC, thu được kết quả và 3 lỗi như sau:

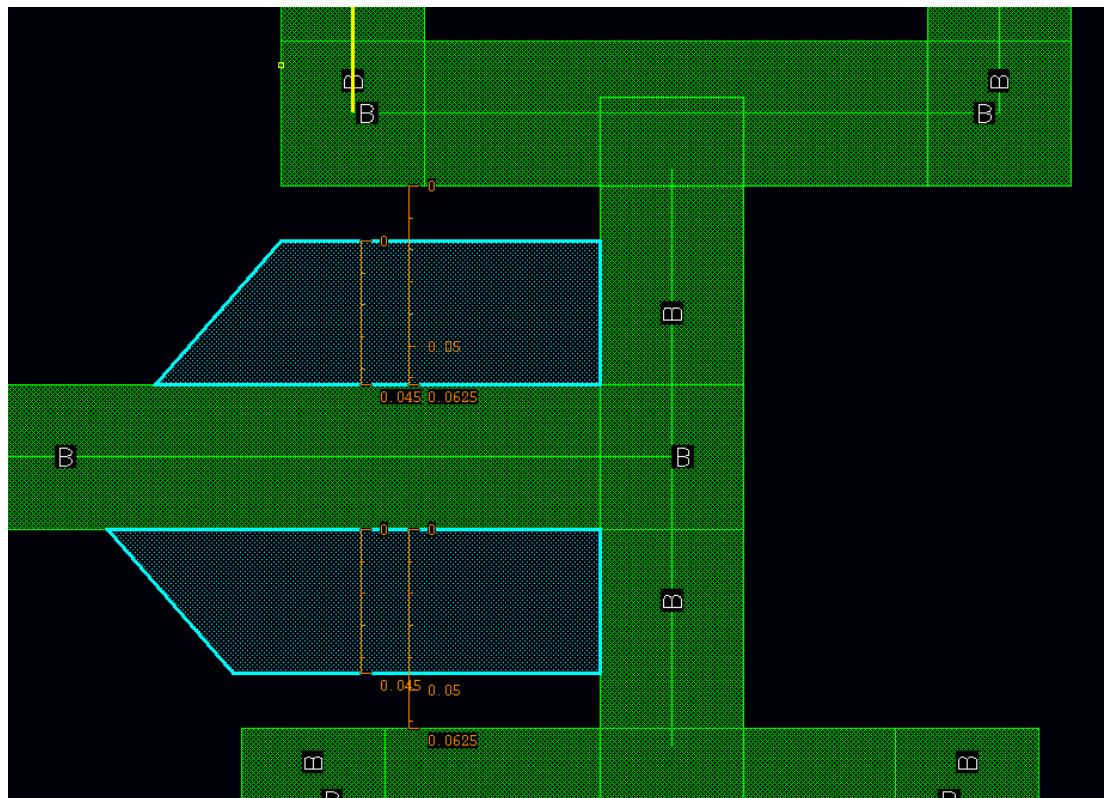


- Lỗi thứ nhất và thứ hai (POLY.SP.3): khoảng hở giữa các miếng Poly quá gần nhau, khoảng hở đo được là  $0.045 < 0.06 \mu\text{m}$ .



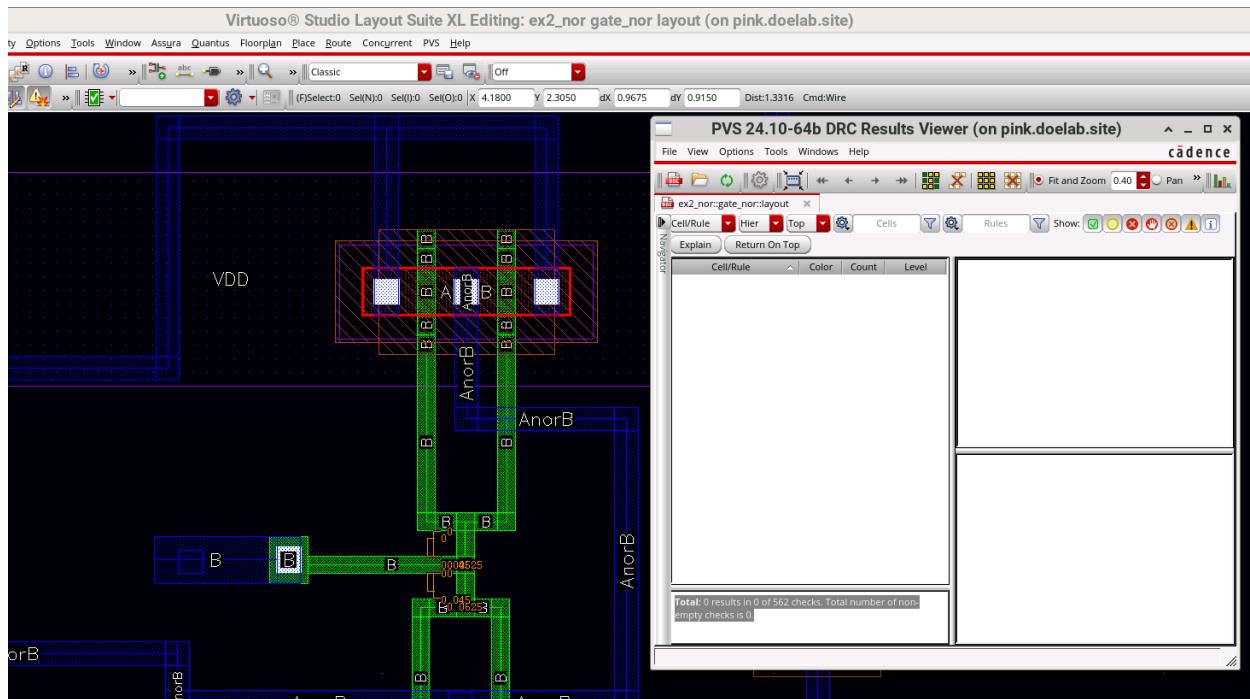


- Khắc phục: di chuyển 2 đường poly (poly ở trên thì dịch lên và poly ở dưới thì dịch xuống) sao cho khoảng cách giữa 2 miếng poly so với miếng poly ở giữa lớn  $> 0.06 \mu\text{m}$ .



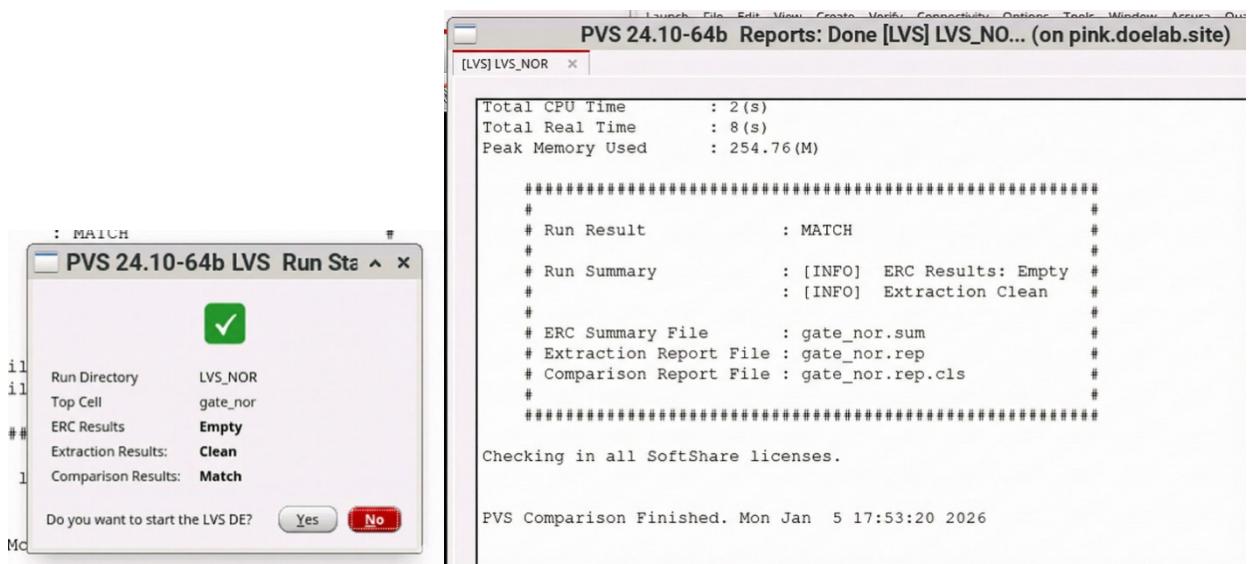
- Lỗi thứ ba (POLY.W.5): tương tự như lỗi thứ nhất và lỗi thứ hai, khoảng hở giữa 2 miếng Poly quá gần nhau ( $<0.06 \mu\text{m}$ ). Ta khắc phục bằng cách di chuyển 1 trong 2 miếng Poly sao cho khoảng cách chúng  $> 0.06 \mu\text{m}$ .

Sau khi khắc phục 3 lỗi trên, tiến hành chạy lại DRC, thu được kết quả:



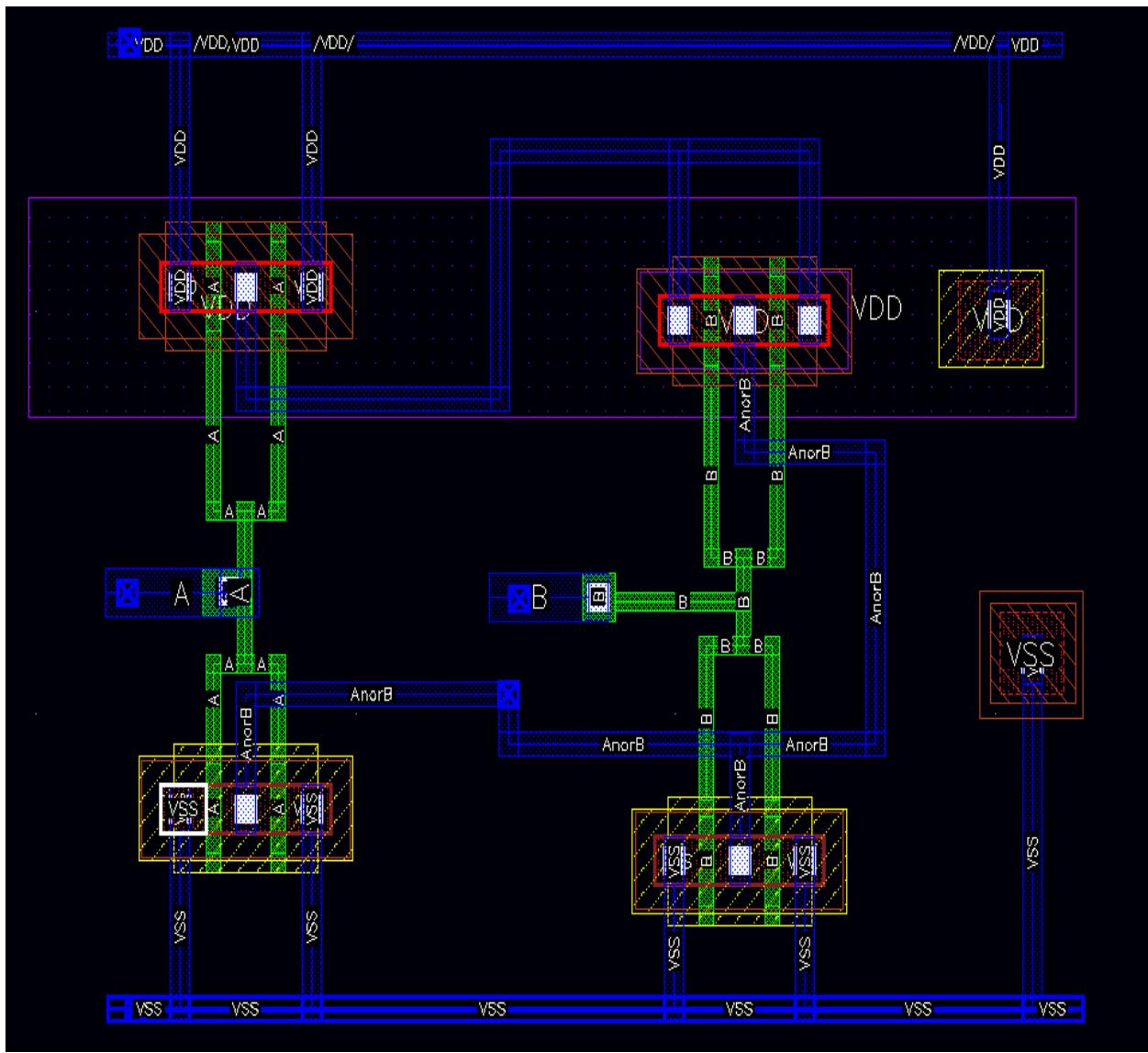
- Kết luận: Layout sạch lỗi DRC (DRC Clean).

## 2.2.2. Chạy LVS và giải quyết lỗi vi phạm

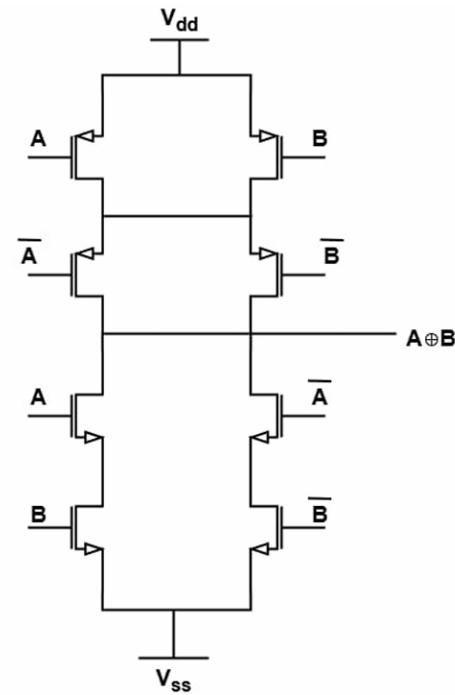
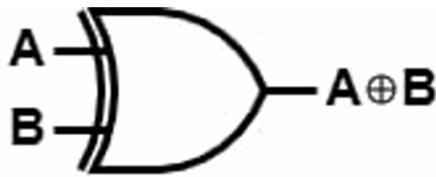


- Kết luận: Layout không có lỗi LVS (Clean) và MATCH với schematic.

### 2.2.3. Layout hoàn chỉnh của cỗng NOR CMOS (2 fingers)

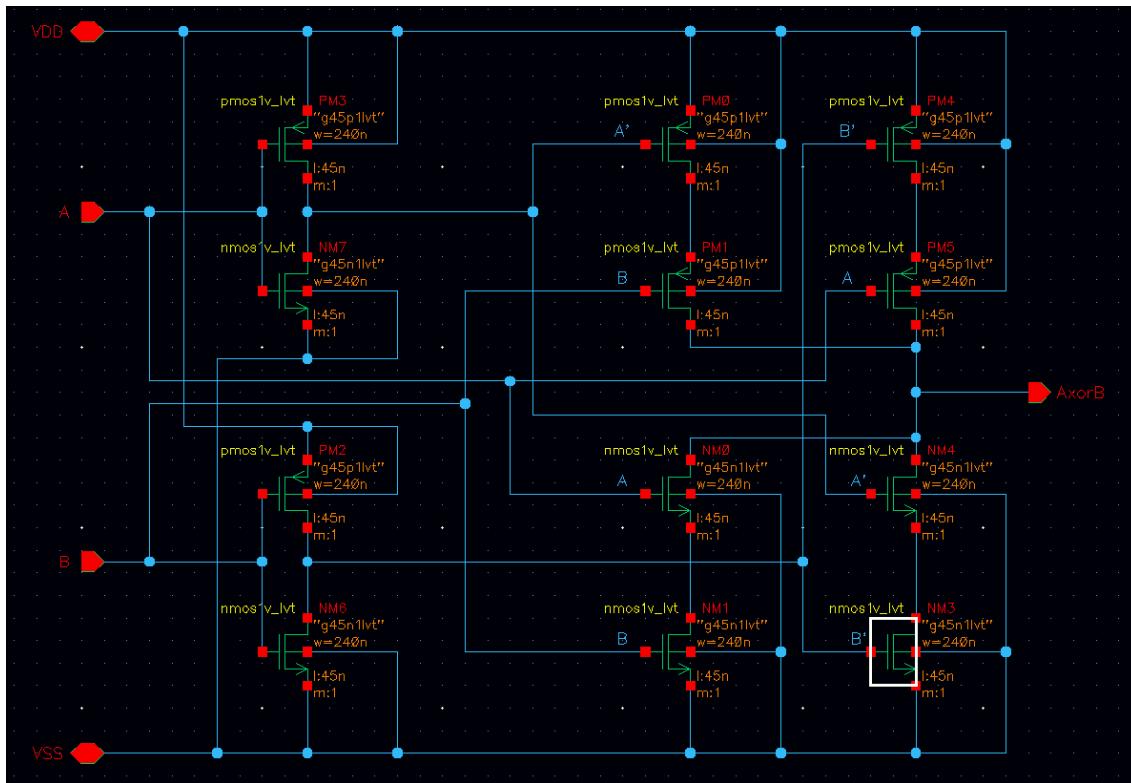


### 2.3. Cổng XOR



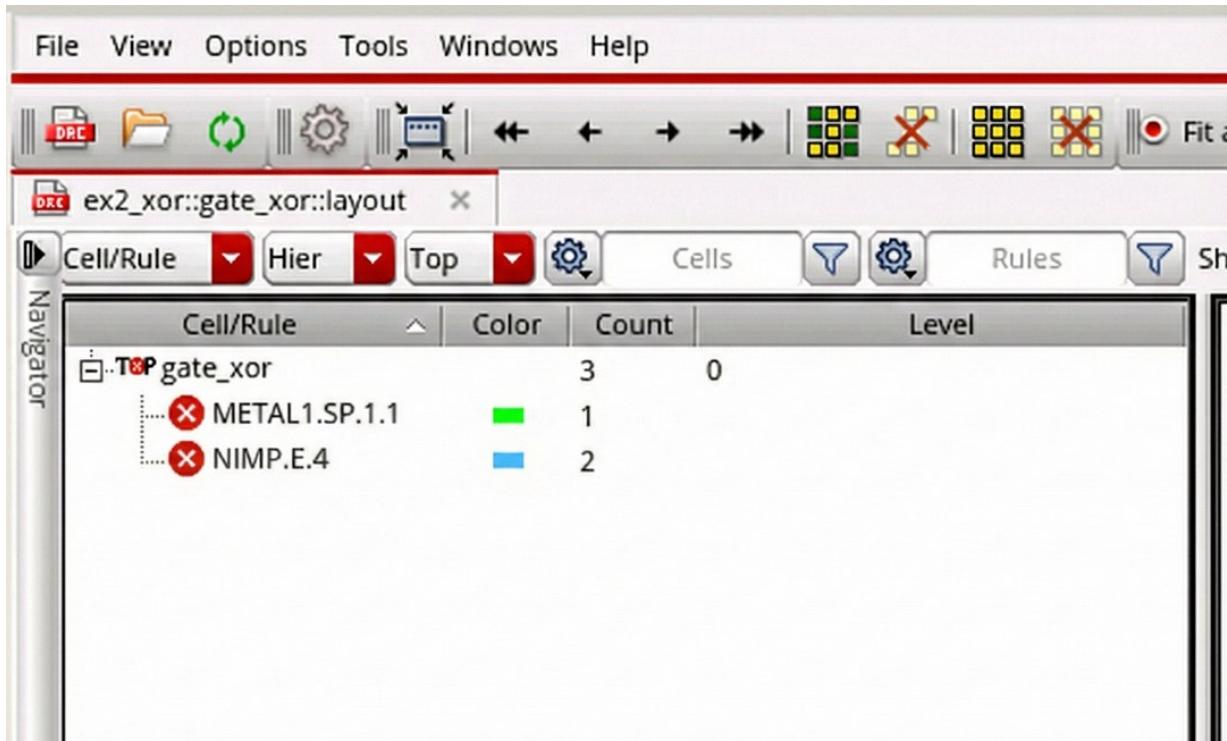
**Hình 4a:** Ký hiệu của cổng XOR. **Hình 4b:** Sơ đồ nguyên lý (Schematic) của cổng XOR CMOS

- Hình ảnh Schematic của cổng XOR:

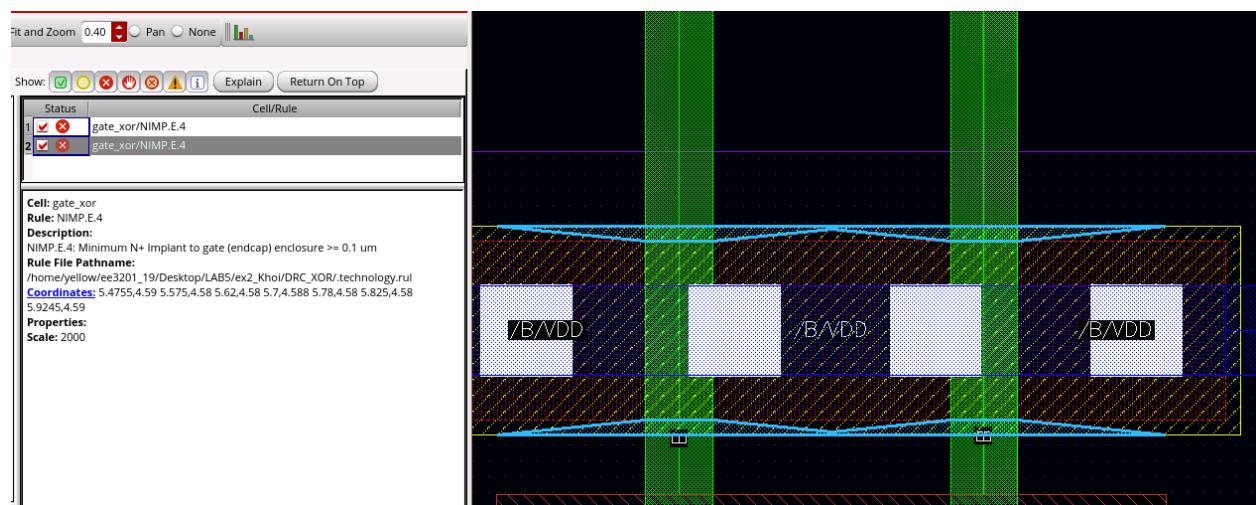


### 2.3.1. Chạy DRC và giải quyết lỗi vi phạm

Sau khi vẽ layout của công XOR từ schematic, ta tiến hành cài đặt rule như trong tài liệu hướng dẫn và chạy DRC, thu được kết quả và 2 lỗi như sau:



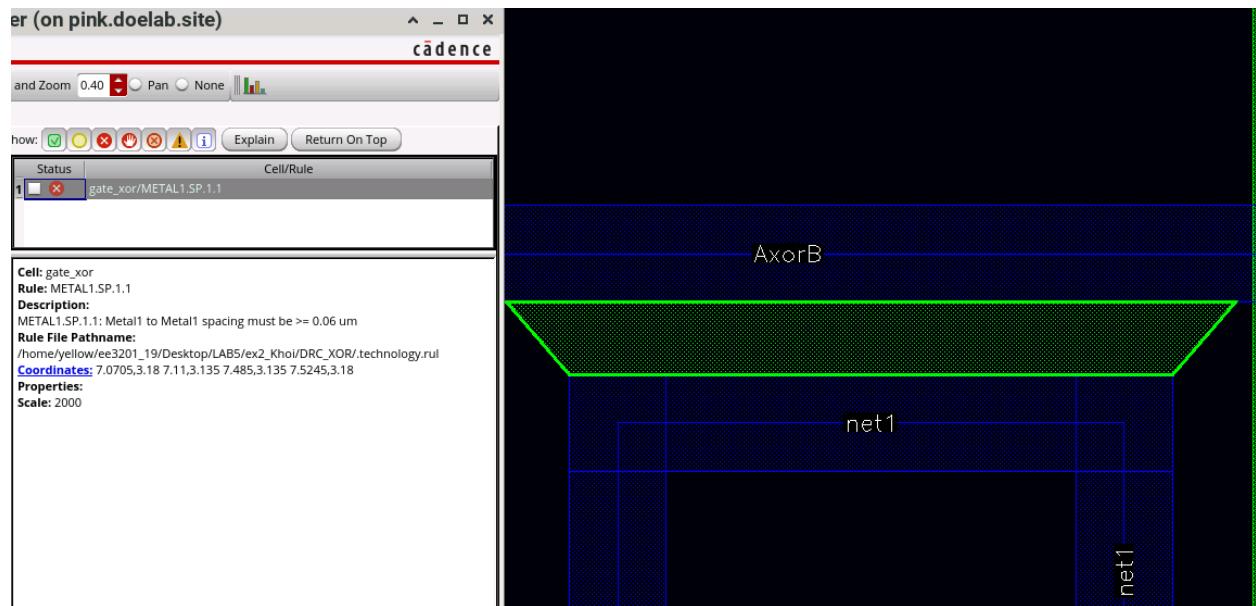
➤ Lỗi thứ nhất:



**Lỗi NIMP.E.4:** Lớp N+ implant (NIMP) không bao phủ vượt đủ phần đầu gate (endcap) của poly; quy tắc yêu cầu NIMP phải enclose  $\geq 0.1 \mu\text{m}$  tính từ đầu gate.

**Cách khắc phục:** Chọn layer NIMP rồi stretch/kéo rộng NIMP ra thêm ở phía đầu gate (theo marker) để phần NIMP vượt qua đầu poly  $\geq 0.1 \mu\text{m}$ .

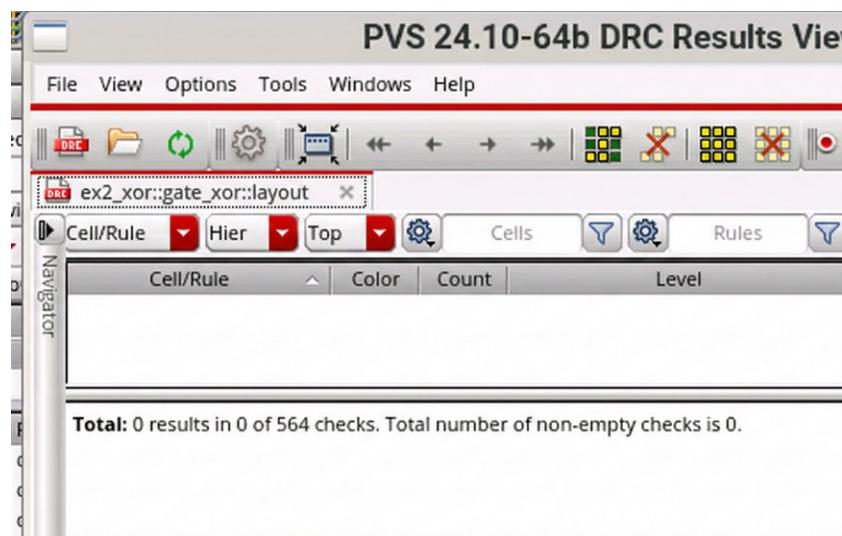
➤ Lỗi thứ hai:



**Lỗi METAL1.SP.1.1:** Khoảng cách Metal1–Metal1 đang nhỏ hơn  $0.06 \mu\text{m}$  (Metal1 to Metal1 spacing must be  $\geq 0.06 \mu\text{m}$ ).

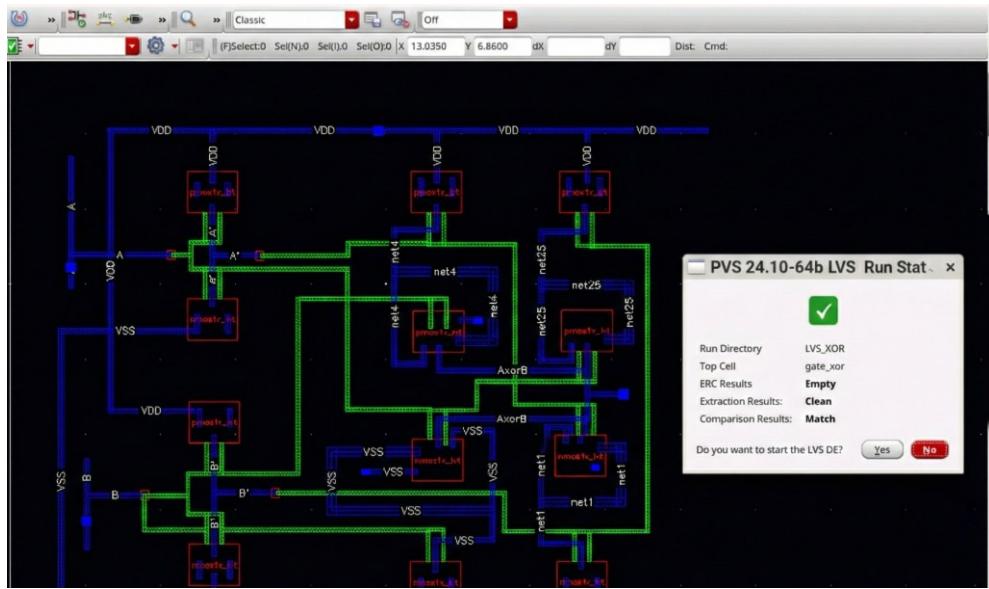
**Cách khắc phục:** Dùng stretch/move để tách hai đoạn Metal1 ra xa hơn hoặc thu nhỏ/bỏ phần metal bị lấn, đảm bảo khoảng cách giữa chúng  $\geq 0.06 \mu\text{m}$ .

Sau khi sửa lỗi xong, tiến hành chạy DRC lại, thu được kết quả:



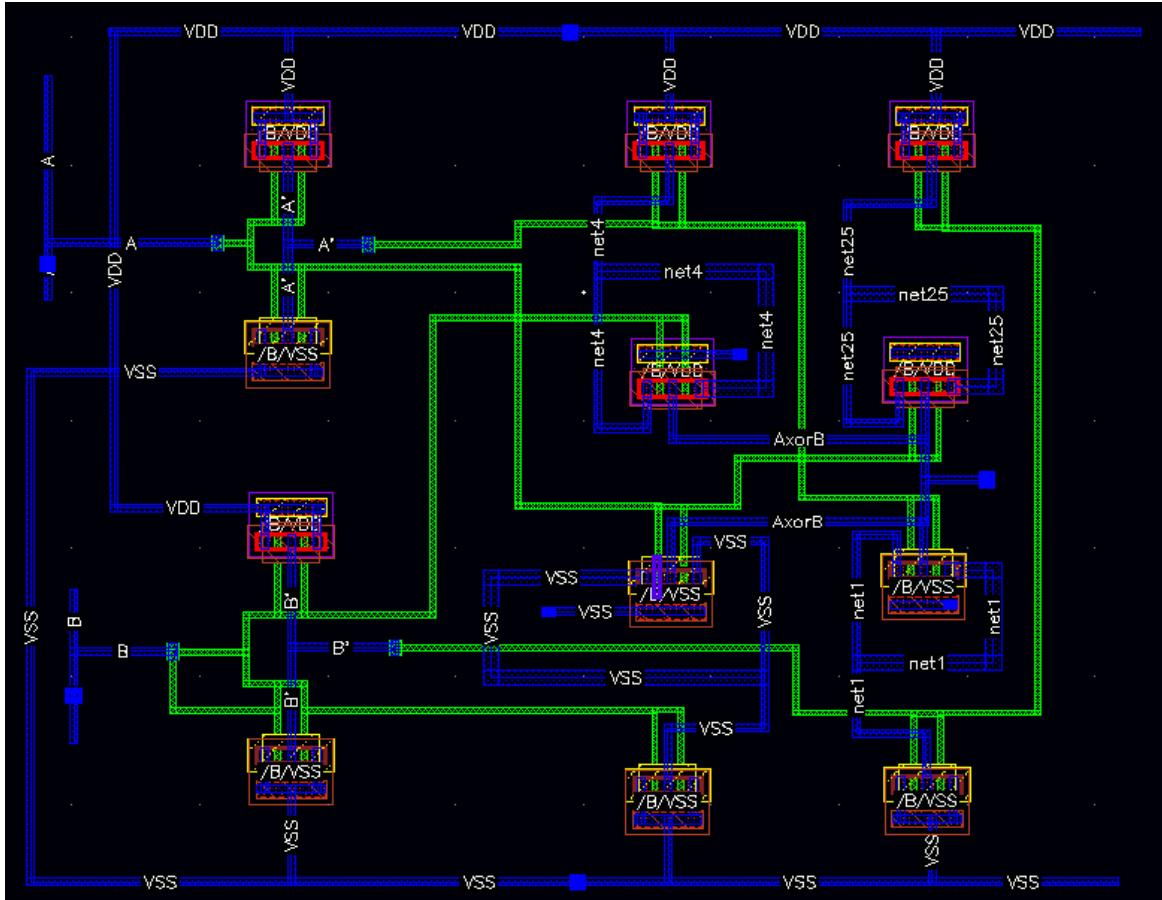
➤ **Kết luận:** Layout sạch lỗi DRC (DRC Clean).

### 2.3.2. Chạy LVS và giải quyết lỗi vi phạm



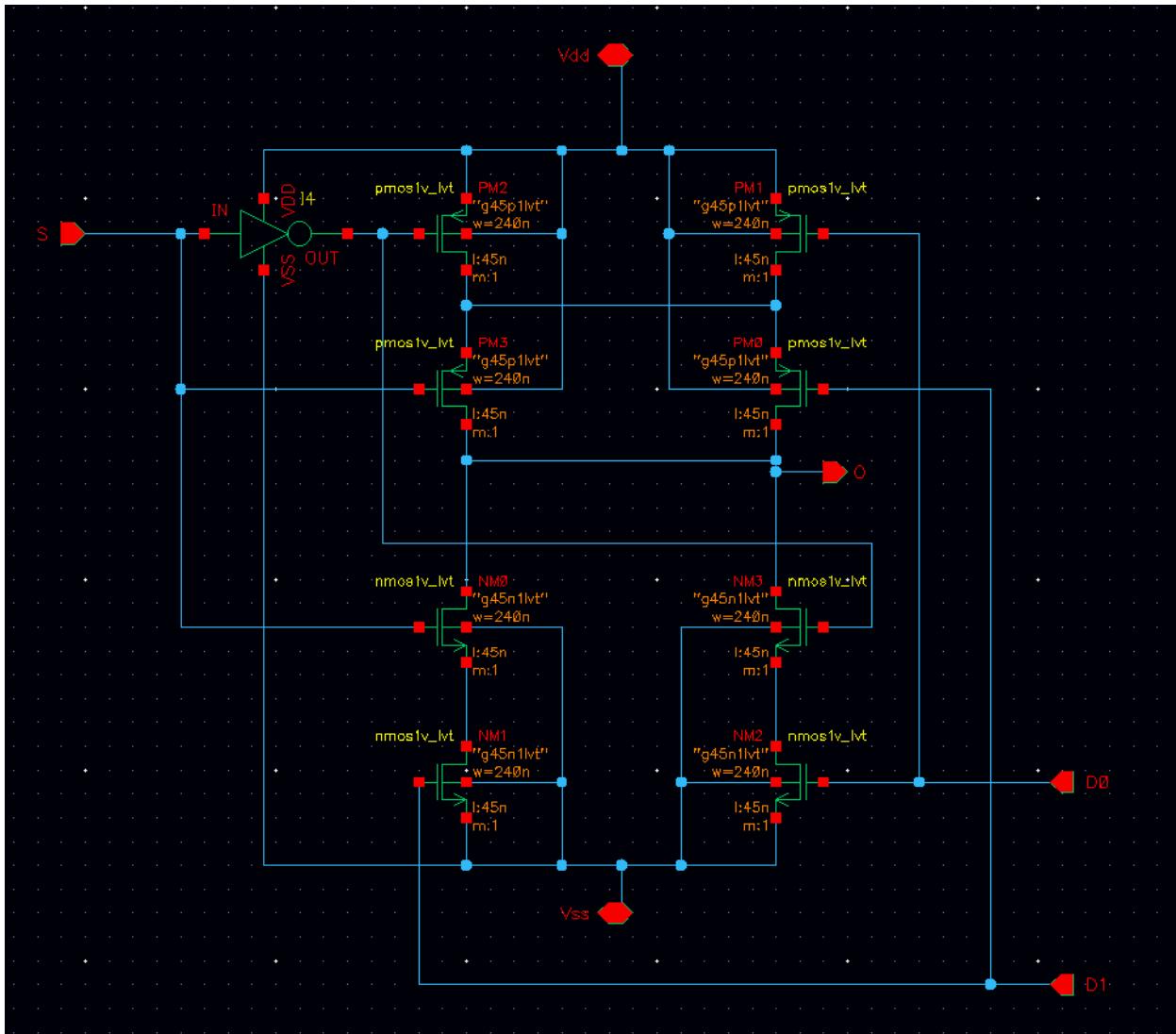
➤ **Kết luận:** Layout không có lỗi LVS (Clean) và MATCH với schematic.

### 2.3.3. Layout hoàn chỉnh của cổng XOR CMOS (2 fingers)

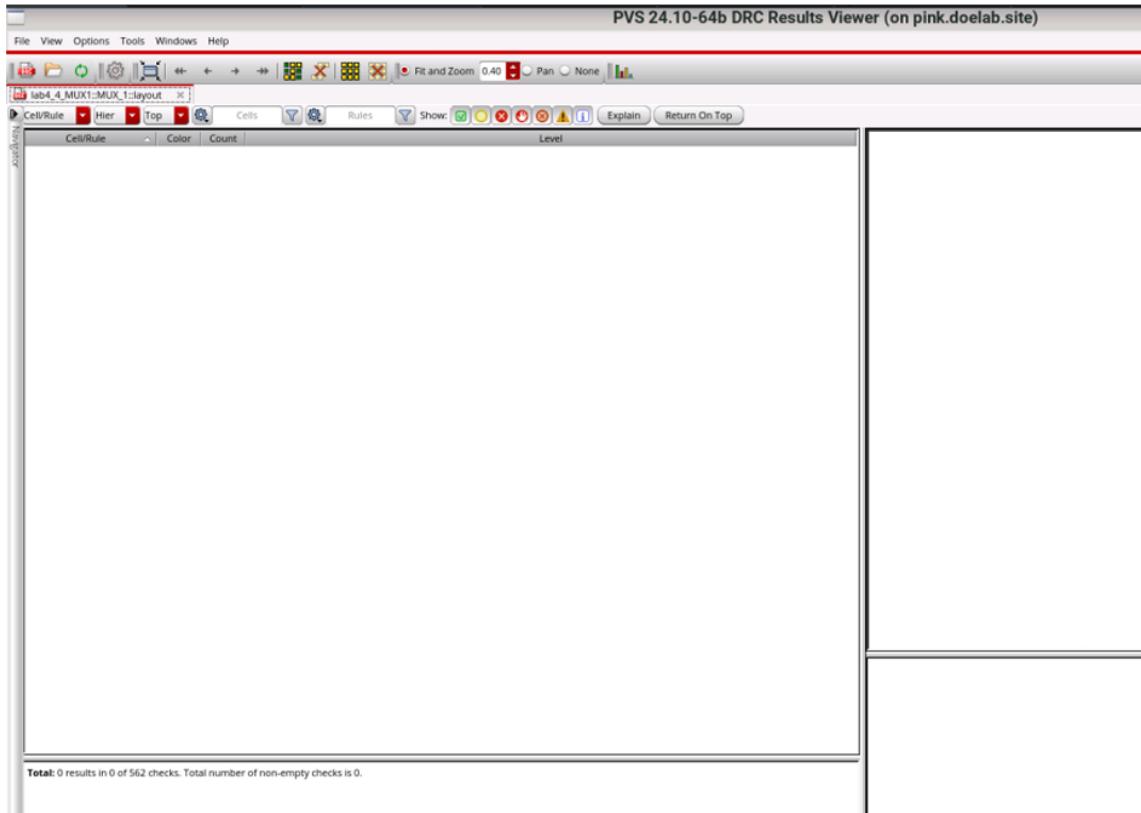


### 3. THÍ NGHIỆM 3

- Schematic của công mux được thực hiện vẽ layout trong thí nghiệm này:



### 3.1. Chạy DRC và giải quyết lỗi vi phạm



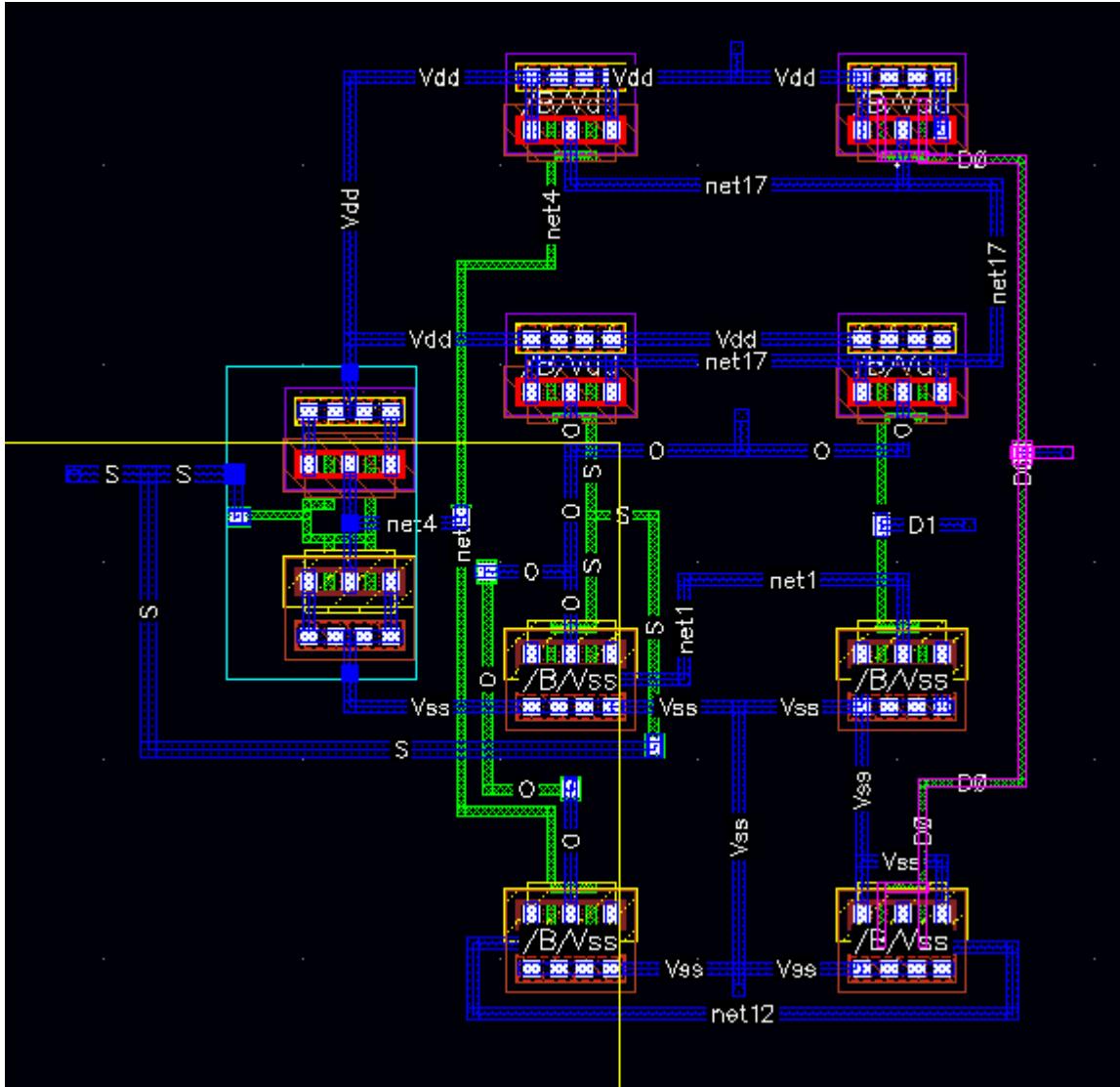
➤ Kết luận: Layout sạch lỗi DRC (DRC Clean).

### 3.2. Chạy LVS và giải quyết lỗi vi phạm

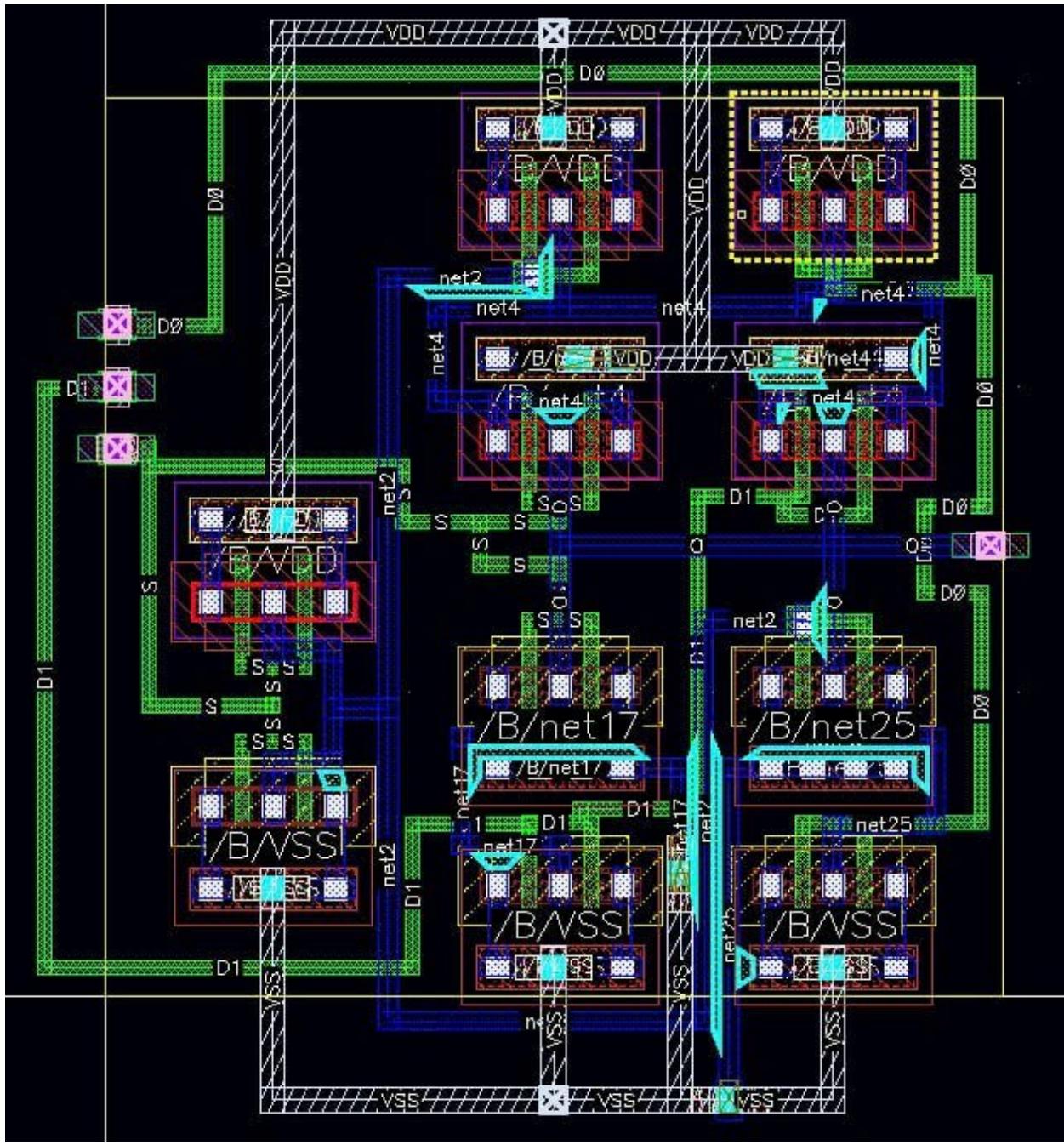


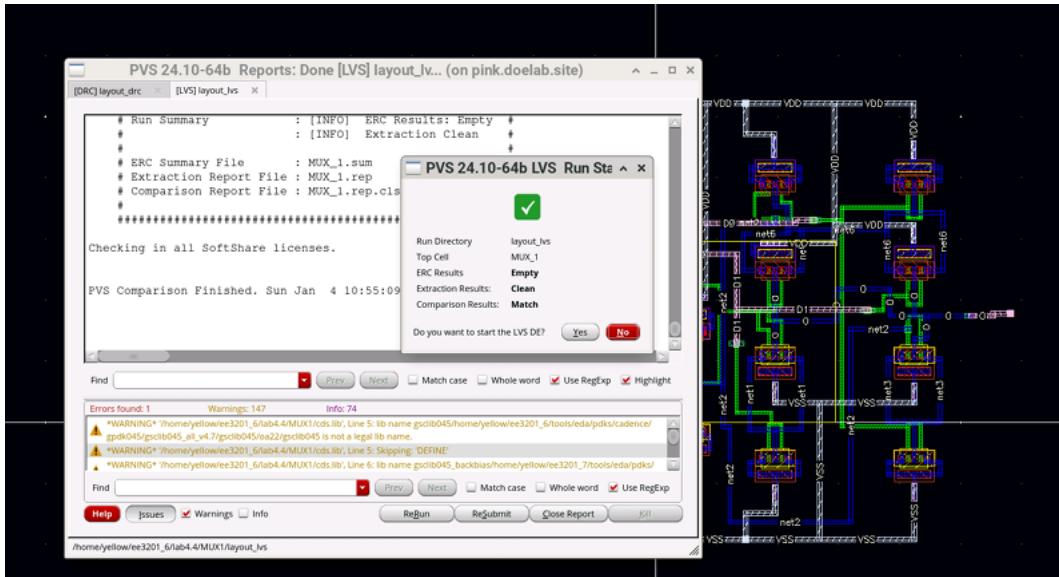
- Ta thấy, sau khi chạy LVS lần đầu có các lỗi được báo như sau:

+ **Hở mạch ở chân S và O:** ta sửa bằng cách nối thêm các đường mạch bị thiếu từ S và O trên layout. Mạch sau khi sửa:



+ **Missing pin cho tất cả các ngõ vào và ra:** vậy ta sai ngay từ bước đầu khi tạo các pin, nhóm quyết định vẽ lại từ đầu. Ở đây để dễ dàng thiết kế hơn ta đưa 2 đường gãy cản trở nhất là Vss và Vdd lên M3 để không gãy chồng lấn với các dây khác. Mạch sau khi sửa:





➤ **Kết luận:** Layout LVS Clean và MATCH với schematic.

### 3.3. Layout hoàn chỉnh của công MUX CMOS (2 fingers)

