

VIETNAM NATIONAL UNIVERSITY HO CHI MINH CITY
HO CHI MINH CITY UNIVERSITY OF TECHNOLOGY
FACULTY OF ELECTRICAL AND ELECTRONICS ENGINEERING

20.....*....QR



COURSE: INTRODUCTION TO IC DESIGN (EE3201)

LABORATORY REPORT

LAB 4: Circuit Design for Basic Standard Cells

Class: L02 – Semester: 251 – Group: 19
Supervising Instructor: M.Sc. Nguyen Trung Hieu

| NO. | STUDENT'S FULL NAME | ID | INDIVIDUAL TASKS | STATUS |
|-----|------------------------|---------|--|-------------|
| 1 | Huỳnh Trung Kiên | 2311729 | EXPERIMENT 4 | 100% |
| 2 | Nguyễn Đình Trọng Khôi | 2311682 | EXPERIMENT 3 + Tổng hợp | 100% |
| 3 | Nguyễn Trọng Lộc | 2311959 | EXPERIMENT 1 EXPERIMENT 2 | 100% |

Ho Chi Minh City, December xx, 2025

MỤC LỤC

| | |
|---|-----------|
| MỤC TIÊU | 4 |
| CHUẨN BỊ CHO BÀI THÍ NGHIỆM 4..... | 4 |
| TÀI LIỆU THAM KHẢO..... | 4 |
| 1. THÍ NGHIỆM 1..... | 5 |
| 1.1. Tiết hành đo DC | 7 |
| 1.2. Tiết hành đo transient simulation..... | 8 |
| 2. THÍ NGHIỆM 2..... | 12 |
| 2.1. Cổng NAND | 12 |
| 2.1.1. Giữ B cố định , A thay đổi..... | 15 |
| 2.1.2. Giữ A cố định 1V , B thay đổi..... | 20 |
| 2.2. Cổng NOR..... | 24 |
| 2.2.1 Khi B giữ 0V , A thay đổi | 27 |
| 2.2.2 Khi A giữ 0V , B thay đổi | 32 |
| 3. THÍ NGHIỆM 3..... | 37 |
| 3.1. Mục tiêu và mô tả thí nghiệm | 37 |
| 3.2. Khảo sát đặc tính logic và nguyên lý hoạt động của cổng XOR CMOS | 37 |
| 3.2.1. Bảng chân trị (Truth table) của cổng XOR..... | 37 |
| 3.2.2. Nguyên lý hoạt động của mạch XOR CMOS (Pull-up / Pull-down)..... | 38 |
| 3.2.3. Trạng thái bật/tắt của NMOS và PMOS theo lý thuyết..... | 38 |
| 3.2.4. Các vùng hoạt động của MOSFET trong cổng CMOS | 39 |
| 3.2.5. Mức logic và điện áp đầu vào khi khảo sát Vout | 39 |
| 3.3. Phân tích một chiều (DC Analysis)..... | 40 |
| 3.3.1. Thiết lập mô phỏng (Testbench Setup)..... | 40 |
| 3.3.2. Kết quả khảo sát hoạt động Logic (4 Trường hợp) | 41 |
| 3.3.3. Các thông số VTC | 42 |
| 3.4. Thiết lập mạch testbench và mô phỏng quá độ (transient simulation) | 43 |
| 3.4.1. Thiết lập mạch testbench | 43 |
| 3.4.2. Mô phỏng quá độ (transient simulation) | 44 |
| 3.4.2.1. Đo thời gian chuyển tiếp..... | 44 |

| | |
|---|-----------|
| 3.4.2.2. Đo độ trễ lan truyền..... | 46 |
| 3.4.2.3. Đo công suất | 48 |
| 3.5. Thiết kế cổng XNOR với những thay đổi tối thiểu so với cổng XOR | 51 |
| 3.5.1. Ký hiệu và sơ đồ nguyên lý của XNOR..... | 51 |
| 3.5.2. Thiết kế mạch mà kiểm chứng mô phỏng: | 51 |
| 4. THÍ NGHIỆM 4..... | 53 |
| 4.1. Bảng chân trị và phân tích sơ bộ thiết kế: | 53 |
| 4.2. Khảo sát mạch MUX2x1 kiểu 1 (Figure 5b):..... | 55 |
| 4.2.1. Phân tích DC: | 56 |
| 4.2.2. Mô phỏng quá độ (transient simulation):..... | 58 |
| 4.3. Khảo sát mạch MUX2x1 kiểu 2 (Figure 5c): | 66 |
| 4.3.1. Phân tích DC: | 67 |
| 4.3.2. Mô phỏng quá độ (transient simulation):..... | 69 |
| 4.4. So sánh 2 mạch MUX2x1 đã khảo sát:..... | 77 |
| 5. KẾT LUẬN | 77 |

MỤC TIÊU

- **Mục tiêu của bài thí nghiệm này** là giúp sinh viên thực hiện quy trình thiết kế số hoàn chỉnh, từ bước **thiết kế mạch (circuit design)** → **mô phỏng trước layout (pre-layout simulation)** bằng phần mềm Cadence Virtuoso.
- Sử dụng Cadence Virtuoso, sinh viên sẽ tạo sơ đồ nguyên lý bằng công cụ **Virtuoso Schematic Editor** và vẽ ký hiệu (symbol) cho thiết kế của mình bằng công cụ **Virtuoso Symbol Editor**.
- Sau khi hoàn thành các bước trên, sinh viên tiến hành chạy mô phỏng pre-layout: bao gồm **phân tích DC (DC analysis)** và **mô phỏng quá độ (transient simulation)** bằng công cụ **ADE-Explorer**; đồng thời đo đạc các tham số thời gian (thời gian tăng/giảm, độ trễ lan truyền) và công suất tiêu thụ bằng công cụ **Calculator** hoặc **Point Markers**.

CHUẨN BỊ CHO BÀI THÍ NGHIỆM 4

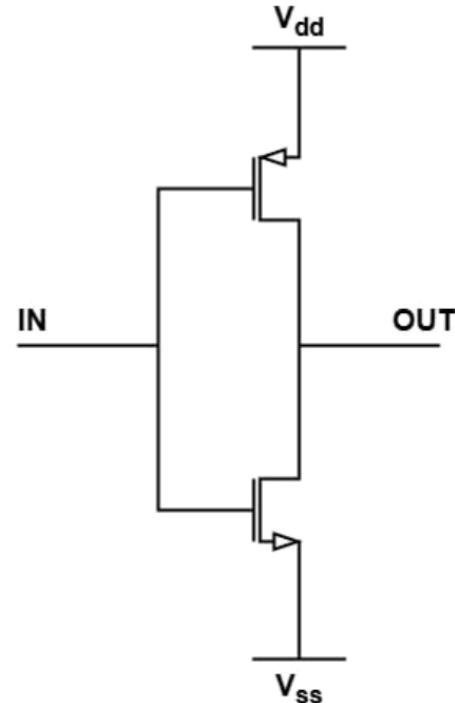
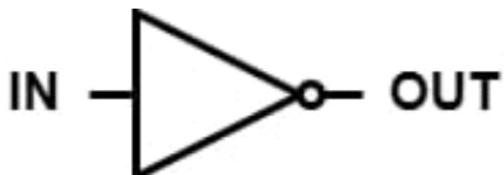
- Hiểu rõ khái niệm và quy trình thiết kế mạch cho các **cỗng chuẩn cơ bản (basic standard cells)**.
- Đọc kỹ hướng dẫn truy cập máy chủ (server) và các tài liệu hướng dẫn sử dụng Cadence Virtuoso.
- Hiểu cách sử dụng Cadence Virtuoso để thiết kế mạch, chạy mô phỏng pre-layout và đo đạc các thông số pre-layout.

TÀI LIỆU THAM KHẢO

1. THÍ NGHIỆM 1

Ta có bảng chân trị của cỗng NOT :

| IN | OUT |
|----|-----|
| 0 | 1 |
| 1 | 0 |



➤ Phân tích sơ đồ nguyên lý

Ta thấy sơ đồ của cỗng Inverter (NOT) gồm 1 transistor PMOS mắc nối tiếp với 1 transistor NMOS.

- Transistor PMOS có cực nguồn (Source) nối với nguồn V_{DD}.
- Transistor NMOS có cực nguồn (Source) nối với đất V_{ss}.
- Ngõ vào (Input) được nối chung vào cực cổng (Gate) của cả hai transistor.
- Ngõ ra (Output) được lấy từ điểm nối chung giữa hai cực máng (Drain) của chúng.

➤ Nguyên lý hoạt động

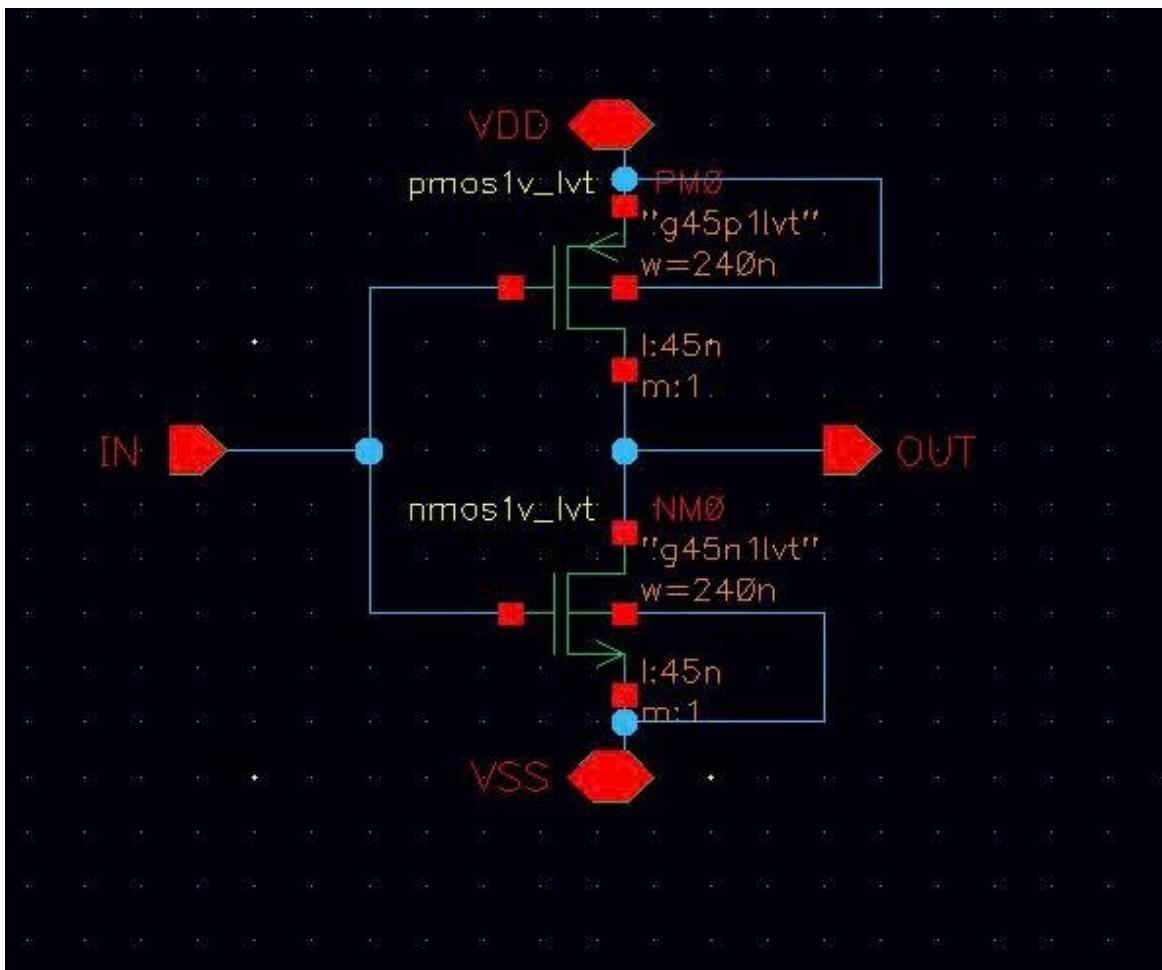
Cỗng Inverter hoạt động dựa trên nguyên lý đóng ngắt bù trừ của hai transistor:

- Mạng kéo lên (Pull-up Network): Do PMOS đảm nhiệm, dẫn điện khi ngõ vào ở mức thấp.

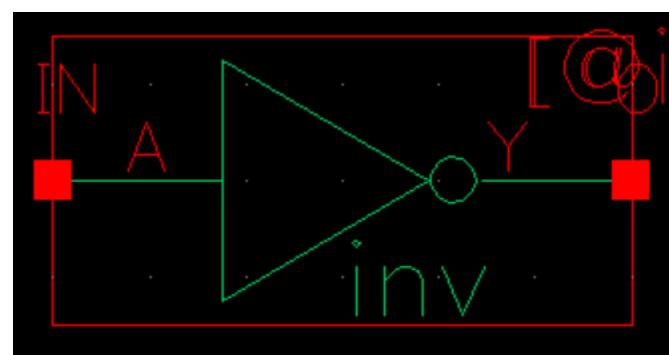
- Mang kéo xuống (Pull-down Network): Do NMOS đảm nhiệm, dẫn điện khi ngõ vào ở mức cao.

Các MOSFET này sẽ điều khiển V_{out} về mức Logic 1 hoặc Logic 0 dựa vào điện áp Input đầu vào.

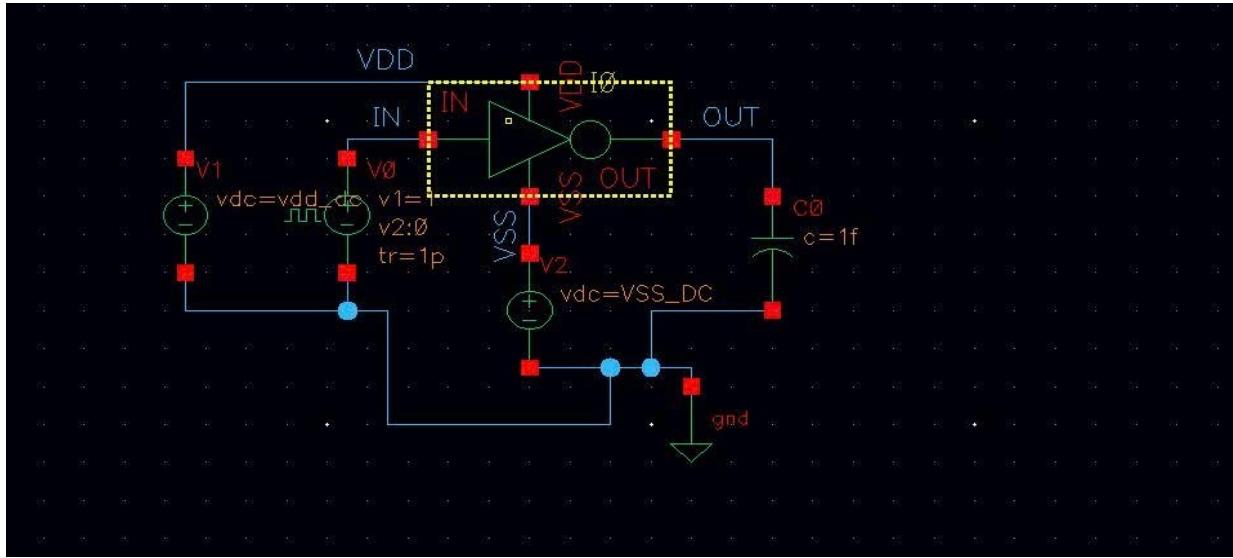
Hình ảnh Schematic của cổng NOT :



Trong đó các thông số của mosfet và các chế độ ta làm theo file báo cáo:
 $width/length/finger=120n/45n/2$. Sau khi có schematic, ta tiến hành vẽ symbol :

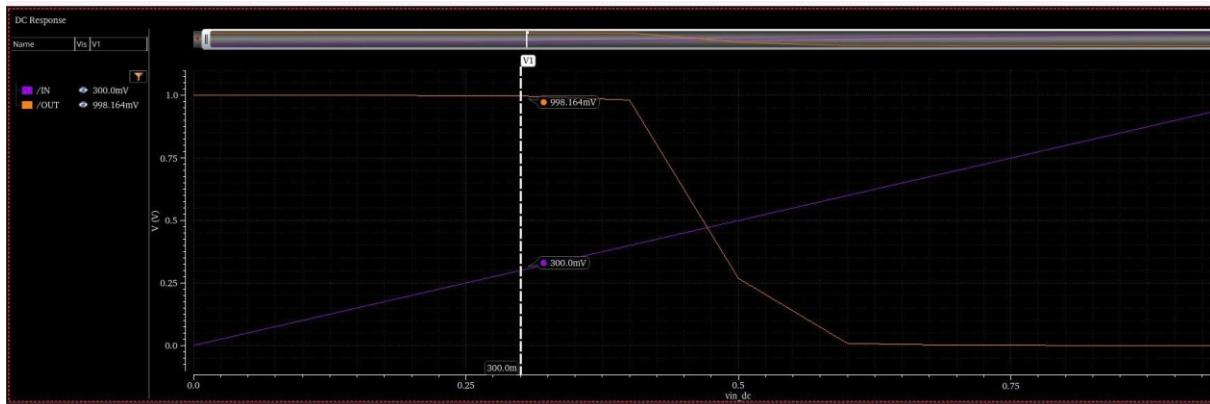


Ta có testbench của cỗng NOT :



1.1. Tiến hành đo DC

Ta có đồ thị như sau:



Nhìn vào đồ thị để đối chiếu, ta có bảng giá trị của $V_{out}(V)$ theo $V_{in}(V)$ là :

| $V_{in}(V)$ | 0.1 | 0.2 | 0.3 | 0.4 | 0.5 | 0.6 | 0.7 | 0.8 | 0.9 | 1.0 |
|--------------|--------|--------|--------|--------|--------|-------|-----|-----|-----|-----|
| $V_{out}(V)$ | 0.9999 | 0.9998 | 0.9981 | 0.9856 | 0.3785 | 0.009 | 0 | 0 | 0 | 0 |

- Các giá trị từ $V_{in} = 0.6(V)$ đổ về sau thì $V_{out} \approx 0(V)$. Ta có : $v_{OH} \approx 1(V)$; $v_{OL} \approx 0(V)$, $v_M \approx 0.471(V)$ (là điểm giao giữa IN và OUT, hay điểm mà $V_{in}=V_{out}$)

Ta thấy giá trị của v_M xác định được trên đồ thị gần với lý thuyết khi $v_M = VDD/2 = 0.5(V)$

- $v_{IL} \approx 0.461(V)$: là mức điện áp ngõ vào cao nhất mà mạch vẫn còn nhận diện được chính xác đó là mức logic 0 (mức thấp). $v_{IH} \approx 0.524(V)$: là mức điện áp ngõ vào thấp nhất mà mạch bắt đầu nhận diện chính xác đó là mức logic 1 (mức cao)

1.2. Tiến hành đo transient simulation

Testbench : (chỉnh thông số các nguồn Vpulse giống như table2)

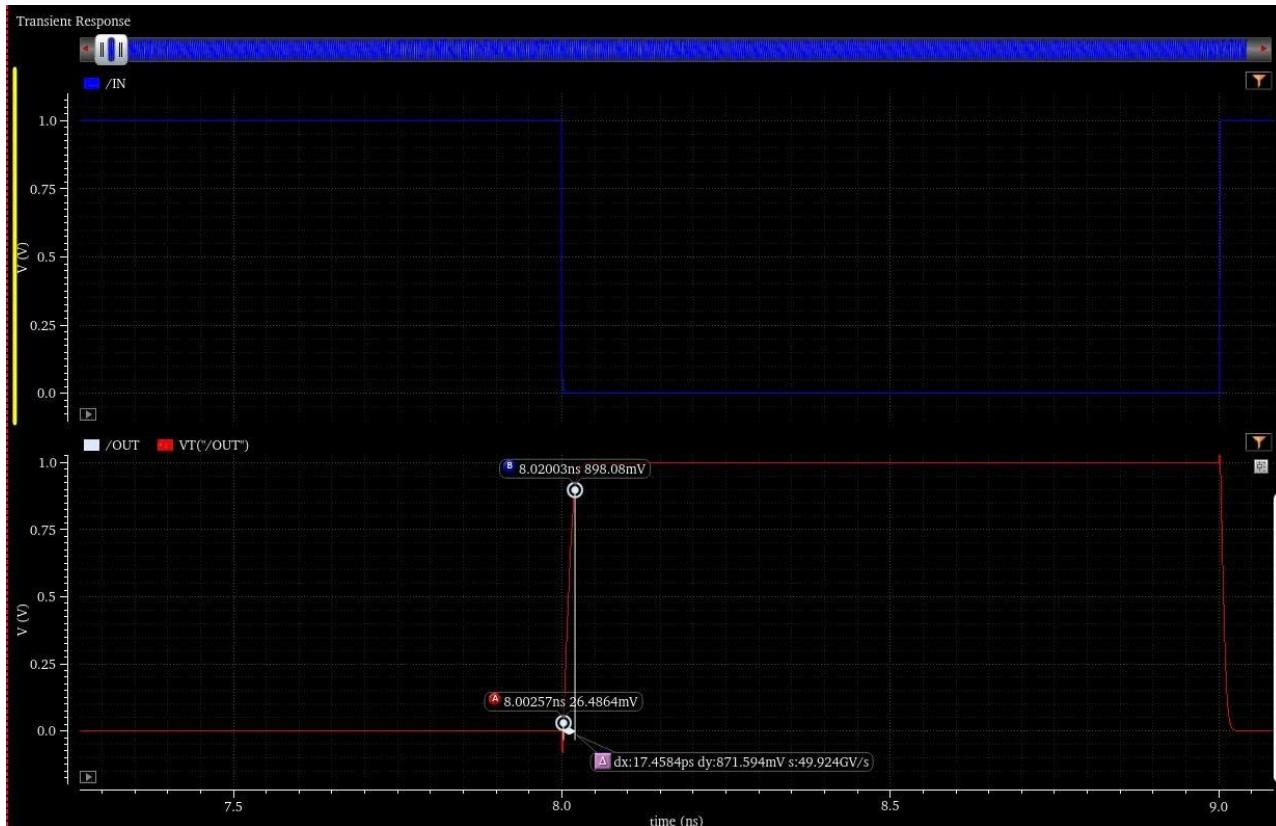
| Parameters | Value | Note |
|-------------|-------|------|
| V_{dd} | 1V | |
| C_{load} | 1fF | |
| Voltage 1 | 0V | |
| Voltage 2 | 1V | |
| Rise time | 1ps | |
| Fall time | 1ps | |
| Delay | 0ns | |
| Pulse width | 1ns | |
| Period | 2ns | |

Parameters for vpulse

Table 2: Parameters for transient simulation.

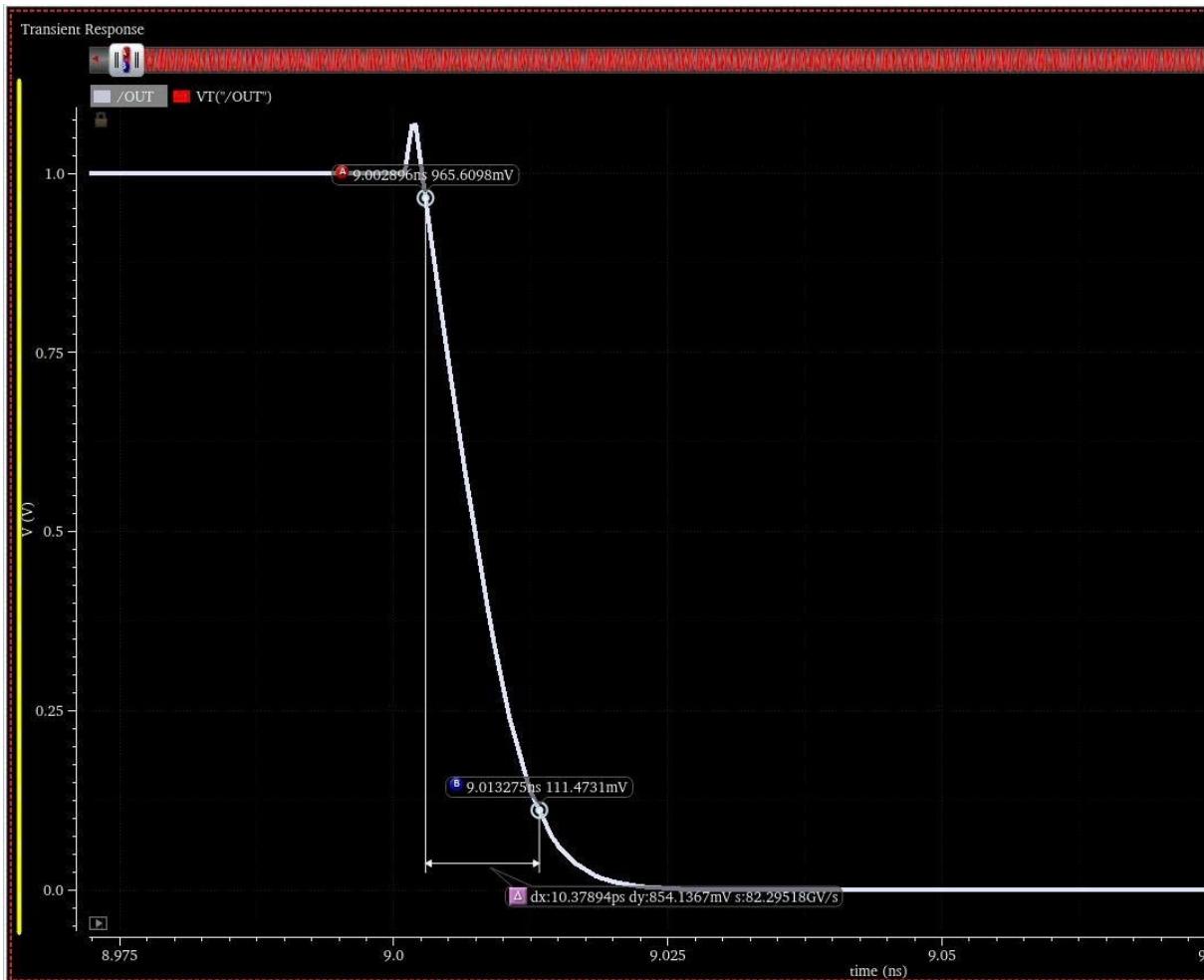
Ta tiến hành đo các thông số :

❖ Đo t_{rise} :



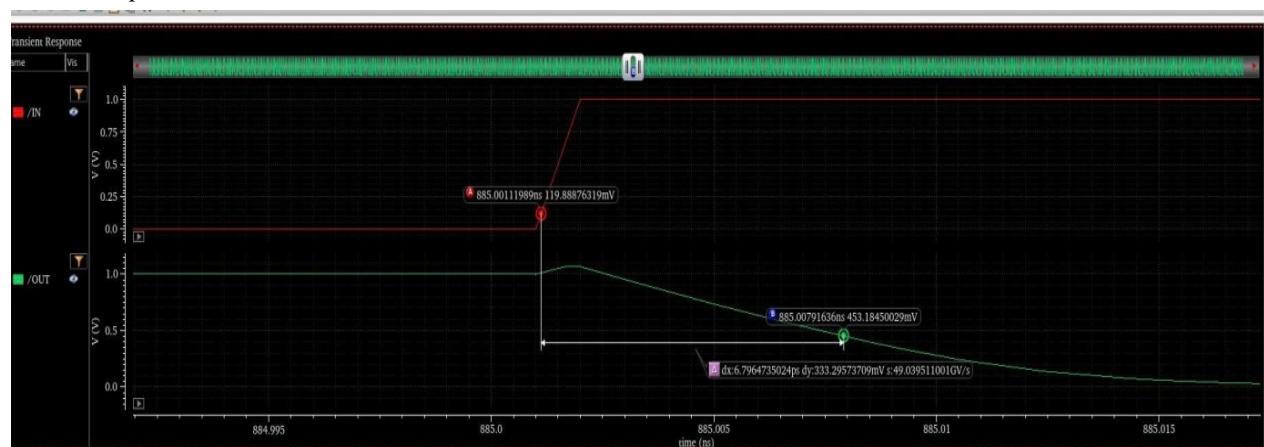
$$t_{rise} = dx = 17.458 \text{ ps}$$

❖ Do t_{fall} :



$$t_{fall} = dx = 10.37894 \text{ ps}$$

❖ Do t_{pdf} :



$$t_{pdf} = dx = 6.7964 \text{ ps}$$

❖ Đo t_{pdr} :



$$t_{pdr} = dx = 9.4404\text{ps}$$

$$\text{Ta có : } t_{pd} = \frac{t_{pdf} + t_{pdr}}{2} = 8.1184\text{ps}$$

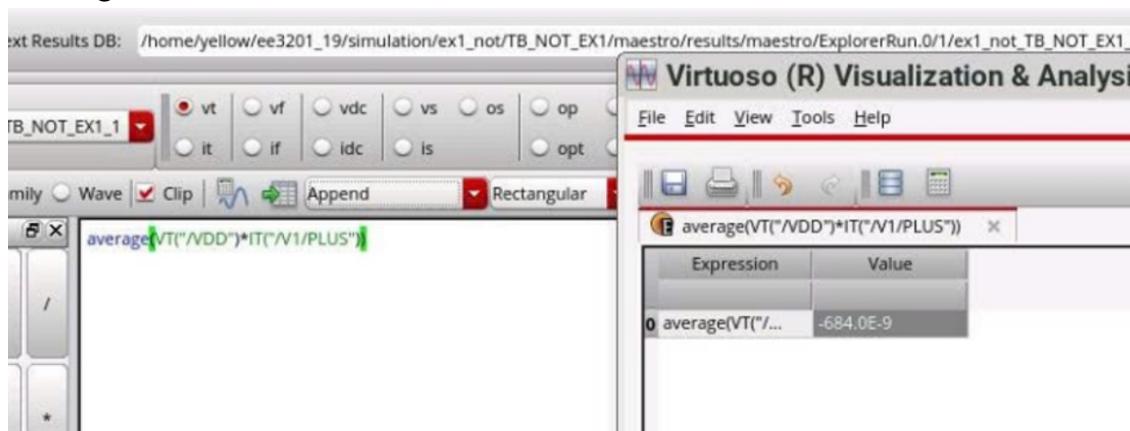
Đo Static Power:

Gía trị đo được (I_{static})= 30.98 nA

Điện áp nguồn (V_{DD}): 1V

\Rightarrow Công suất tĩnh: $P_{static} = V_{DD} \times I_{static} = 1V \times 121.42\text{nA} = 121.42\text{Nw}$

❖ Đo công suất Total :



$$P_{\text{total}} = 684 \text{ (nW)} \text{ (Lấy độ lớn)}$$

$$P_{\text{dynamic lý thuyết}} = C \cdot v_{dd}^2 \cdot f = 1 \cdot 10^{-15} \cdot 1^2 \cdot \frac{1}{2 \cdot 10^{-9}} = 500 \text{ (nW)}$$

mà $P_{\text{static}} = P_{\text{total}} - P_{\text{dynamic}} = 684 - 121.42 = 562.58 \text{ (nW)}$

Nhận xét

- Ta thấy có sự chênh lệch giữa công suất động mô phỏng và lý thuyết (chênh lệch khoảng 62.58 nW). Nguyên nhân của sự khác biệt này bao gồm:
 - Công suất ngắn mạch : Trong thực tế, khi tín hiệu ngõ vào chuyển từ mức thấp sang mức cao (hoặc ngược lại), có một khoảng thời gian cực ngắn cả PMOS và NMOS cùng dẫn điện, tạo ra dòng điện đi thẳng từ nguồn xuống đất. Công thức lý thuyết đơn giản chưa tính đến phần này.
 - Tụ ký sinh : Ngoài tụ tải 1fF được gắn thêm, phần mềm mô phỏng đã tính toán cả các tụ ký sinh nội tại của các transistor (Cgd, Cgs, Cdb). Điều này làm tăng tổng dung lượng cần nạp/xả, dẫn đến công suất động thực tế cao hơn lý thuyết.
- Adjust the sizing of the PMOS and NMOS so that the VM=VDD/2.
 - Hiện tại $V_M = 0.4719V$ (đang thấp hơn 0.5V).
 - Do PMOS yếu hơn NMOS (do độ linh động lõi trống thấp hơn điện tử), nên NMOS kéo điện áp xuống đất mạnh hơn, làm điểm giữa bị lệch xuống dưới.
 - Giải pháp: Tăng chiều rộng (Width) của PMOS lên để nó mạnh hơn, kéo điểm cân bằng lên cao.

Chọn Width = 150n

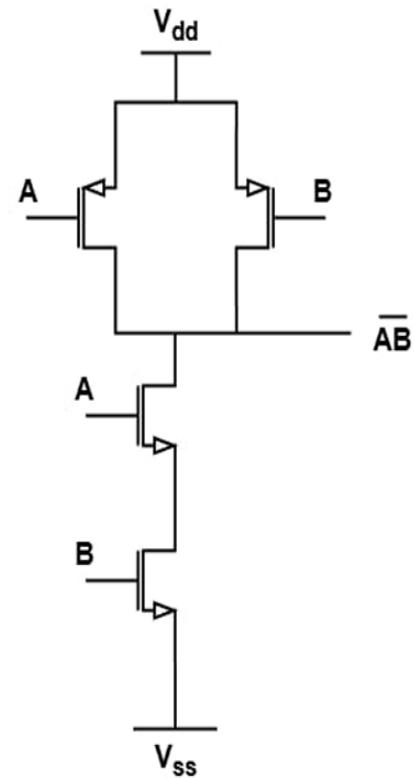
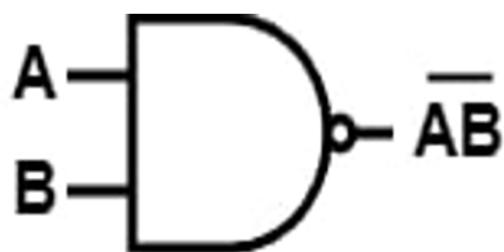
$$V_M = 500.25(\text{mV}) \approx 500(\text{mV})$$

2. THÍ NGHIỆM 2

2.1. Cổng NAND

Bảng chân trị của cổng NAND :

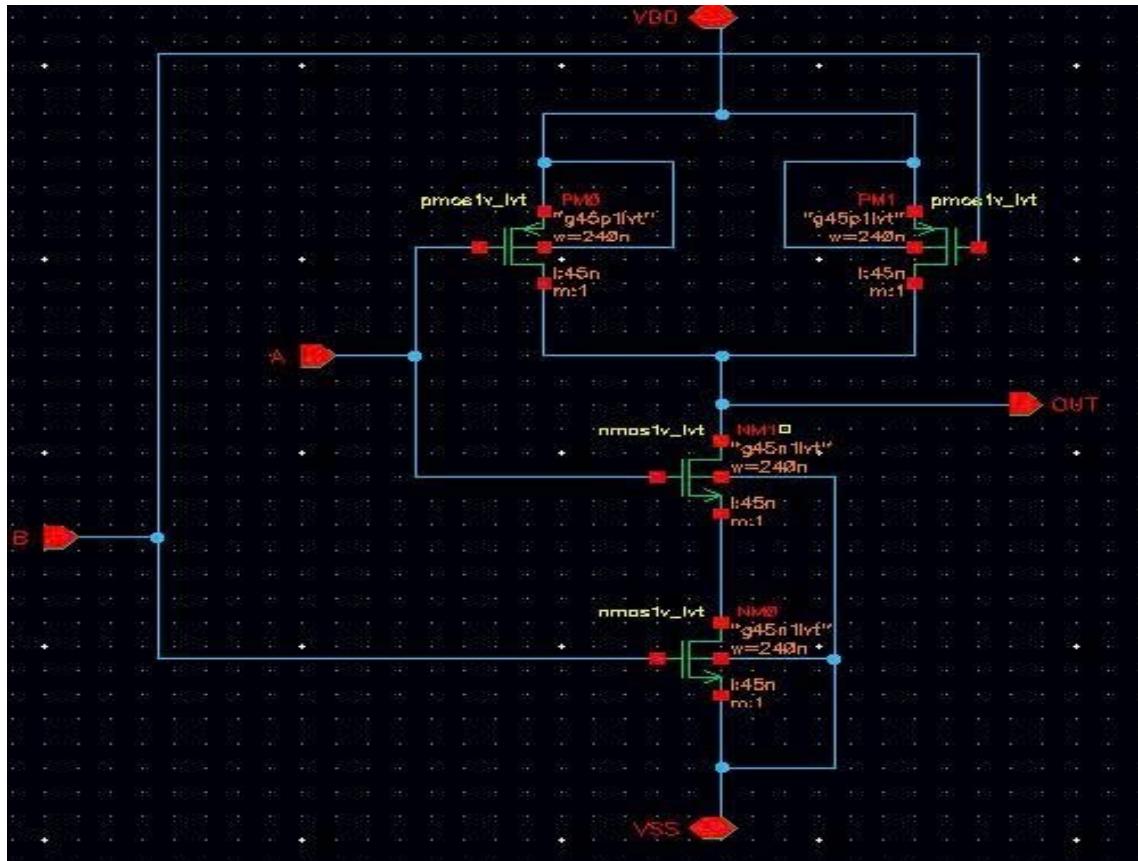
| A | B | \overline{AB} |
|---|---|-----------------|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



Ta thấy sơ đồ của cổng NAND gồm 2 transistor PMOS mắc song song với nhau và nối với nguồn VDD và 2 transistor NMOS mắc nối tiếp với nhau và nối với đất VSS (GND). Hai ngõ vào A và B được nối chung vào cực cổng gate của cặp PMOS và NMOS tương ứng. Cổng NAND hoạt động dựa trên nhánh có 2 PMOS ở trên và 2 NMOS ở dưới. Các mosfet này sẽ cho output phù hợp dựa vào input đầu vào.

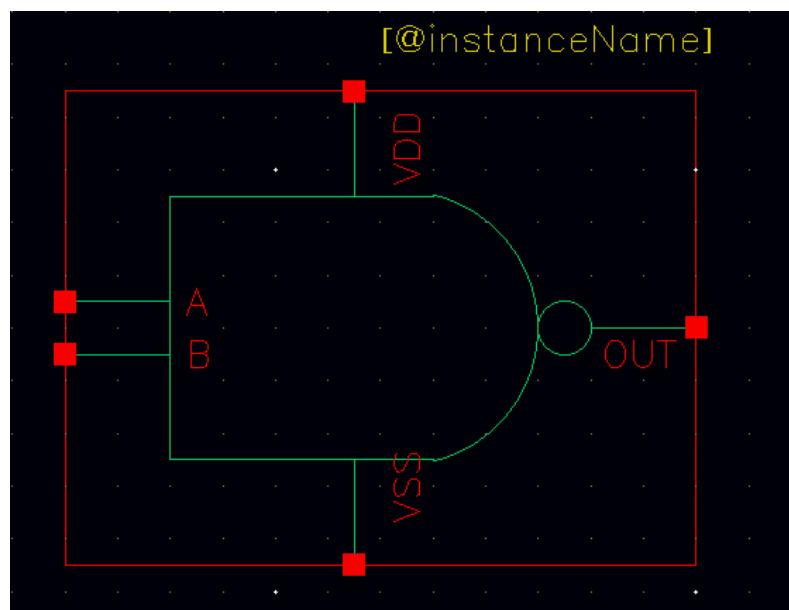
Ví dụ : A = 0 và B = 0 thì $\overline{AB} = 1$ do có ít nhất 1 PMOS ở nhánh trên có $v_{GS} > v_{TP} \Rightarrow$ hoạt động ở vùng tuyến tính để lấy v_{DD} xuống output. Trong khi đó ở nhánh dưới thì có ít nhất 1 NMOS có $v_{GS} < v_{TN} \Rightarrow$ Ngăn dòng điện xuống đất (vì không hoạt động)

- Hình ảnh Schematic của công NAND:

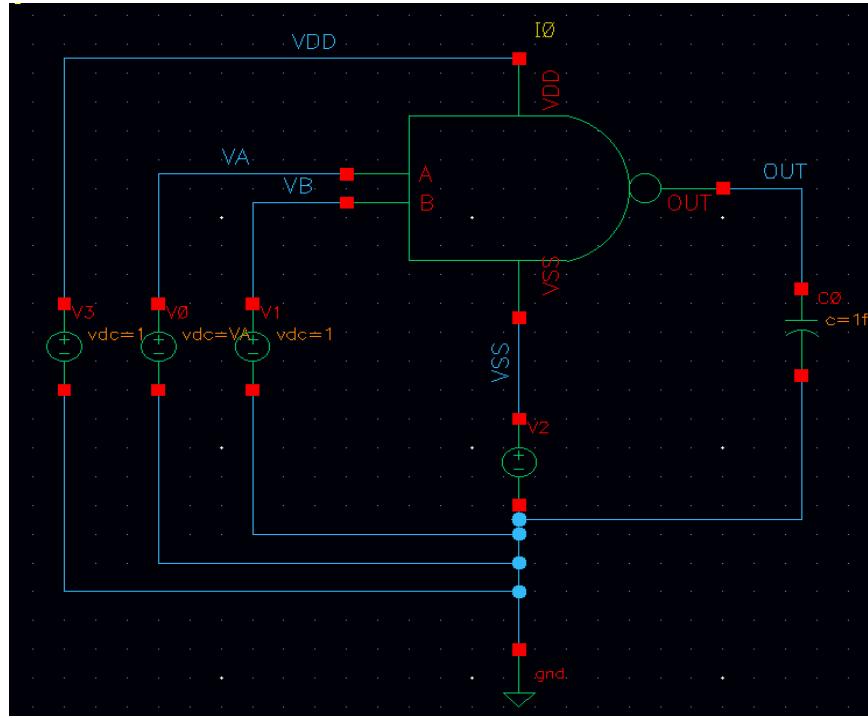


Trong đó các thông số của mosfet và các chế độ ta làm theo file báo cáo : width/length/finger=120n/45n/2.

Sau khi có schematic, ta tiến hành vẽ symbol:

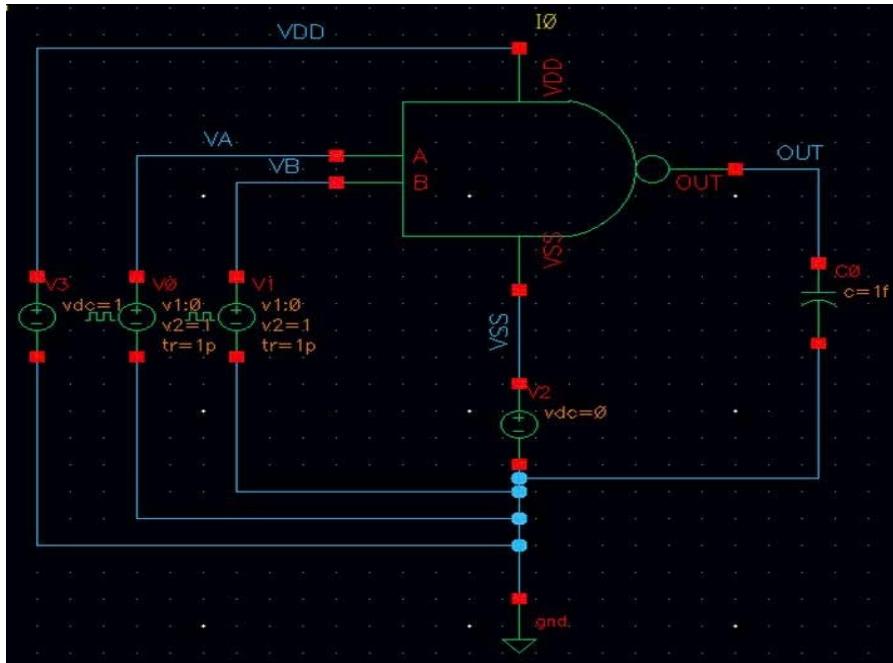


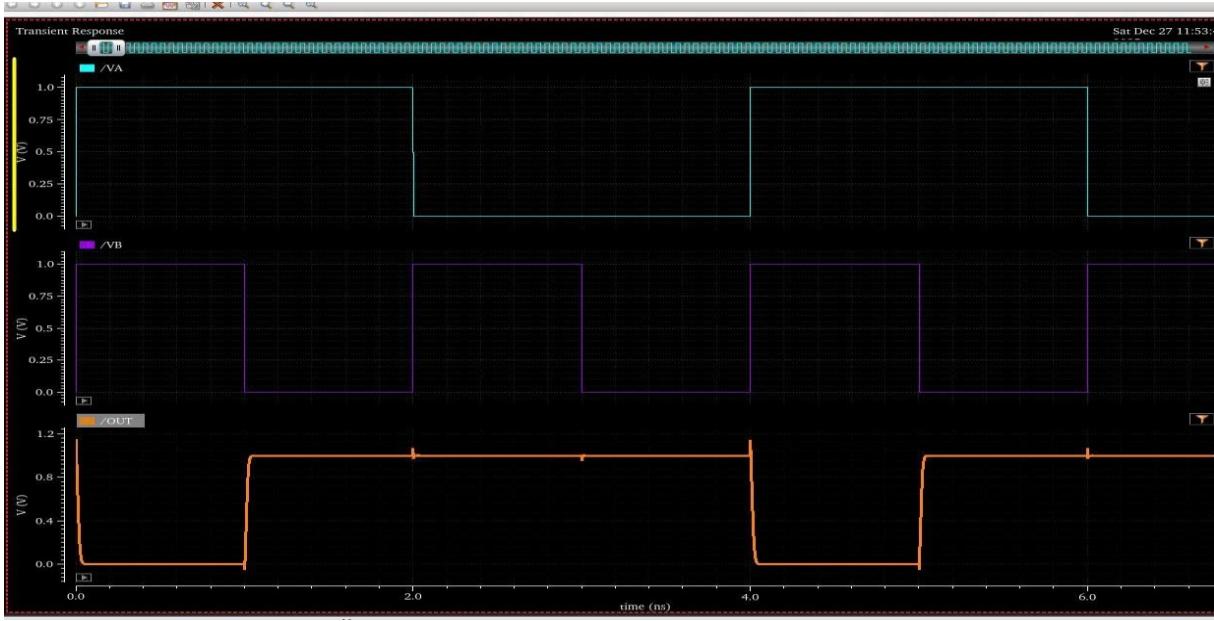
Ta có testbench của cỗng NAND:



- Kiểm tra tính đúng đắn của logic bằng chân trị:

+ Để kiểm tra tính đúng đắn của thiết kế đối với cỗng NAND bằng chân trị ta chỉnh sửa set up nguồn VA có period 4ns và pulse width 2ns còn VB giữ nguyên theo yêu cầu để cho period 2ns và pulse width 1ns để chu kì của ngõ vào B chậm hơn thì sẽ kiểm tra được các trường hợp đúng của chân trị .



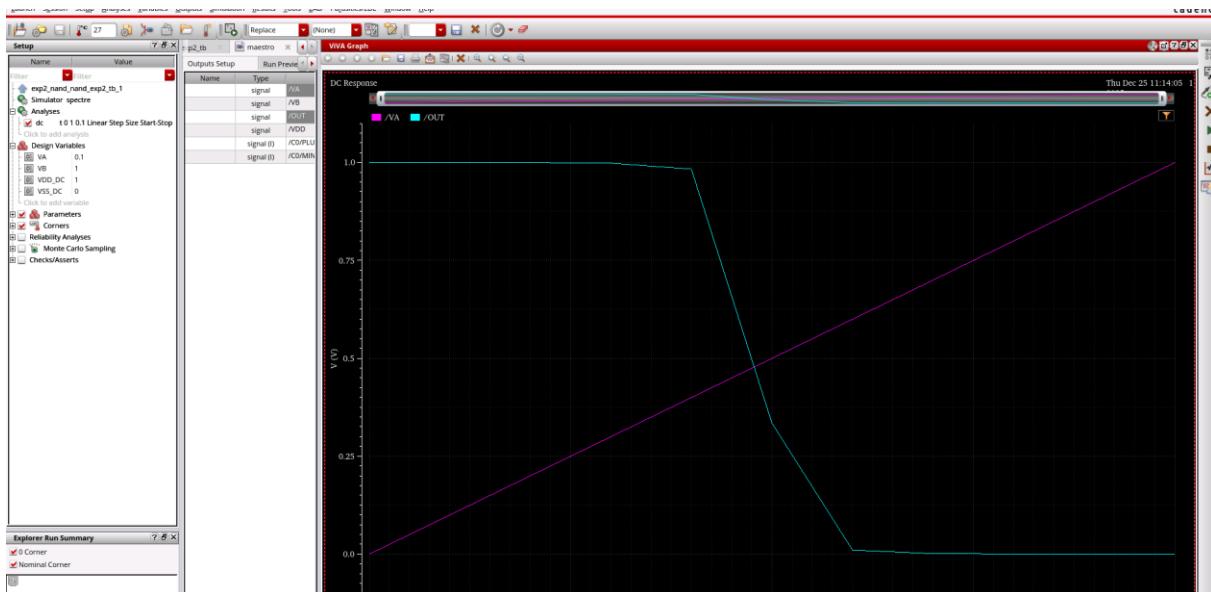


Nhận xét : Dựa vào hình ta có thể thấy hình ảnh sóng ngõ ra và ngõ vào ra đúng kết quả của bảng chân trị \Rightarrow thiết kế công nand đúng logic của mạch .

2.1.1. Giữ B cố định , A thay đổi

2.1.1.1 Tiến hành do DC :

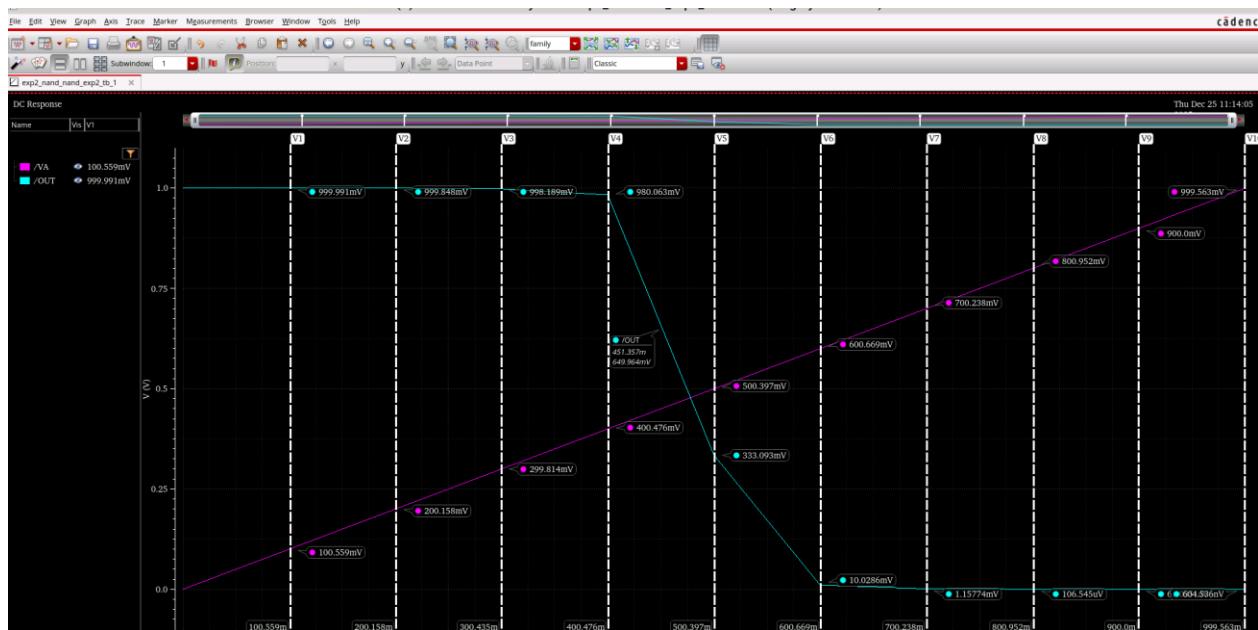
- +) Vì input A và input B ở mạch này là đối xứng nhau (có thể thay thế cho nhau) nên ta chỉ làm 1 trường hợp là thay đổi A, giữ nguyên B là tổng quát nhất.
- +) Thay đổi VA từ 0 đến 1 (step là 0.1), giữ cố định VB = 1 (vì nếu để VB = 0 thì output sẽ luôn là 1 bất kể VA có thay đổi như thế nào \Rightarrow không thể quan sát được sự thay đổi)
- +) Ta có đồ thị của VA theo VOUT như sau :



Ta thấy VOUT giữ mức cố định là 1 trong khoảng thời gian ngắn rồi giảm mạnh khi VA tăng dần rồi lại tiếp tục giữ ổn định là 0 đến cuối.

=> Lúc này khi VB = 1V thì cổng NAND hoạt động như cổng NOT đối với input là VA Nhìn vào đồ thị để đối chiếu, ta có bảng giá trị của Vout (V) theo Vin(V) là :

| Vin(V) | 0.1 | 0.2 | 0.3 | 0.4 | 0.5 | 0.6 | 0.7 | 0.8 | 0.9 | 1.0 |
|---------|-------|-------|-------|-------|-------|------|-----|-----|-----|-----|
| Vout(V) | 0.999 | 0.999 | 0.998 | 0.980 | 0.333 | 0.01 | 0 | 0 | 0 | 0 |



Các giá trị từ Vin = 0.6(V) đổ về sau thì Vout \approx 0 (V)

Ta có : $v_{0H} \approx 1(V)$; $v_{OL} \approx 0 (V)$, $v_M \approx 0.479 (V)$ (là điểm giao giữa VA và VOUT, hay điểm mà Vin=Vout)

Ta thấy giá trị của v_M xác định được trên đồ thị gần với lý thuyết khi $v_M = VDD/2 = 0.5(V)$ $v_{IL} \approx 0.42(V)$: là mức điện áp ngõ vào cao nhất mà mạch vẫn còn nhận diện được chính xác đó là mức logic 0 (mức thấp).

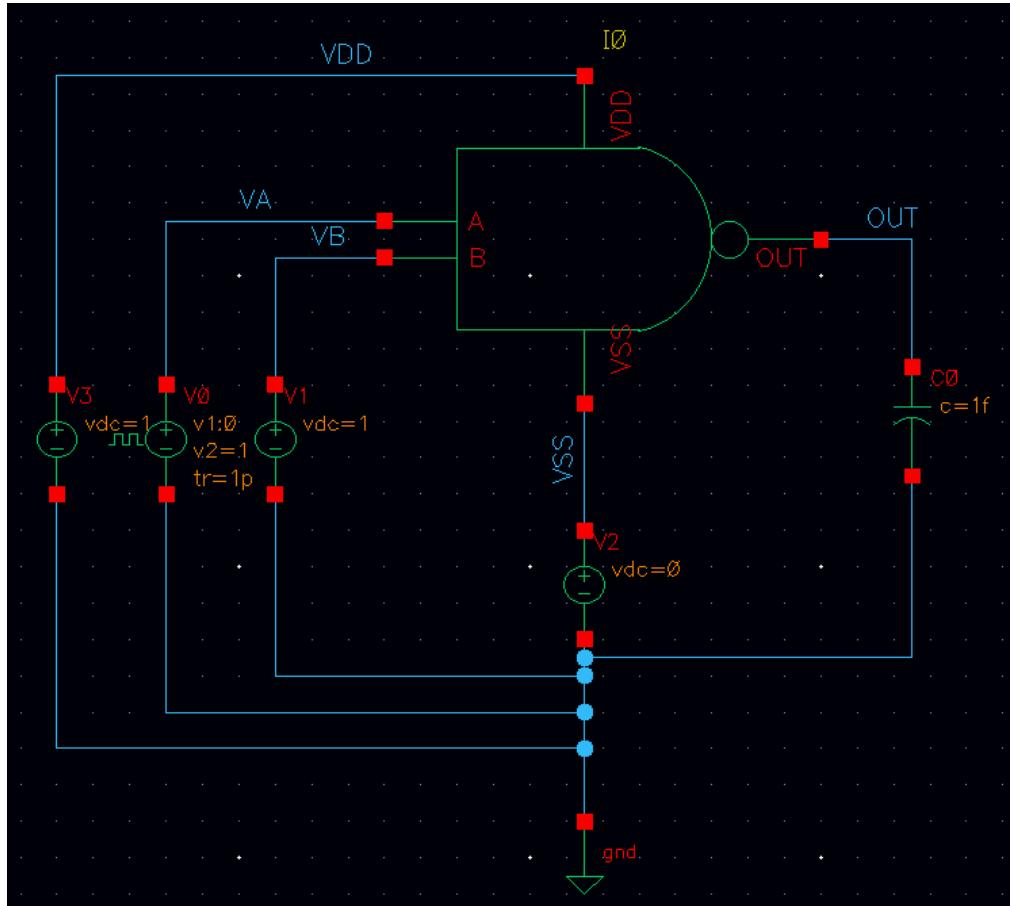
$v_{IH} \approx 0.58(V)$: là mức điện áp ngõ vào thấp nhất mà mạch bắt đầu nhận diện chính xác đó là mức logic 1 (mức cao).

2.1.1.2. Tiến hành đo transient simulation

Trong mô phỏng transient, một ngõ vào được kích bằng xung PULSE, trong khi ngõ vào còn lại được giữ ở mức logic cố định nhằm đảm bảo việc đo các thông số thời gian từ ngõ vào đến ngõ ra được xác định rõ ràng.

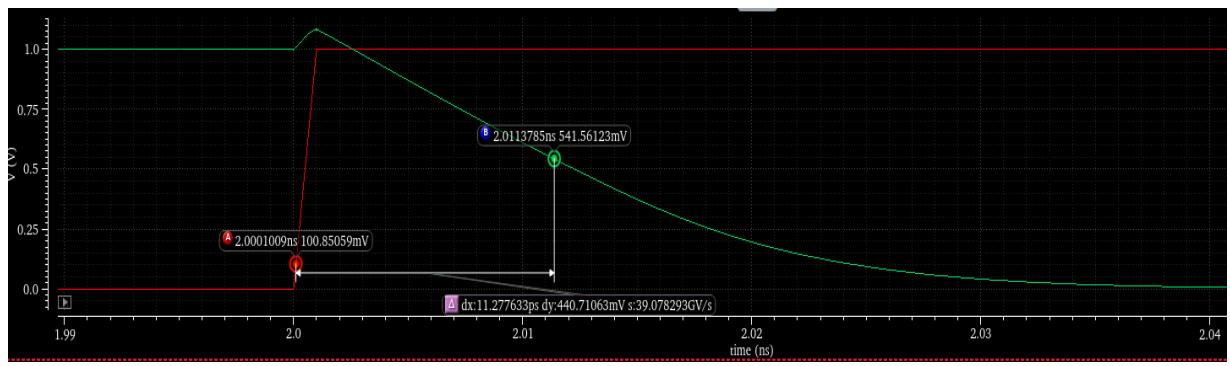
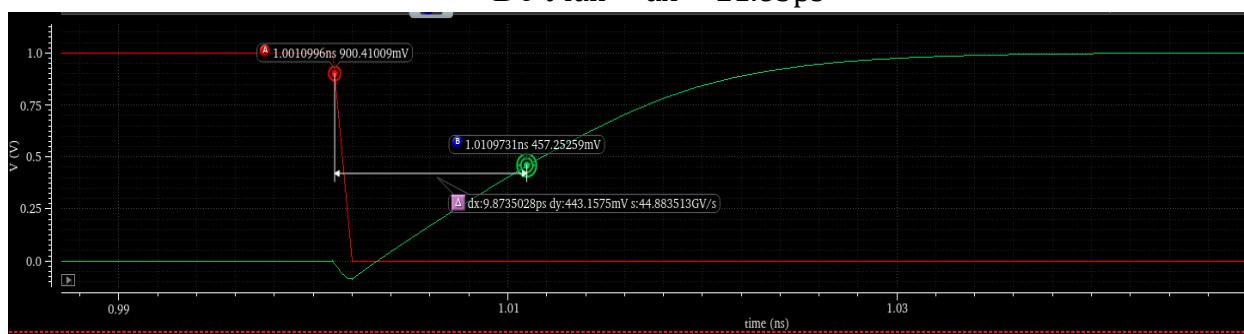
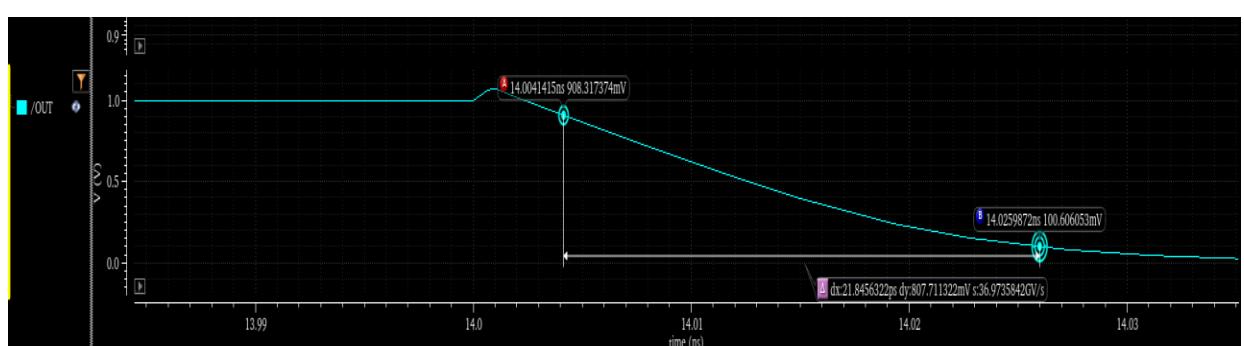
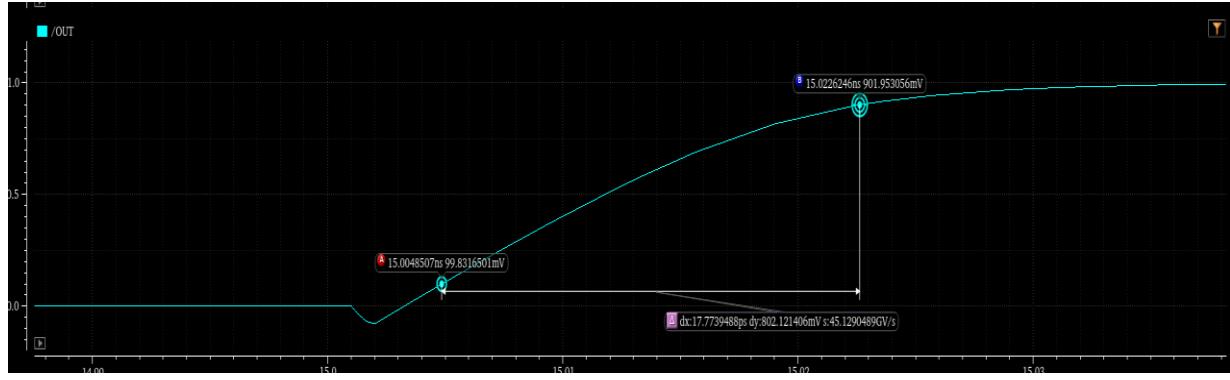
- ❖ **Nếu 2 input cùng chạy xung:**
- Không biết output đổi do input nào
- Không đo được delay chuẩn

- ❖ **Giữ 1 input cố định:** Output chỉ xảy ra với 1 input thì đo các thông số thời gian được đo chuẩn theo trường hợp đó
- Mạch testbench : (chỉnh thông số các nguồn Vpulse giống như table2)



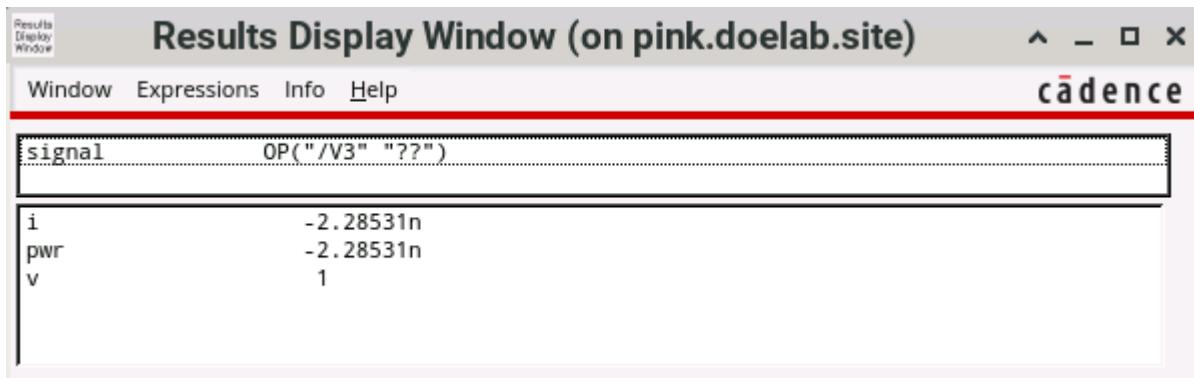
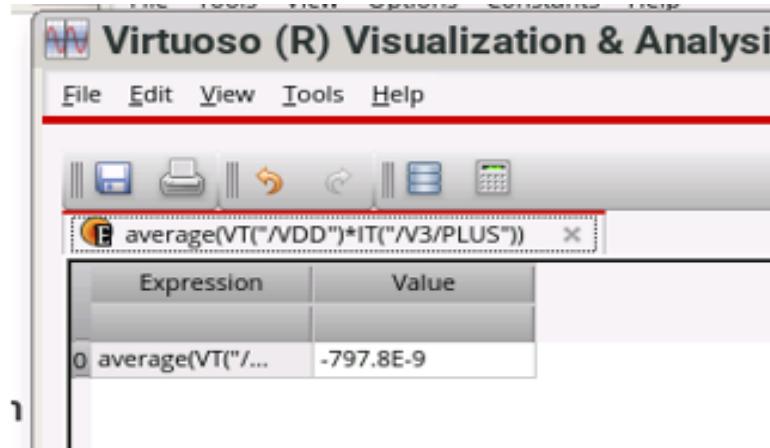
Ta tiến hành đo các thông số :

| Thông số | Kết quả |
|---|----------|
| t_{rise} – Thời gian tăng của cạnh lên ($10\% \rightarrow 90\%$) | 17.74ps |
| t_{fall} – Thời gian giảm của cạnh xuống ($90\% \rightarrow 10\%$) | 21.85ps |
| t_{pdr} – Độ trễ lan truyền khi điện áp ngõ ra tăng ($90\% \rightarrow 50\%$) | 9.874ps |
| t_{pdf} – Độ trễ lan truyền khi điện áp ngõ ra giảm ($10\% \rightarrow 50\%$) | 11.277ps |
| t_{pd} – Độ trễ lan truyền trung bình ($50\% \rightarrow 50\%$) | 10.58ps |
| Công suất động (Dynamic power) | 795.6nW |
| Công suất tĩnh (Static power) | 797.8nW |



$$\Rightarrow t_{pd} = \frac{tpdr + tpdf}{2} = 10.56\text{ps}$$

Đo công suất total : $P_{total} = 797.8$ (nW) (Lấy độ lớn)

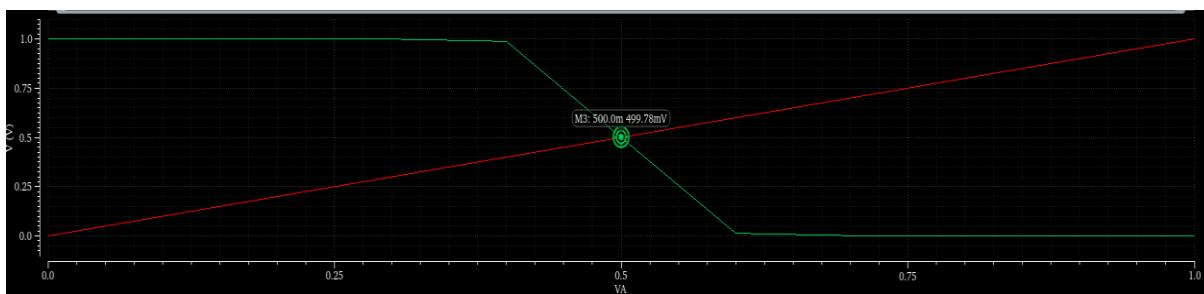


$$\Rightarrow P_{dynamic} = P_{total} - P_{static} = 797.8 - 2.2 = 795.6(\text{nW})$$

Để tối ưu cho mạch giống như đề bài nói : $v_M = VDD/2$ thì ta có thể điều chỉnh thông số về Width(W) của mosfet (120n lên 130n hoặc 140n hoặc giảm xuống) tới khi nào thực hiện lại mạch : Check and save => ADE Explorer chạy lại DC Sweep cho đến khi 2 đường Vin và Vout cắt nhau đúng vạch 0.5 trên đồ thị là được.

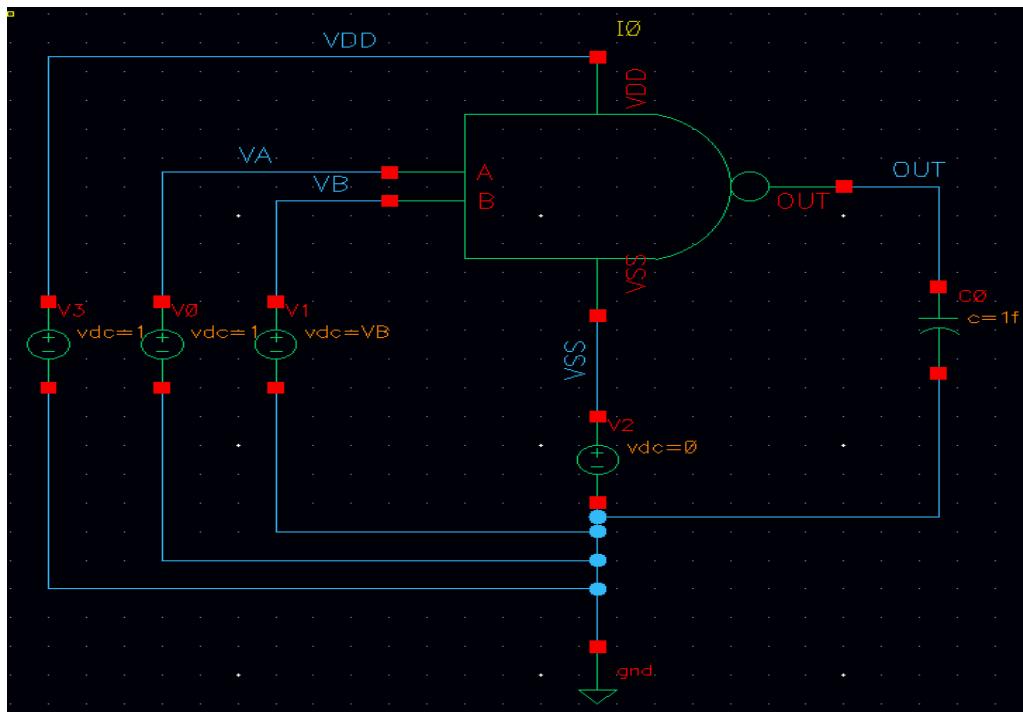
Thực tế thì $v_M = 0.479$ đã tính được khi mô phỏng là một giá trị giúp cho mạch hoạt động tốt => Mạch hoạt động tốt

Tăng width 2 con Pmos lên 160n

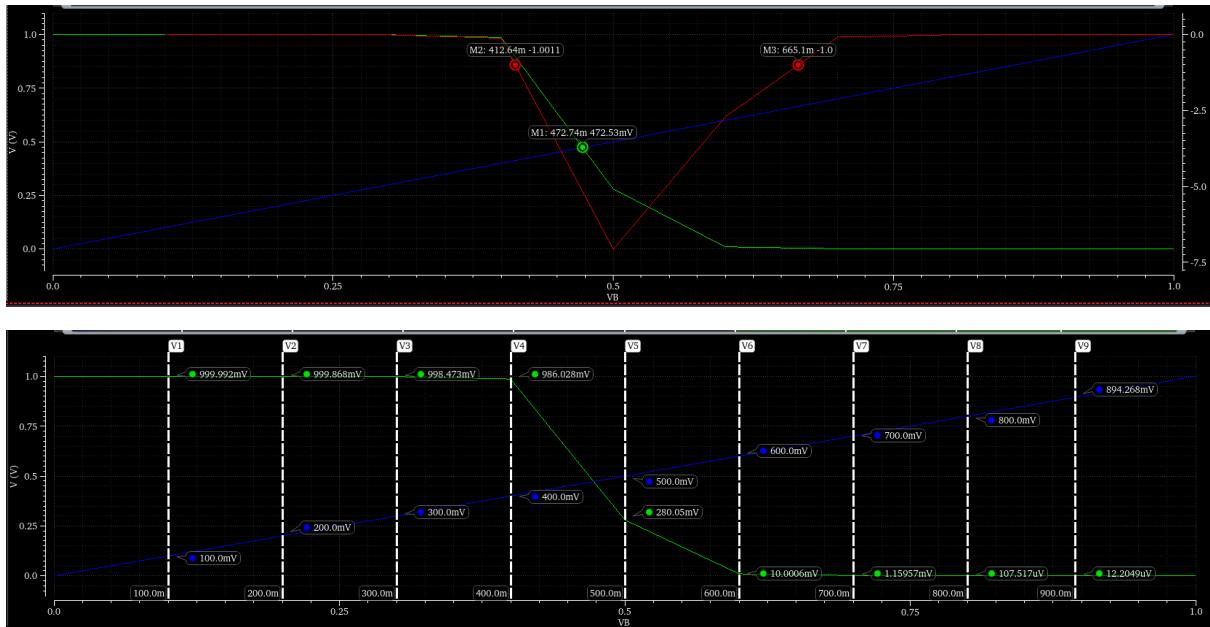


2.1.2. Giữ A cố định 1V , B thay đổi

2.1.2.1. Tiến hành đo DC



- +) Thay đổi V_B từ 0 đến 1 (step là 0.1), giữ cố định $V_A = 1$ (vì nếu để $V_A = 0$ thì output sẽ luôn là 1 bất kể V_A có thay đổi như thế nào \Rightarrow không thể quan sát được sự thay đổi)
+) Ta có đồ thị của V_A theo V_{OUT} như sau :



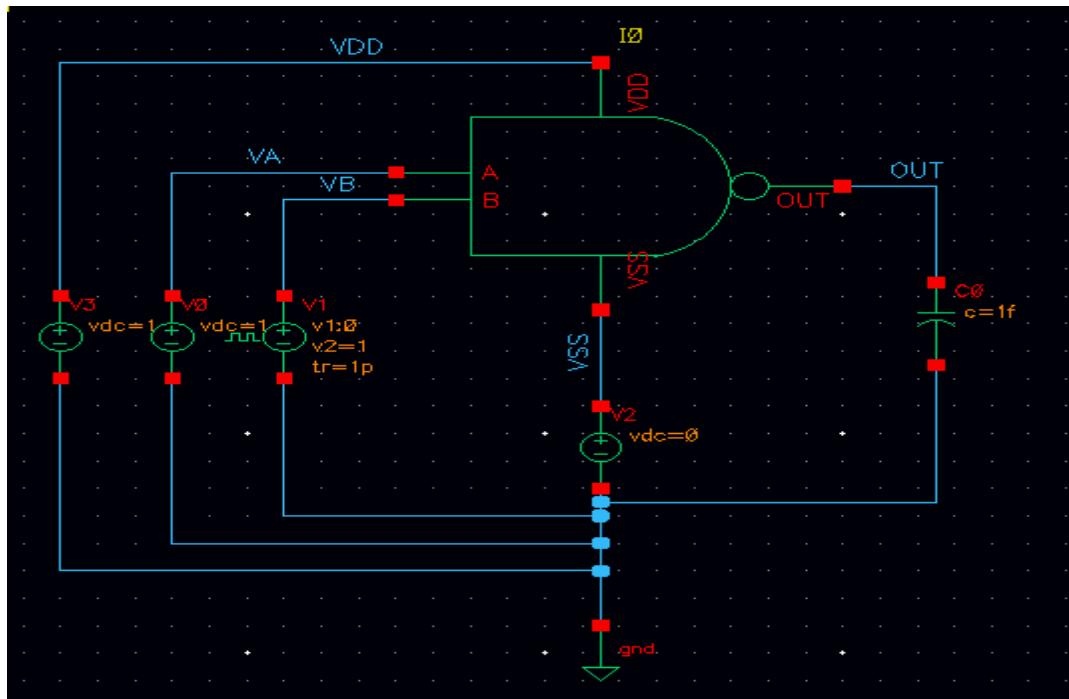
2.1.2.1 Tiến hành đo transient simulation

Trong mô phỏng transient, một ngõ vào được kích bằng xung PULSE, trong khi ngõ vào còn lại được giữ ở mức logic cố định nhằm đảm bảo việc đo các thông số thời gian từ ngõ vào đến ngõ ra được xác định rõ ràng.

- ❖ **Nếu 2 input cùng chạy xung:**

- Không biết output đổi do input nào
- Không đo được delay chuẩn

- ❖ **Giữ 1 input cố định:** Output chỉ xảy ra với 1 input thì đo các thông số thời gian được đo chuẩn theo trường hợp đó

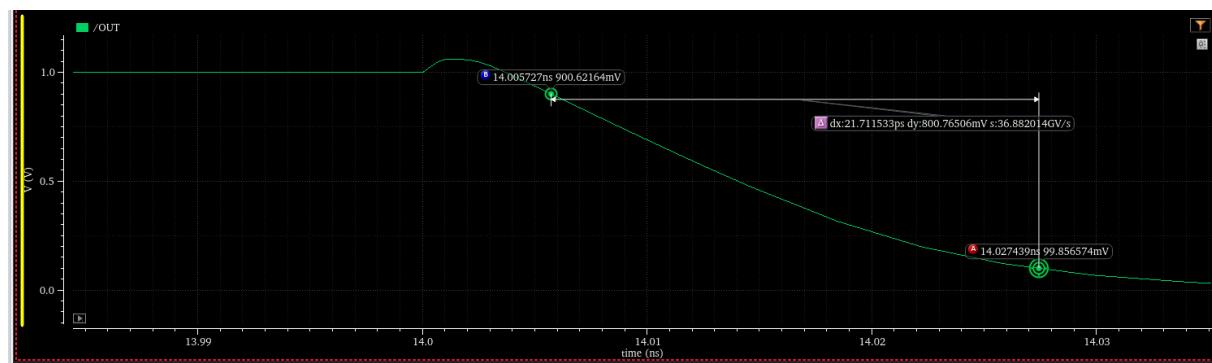


| Parameters | Result |
|---|-----------|
| t_{rise} – Thời gian tăng của cạnh lên ($10\% \rightarrow 90\%$) | 20.36ps |
| t_{fall} – Thời gian giảm của cạnh xuống ($90\% \rightarrow 10\%$) | 21.71ps |
| t_{pdr} – Độ trễ lan truyền khi điện áp ngõ ra tăng ($90\% \rightarrow 50\%$) | 11.223ps |
| t_{pdf} – Độ trễ lan truyền khi điện áp ngõ ra giảm ($10\% \rightarrow 50\%$) | 12.116ps |
| t_{pd} – Độ trễ lan truyền trung bình ($50\% \rightarrow 50\%$) | 11.6695ps |
| Công suất động (Dynamic power) | 802.78nW |
| Công suất tĩnh (Static power) | 804.9nW |

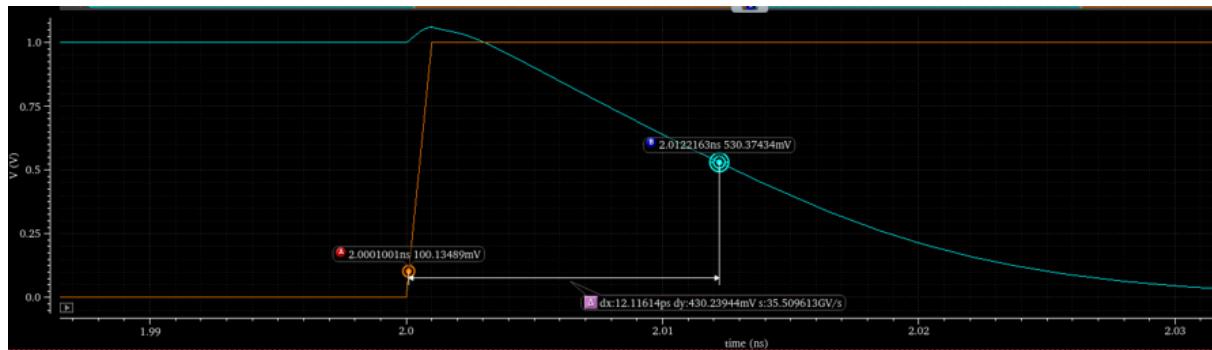
T rise



T fall



T pdf

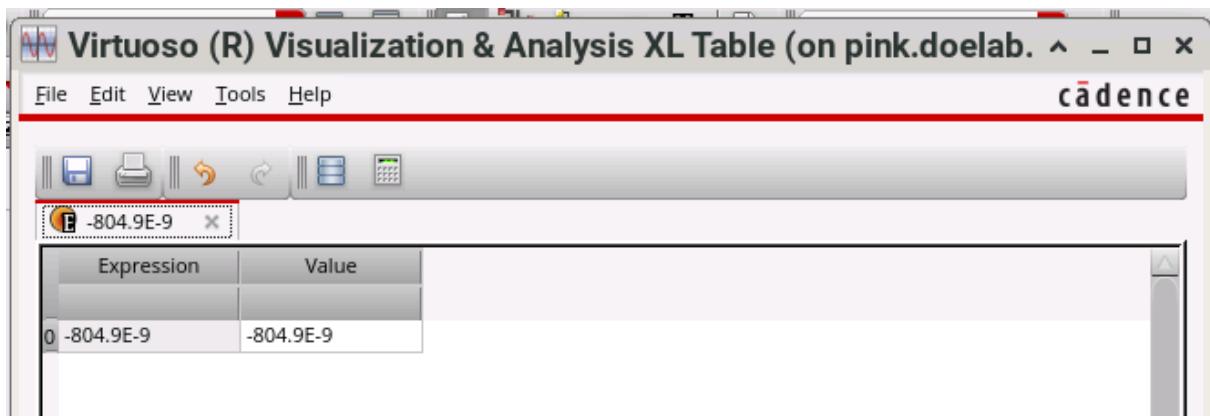


T pdr



Tính $\text{pdf} = \text{pdf} + \text{pdr}/2$

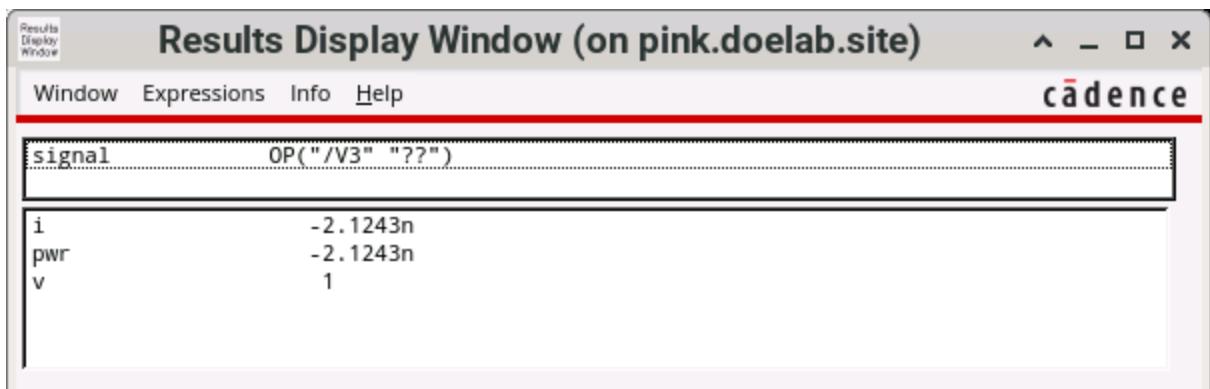
Đo P total:



$P_{\text{total}} = 804.9 \text{ nW}$

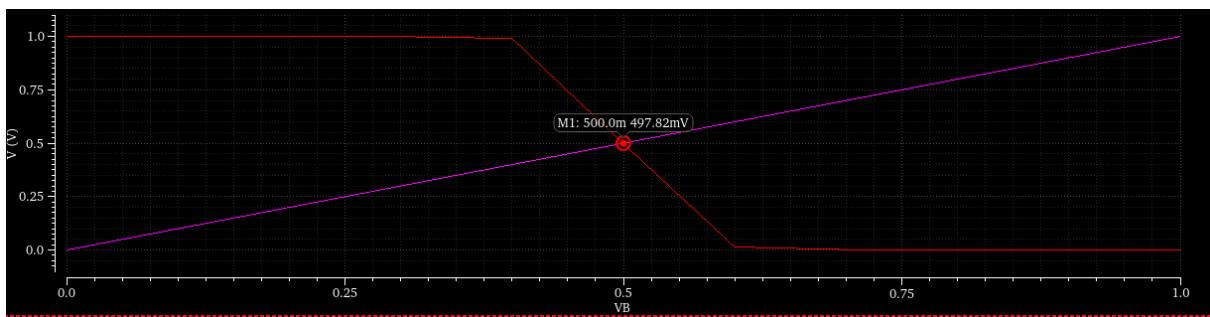
Đo P static:

đo công suất tĩnh bằng cách đo dòng điện tại **khoảng thời gian tín hiệu nằm im**



$P_{\text{static}} = I_{\text{static}} \times V_{\text{DD}} = 2.1243 \text{ pA} \times 1 = 2.1243 \text{ pW}$

Chỉnh tham số Width của hai con Pmos thành 175n thay vì 120n như đề bài

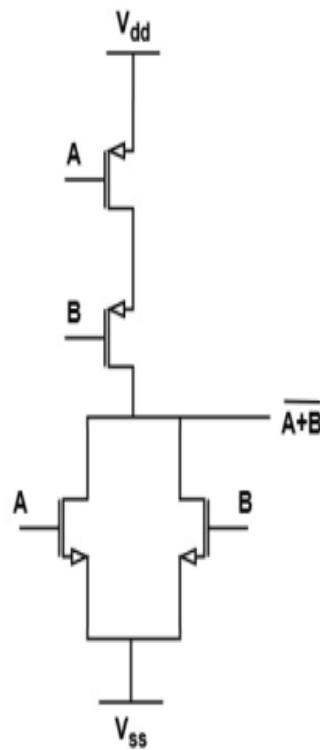
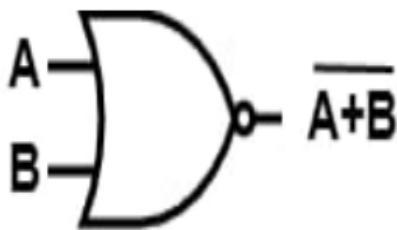


Lúc này $V_M = 500.466$ xấp xỉ 0,5V

2.2. Cổng NOR

Ta có bảng chân trị của cổng NOR :

| A | B | $\overline{A + B}$ |
|---|---|--------------------|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 0 |



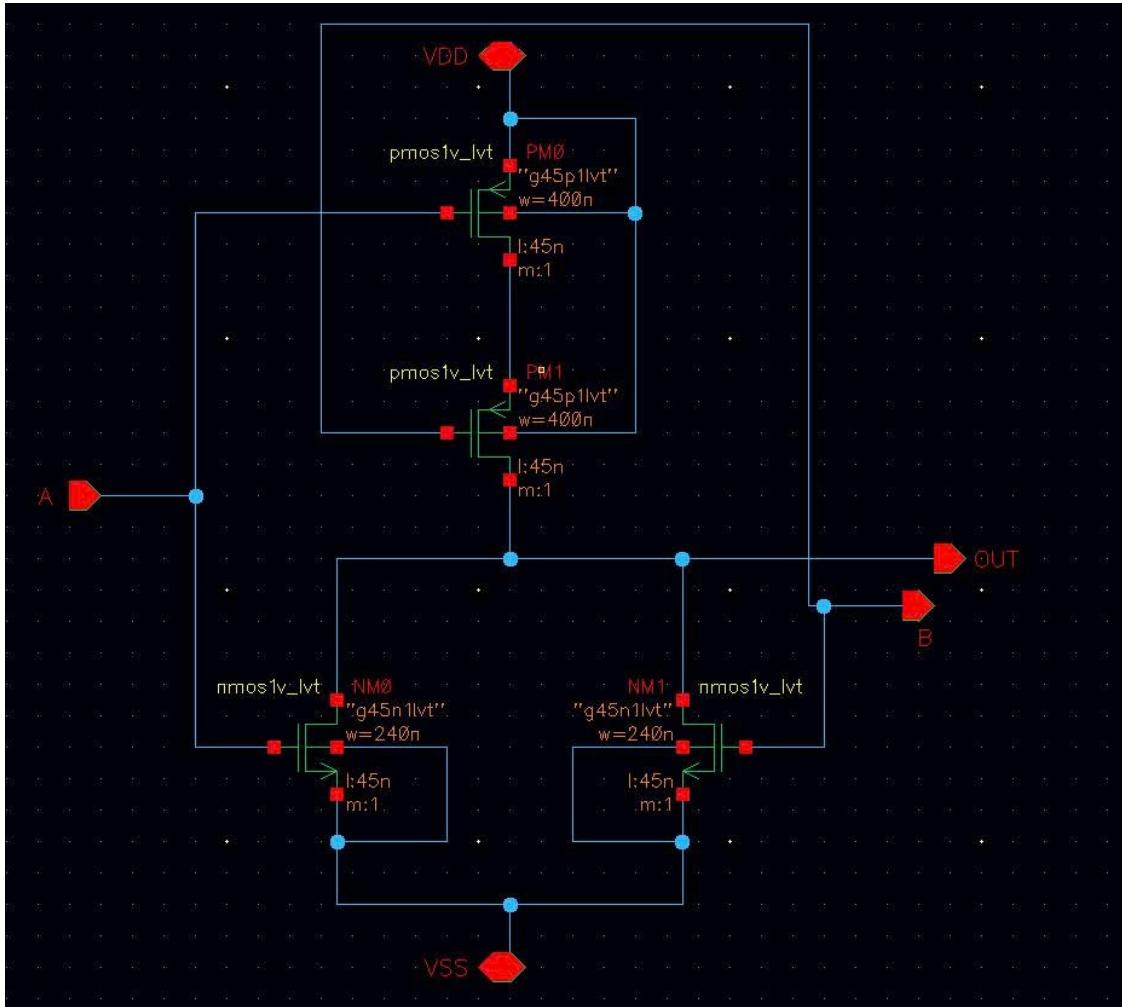
Sơ đồ của cổng NOR gồm 2 transistor PMOS mắc nối tiếp với nhau và nối với nguồn VDD, cùng với 2 transistor NMOS mắc song song với nhau và nối với đất VSS (GND). Hai ngõ vào A và B được nối chung vào cực cổng (gate) của một cặp PMOS và NMOS tương ứng.

Cổng NOR hoạt động dựa trên nhánh có 2 PMOS mắc nối tiếp ở trên và 2 NMOS mắc song song ở dưới.

Ví dụ : Khi A = 0 và B = 0 thì ngõ ra = 1 do cả 2 PMOS đều dẫn (vùng tuyến tính) kết nối VDD với ngõ ra. Trong khi đó, cả 2 NMOS đều ngắt (vùng tắt) ngăn dòng điện xuống đất.

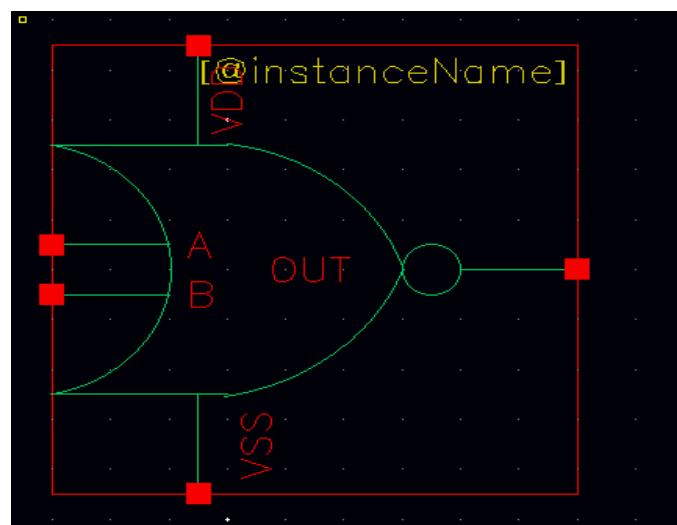
=> Nếu ít nhất một ngõ vào bằng 1, ít nhất một NMOS sẽ dẫn và cả hai PMOS sẽ không đồng thời dẫn, kéo ngõ ra xuống đất (mức 0).

Hình ảnh schematic của cỗng NOR :



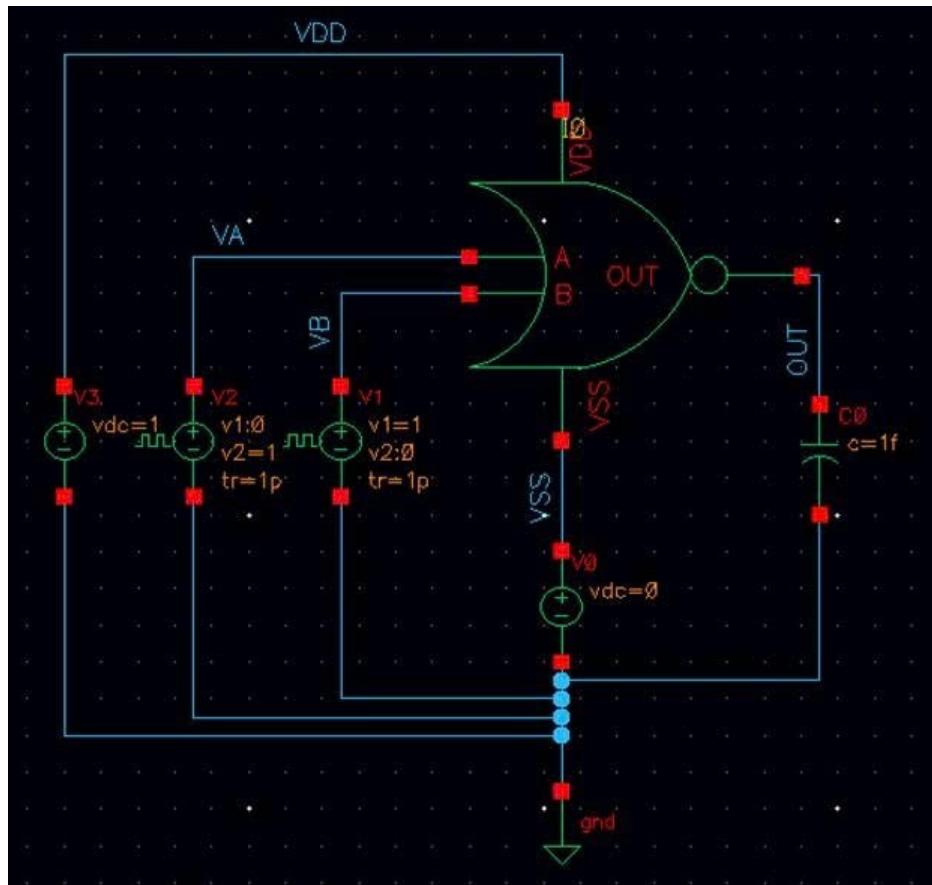
Trong đó các thông số của mosfet : width/length/finger=120n/45n/2.

Sau khi có schematic, ta tiến hành vẽ symbol :

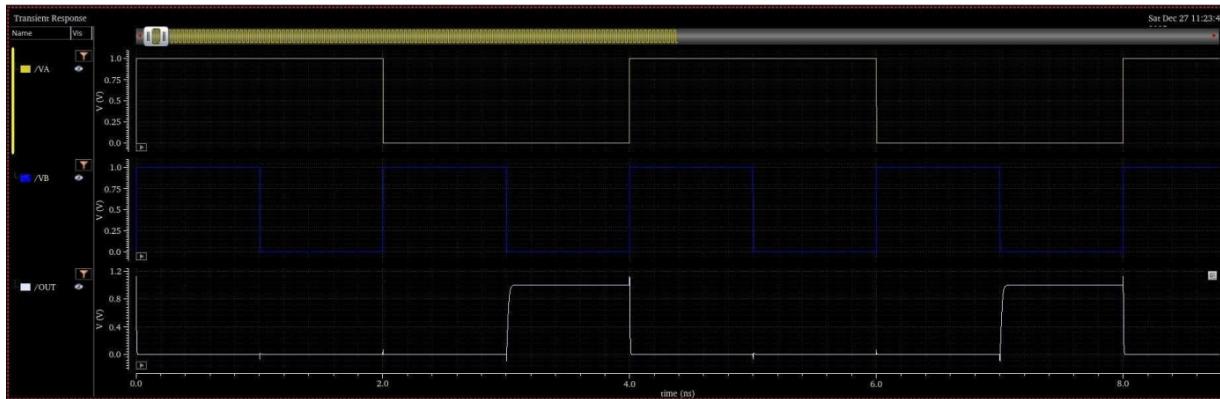


Kiểm chứng tính đúng đắn của bảng chân trị cỗng NOR:

+ Để kiểm tra tính đúng đắn của thiết kế đối với cỗng bảng chân trị cỗng nand ta chỉnh sửa set up nguồn VA có period 4ns và pulse width 2ns còn VB giữ nguyên theo yêu cầu đề cho period 2ns và pulse width 1ns để chu kì của ngõ vào B chậm hơn thì sẽ kiểm tra được các trường hợp đúng của chân trị .



❖ Wave VA , VB, OUT

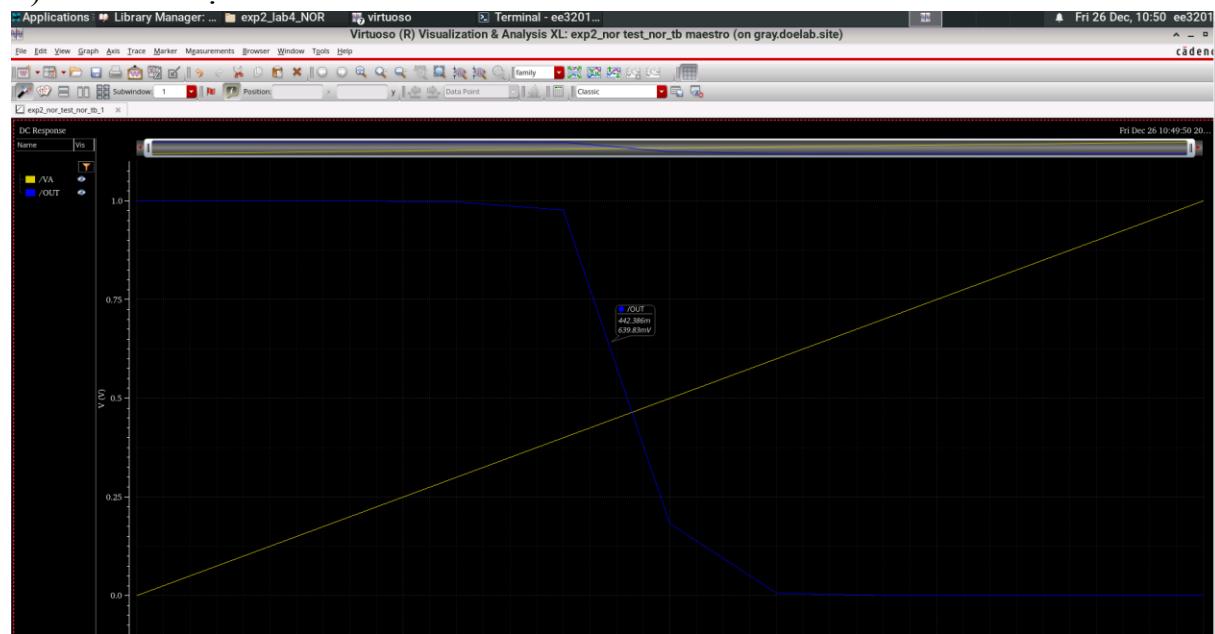


Nhận xét : Dựa vào hình ta có thể thấy hình ảnh sóng ngõ ra và ngõ vào ra đúng kết quả của bảng chân trị => thiết kế cỗng nor đúng logic của mạch .

2.2.1 Khi B giữ 0V , A thay đổi

2.2.1.1 Tiến hành DC :

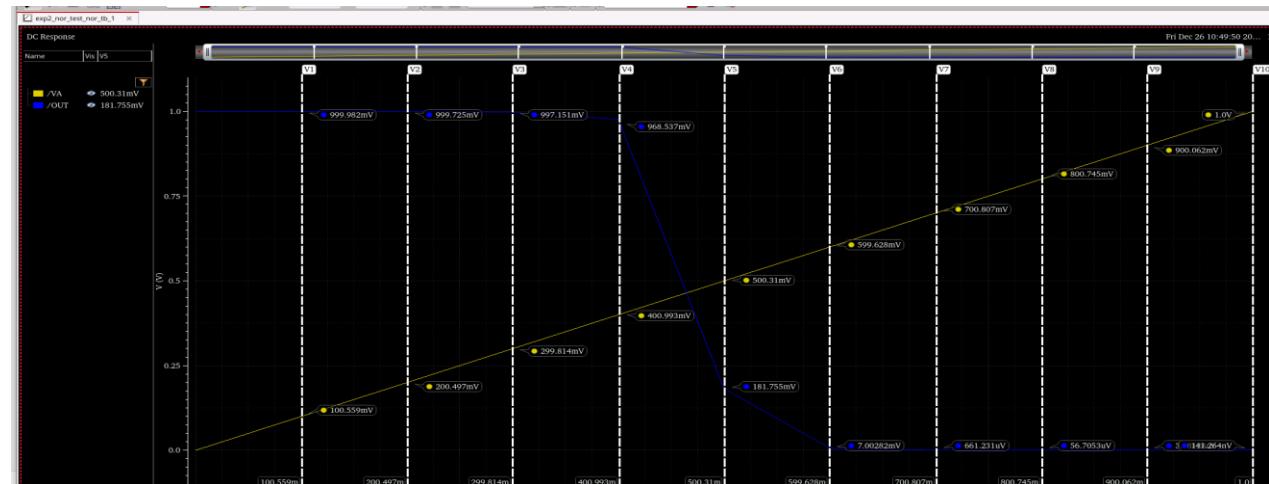
- +) Vì input A và input B ở mạch này là đối xứng nhau (có thể thay thế cho nhau) nên ta chỉ làm 1 trường hợp là thay đổi A, giữ nguyên B là tổng quát nhất.
- +) Thay đổi VA từ 0 đến 1 (step là 0.1), giữ cố định VB = 0.
- +) Ta có đồ thị của VA theo VOUT như sau :



Ta thấy VOUT giữ mức cố định là 1 trong khoảng thời gian ngắn rồi giảm mạnh khi VA tăng dần rồi lại tiếp tục giữ ổn định là 0 đến cuối.

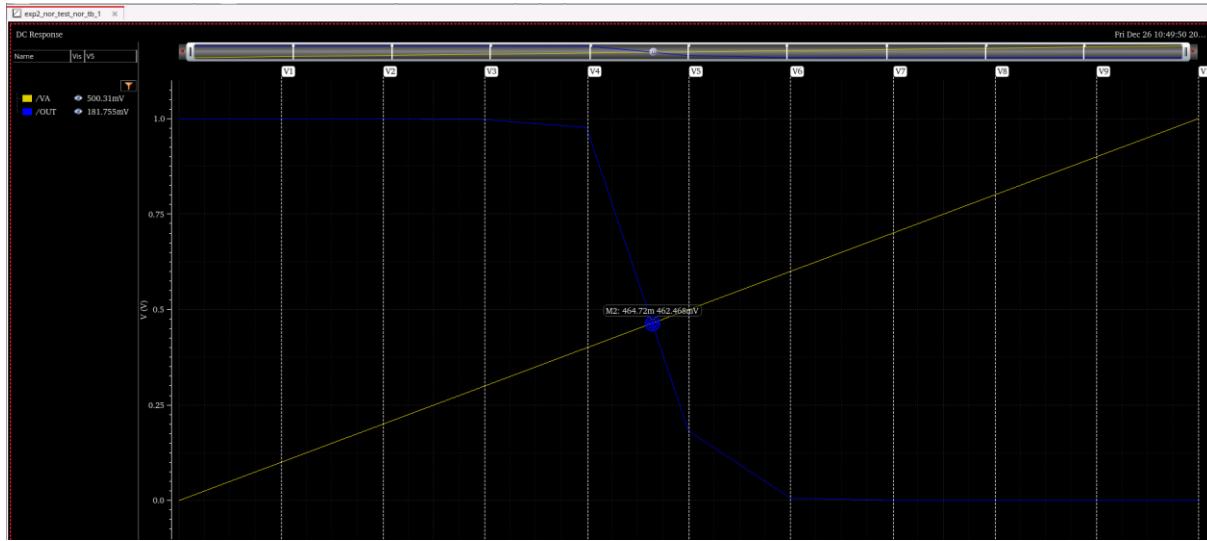
=> Lúc này khi VB = 0V thì công NOR hoạt động như công NOT đối với input là VA. Nhìn vào đồ thị để đổi chiều, ta có bảng giá trị của Vout(V) theo Vin(V) là :

| Vin(V) | 0.1 | 0.2 | 0.3 | 0.4 | 0.5 | 0.6 | 0.7 | 0.8 | 0.9 | 1.0 |
|---------|-------|-------|-------|-------|-------|-------|-----|-----|-----|-----|
| Vout(V) | 0.999 | 0.999 | 0.997 | 0.968 | 0.181 | 0.007 | 0 | 0 | 0 | 0 |



Các giá trị từ $V_{in} = 0.6(V)$ đổ về sau thì $V_{out} \approx 0(V)$

Ta có : $v_{0H} \approx 1(V)$; $v_{0L} \approx 0(V)$, $v_M \approx 0.464(V)$ (là điểm giao giữa VA và VOUT, hay điểm mà $V_{in}=V_{out}$)



Ta thấy giá trị của v_M xác định được trên đồ thị gần với lý thuyết khi $v_M = VDD/2 = 0.5(V)$

$v_{IL} \approx 0.42(V)$: là mức điện áp ngõ vào cao nhất mà mạch vẫn còn nhận điện được chính xác đó là mức logic 0 (mức thấp).

$v_{IH} \approx 0.57(V)$: là mức điện áp ngõ vào thấp nhất mà mạch bắt đầu nhận điện chính xác đó là mức logic 1 (mức cao).

2.2.1.2. Tiến hành do transient simulation.

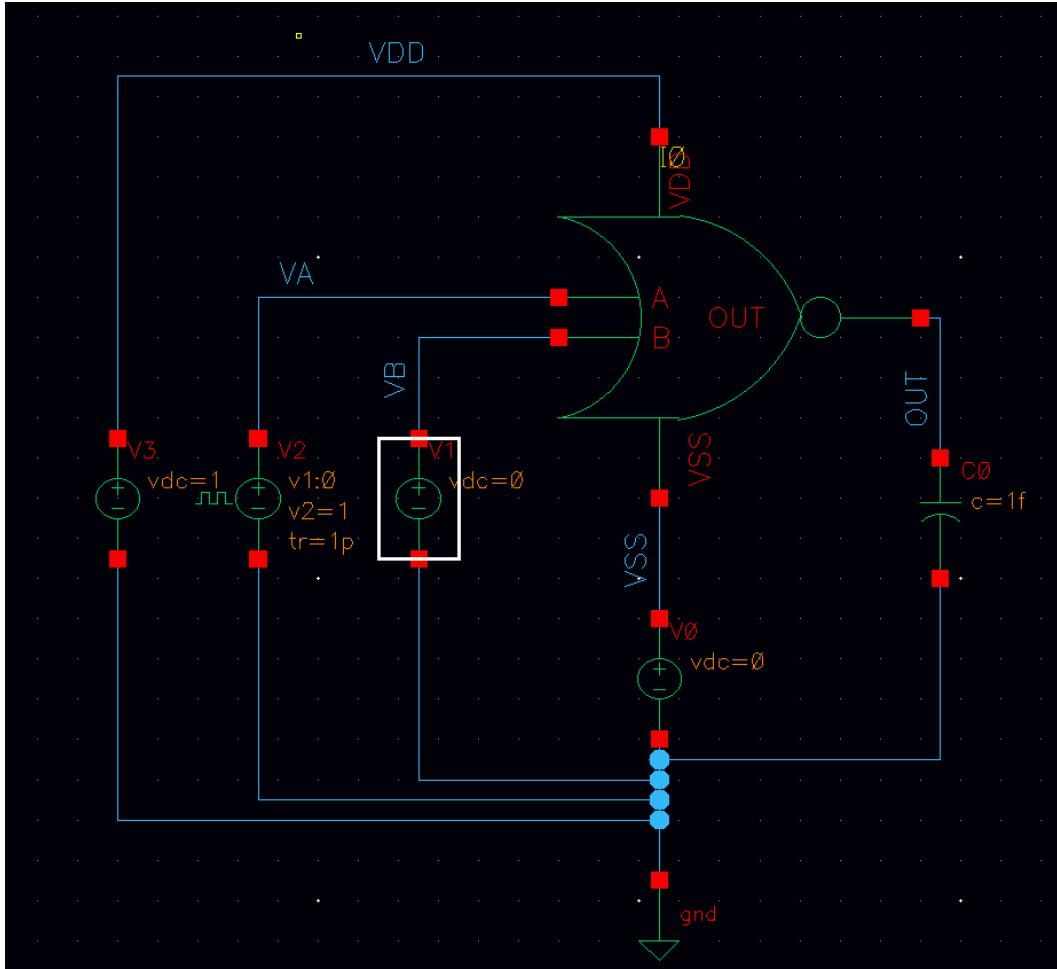
Trong mô phỏng transient, một ngõ vào được kích bằng xung PULSE, trong khi ngõ vào còn lại được giữ ở mức logic cố định nhằm đảm bảo việc đo các thông số thời gian từ ngõ vào đến ngõ ra được xác định rõ ràng.

❖ Nếu 2 input cùng chạy xung:

- Không biết output đổi do input nào
- Không đo được delay chuẩn

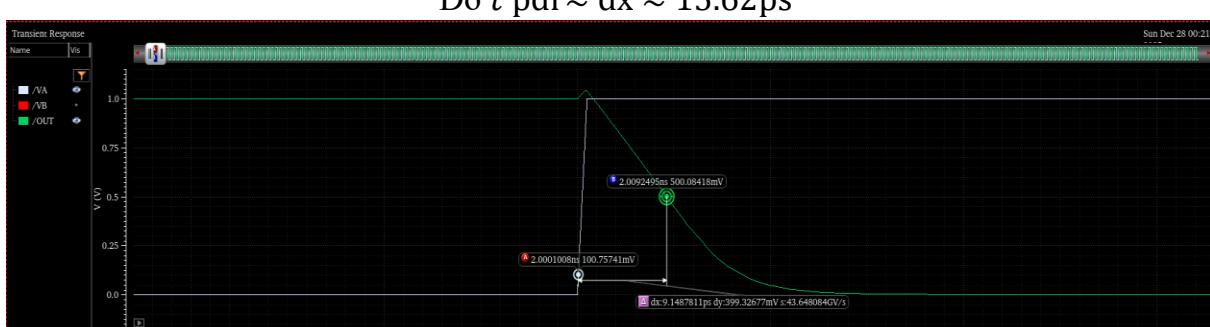
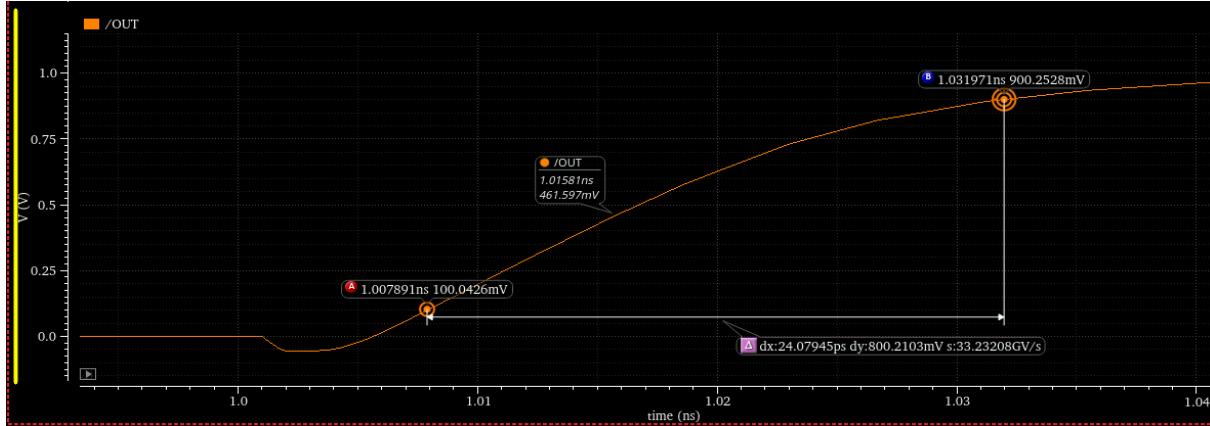
❖ Giữ 1 input cố định: Output chỉ xảy ra với 1 input thì đo các thông số thời gian được đo chuẩn theo trường hợp đó

- ❖ testbench : (chỉnh thông số các nguồn Vpulse giống như table2)



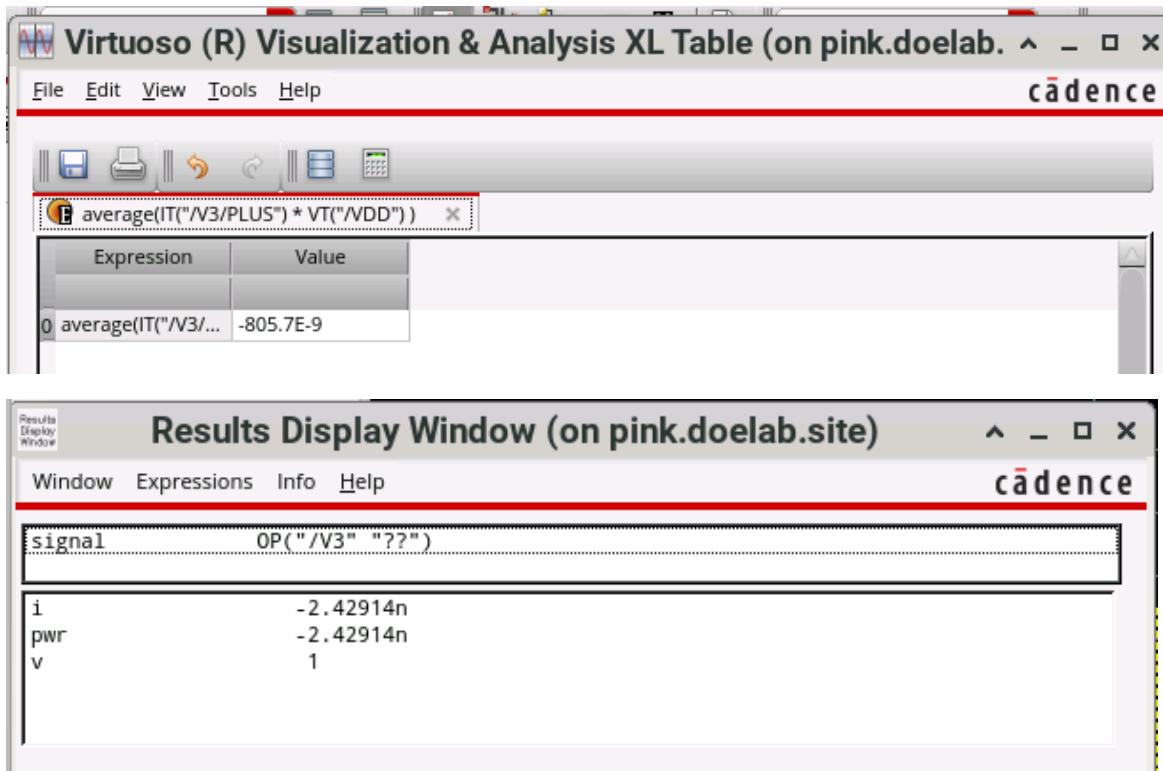
- Ta tiến hành đo các thông số :

| Parameters | Result |
|---|-----------|
| t_{rise} – Thời gian tăng của cạnh lên (10% → 90%) | 24.08ps |
| t_{rise} – Thời gian tăng của cạnh lên (10% → 90%) | 14ps |
| t_{pdr} – Độ trễ lan truyền khi điện áp ngõ ra tăng (90% → 50%) | 15.62ps |
| t_{pdf} – Độ trễ lan truyền khi điện áp ngõ ra giảm (10% → 50%) | 9.148ps |
| t_{pd} – Độ trễ lan truyền trung bình (50% → 50%) | 12.384ps |
| Công suất động (Dynamic power) | 803.271nW |
| Công suất tĩnh (Static power) | 804.5 nW |



$$\Rightarrow t_{pd} = \frac{tpdr+tpdf}{2} = 12.384\text{ps}$$

Đo công suất total : $P_{total} = 804.5$ (nW) (Lấy độ lớn)

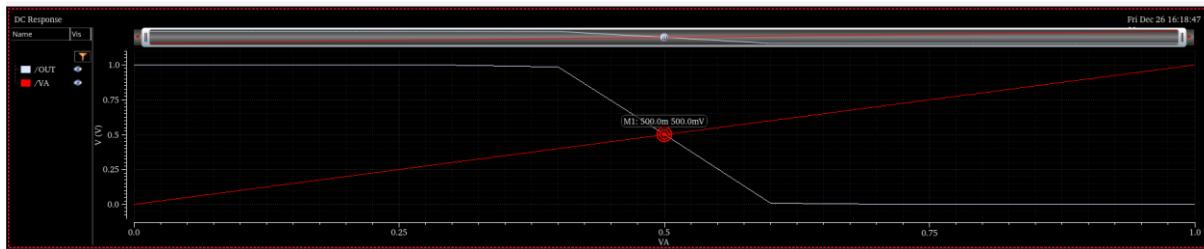


$$P_{dynamic} = C \cdot v_{dd}^2 \cdot f = 1 \cdot 10^{-15} \cdot 1^2 \cdot \frac{1}{2 \cdot 10^{-9}} = 500 \text{ (nW)}$$

$$\Rightarrow P_{dynamic} = P_{total} - P_{static} = 805.7 - 2.429 = 803.271 \text{ (nW)}$$

Để tối ưu cho mạch giống như đề bài nói : $v_M = VDD/2$ thì ta có thể điều chỉnh thông số về Width(W) của mosfet (120n lên 200n hoặc 220n hoặc giảm xuống) tới khi nào thực hiện lại mạch : Check and save \Rightarrow ADE Explorer chạy lại DC Sweep cho đến khi 2 đường Vin và Vout cắt nhau đúng vạch 0.5 trên đồ thị là được.

Tăng Width 2 con PMOS lên 220n ta được:



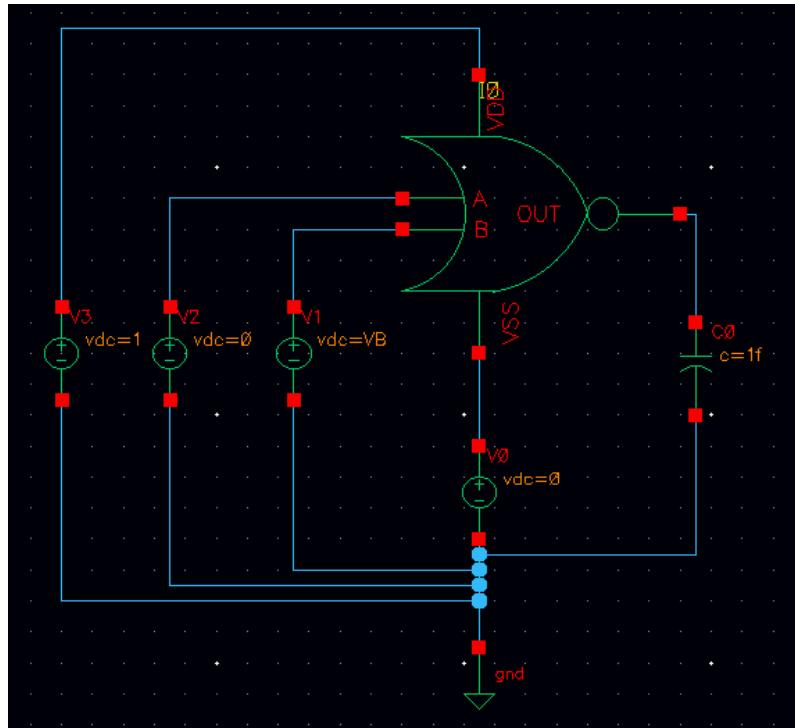
$V_M=0.5V \Rightarrow$ ĐÚNG YÊU CẦU

Trong đó các thông số của mosfet: width/length/finger=120n/45n/2

Sau khi có schematic, ta tiến hành vẽ symbol.

2.2.2 Khi A giữ 0V , B thay đổi

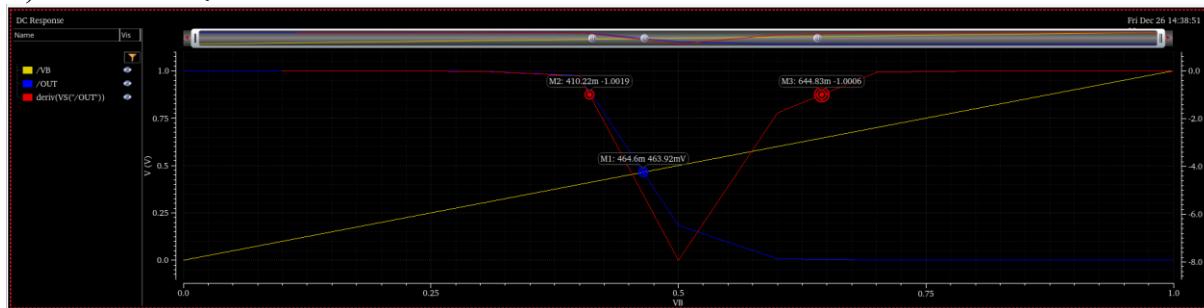
2.2.2.1 Tiến hành DC :



+) Vì input A và input B ở mạch này là đối xứng nhau (có thể thay thế cho nhau) nên ta chỉ làm 1 trường hợp là thay đổi A, giữ nguyên B là tổng quát nhất.

+) Thay đổi V_B từ 0 đến 1 (step là 0.1), giữ cố định $V_A = 0$.

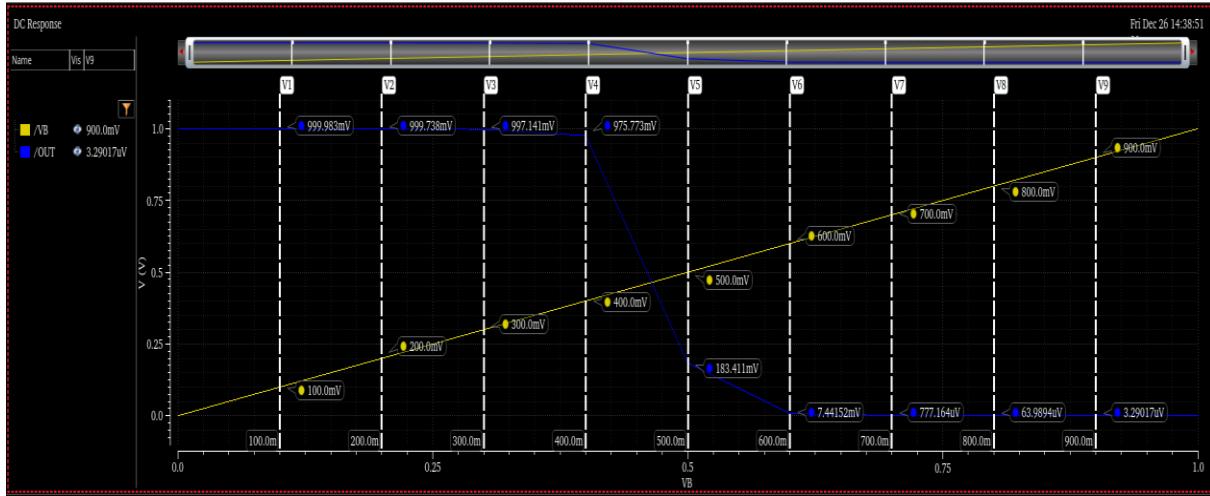
+) Ta có đồ thị của V_B theo V_{OUT} như sau :



Ta thấy V_{OUT} giữ mức cố định là 1 trong khoảng thời gian ngắn rồi giảm mạnh khi V_A tăng dần rồi lại tiếp tục giữ ổn định là 0 đến cuối.

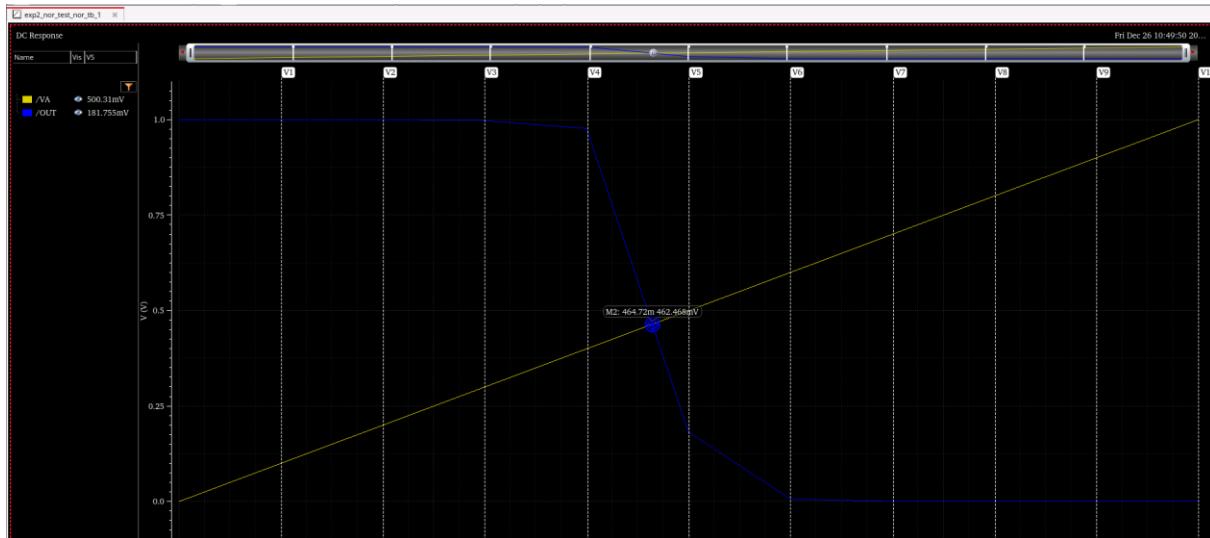
=> Lúc này khi $V_A = 0V$ thì cổng NOR hoạt động như cổng NOT đối với input là V_B
Nhìn vào đồ thị để đối chiếu, ta có bảng giá trị của V_{OUT} theo V_B là :

| $V_{IN}(V)$ | 0.1 | 0.2 | 0.3 | 0.4 | 0.5 | 0.6 | 0.7 | 0.8 | 0.9 | 1.0 |
|--------------|-------|-------|-------|-------|-------|-------|-----|-----|-----|-----|
| $V_{OUT}(V)$ | 0.999 | 0.999 | 0.997 | 0.975 | 0.183 | 0.007 | 0 | 0 | 0 | 0 |



Các giá trị từ $V_{in} = 0.6(V)$ đổ về sau thì $V_{out} \approx 0(V)$

Ta có : $v_{0H} \approx 1(V)$; $v_{0L} \approx 0(V)$, $v_M \approx 0.464(V)$ (là điểm giao giữa VA và VOUT, hay điểm mà $V_{in}=V_{out}$)



Ta thấy giá trị của v_M xác định được trên đồ thị gần với lý thuyết khi $v_M = VDD/2 = 0.5(V)$

$v_{IL} \approx 0.42(V)$: là mức điện áp ngõ vào cao nhất mà mạch vẫn còn nhận diện được chính xác đó là mức logic 0 (mức thấp).

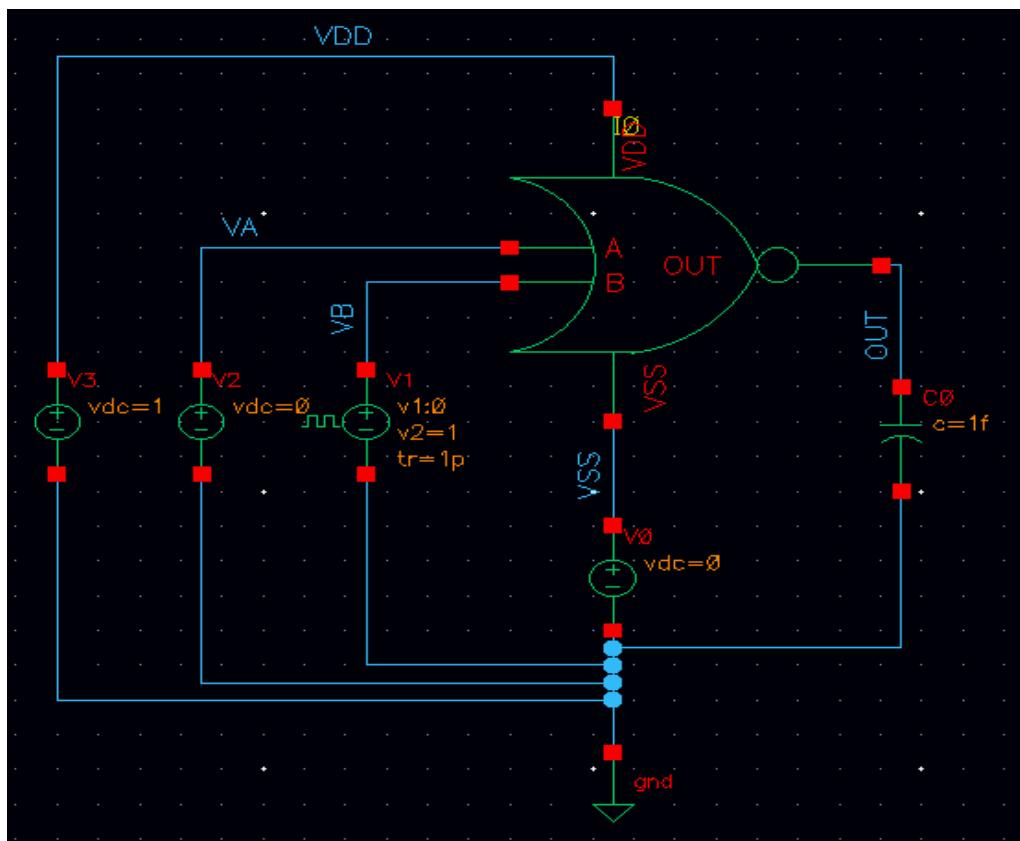
$v_{IH} \approx 0.59(V)$: là mức điện áp ngõ vào thấp nhất mà mạch bắt đầu nhận diện chính xác đó là mức logic 1 (mức cao).

2.2.2.2. Tiến hành do transient simulation

Trong mô phỏng transient, một ngõ vào được kích bằng xung PULSE, trong khi ngõ vào còn lại được giữ ở mức logic cố định nhằm đảm bảo việc đo các thông số thời gian từ ngõ vào đến ngõ ra được xác định rõ ràng.

- ❖ **Nếu 2 input cùng chạy xung:**
 - Không biết output đổi do input nào
 - Không đo được delay chuẩn
- ❖ **Giữ 1 input cố định:** Output chỉ xảy ra với 1 input thì đo các thông số thời gian được chuẩn theo trường hợp đó

Testbench : (chỉnh thông số các nguồn Vpulse giống như table2)

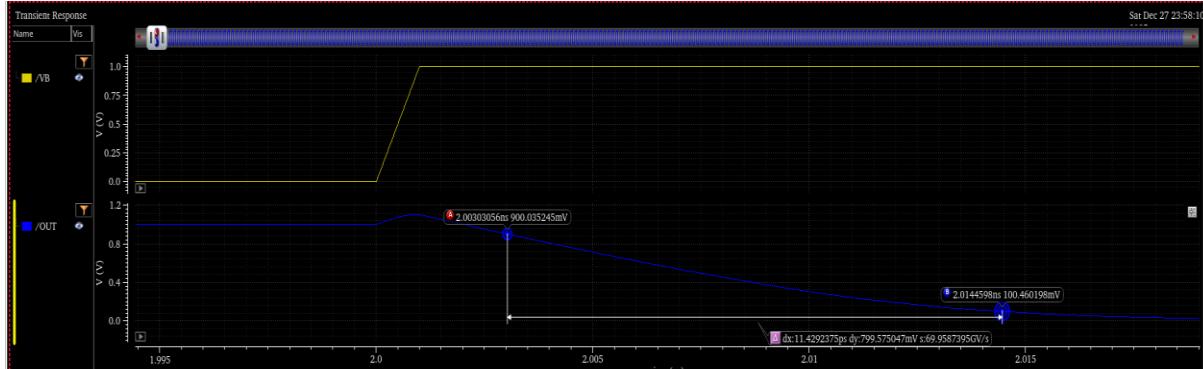


Ta tiến hành đo các thông số :

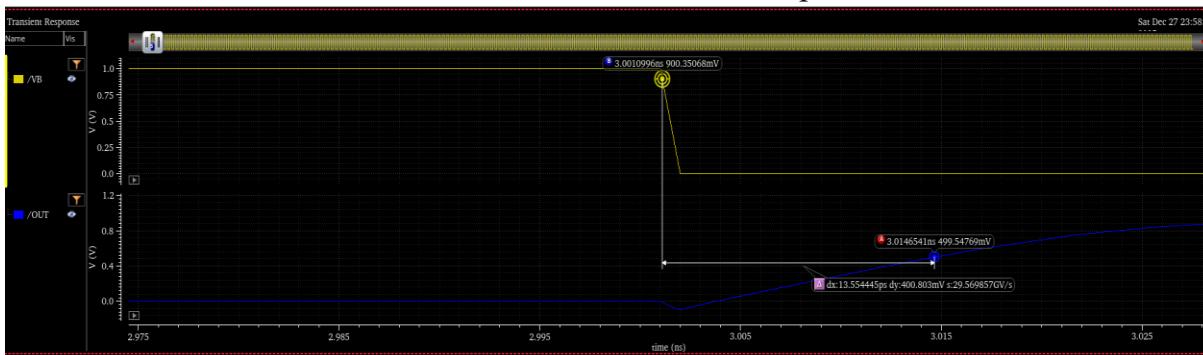
| Parameters | Result |
|---|-----------|
| t_{rise} – Thời gian tăng của cạnh lên (10% → 90%) | 24ps |
| t_{fall} – Thời gian giảm của cạnh xuống (90% → 10%) | 11.429ps |
| t_{pdr} – Độ trễ lan truyền khi điện áp ngõ ra tăng (90% → 50%) | 13.56ps |
| t_{pdf} – Độ trễ lan truyền khi điện áp ngõ ra giảm (10% → 50%) | 7.33ps |
| t_{pd} – Độ trễ lan truyền trung bình (50% → 50%) | 10.449ps |
| Công suất động (Dynamic power) | 803.271nW |
| Công suất tĩnh (Static power) | 804.5 nW |



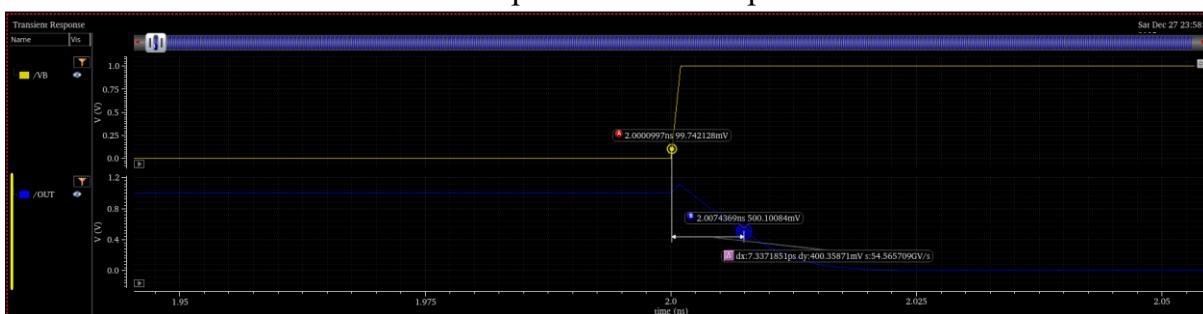
Do $t_{rise} \approx dx \approx 24 \text{ ps}$



Do $t_{fall} \approx dx \approx 11.429\text{ps}$



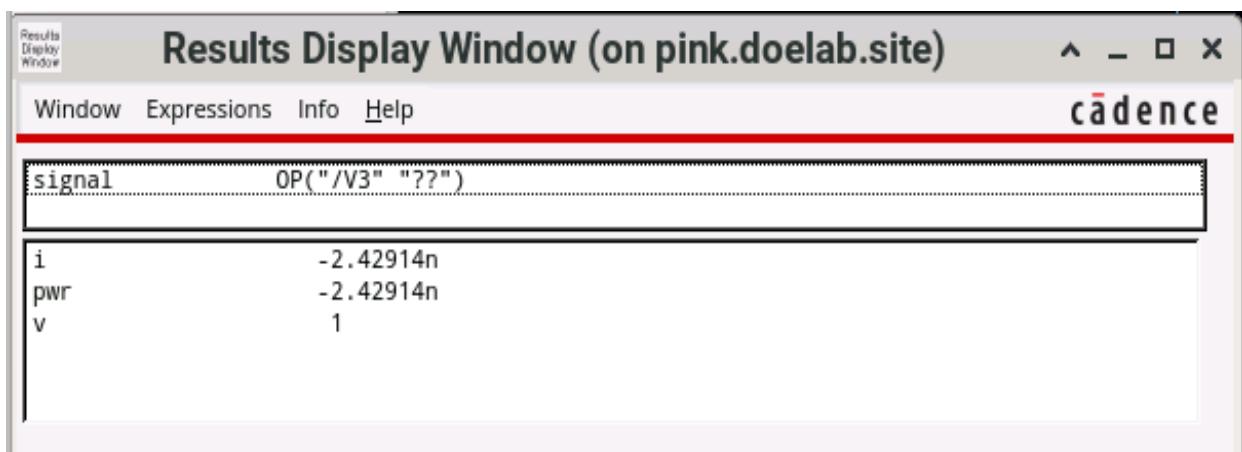
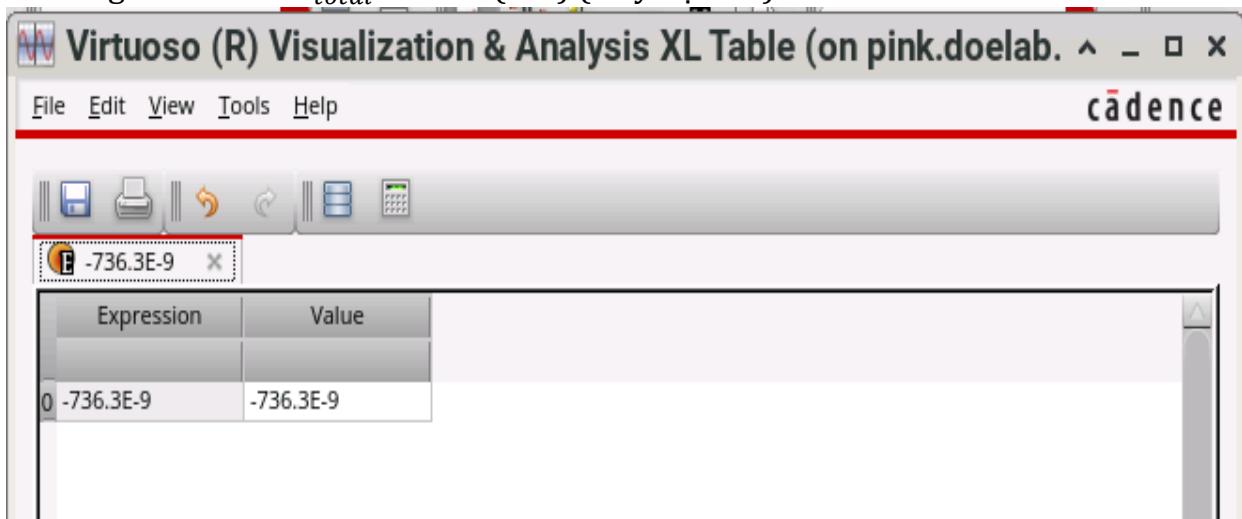
Do $t_{pdr} \approx dx \approx 13.56\text{ps}$



Do $t_{pdf} \approx dx \approx 7.337\text{ps}$

$$\Rightarrow t_{pd} = \frac{tpdr + tpdf}{2} = 10.4485\text{ps}$$

Đo công suất total : $P_{total} = 736.3(\text{nW})$ (Lấy độ lớn)

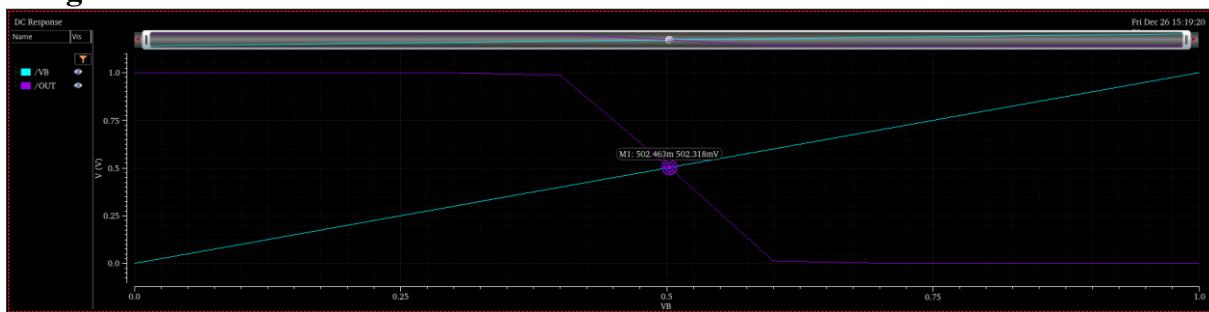


$$P_{dynamic} = C \cdot v_{dd}^2 \cdot f = 1 \cdot 10^{-15} \cdot 1^2 \cdot \frac{1}{2.10^{-9}} = 500 (\text{nW})$$

$$\Rightarrow P_{dynamic} = P_{total} - P_{static} = 736.3 - 2.429 = 733.871(\text{nW})$$

Để tối ưu cho mạch giống như đề bài nói : $v_M = VDD/2$ thì ta có thể điều chỉnh thông số về Width(W) của mosfet (120n lên 200n hoặc 220n hoặc giảm xuống) tới khi nào thực hiện lại mạch : Check and save \Rightarrow ADE Explorer chạy lại DC Sweep cho đến khi 2 đường Vin và Vout cắt nhau đúng vạch 0.5 trên đồ thị là được.

Tăng width của 2 con PMOS lên 235n :

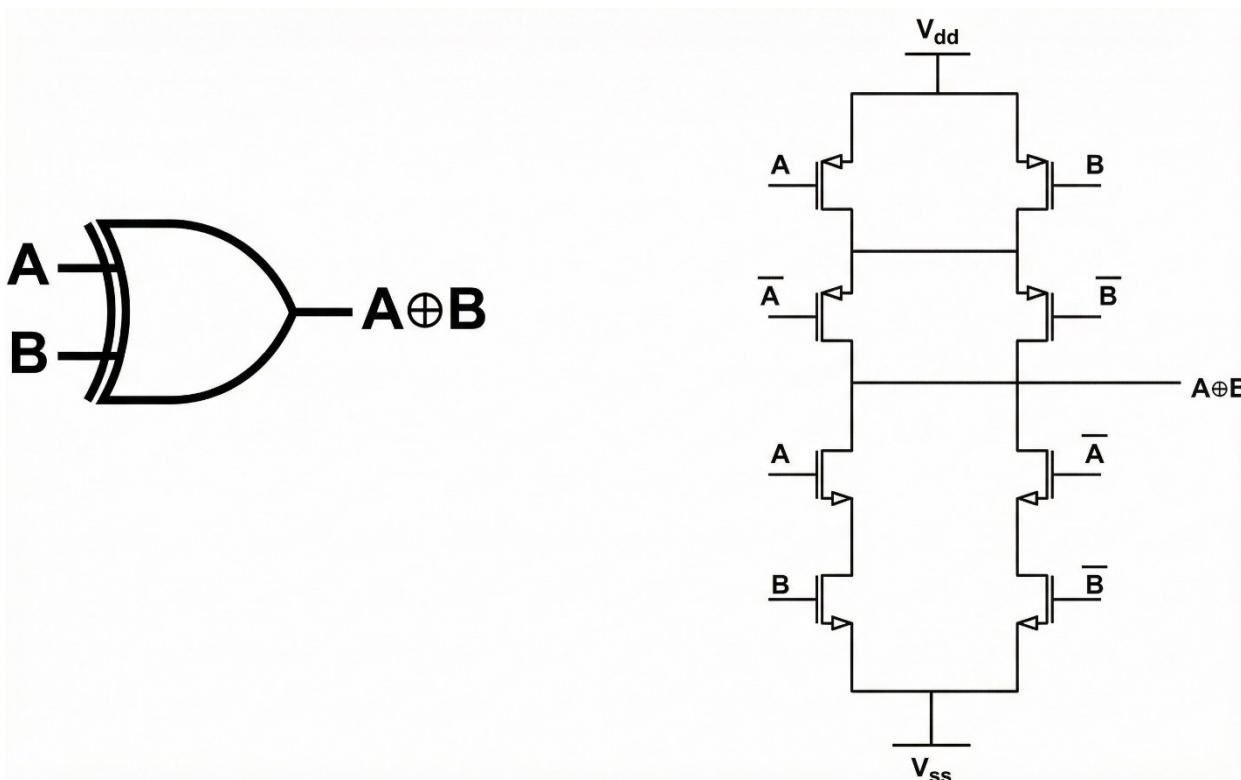


3. THÍ NGHIỆM 3

3.1. Mục tiêu và mô tả thí nghiệm

Mục tiêu: Thực hiện thiết kế mạch cho cỗng logic XOR CMOS

Mô tả: Trong thí nghiệm này, chúng ta tiến hành thiết kế mạch cho một cỗng logic XOR CMOS. Ký hiệu (symbol) và sơ đồ nguyên lý (schematic) của cỗng logic này được minh họa trong Hình 4. Sinh viên sẽ tạo **schematic** và **symbol** cho các cỗng này, sau đó chạy **phân tích DC** và mô phỏng **miền thời gian (transient)**.



Hình 4a: Ký hiệu của cỗng XOR

Hình 4b: Sơ đồ nguyên lý của cỗng XOR CMOS

3.2. Khảo sát đặc tính logic và nguyên lý hoạt động của cỗng XOR CMOS

3.2.1. Bảng chân trị (Truth table) của cỗng XOR

Cỗng XOR thực hiện phép “khác nhau thì 1, giống nhau thì 0”, được mô tả bởi:

$$Y = A \oplus B$$

| A | B | XOR ($A \oplus B$) |
|---|---|----------------------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |

Trong mạch thiết kế, hai tín hiệu đảo được tạo bởi các mạch đảo: \bar{A} , \bar{B} và mạng CMOS kéo lên/kéo xuống sẽ tạo ra mức Y theo đúng bảng chân trị trên.

3.2.2. Nguyên lý hoạt động của mạch XOR CMOS (Pull-up / Pull-down)

Mạch XOR CMOS gồm hai phần chính:

- **PUN (Pull-Up Network – PMOS):** tạo đường dẫn lên VDD khi đầu ra cần lên mức ‘1’.
- **PDN (Pull-Down Network – NMOS):** tạo đường dẫn xuống VSS khi đầu ra cần xuống mức ‘0’.

Nguyên tắc CMOS:

- Đầu ra **mức 1** khi **PUN dẫn** và **PDN ngắt**.
- Đầu ra **mức 0** khi **PDN dẫn** và **PUN ngắt**.

Với XOR:

- Khi $A \neq B \rightarrow$ mạch tạo điều kiện để **PUN nối lên VDD** $\rightarrow Y=1$.
- Khi $A=B \rightarrow$ mạch tạo điều kiện để **PDN nối xuống VSS** $\rightarrow Y=0$.

Kích thước transistor dùng trong thiết kế:

- NMOS/PMOS: $W/L/finger = 120\text{ nm}/45\text{ nm}/2$

3.2.3. Trạng thái bật/tắt của NMOS và PMOS theo lý thuyết

- **NMOS bật (ON) khi:**

$$VGS > VTN$$

Khi bật đủ mạnh sẽ tạo đường kéo xuống (pull-down) về VSS.

- **PMOS bật (ON) khi:**

$$VSG > |VTP| \text{ (tương đương } VGS < VTP \text{ với } VTP < 0)$$

Khi bật đủ mạnh sẽ tạo đường kéo lên (pull-up) về VDD

Lưu ý về body (bulk): Body PMOS thường nối về VDD, body NMOS nối về VSS để tránh phân cực thuận diode thân (body diode) và tránh hiệu ứng body làm lệch ngưỡng quá nhiều. Điều này rất quan trọng để mạch ổn định và ra mức logic đúng.

3.2.4. Các vùng hoạt động của MOSFET trong cỗng CMOS

Trong quá trình hoạt động, transistor không chỉ “ON/OFF” mà còn có **vùng hoạt động** (operating regions). Với NMOS (tương tự PMOS nhưng đổi dấu/đổi cực):

1. Ngắt (Cut-off):

$$VGS < VTN$$

→ gần như không dẫn.

2. Tuyến tính / Triode:

$$VGS > VTN, VDS < (VGS - VTN)$$

→ dẫn như điện trở, hay gấp khi transistor đang “kéo” mức.

3. Bão hòa (Saturation):

$$VGS > VTN, VDS \geq (VGS - VTN)$$

→ dòng bị “giới hạn” theo vùng bão hòa, thường xuất hiện trong một phần quá trình chuyển mức.

Trong CMOS:

- Khi đầu ra đã lên cao ổn định: PMOS có thể ở triode (dẫn tốt như điện trở nhỏ), NMOS ở cut-off.
- Khi đầu ra đã xuống thấp ổn định: NMOS có thể ở triode, PMOS ở cut-off.
- Khi chuyển mức: có thể đi qua saturation và có thể có dẫn chồng (overlap conduction) → gây công suất động.

3.2.5. Mức logic và điện áp đầu vào khi khảo sát Vout

Vì XOR là mạch 2 ngõ vào: $Vout = f(VA, VB)$

nên muốn khảo sát “theo từng ngõ” (1 chiều), ta **phải cố định ngõ còn lại** ở một mức logic xác định, rồi mới quét ngõ đang khảo sát.

Cách đặt chuẩn (mức logic và điện áp):

- Nếu giữ ngõ còn lại = **logic 0**: $V = 0 \text{ V} (=VSS)$
- Nếu giữ ngõ còn lại = **logic 1**: $V = VDD (1 \text{ V})$

Vì sao phải làm vậy?

1. **Tránh không rõ ràng do 2 biến:** Nếu vừa quét A vừa thay đổi B, đồ thị không còn là VTC 1 chiều nên không xác định được rõ VOL, VOH, VIL, VIH, VM
2. **XOR sẽ “biến thành” một cỗng đơn giản khi cố định 1 ngõ:**

- Nếu $B=0$: $Y=A \oplus 0=A$
→ XOR hoạt động như **buffer không đảo** theo A.

- Nếu $B=1$: $Y=A \oplus 1 = \bar{A}$
 \rightarrow XOR hoạt động như **inverter (cổng đảo)** theo A.

3. Tương tự khi quét B:

- Nếu $A=0$: $Y = B$ và nếu $A=1$: $Y = \bar{B}$

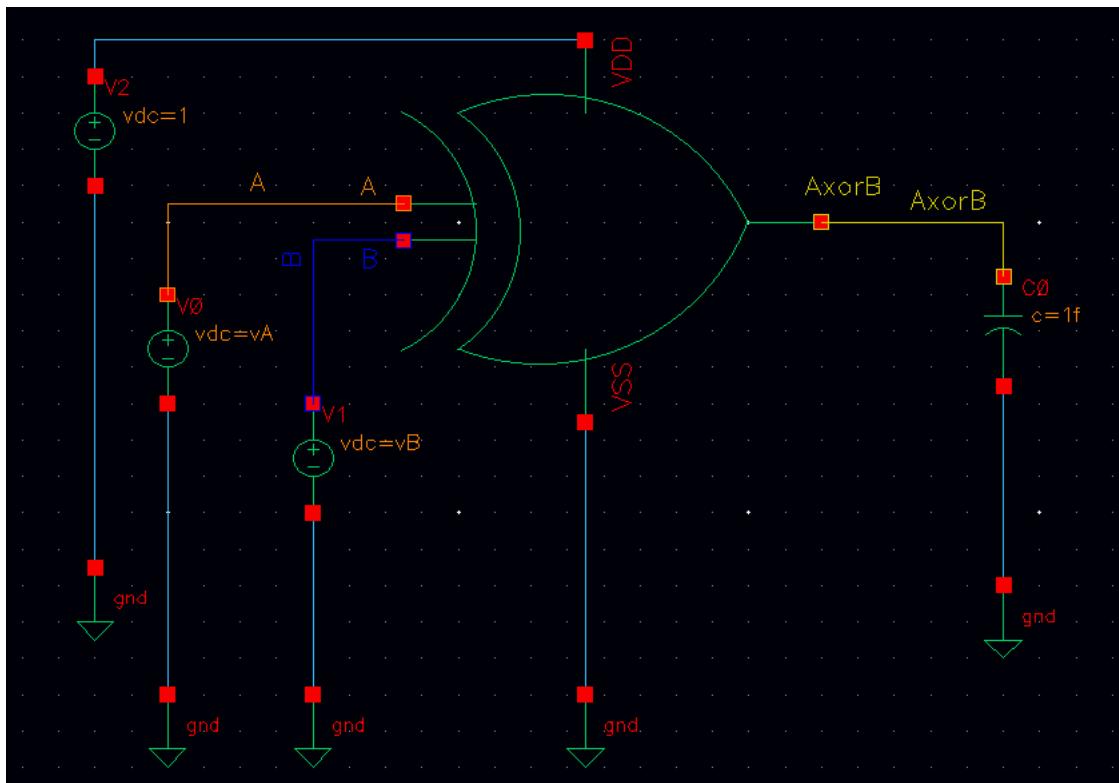
4. **Giảm glitch/đỉnh giả:** Khi cả hai ngõ vào cùng chuyển, mạch XOR có thể xuất hiện xung giả (glitch) do đường dẫn kéo lên/kéo xuống thay đổi không đồng thời, làm sai kết quả đo ngưỡng hoặc độ dốc.

3.3. Phân tích một chiêu (DC Analysis)

3.3.1. Thiết lập mô phỏng (Testbench Setup)

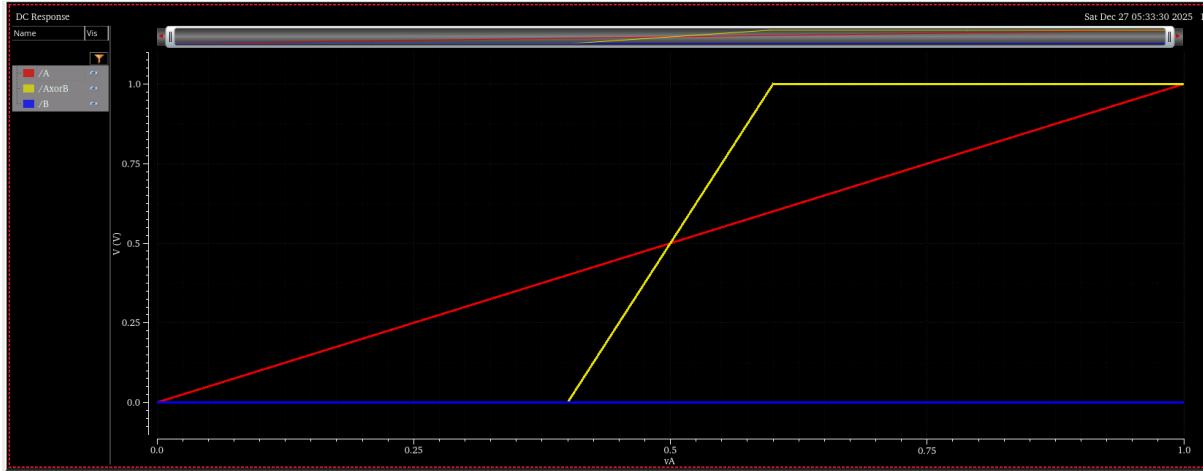
Dựa trên sơ đồ mạch in (Schematic Testbench):

- **Nguồn cung cấp:** VDD = 1V, VSS = 0V (GND).
- **Tín hiệu ngõ vào:** Sử dụng hai nguồn điện áp DC độc lập V0 (cấp cho chân A) và V1 (cấp cho chân B).
- **Tải ngõ ra:** Tụ điện CL = 1 fF để mô phỏng tải dung kháng ký sinh.
- **Phương pháp mô phỏng:** DC Sweep (Quét DC). Giữ một ngõ vào ở mức logic cố định (0 hoặc 1) và quét ngõ vào còn lại từ 0V đến 1V (linear sweep).

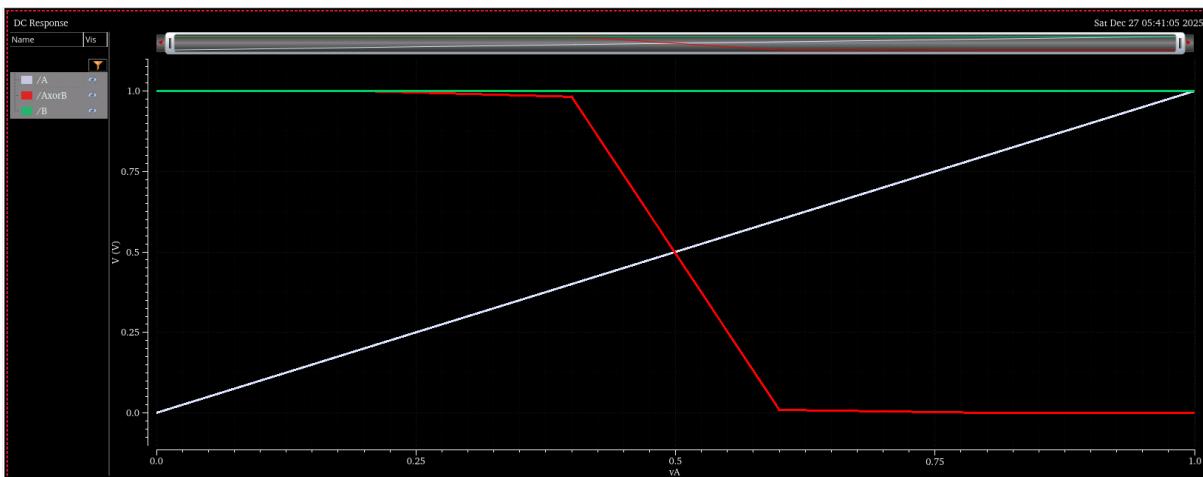


3.3.2. Kết quả khảo sát hoạt động Logic (4 Trường hợp)

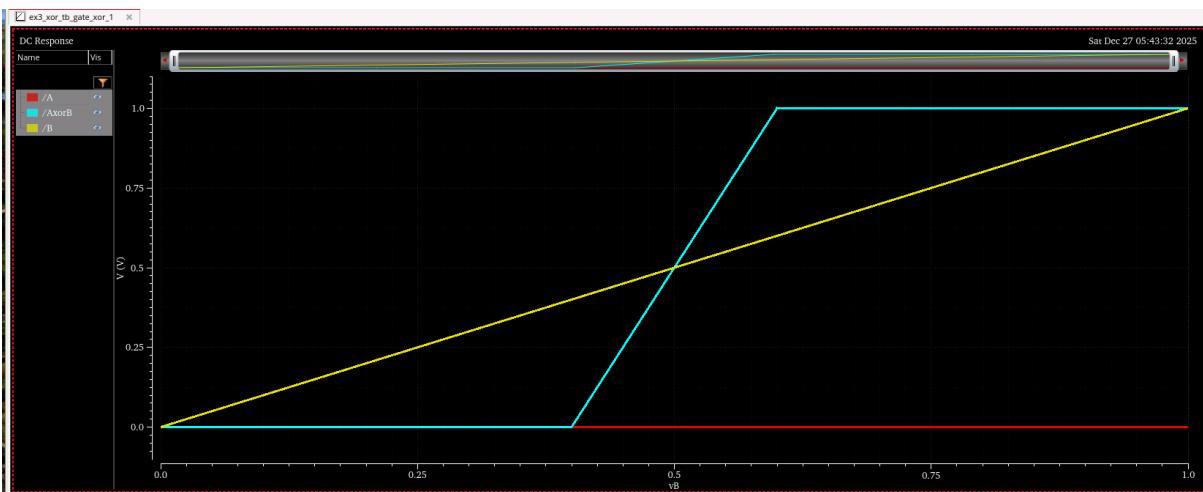
Trường hợp 1: VB = 0 (Logic 0), Quét VA



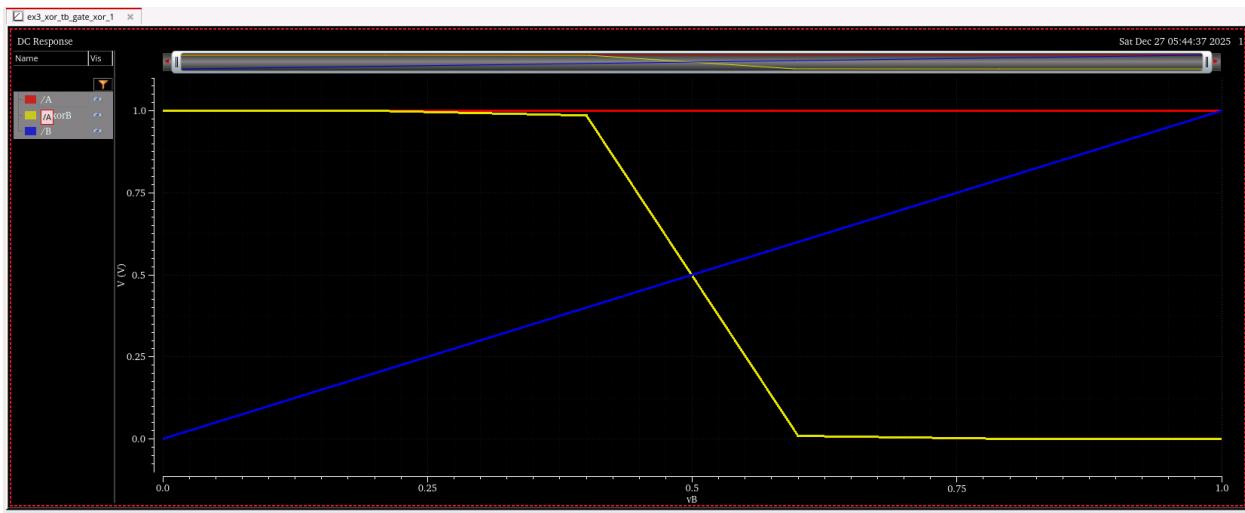
Trường hợp 2: VB = 1 (Logic 1), Quét VA:



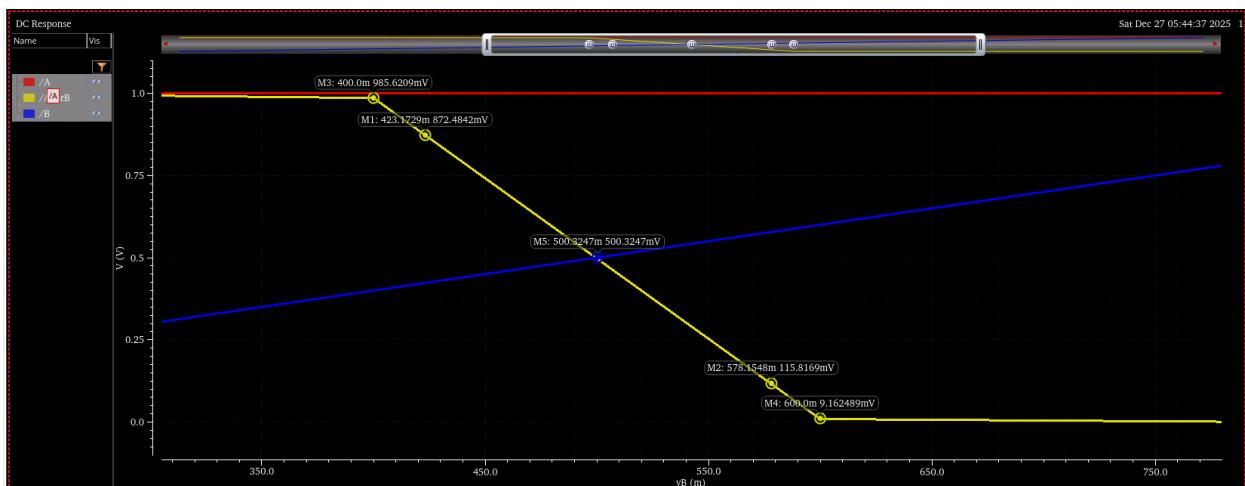
Trường hợp 3: VA = 0 (Logic 0), Quét VB:



Trường hợp 4: VA = 1 (Logic 1), Quét VB:



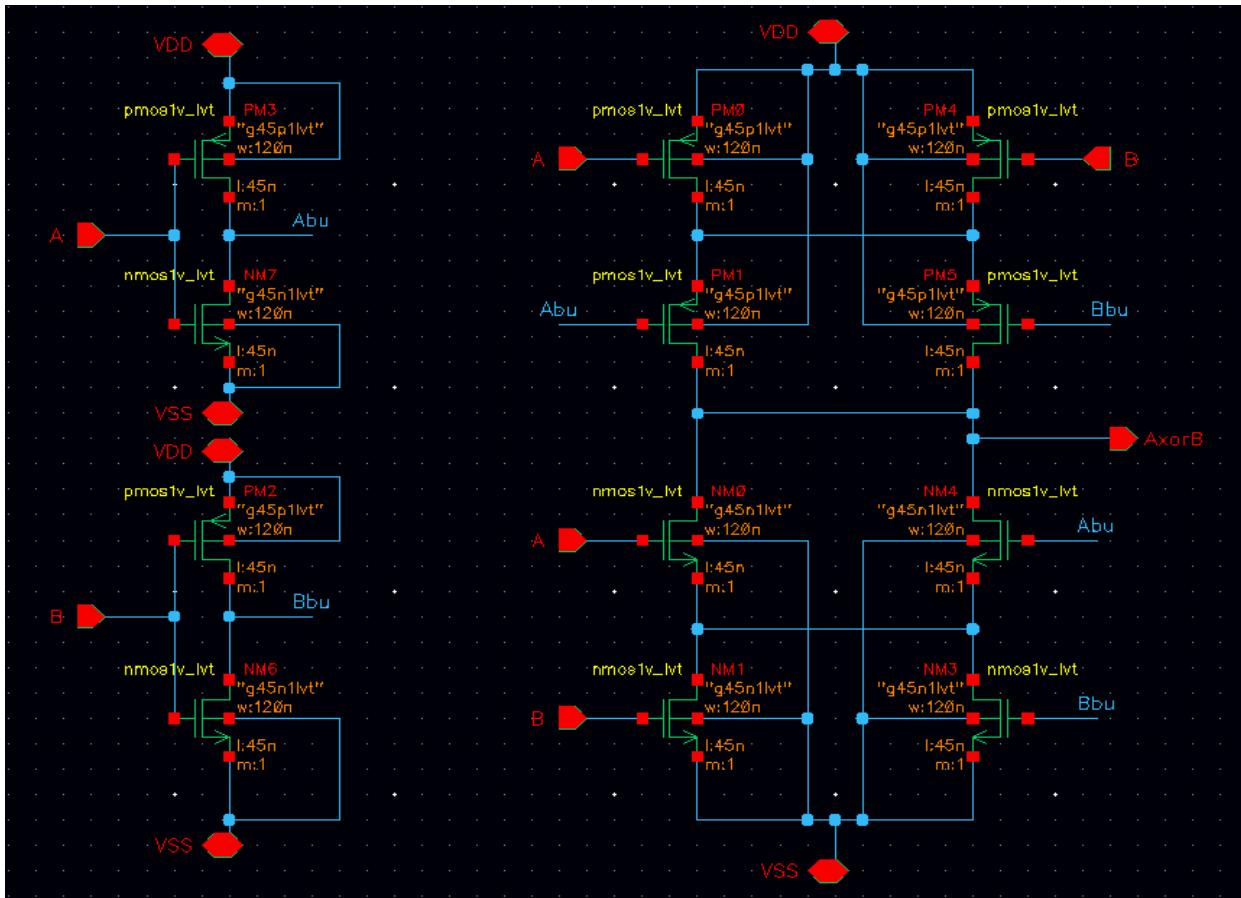
3.3.3. Các thông số VTC



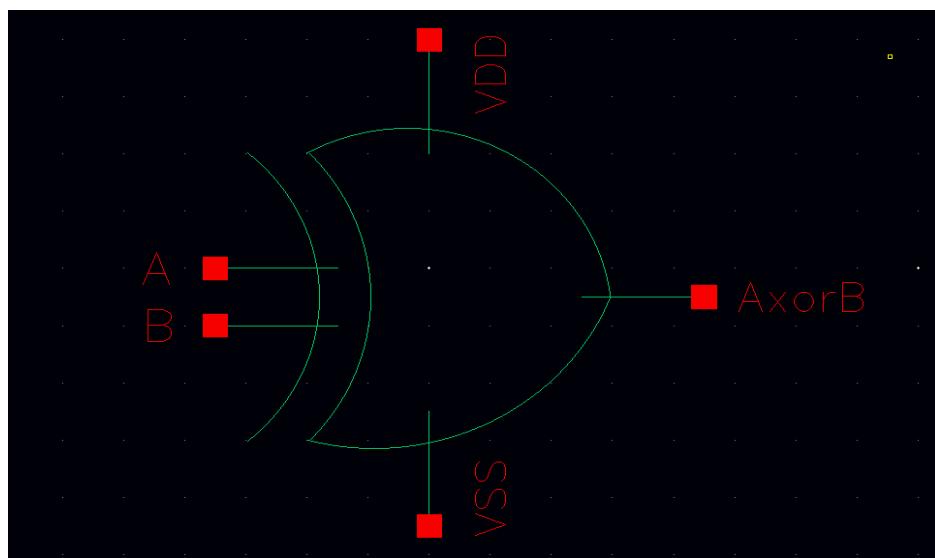
3.4. Thiết lập mạch testbench và mô phỏng quá độ (transient simulation)

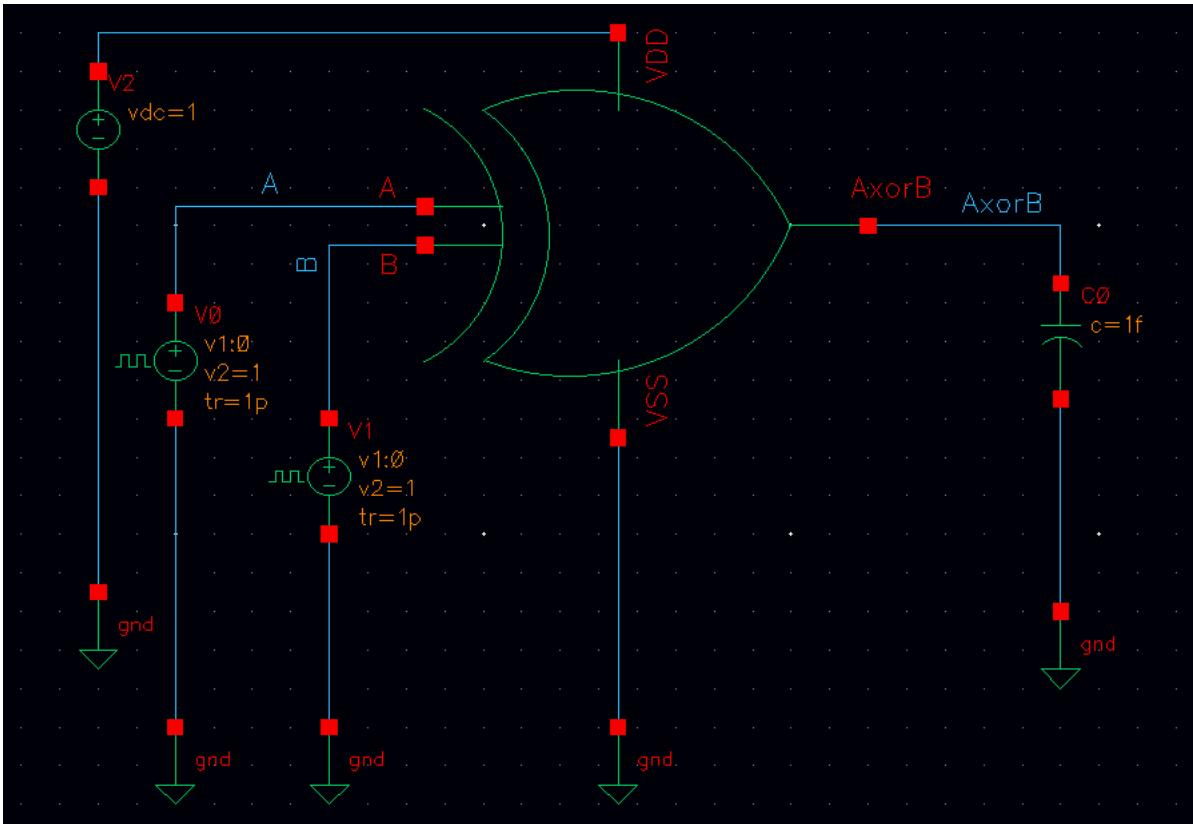
3.4.1. Thiết lập mạch testbench

- Schematic:



- Symbol:

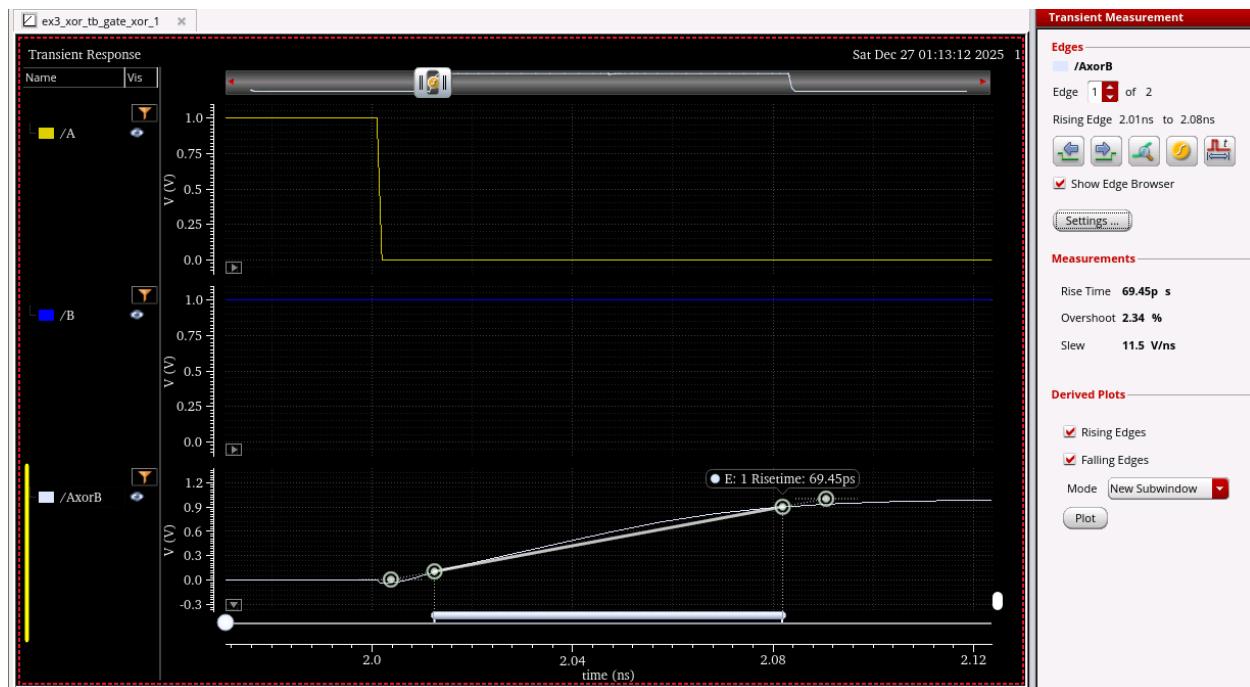
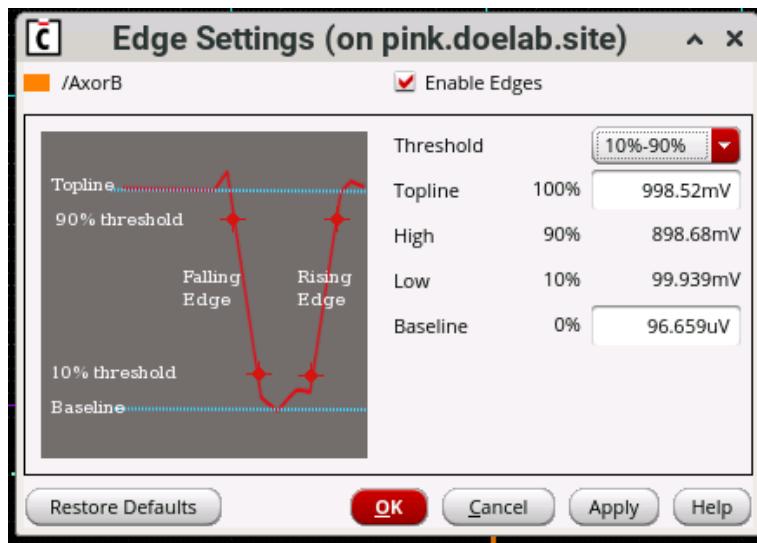




3.4.2. Mô phỏng quá độ (transient simulation)

3.4.2.1. Đo thời gian chuyển tiếp

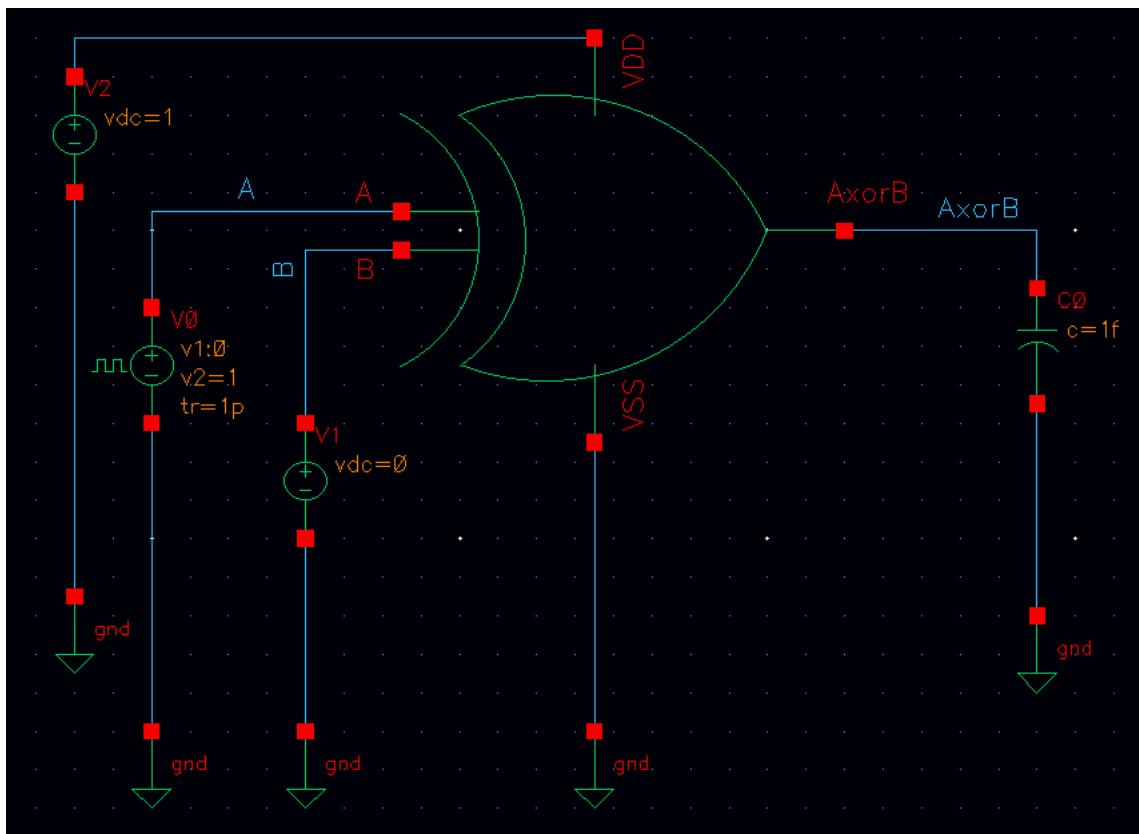
a) Thời gian tăng của cạnh lên - t_{rise} ($10\% \rightarrow 90\%$)

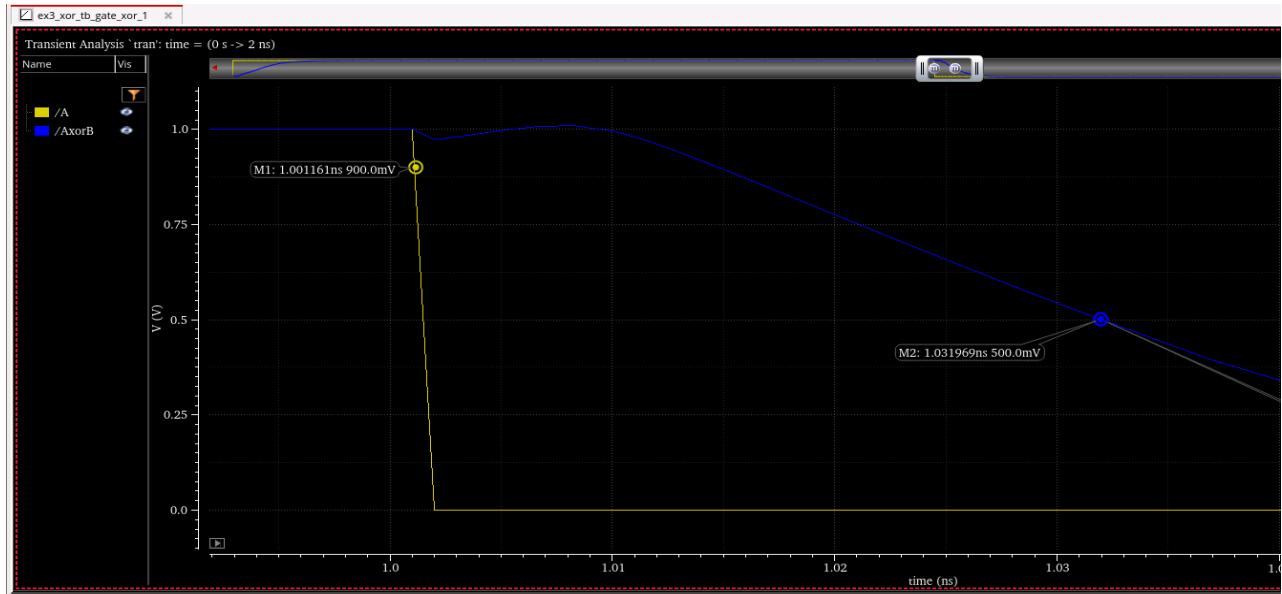


b) Thời gian giảm của cạnh xuống - t_{fall} ($90\% \rightarrow 10\%$)

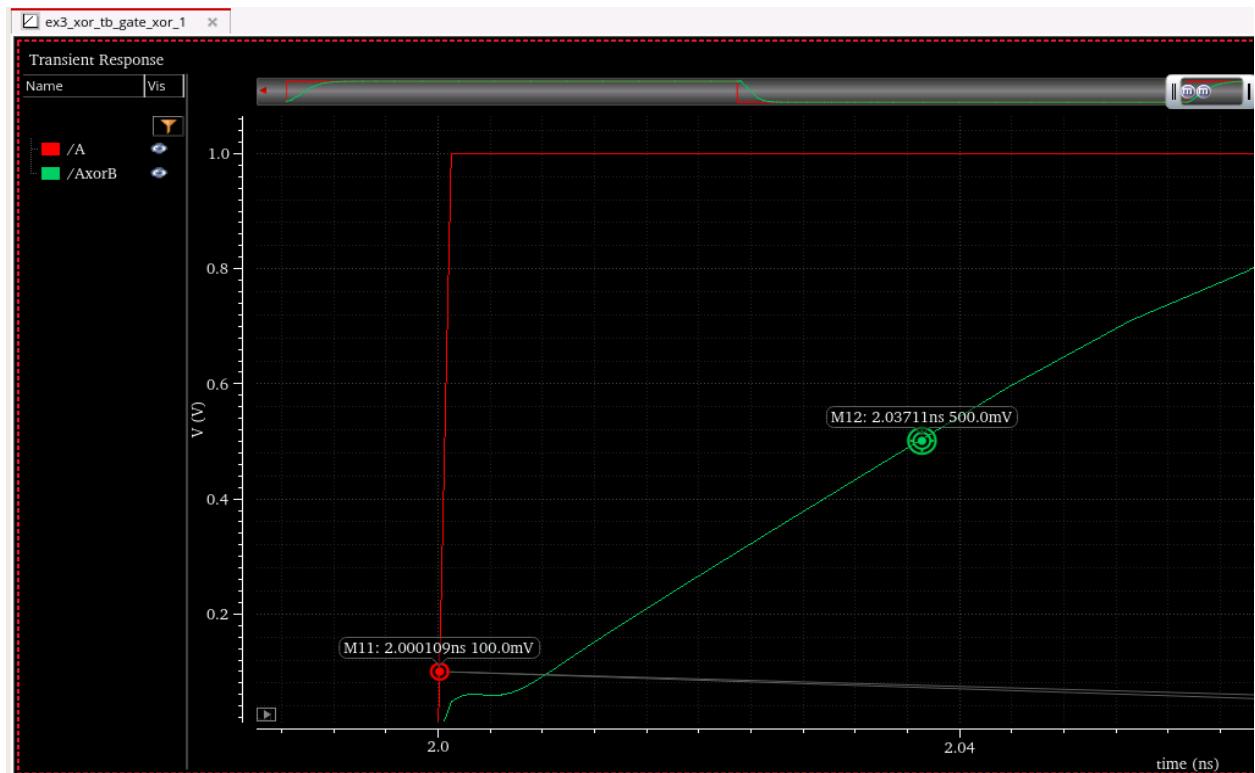


3.4.2.2. Đo độ trễ lan truyền





$$\Rightarrow t_{pdf} = 1.031969 - 1.001161 = 0.030808 \text{ ns} \approx 30.81 \text{ ps}$$



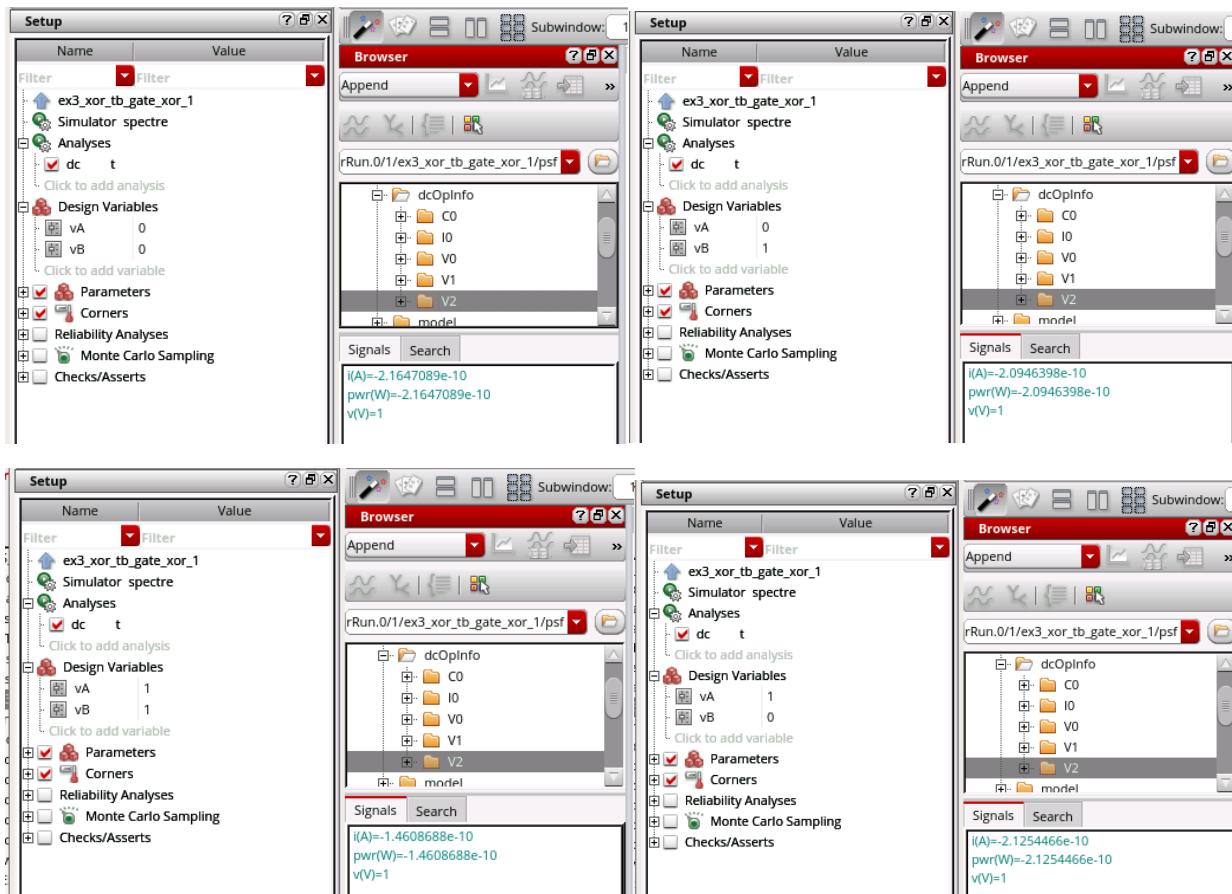
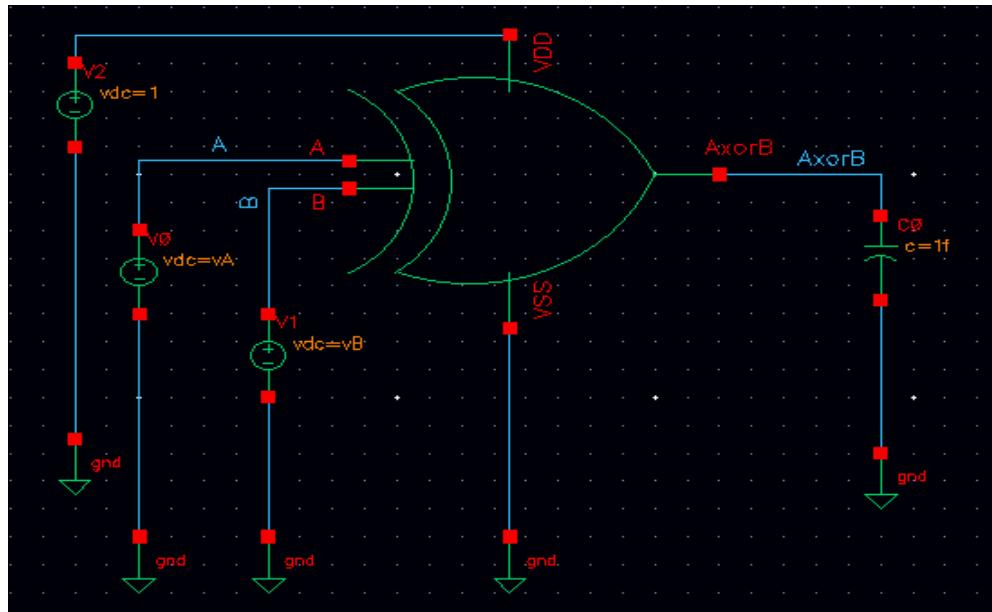
$$\Rightarrow t_{pdr} = 2.03711 - 2.000109 = 0.037001 \text{ ns} \approx 37.00 \text{ ps}$$

Độ trễ trung bình:

$$\Rightarrow t_{pd} = \frac{t_{pdr} + t_{pdf}}{2} = \frac{30.81 + 37}{2} = 33.905 \text{ ps}$$

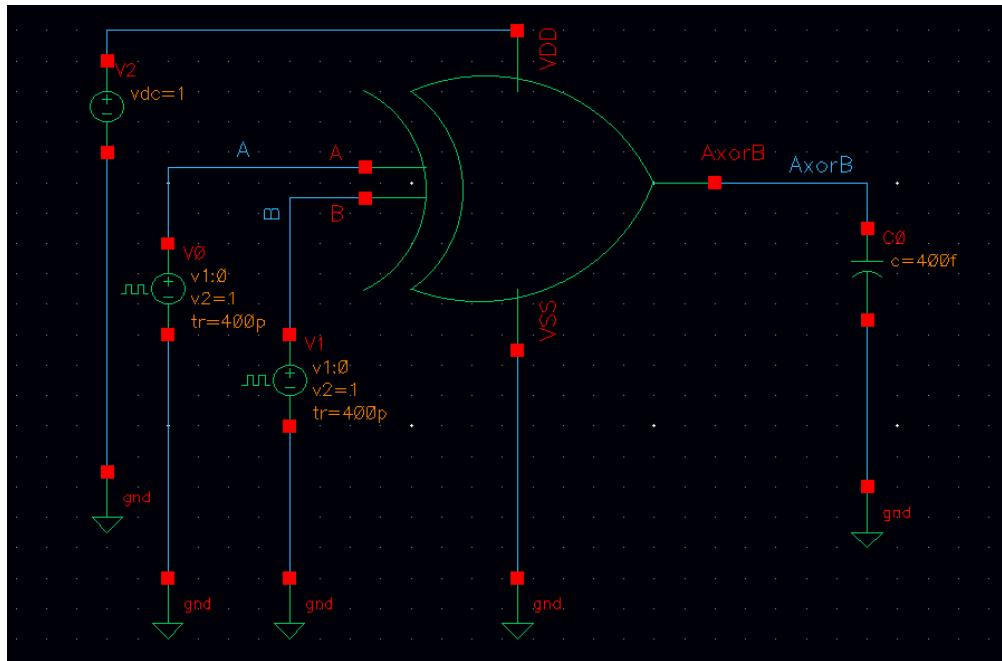
3.4.2.3. Đo công suất

a) Công suất tĩnh (Static power)



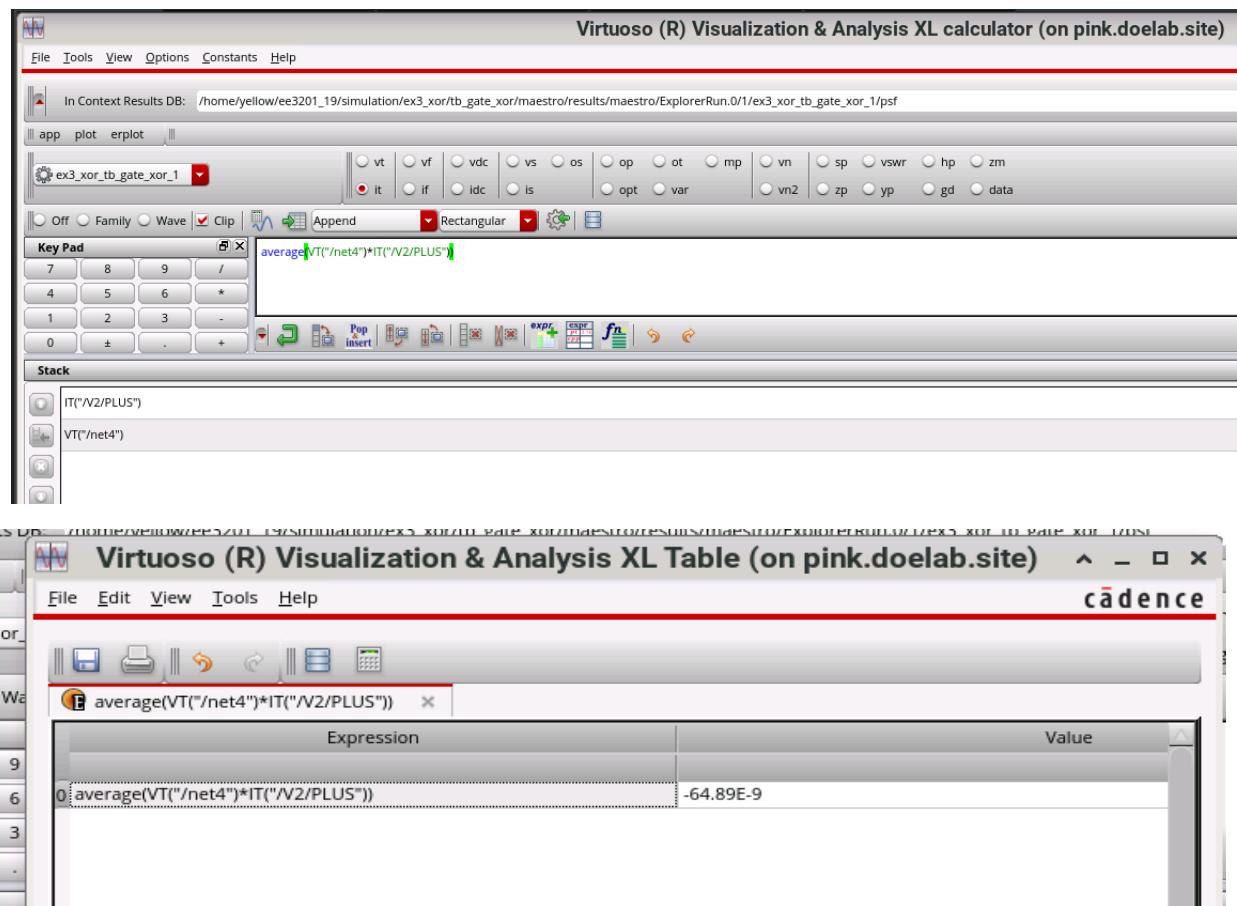
Ta sẽ lấy công suất worst path: $P_{static} = 216.47 \text{ pW}$

b) Tổng công suất (Total power)



| Edit Object Properties (on pink.doeLab.site) | | | |
|--|--------------|-------------|---------|
| Library Name | analogLib | Value | off |
| Cell Name | vpulse | Value | off |
| View Name | symbol | Value | off |
| Instance Name | V0 | Value | off |
| User Property | Add | Delete | Modify |
| IvsIgnore | Master Value | Local Value | Display |
| | TRUE | off | off |
| CDF Parameter | Value | Display | |
| Frequency name for 1/period | | off | |
| Noise file name | | off | |
| Number of noise/freq pairs | 0 | off | |
| DC voltage | | off | |
| AC magnitude | | off | |
| AC phase | | off | |
| XF magnitude | | off | |
| PAC magnitude | | off | |
| PAC phase | | off | |
| Voltage 1 | 0 V | off | |
| Voltage 2 | 1 V | off | |
| Period | 20n s | off | |
| Delay time | 0 s | off | |
| Rise time | 400p s | off | |
| Fall time | 400p s | off | |
| Pulse width | 10n s | off | |

| Edit Object Properties (on pink.doeLab.site) | | | |
|--|--------------|-------------|---------|
| Library Name | analogLib | Value | off |
| Cell Name | vpulse | Value | off |
| View Name | symbol | Value | off |
| Instance Name | V1 | Value | off |
| User Property | Add | Delete | Modify |
| IvsIgnore | Master Value | Local Value | Display |
| | TRUE | off | off |
| CDF Parameter | Value | Display | |
| Frequency name for 1/period | | off | |
| Noise file name | | off | |
| Number of noise/freq pairs | 0 | off | |
| DC voltage | | off | |
| AC magnitude | | off | |
| AC phase | | off | |
| XF magnitude | | off | |
| PAC magnitude | | off | |
| PAC phase | | off | |
| Voltage 1 | 0 V | off | |
| Voltage 2 | 1 V | off | |
| Period | 20n s | off | |
| Delay time | 0 s | off | |
| Rise time | 400p s | off | |
| Fall time | 400p s | off | |
| Pulse width | 10n s | off | |



$$\Rightarrow P_{\text{total}} = 64.89 \text{ nW}$$

$$\Rightarrow P_{\text{dynamic}} = 64.89 \text{ nW} - 0.21647 \text{ nW} = 64.6735 \text{ nW}$$

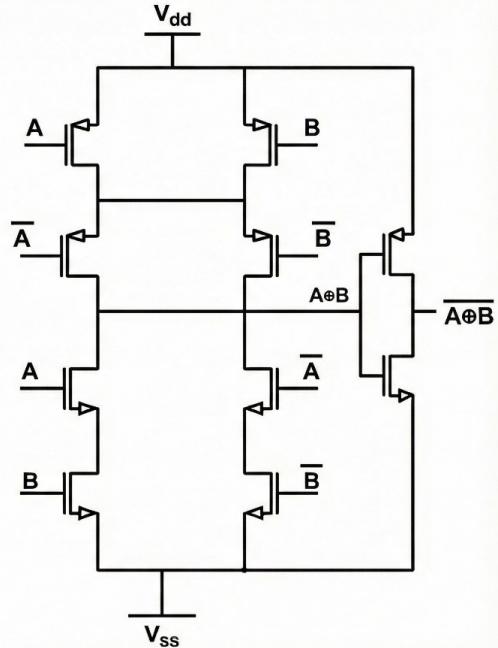
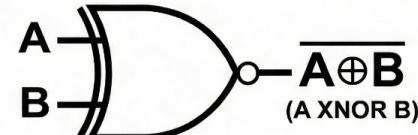
Bảng tổng hợp các thông số:

| Thông số | Kết quả |
|--|------------|
| t_{rise} – Thời gian tăng của cạnh lên (10% → 90%) | 69.45 ps |
| t_{fall} – Thời gian giảm của cạnh xuống (90% → 10%) | 43.35ps |
| t_{pdr} – Độ trễ lan truyền khi điện áp ngõ ra tăng (90% → 50%) | 37.00 ps |
| t_{pdf} – Độ trễ lan truyền khi điện áp ngõ ra giảm (10% → 50%) | 30.81 ps |
| t_{pd} – Độ trễ lan truyền trung bình (50% → 50%) | 33.905 ps |
| Công suất động (Dynamic power) | 64.6735 Nw |
| Công suất tĩnh (Static power) | |

3.5. Thiết kế cổng XNOR với những thay đổi tối thiểu so với cổng XOR

3.5.1. Ký hiệu và sơ đồ nguyên lý của XNOR

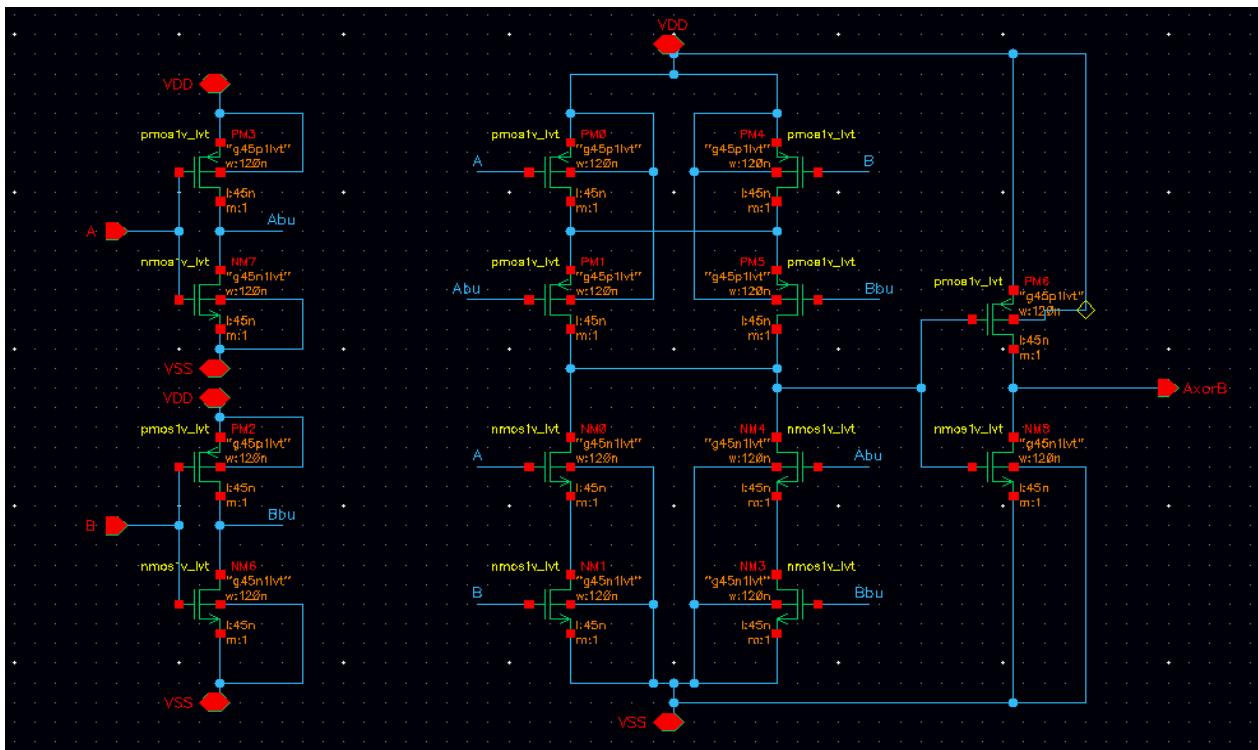
Tùy tiến hành vẽ mạch dựa vào ký hiệu và sơ đồ nguyên lý như dưới đây:

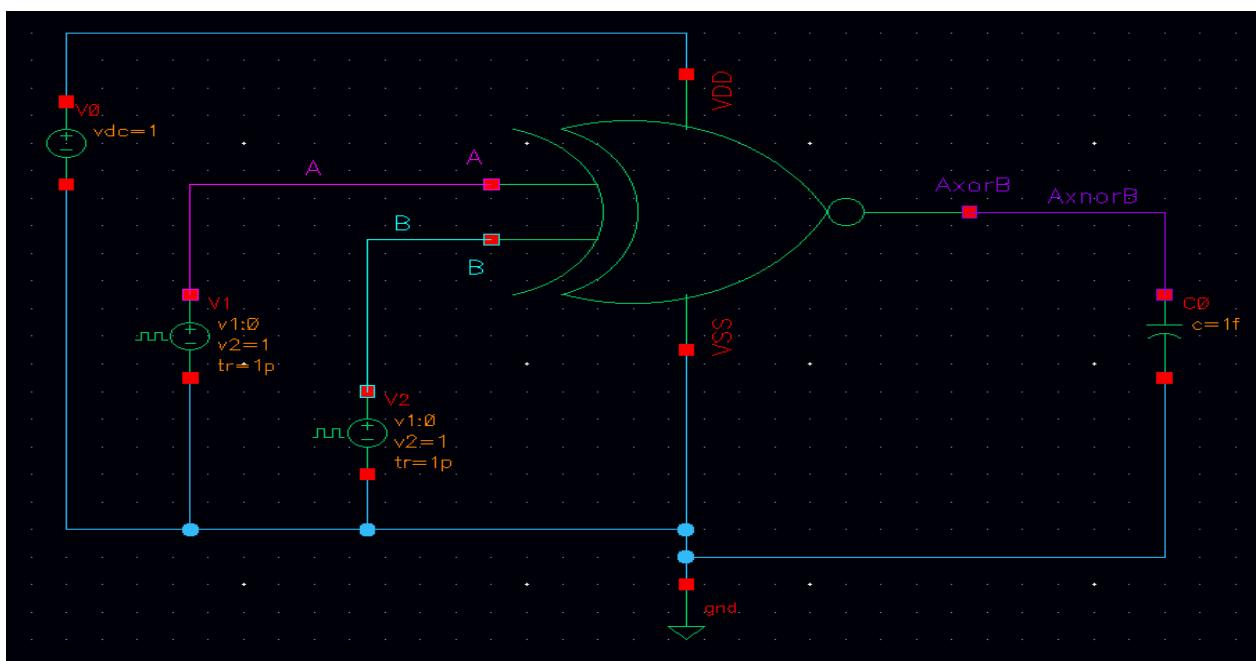
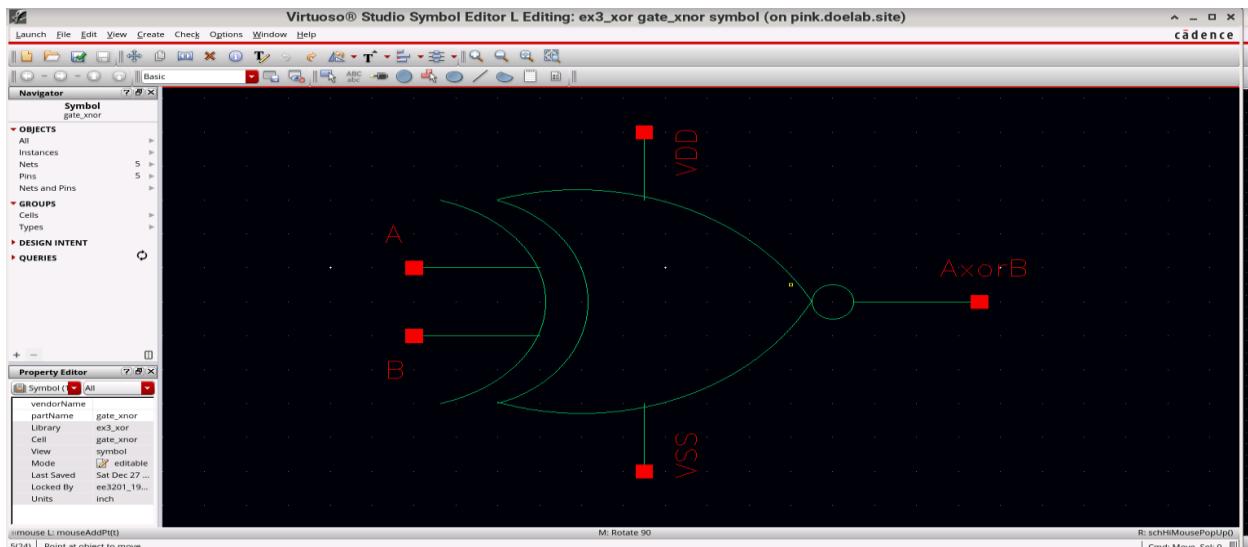


Hình 4c: Ký hiệu của cổng XNOR

Hình 4d: Sơ đồ nguyên lý của cổng XNOR CMOS

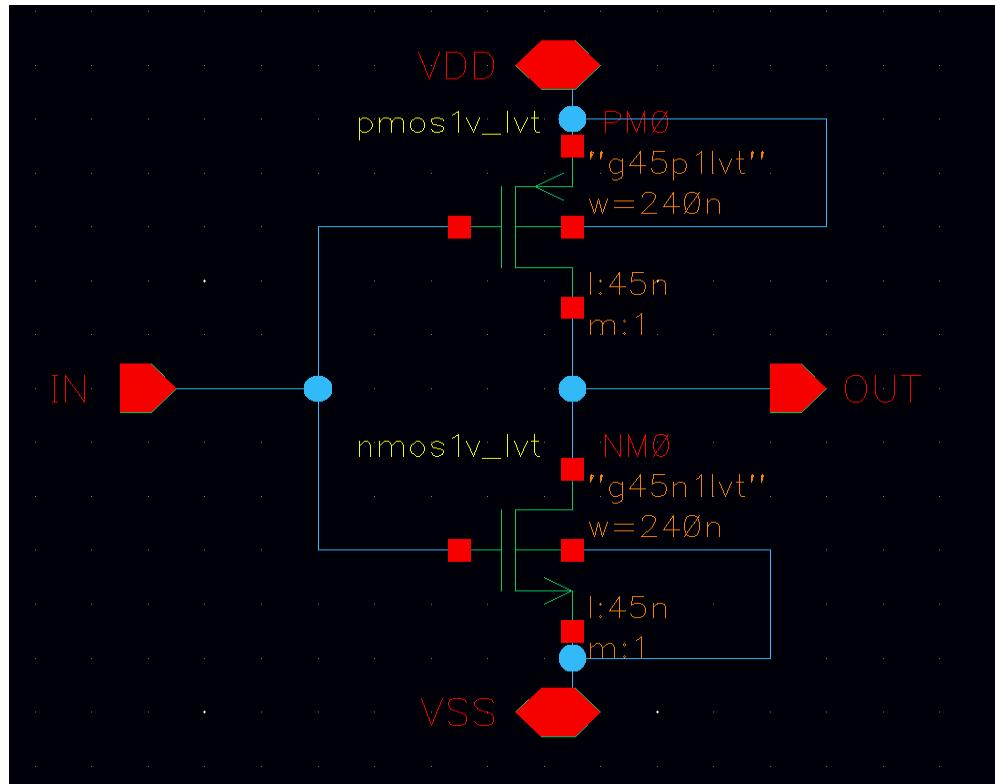
3.5.2. Thiết kế mạch mà kiểm chứng mô phỏng:





4. THÍ NGHIỆM 4

- Cổng NOT được dùng trong experiment này có schematic như bên dưới:



4.1. Bảng chân trị và phân tích sơ bộ thiết kế:

- Ta có 2 schematic của cổng MUX2x1 cần khảo sát như sau:

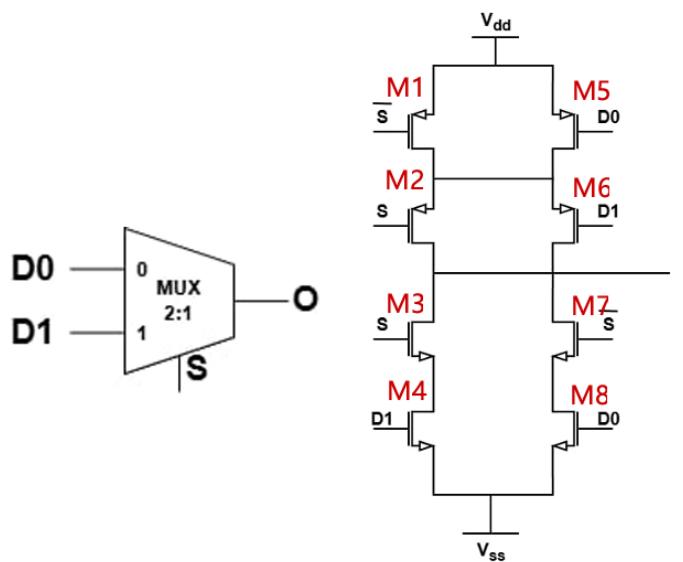
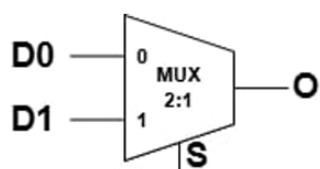


Figure 5a:
The symbol of MUX

Figure 5b:
The schematic of MUX

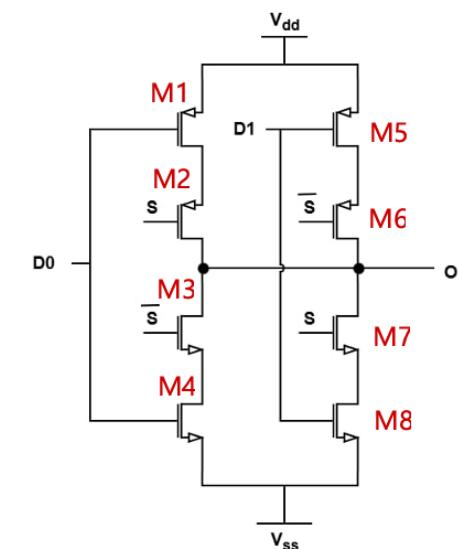


Figure 5c:
The schematic of MUX

- Như ta đã biết NMOS cut-off khi $V_{gs} < V_{th,n}$ tức khi đưa một điện áp thấp vào chân G ($= 0$), PMOS cut-off khi $V_{gs} > V_{th,p}$ tức khi đưa một điện áp cao vào chân G ($= 1$) vì thế:

+ Với công MUX2x1 5b như trên, ta có thể suy ra bảng chân trị:

| S | D1 | D0 | O | Trạng thái các CMOS |
|---|----|----|---|---|
| 0 | 0 | 0 | 1 | M1, M3, M4, M8 cut-off; các FET còn lại dẫn, dòng từ Vdd đi qua M5, M6 và M2 đến ngõ ra O (mức 1) |
| 0 | 0 | 1 | 0 | M1, M3, M4, M5 cut-off; các FET còn lại dẫn, dòng từ ngõ ra O đi qua M7, M8 đến Vss (mức 0) |
| 0 | 1 | 0 | 1 | M1, M3, M6, M8 cut-off; các FET còn lại dẫn, dòng từ Vdd đi qua M5, M2 đến ngõ ra O (mức 1) |
| 0 | 1 | 1 | 0 | M1, M3, M6, M5 cut-off; các FET còn lại dẫn, dòng từ ngõ ra O đi qua M7, M7 đến Vss (mức 0) |
| 1 | 0 | 0 | 1 | M2, M7, M4, M8 cut-off; các FET còn lại dẫn, dòng từ Vdd đi qua M5, M6 đến ngõ ra O (mức 1) |
| 1 | 0 | 1 | 1 | M2, M7, M4, M5 cut-off; các FET còn lại dẫn, dòng từ Vdd đi qua M1, M6 đến ngõ ra O (mức 1) |
| 1 | 1 | 0 | 0 | M2, M7, M6, M8 cut-off; các FET còn lại dẫn, dòng từ ngõ ra O đi qua M3, M4 đến Vss (mức 0) |
| 1 | 1 | 1 | 0 | M2, M7, M6, M5 cut-off; các FET còn lại dẫn, dòng từ ngõ ra O đi qua M3, M4 đến Vss (mức 0) |

+ Với công MUX2x1 5c như trên, ta có thể suy ra bảng chân trị:

| S | D1 | D0 | O | Trạng thái các CMOS |
|---|----|----|---|--|
| 0 | 0 | 0 | 1 | M7, M6, M8, M4 cut-off; các FET còn lại dẫn, dòng từ Vdd đi qua M1, M2 đến ngõ ra O (mức 1). |
| 0 | 0 | 1 | 0 | M7, M6, M8, M1 cut-off; các FET còn lại dẫn, dòng từ ngõ ra O đi qua M3, M4 đến Vss (mức 0). |
| 0 | 1 | 0 | 1 | M7, M6, M5, M4 cut-off; các FET còn lại dẫn, dòng từ Vdd đi qua M1, M2 đến ngõ ra O (mức 1). |
| 0 | 1 | 1 | 0 | M7, M6, M5, M1 cut-off; các FET còn lại dẫn, dòng từ ngõ ra O đi qua M3, M4 đến Vss (mức 0). |
| 1 | 0 | 0 | 1 | M3, M2, M8, M4 cut-off; các FET còn lại dẫn, dòng từ Vdd đi qua M5, M6 ngõ ra O (mức 1). |
| 1 | 0 | 1 | 1 | M3, M2, M8, M1 cut-off; các FET còn lại dẫn, dòng từ Vdd đi qua M5, M6 đến ngõ ra O (mức 1). |
| 1 | 1 | 0 | 0 | M3, M2, M5, M4 cut-off; các FET còn lại dẫn, dòng từ ngõ ra O đi qua M7, M8 đến Vss (mức 0). |

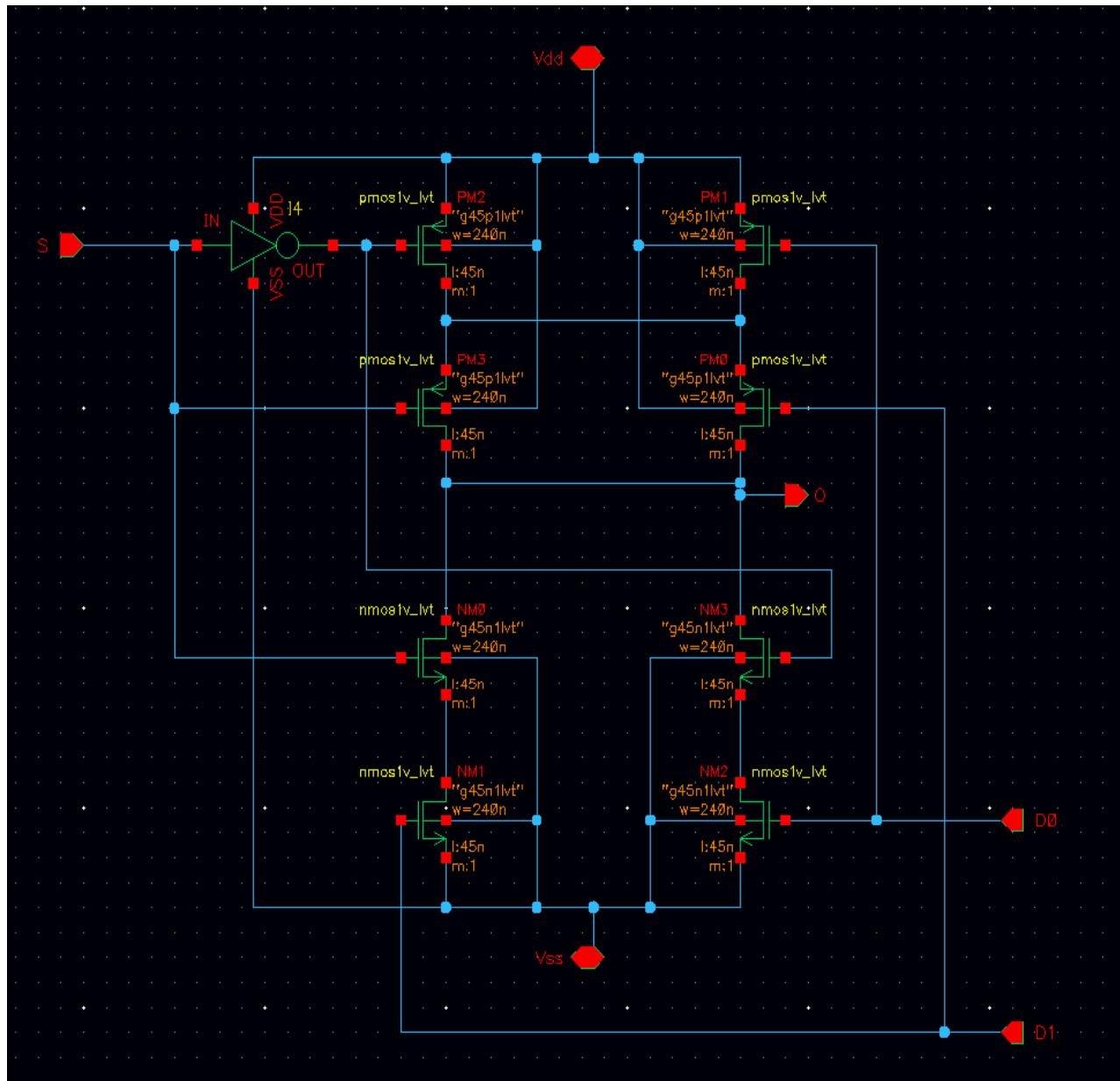
| | | | | |
|---|---|---|---|--|
| 1 | 1 | 1 | 0 | M3, M2, M5, M1 cut-off; các FET còn lại dẫn, dòng từ ngõ ra O đi qua M7, M8 đến Vss (mức 0). |
|---|---|---|---|--|

+ Vậy ta có thể kết luận 2 cổng MUX trên là giống nhau về mặt logic, với hàm ngõ ra $O=S?(\sim D1):(\sim D0)$.

+ Các vùng hoạt động và quá trình chuyển mạch của thiết kế sẽ được trình bày sau ở phần đo dạng sóng DC.

4.2. Khảo sát mạch MUX2x1 kiểu 1 (Figure 5b):

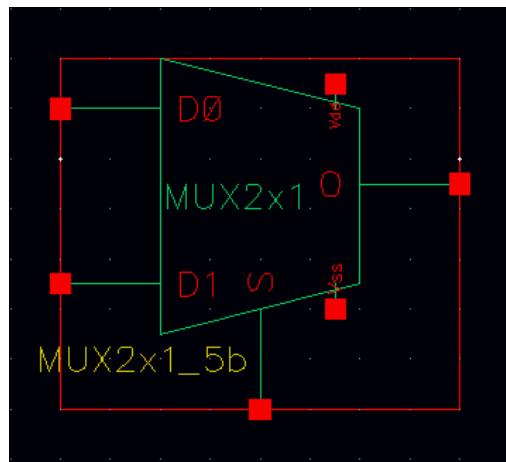
- Schematic của cổng MUX2X1 (5b) cần khảo sát:



+ Các MOSFET được dùng trong schematic trên được cài đặt các thông số cơ bản như sau:

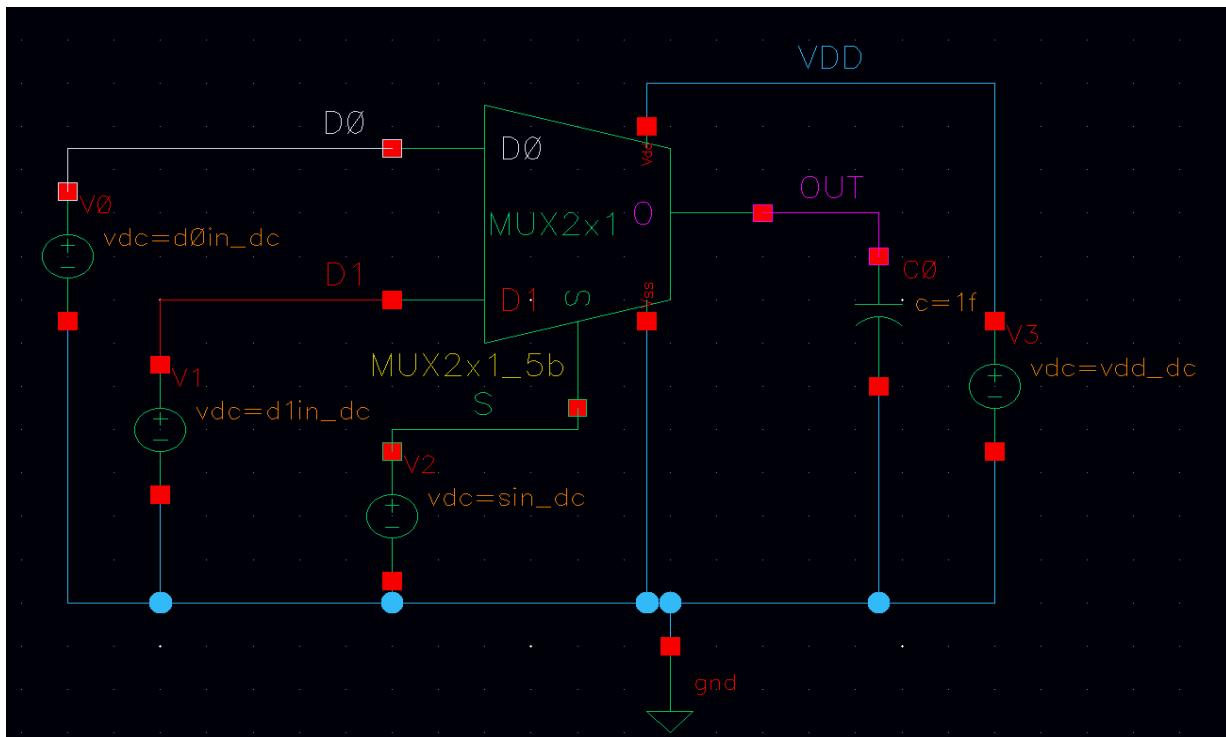
| Model Name | g45p1lvt | Model Name | g45n1lvt |
|--------------|----------|--------------|----------|
| Multiplier | 1 | Multiplier | 1 |
| Length | 45n M | Length | 45n M |
| Finger Width | 120n M | Finger Width | 120n M |
| Total Width | 240n M | Total Width | 240n M |
| Fingers | 2 | Fingers | 2 |

- Symbol:



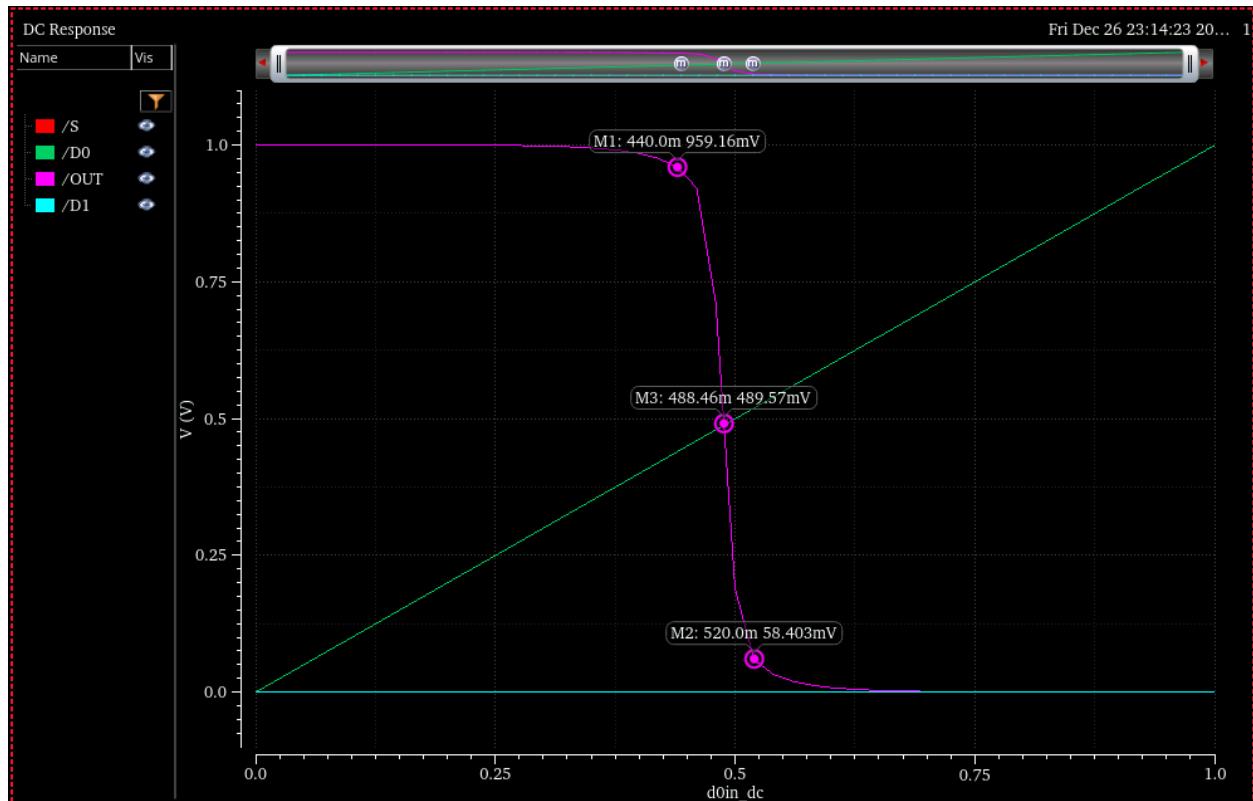
4.2.1. Phân tích DC:

- Ta cài đặt testbench cho công MUX2x1_5b cần khảo sát như sau:



- trường hợp D0 sweep ($D1 = 0, S = 0$):

| VD0 (V) | 0 | 0.1 | 0.2 | 0.3 | 0.4 | 0.5 | 0.6 | 0.7 | 0.8 | 0.9 | 1 |
|-----------|------|--------|-------|--------|--------|---------|------|------|-----|-----|---|
| Vout (mV) | 1000 | 999.98 | 999.8 | 998.13 | 984.45 | 188.492 | 7.92 | 0.96 | 0 | 0 | 0 |



(M1, M2, M3 lần lượt là VIL, VIH và VM)

+ Tại vùng $VD0 < VIL$ ($D0 = 0$) và $VD0 > VIH$ ($D0 = 1$), các CMOS hoạt động tại chế độ như đã trình bày ở bảng chân trị phần 4.1. Tại vùng $VIL < VD0 < VIH$, cả 2 CMOS M8 và M5 hoạt động ở vùng saturation, công suất tăng cao vì dòng điện từ Vdd, O lúc này đi qua cả 4 M5, M6, M7, M8 xuống Vss

- trường hợp D1 sweep ($D0 = 0, S = 1$):

| VD1 (V) | 0 | 0.1 | 0.2 | 0.3 | 0.4 | 0.5 | 0.6 | 0.7 | 0.8 | 0.9 | 1 |
|-----------|------|--------|-------|--------|--------|--------|------|------|-----|-----|---|
| Vout (mV) | 1000 | 999.98 | 999.8 | 998.13 | 984.25 | 226.41 | 9.68 | 1.15 | 0.1 | 0 | 0 |

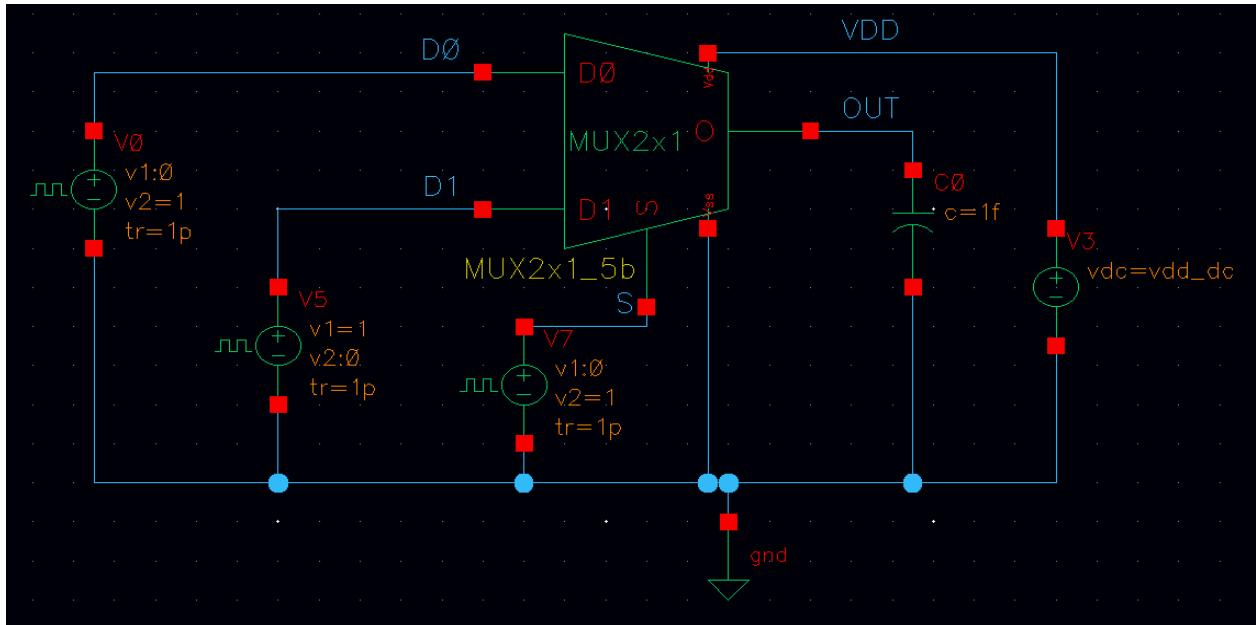


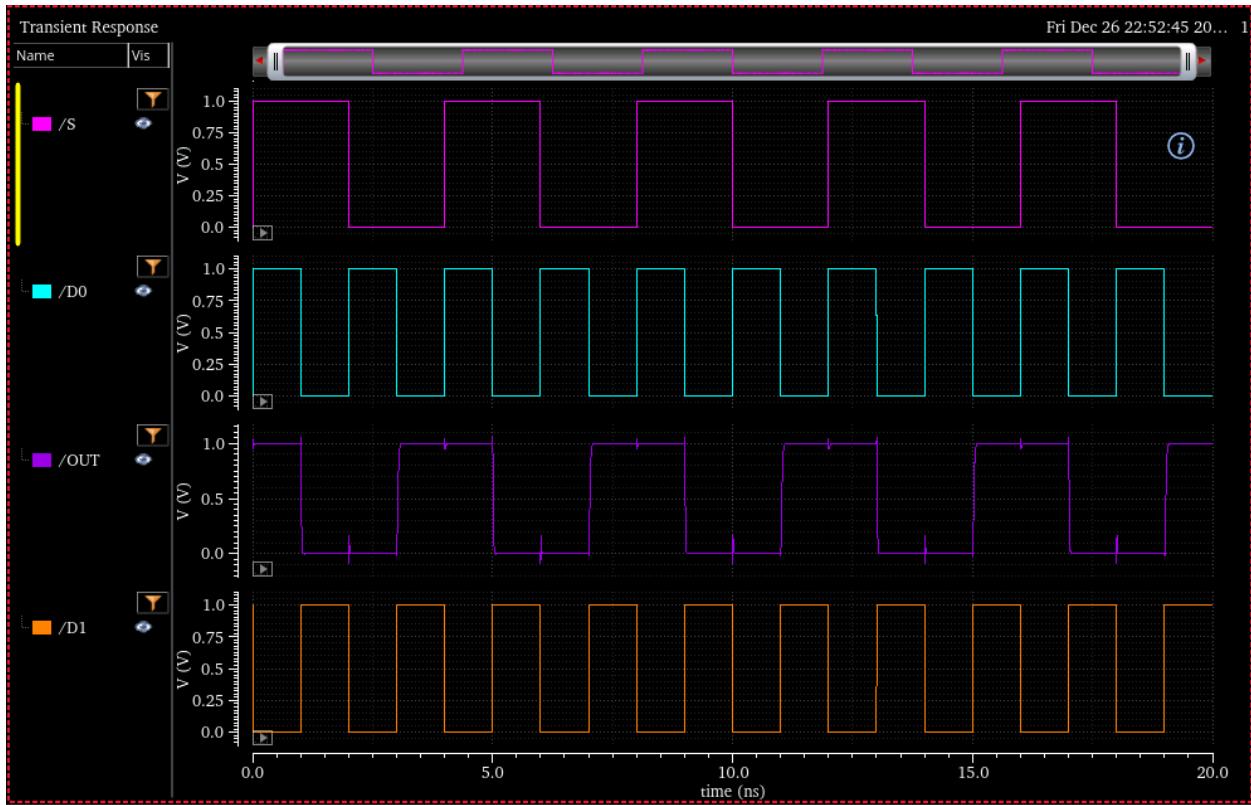
(M1, M2, M3 lần lượt là VIL, VIH và VM)

+ Tại vùng $V_{D1} < V_{IL}$ ($D1 = 0$) và $V_{D1} > V_{IH}$ ($D1 = 1$), các CMOS hoạt động tại chế độ như đã trình bày ở bảng chân trị phần 4.1. Tại vùng $V_{IL} < V_{D1} < V_{IH}$, cả 2 CMOS M4 và M6 hoạt động ở vùng saturation, công suất tăng cao vì dòng điện từ V_{DD} , O lúc này đi qua cả 4 M5, M6, M3, M4 xuống V_{SS} .

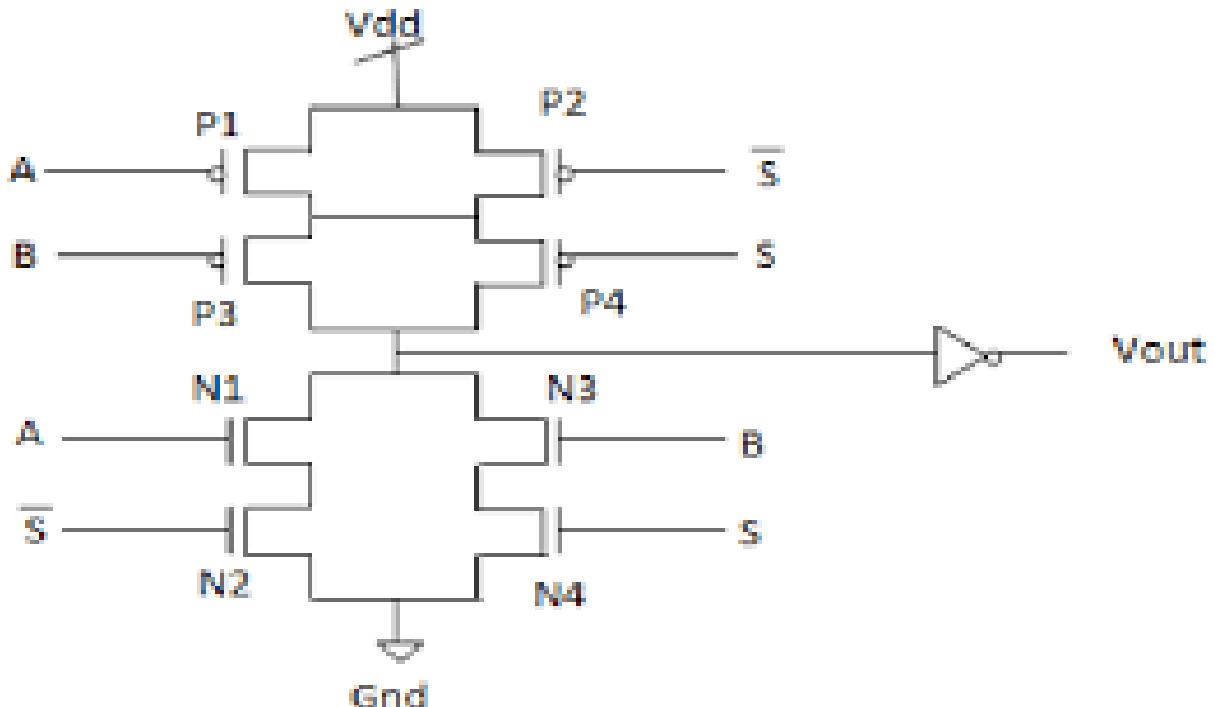
4.2.2. Mô phỏng quá độ (transient simulation):

- Trường hợp D0, D1, S là nguồn xung (xác minh thiết kế):

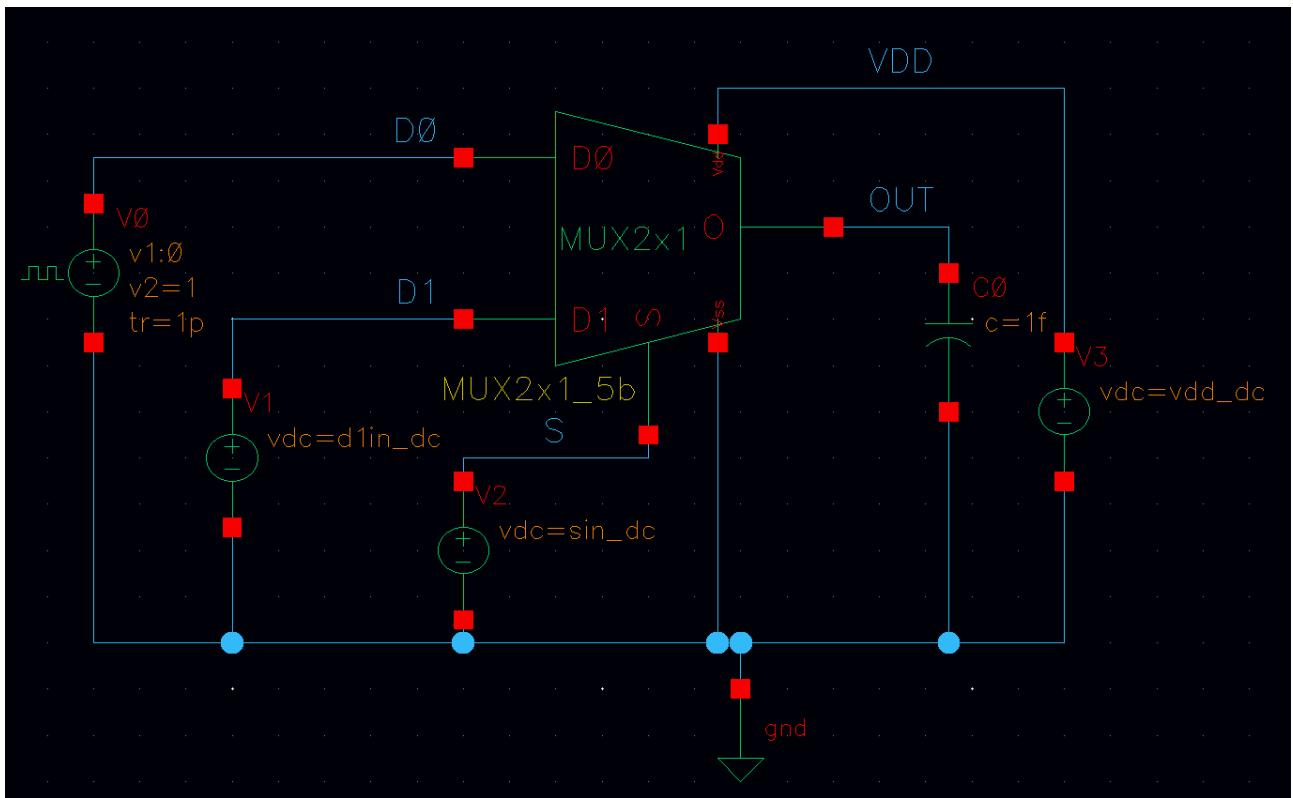




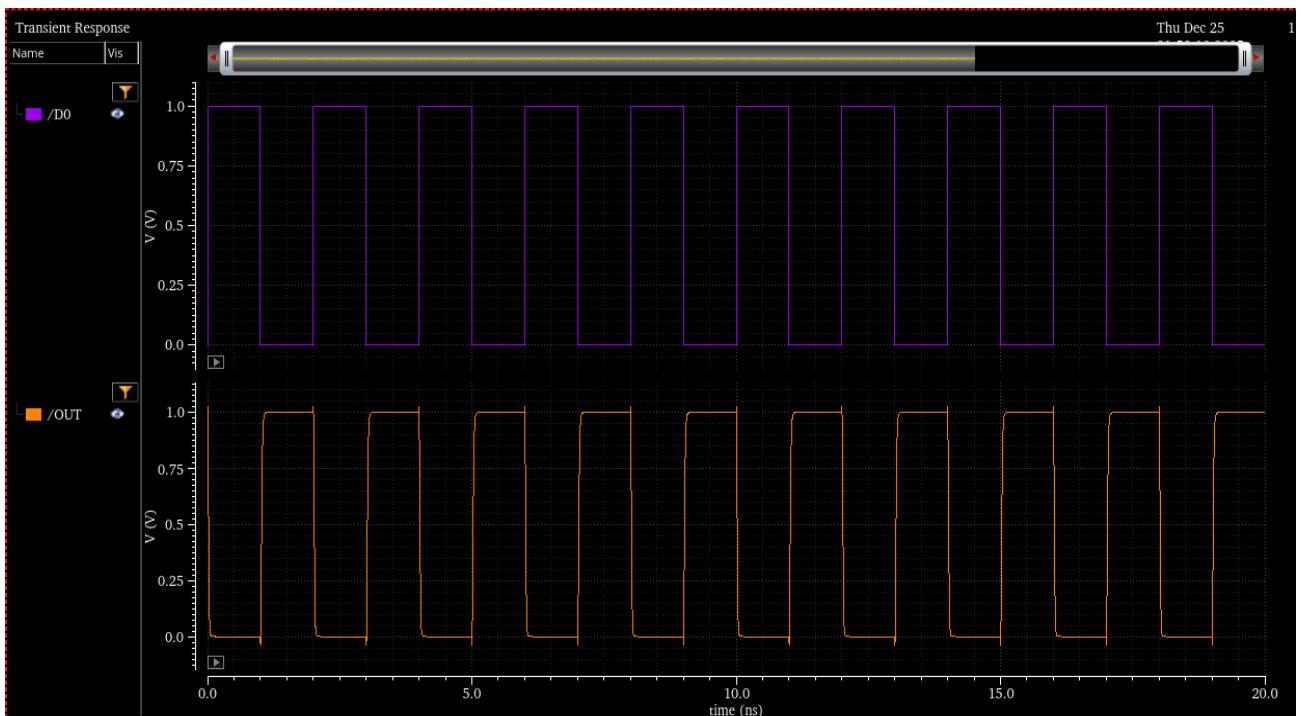
+ Ta thấy rằng cổng MUX trên có hàm ngõ ra như sau: $O = (\bar{S})?(\sim D1):(\sim D0)$ điều này là đúng với ý đồ thiết kế ban đầu của đề bài. Trên thực tế, đề cổng MUX không đưa ra các giá trị đảo của đầu vào như trên, ta thêm cổng NOT tại ngõ ra O như sơ đồ dưới đây:



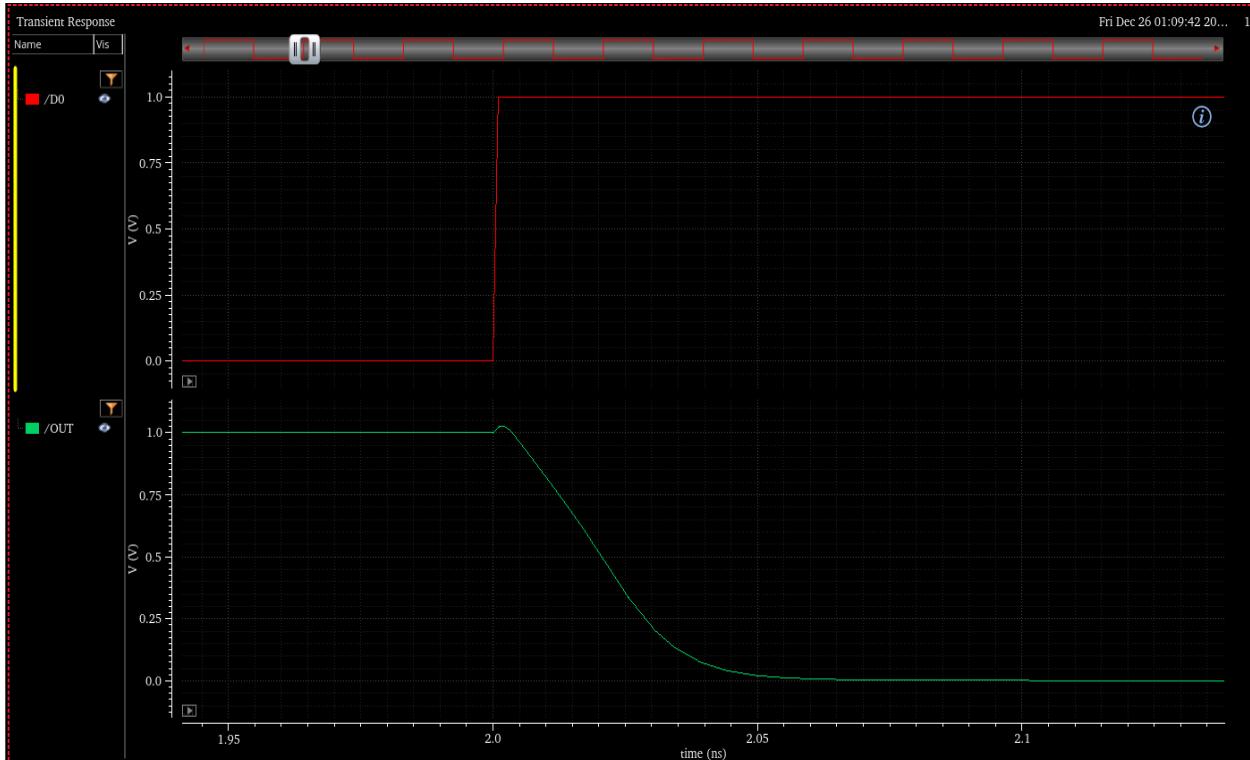
- Để đo delay, ta xét trường hợp D0 là nguồn xung, S = 0, D1 = 0 để thu được kết quả đo chính xác hơn vì tránh được ảnh hưởng từ một số cạnh lén giả (nhiều) tại ngõ ra.



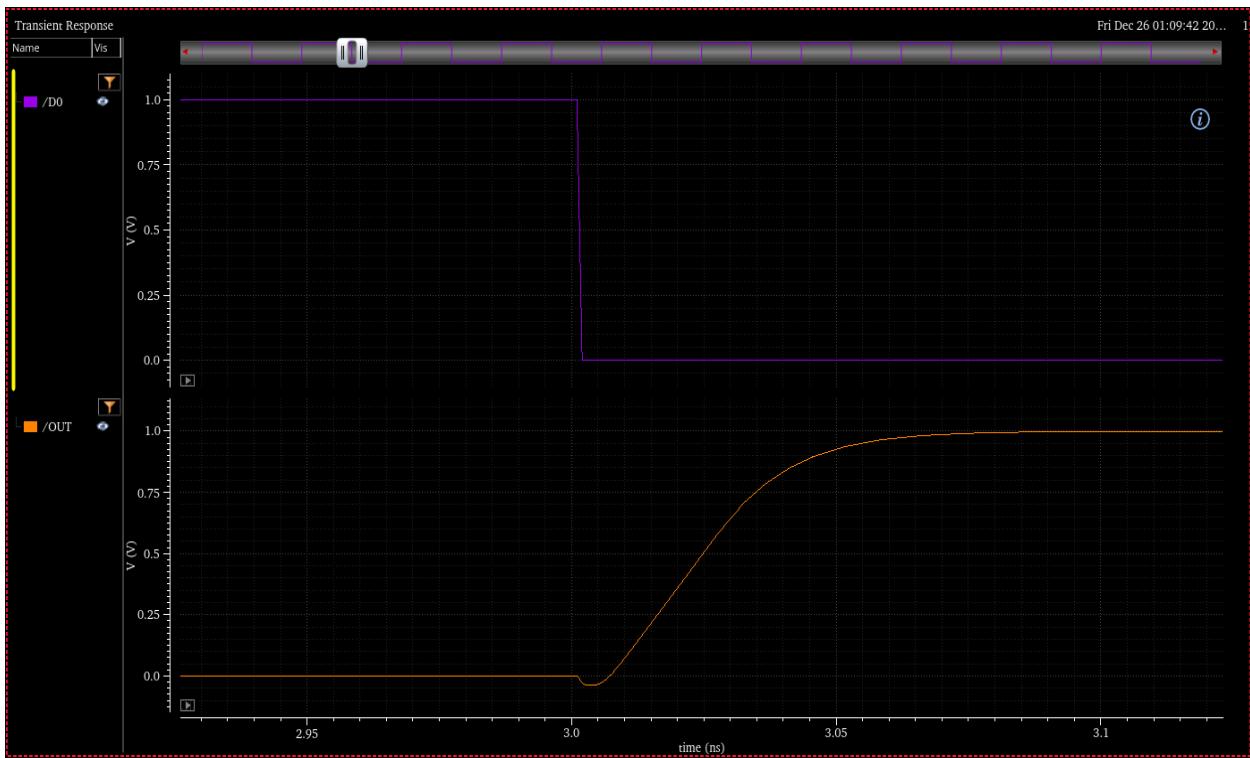
- Dạng sóng giữa Vin (D0) và Vout (OUT) lúc này:



+ Posedge D0:



+ Negedge D0:



- Ta thu được kết quả đo delay bằng Virtuoso Calculator:

| | |
|--------|--------|
| t_rise | 35.23p |
| t_fall | 29.76p |
| t_pdr | 44.67p |
| t_pdf | 36.74p |
| t_pd | 21.81p |

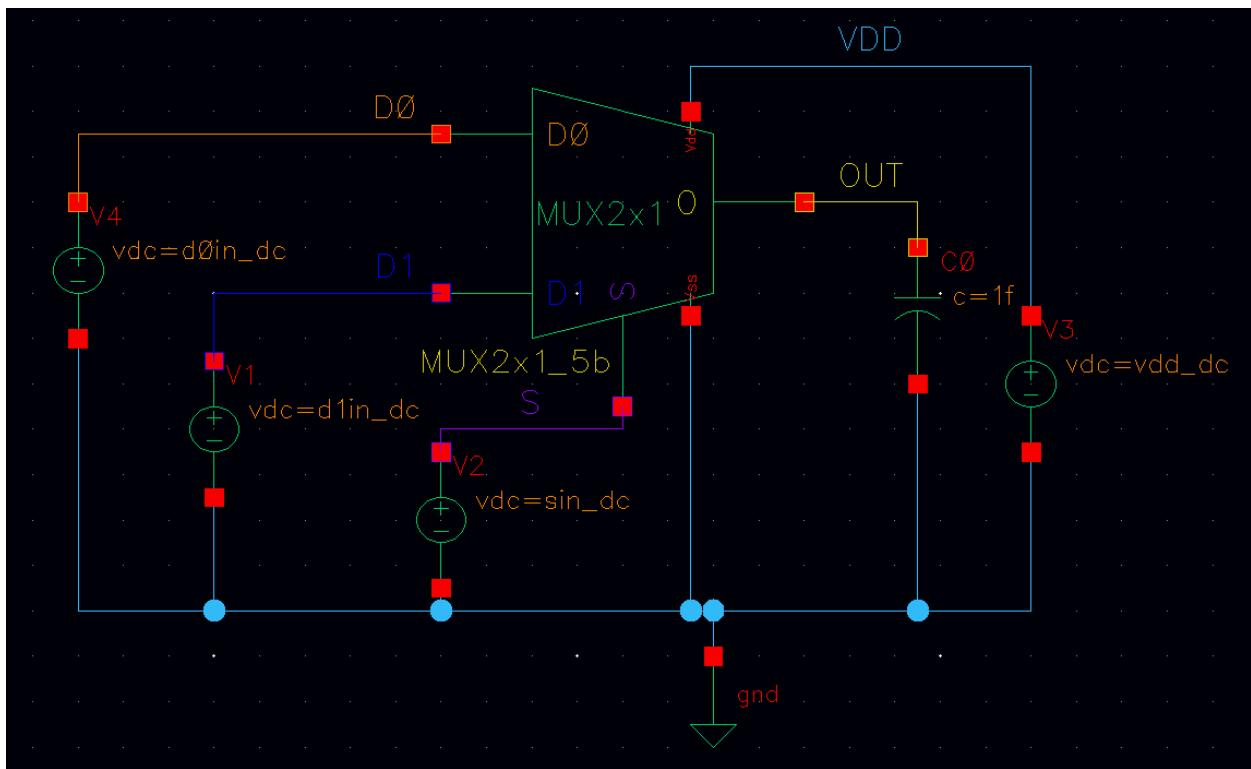
+ Biểu thức nhập vào Calculator để đo Delay:

```
t_pdr = delay(?wf1 VT("//D0")) ?value1 0.5 ?edge1 "falling" ?nth1 1 ?td1 0.0 ?tol1 nil ?wf2 VT("//OUT") ?value2 0.9 ?edge2 "rising" ?nth2 1 ?tol2 nil ?td2 nil ?stop nil ?multiple nil)
t_pdf = delay(?wf1 VT("//D0")) ?value1 0.5 ?edge1 "rising" ?nth1 1 ?td1 0.0 ?tol1 nil ?wf2 VT("//OUT") ?value2 0.1 ?edge2 "falling" ?nth2 1 ?tol2 nil ?td2 nil ?stop nil ?multiple nil)
t_rise = delay(?wf1 VT("//OUT")) ?value1 0.1 ?edge1 "rising" ?nth1 1 ?td1 0.0 ?tol1 nil ?wf2 VT("//OUT") ?value2 0.9 ?edge2 "rising" ?nth2 1 ?tol2 nil ?td2 nil ?stop nil ?multiple nil)
t_fall = delay(?wf1 VT("//OUT")) ?value1 0.9 ?edge1 "falling" ?nth1 1 ?td1 0.0 ?tol1 nil ?wf2 VT("//OUT") ?value2 0.1 ?edge2 "falling" ?nth2 1 ?tol2 nil ?td2 nil ?stop nil ?multiple nil)
```

```
(delay(?wf1 VT("//D0"), ?value1 0.5, ?edge1 "falling", ?nth1 1, ?td1 0.0, ?tol1 nil, ?wf2 VT("//OUT"), ?value2 0.5, ?edge2 "falling", ?nth2 1, ?tol2 nil, ?td2 nil, ?stop nil, ?multiple nil)
+delay(?wf1 VT("//D0"), ?value1 0.5, ?edge1 "rising", ?nth1 1, ?td1 0.0, ?tol1 nil, ?wf2 VT("//OUT"), ?value2 0.5, ?edge2 "rising", ?nth2 1, ?tol2 nil, ?td2 nil, ?stop nil, ?multiple nil))/2
```

- Đo công suất tĩnh (static power):

+ Setup testbench để đo static power, ta đặt tất cả ngõ vào D0, D1, S = 0 khi đo:



+ Bằng cách đặt tất cả ngõ vào = 0 và đo công suất của nguồn nuôi V3 bằng DC analysis, ta thu được kết quả đo static power như sau:

$$i(A) = -3.4299697e-10$$

$$pwr(W) = -3.4299697e-10$$

$$v(V) = 1$$

+ Vậy $P_{static} = 343\text{pW}$. Ta thấy, tại trạng thái tĩnh công CMOS MUX hầu như không tiêu thụ công suất.

- Đo dynamic power:

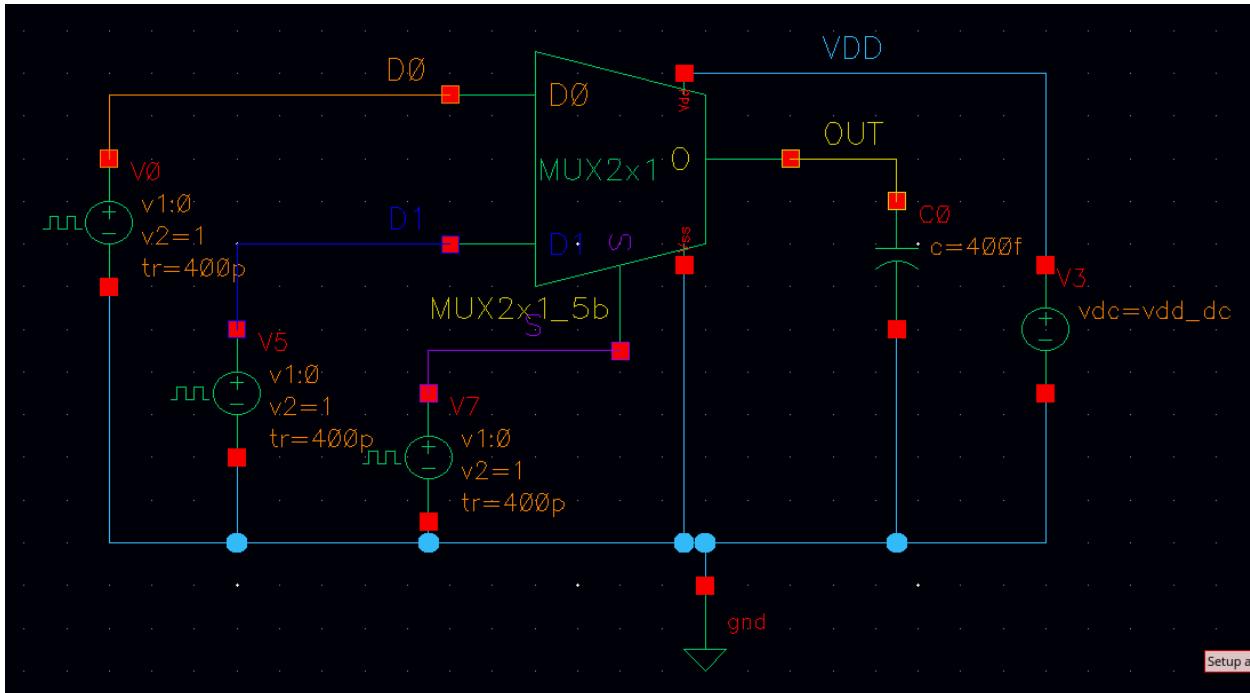
+ Ta chọn cách đo dynamic power gián tiếp qua total power với phương trình:

$$P_{dynamic} = P_{total} - P_{static}$$

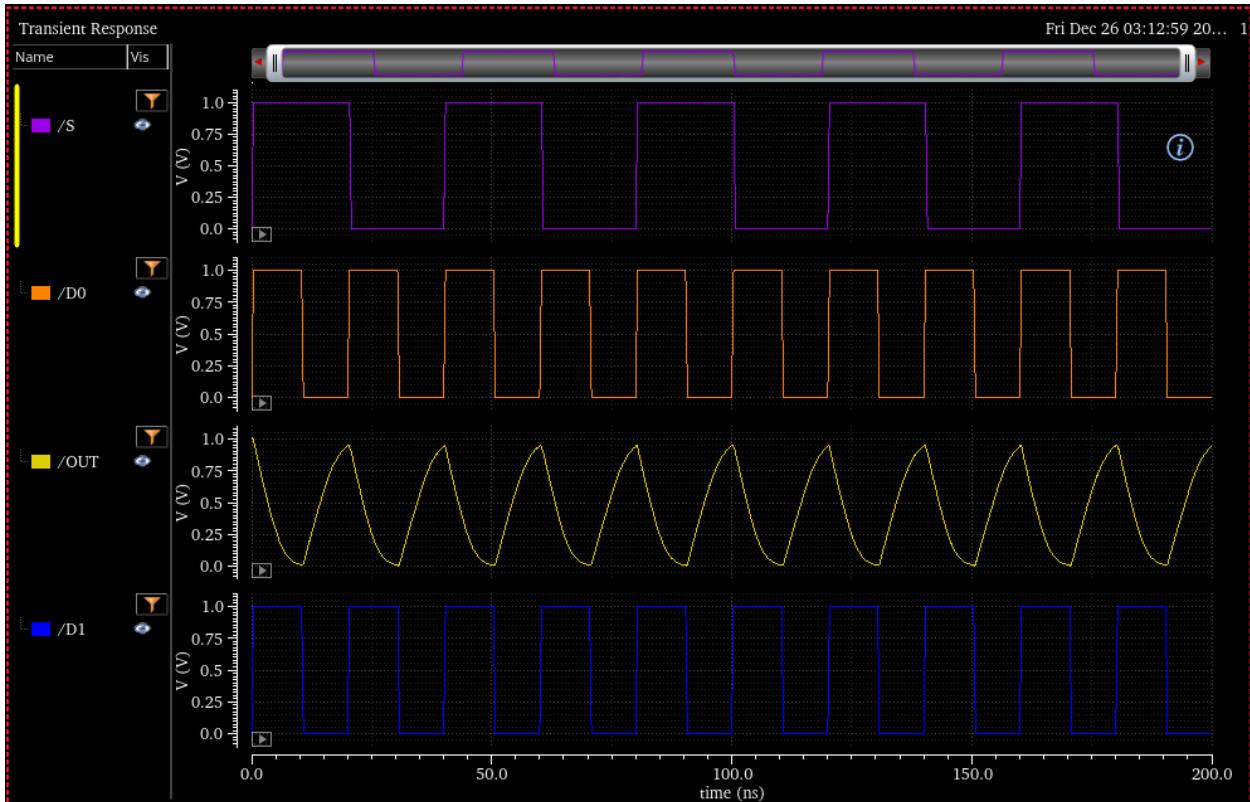
+ Để đo total power, ta setup testbench với các thông số sau:

| Parameters | Value | Component |
|-------------|--------|-----------|
| V_{DD} | 1V | vdc |
| C_{load} | 400 fF | cap |
| Voltage 1 | 0V | vpulse |
| Voltage 2 | 1V | |
| Rise time | 400 ps | |
| Fall time | 400 ps | |
| Delay | 0 ns | |
| Pulse width | 10 ns | |
| Period | 20 ns | |

Table 11 The value for each component.



+ Khi đó dạng sóng thu được như hình bên dưới, ta thấy tất cả xác ngõ vào ra đều được thay đổi mức logic liên tục với rising và falling time lớn, làm tăng cao công suất chuyển mạch, đưa công suất tổng đo được của ta tăng lên, tiến gần hơn với giá trị lý thuyết.



+ Kết quả đo total power:

| | |
|---------|---------|
| P_total | -18.83u |
|---------|---------|

| |
|--------------------------------------|
| average((VT("VDD") * IT("V3/PLUS"))) |
|--------------------------------------|

+ Vậy $P_{dynamic} = 18.83u - 343p = 18.83uW$, gần bằng với giá trị lý thuyết (20uW):

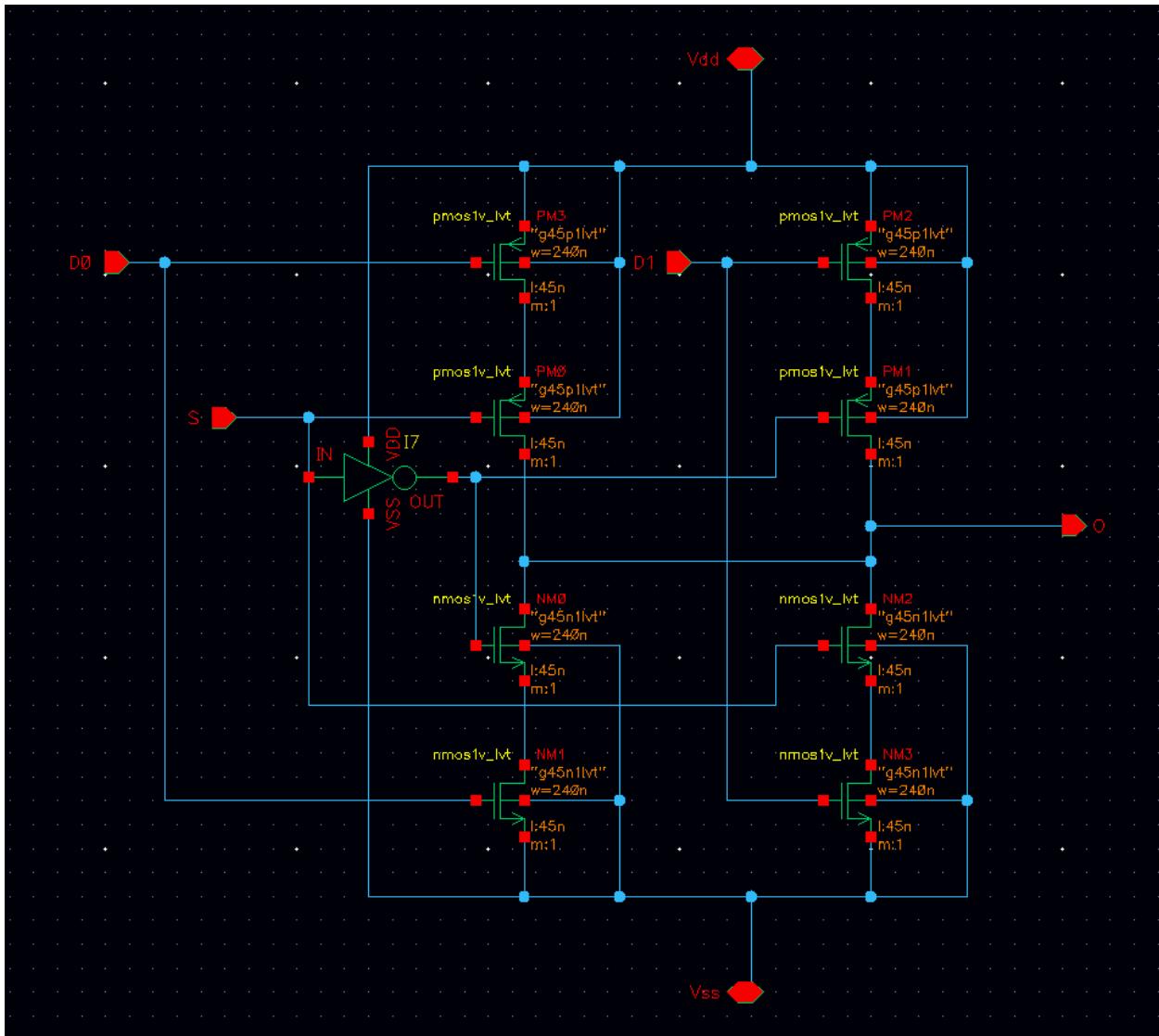
$$P_{dynamic} = C_L V_{DD}^2 f = 400 \times 10^{-15} \times 1 \times \frac{1}{20 \times 10^{-9}} = 20 \mu W$$

- Tóm lại:

| Parameters | Result |
|--|---------|
| t_{rise} – Thời gian tăng của cạnh lên (10% → 90%) | 35.23ps |
| t_{fall} – Thời gian giảm của cạnh xuống (90% → 10%) | 29.76ps |
| t_{pdr} – Độ trễ lan truyền khi điện áp ngō ra tăng (90% → 50%) | 44.67ps |
| t_{pdf} – Độ trễ lan truyền khi điện áp ngō ra giảm (10% → 50%) | 36.74ps |
| t_{pd} – Độ trễ lan truyền trung bình (50% → 50%) | 21.81ps |
| Công suất động (Dynamic power) | 18.83uW |
| Công suất tĩnh (Static power) | 343pW |

4.3. Khảo sát mạch MUX2x1 kiểu 2 (Figure 5c):

- Schematic của công MUX2X1 (5c) cần khảo sát:

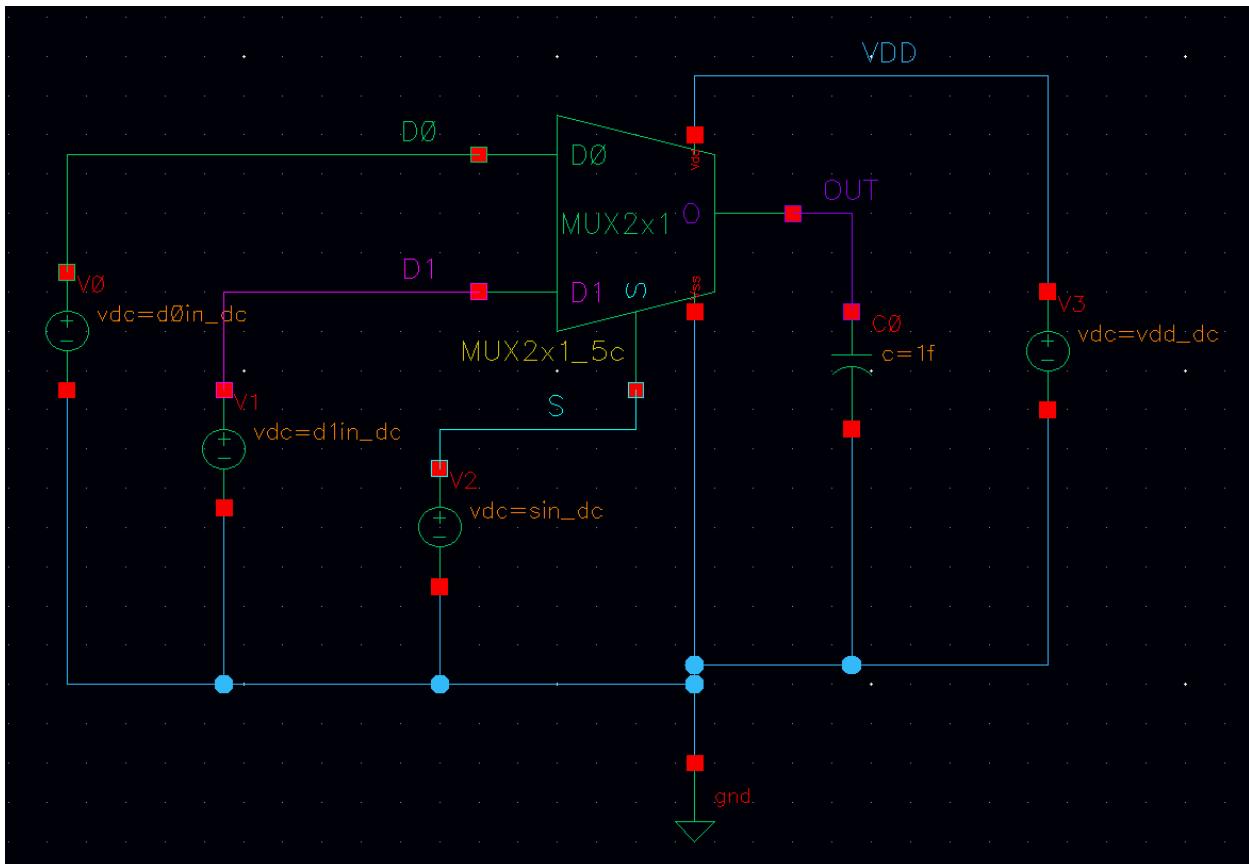


+ Các MOSFET được dùng trong schematic trên được cài đặt các thông số cơ bản như sau:

| Model Name | g45p1lvt | | Model Name | g45n1lvt | |
|--------------|----------|--|--------------|----------|--|
| Multiplier | 1 | | Multiplier | 1 | |
| Length | 45n M | | Length | 45n M | |
| Finger Width | 120n M | | Finger Width | 120n M | |
| Total Width | 240n M | | Total Width | 240n M | |
| Fingers | 2 | | Fingers | 2 | |

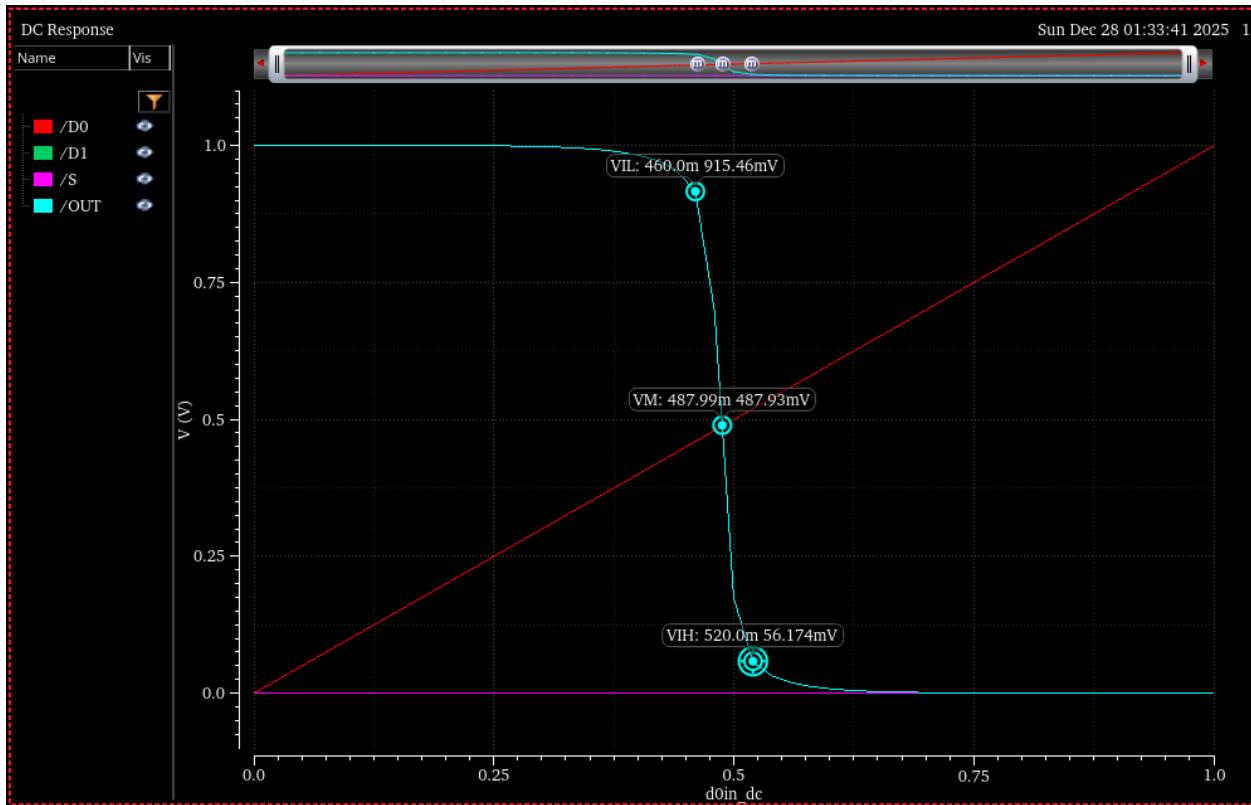
4.3.1. Phân tích DC:

- Ta cài đặt testbench cho công MUX2x1_5b cần khảo sát như sau:



- trường hợp D0 sweep ($D1 = 0, S = 0$):

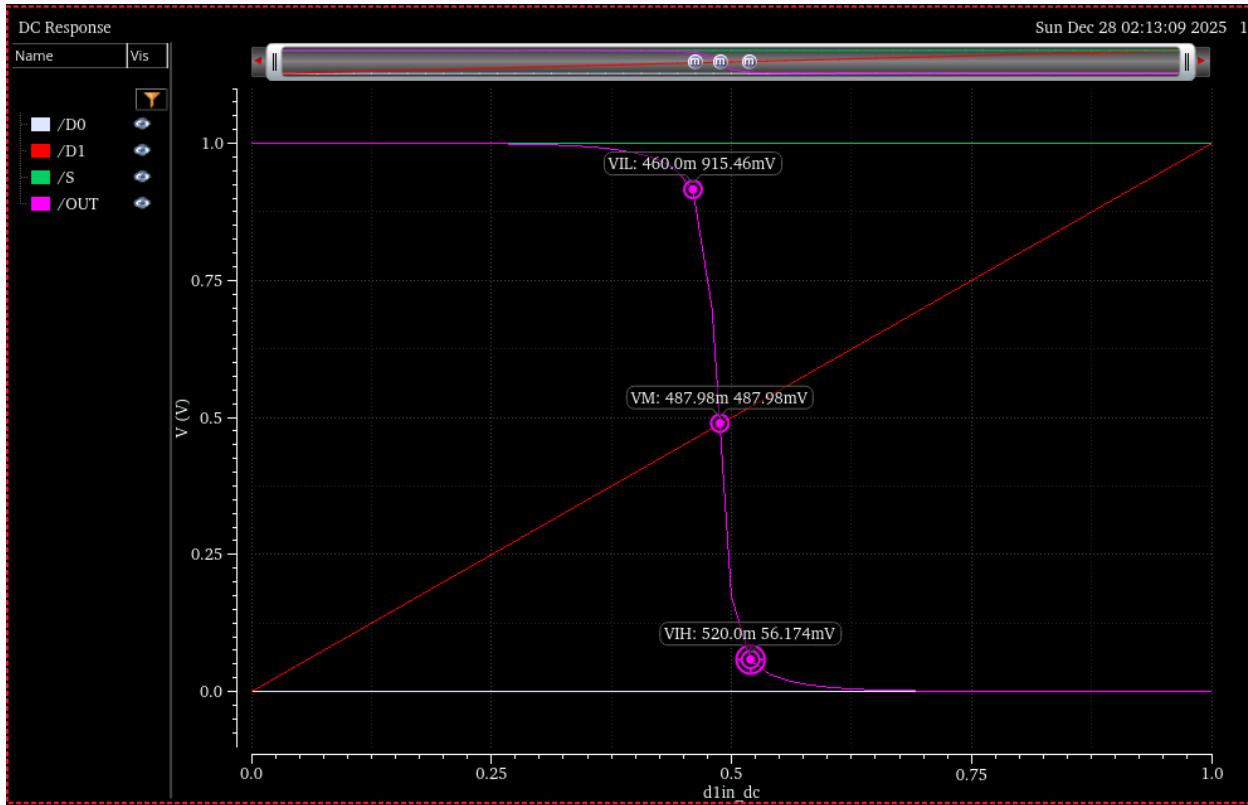
| VD0 (V) | 0 | 0.1 | 0.2 | 0.3 | 0.4 | 0.5 | 0.6 | 0.7 | 0.8 | 0.9 | 1 |
|--------------|---|--------|--------|--------|--------|-------|------|------|-----|-----|---|
| Vout (mV) | 1 | 999.99 | 999.78 | 997.72 | 982.24 | 173.3 | 7.72 | 0.94 | 0 | 0 | 0 |



+ Tại vùng $V_{D0} < V_{IL}$ ($D0 = 0$) và $V_{D0} > V_{IH}$ ($D0 = 1$), các CMOS hoạt động tại chế độ như đã trình bày ở bảng chân trị phần 4.1. Tại vùng $V_{IL} < V_{D0} < V_{IH}$, cả 2 CMOS M1 và M4 hoạt động ở vùng saturation, công suất tăng cao vì dòng điện từ Vdd, O lúc này đi qua cả 4 M1, M2, M3, M4 xuống Vss.

- trường hợp D1 sweep ($D0 = 0$, $S = 1$):

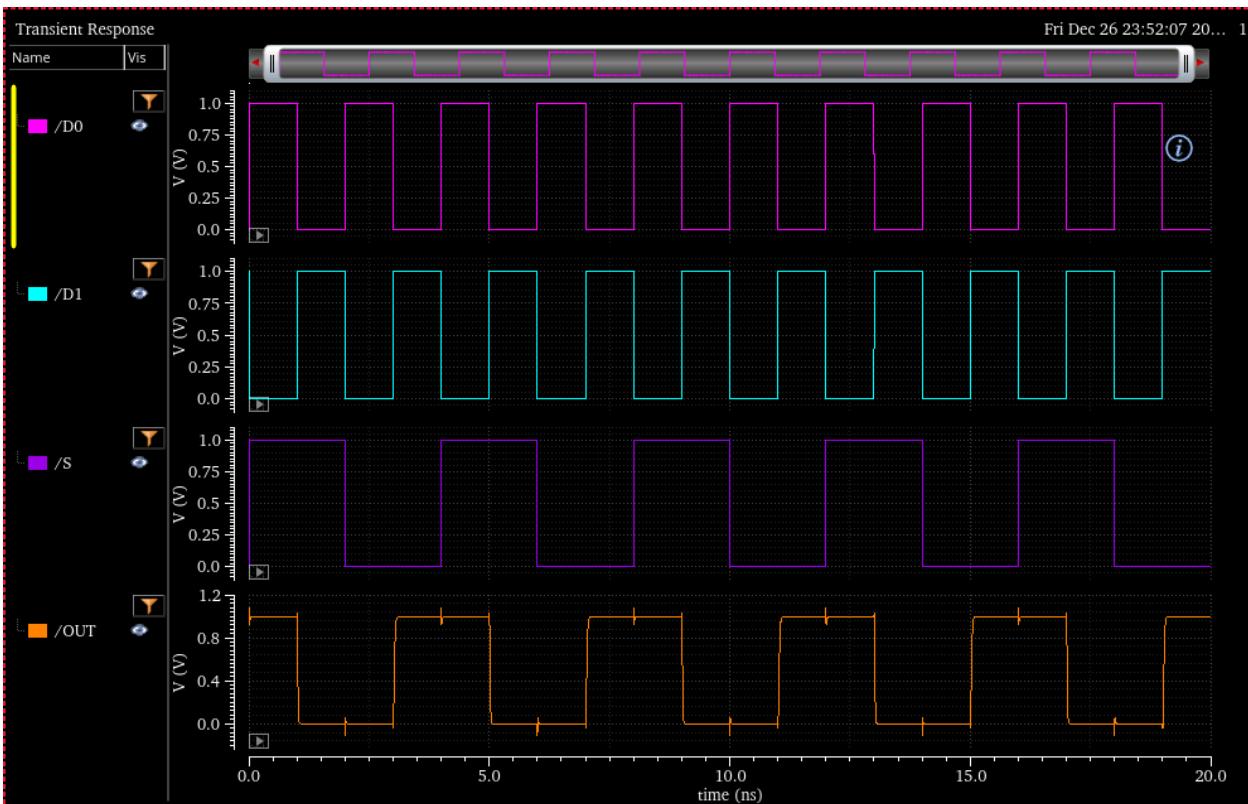
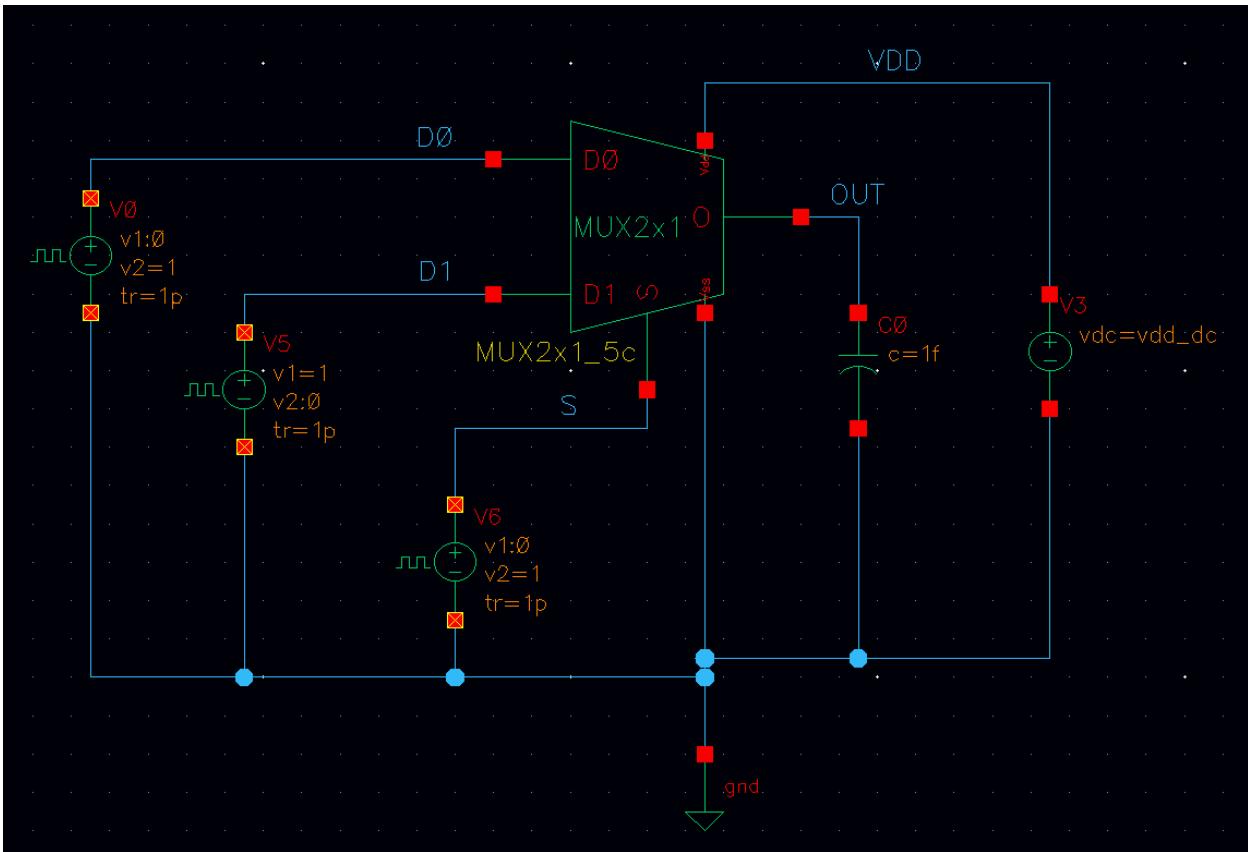
| VD1 (V) | 0 | 0.1 | 0.2 | 0.3 | 0.4 | 0.5 | 0.6 | 0.7 | 0.8 | 0.9 | 1 |
|--------------|---|--------|--------|--------|--------|-------|-------|-------|-----|-----|---|
| Vout (mV) | 1 | 999.99 | 999.78 | 997.72 | 982.24 | 173.3 | 7.724 | 0.984 | 0 | 0 | 0 |



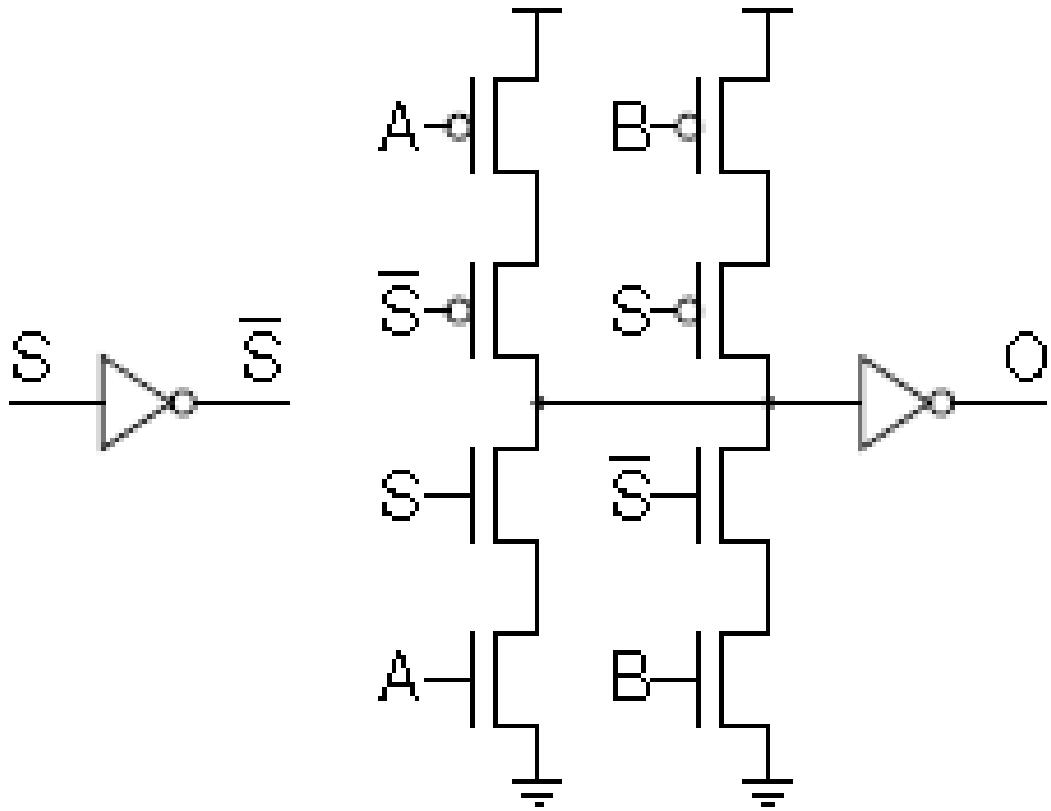
+ Tại vùng $VD1 < VIL$ ($D1 = 0$) và $VD1 > VIH$ ($D1 = 1$), các CMOS hoạt động tại chế độ như đã trình bày ở bảng chân trị phần 4.1. Tại vùng $VIL < VD1 < VIH$, cả 2 CMOS M5 và M8 hoạt động ở vùng saturation, công suất tăng cao vì dòng điện từ Vdd, O lúc này đi qua cả 4 M5, M6, M7, M8 xuống Vss.

4.3.2. Mô phỏng quá độ (transient simulation):

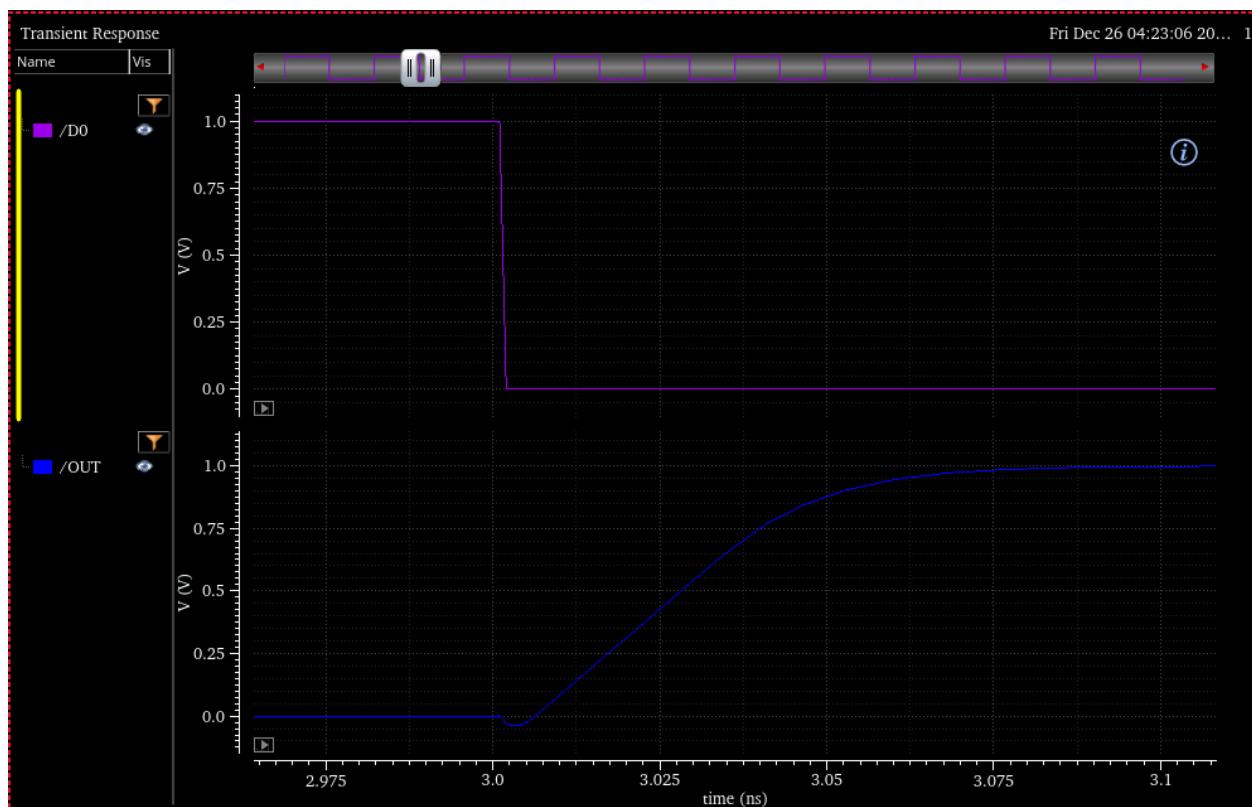
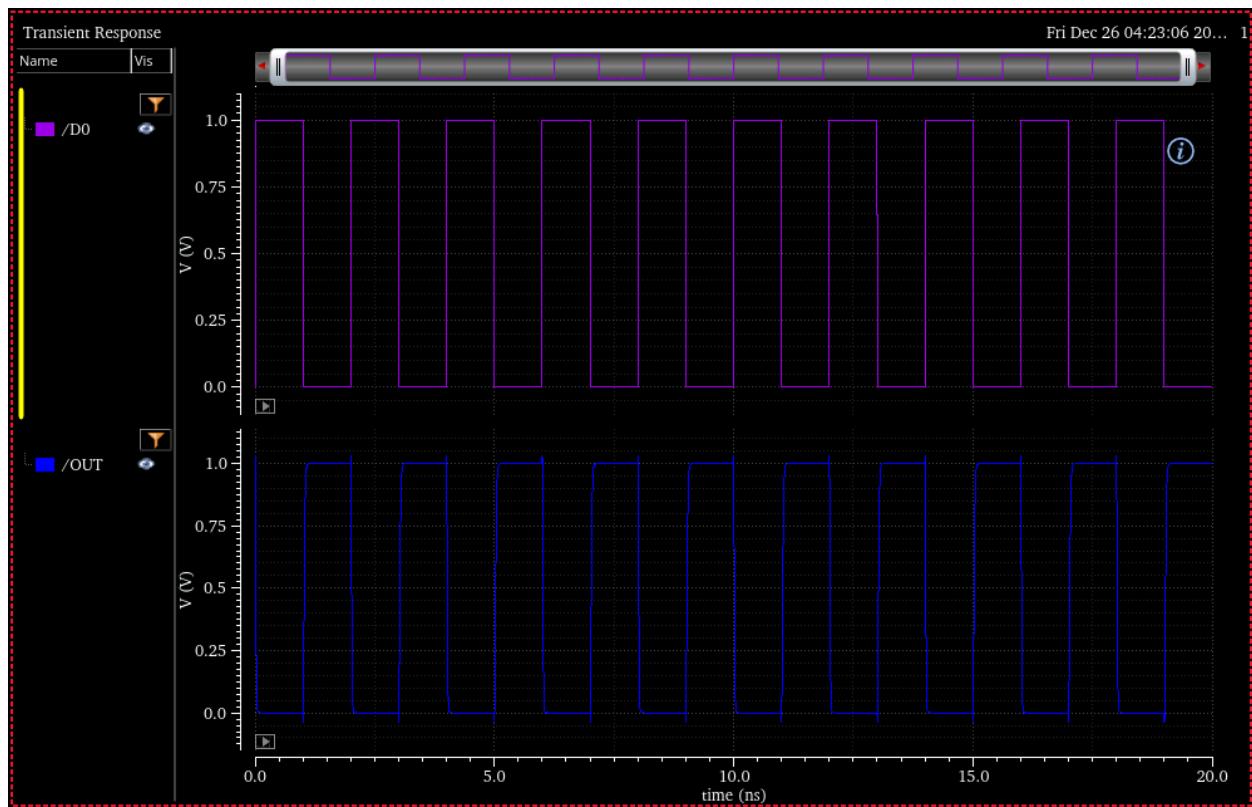
- Trường hợp D0, D1, S là nguồn xung (xác minh thiết kế):

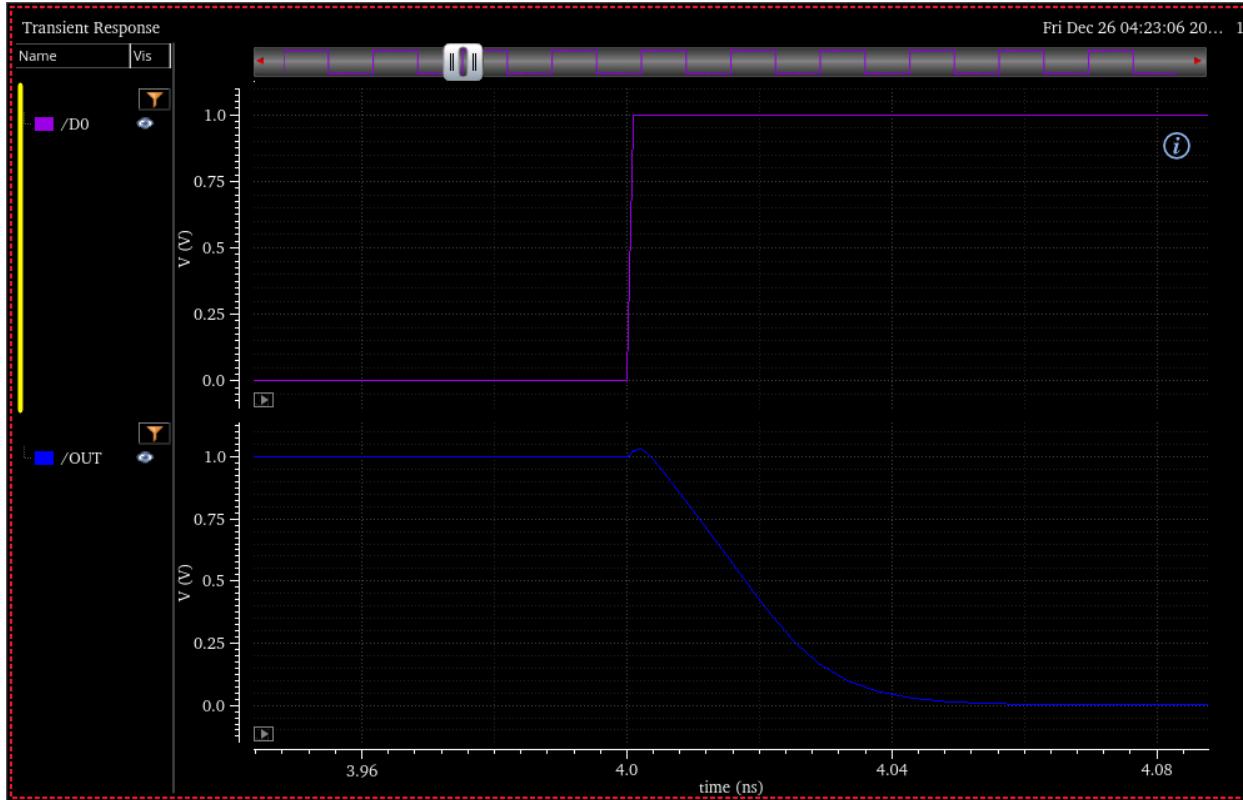


+ Ta thấy rằng cổng MUX trên có hàm ngõ ra như sau: $O = (S)?(\sim D1):(\sim D0)$ điều này là đúng với ý đồ thiết kế ban đầu của đề bài. Trên thực tế, để cổng MUX không đưa ra các giá trị đảo của đầu vào như trên, ta thêm cổng NOT tại ngõ ra O như sơ đồ dưới đây:



- Đo delay:





- Đo delay bằng Calculator:

| | |
|--------|--------|
| t_rise | 42.17p |
| t_fall | 26.87p |
| t_pdr | 51.3p |
| t_pdf | 33.25p |
| t_pd | 22.13p |

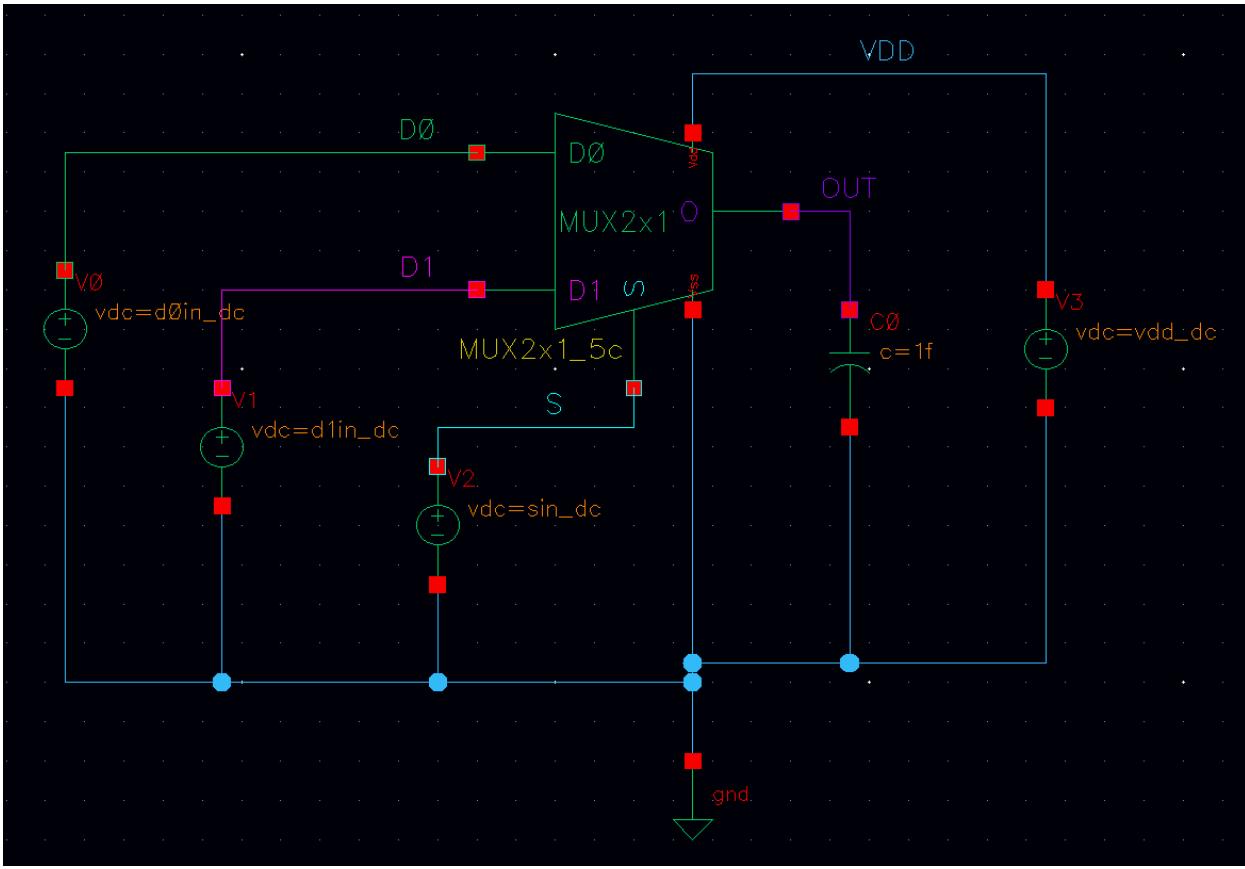
+ Công thức đo:

| | |
|--------|---|
| t_rise | delay(?wf1 VT("/OUT")) ?value1 0.1 ?edge1 "rising" ?nth1 1 ?td1 0.0 ?tol1 nil ?wf2 VT("/OUT") ?value2 0.9 ?edge2 "rising" ?nth2 1 ?tol2 nil ?td2 nil ?stop nil ?multiple nil) |
| t_fall | delay(?wf1 VT("/OUT")) ?value1 0.9 ?edge1 "falling" ?nth1 1 ?td1 0.0 ?tol1 nil ?wf2 VT("/OUT") ?value2 0.1 ?edge2 "falling" ?nth2 1 ?tol2 nil ?td2 nil ?stop nil ?multiple nil) |
| t_pdr | delay(?wf1 VT("/D0")) ?value1 0.5 ?edge1 "falling" ?nth1 1 ?td1 0.0 ?tol1 nil ?wf2 VT("/OUT") ?value2 0.9 ?edge2 "rising" ?nth2 1 ?tol2 nil ?td2 nil ?stop nil ?multiple nil) |
| t_pdf | delay(?wf1 VT("/D0")) ?value1 0.5 ?edge1 "rising" ?nth1 1 ?td1 0.0 ?tol1 nil ?wf2 VT("/OUT") ?value2 0.1 ?edge2 "falling" ?nth2 1 ?tol2 nil ?td2 nil ?stop nil ?multiple nil) |

```
(delay(?wf1 VT("/D0")), ?value1 0.5, ?edge1 "falling", ?nth1 1, ?td1 0.0, ?tol1 nil, ?wf2 VT("/OUT"), ?value2 0.5, ?edge2 "falling", ?nth2 1, ?tol2 nil, ?td2 nil, ?stop nil, ?multiple nil)
+delay(?wf1 VT("/D0")), ?value1 0.5, ?edge1 "rising", ?nth1 1, ?td1 0.0, ?tol1 nil, ?wf2 VT("/OUT"), ?value2 0.5, ?edge2 "rising", ?nth2 1, ?tol2 nil, ?td2 nil, ?stop nil, ?multiple nil))/2
```

- Đo công suất:

+ Static power:



$$i(A) = -3.42997e-10$$

$$pwr(W) = -3.42997e-10$$

$$v(V) = 1$$

+ Vậy $P_{static} = 343\text{pW}$. Ta thấy, tại trạng thái tĩnh công CMOS MUX hầu như không tiêu thụ công suất.

- Đo dynamic power:

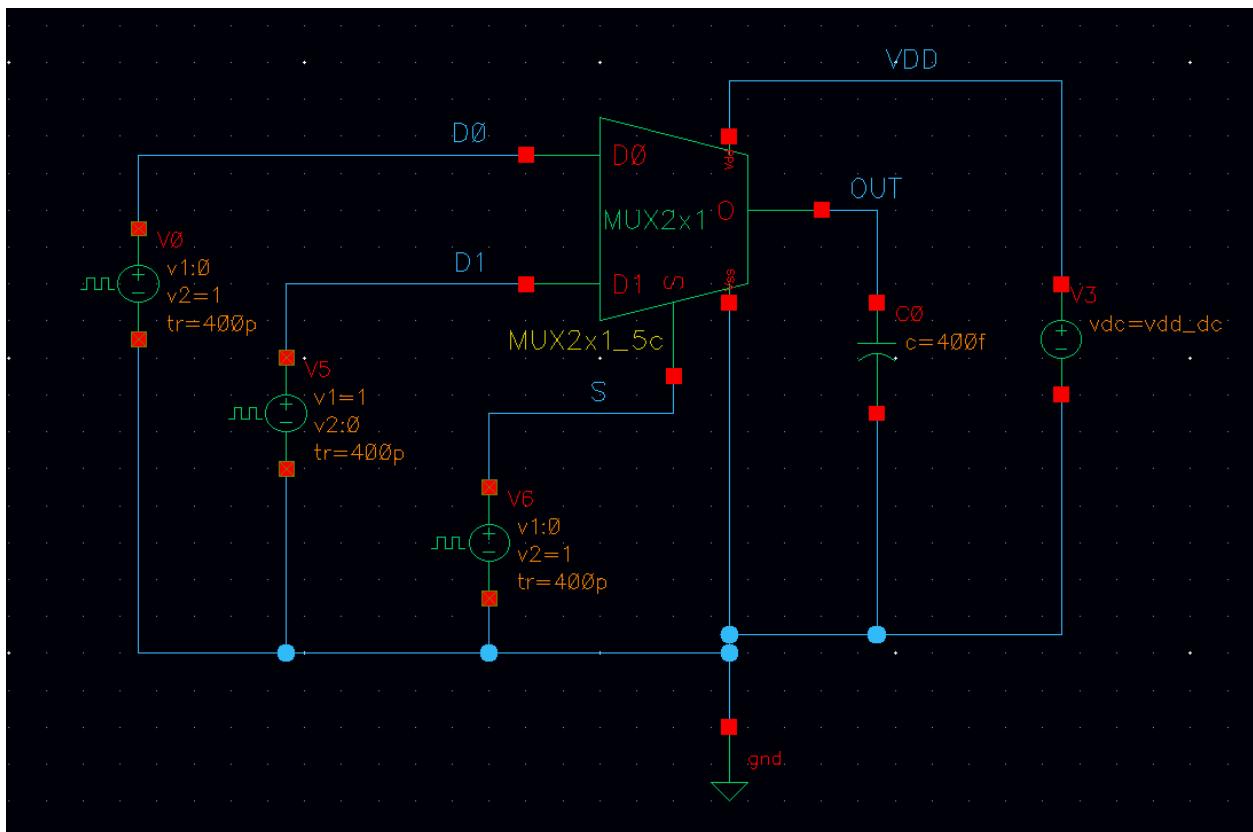
+ Ta chọn cách đo dynamic power gián tiếp qua total power với phương trình:

$$P_{dynamic} = P_{total} - P_{static}$$

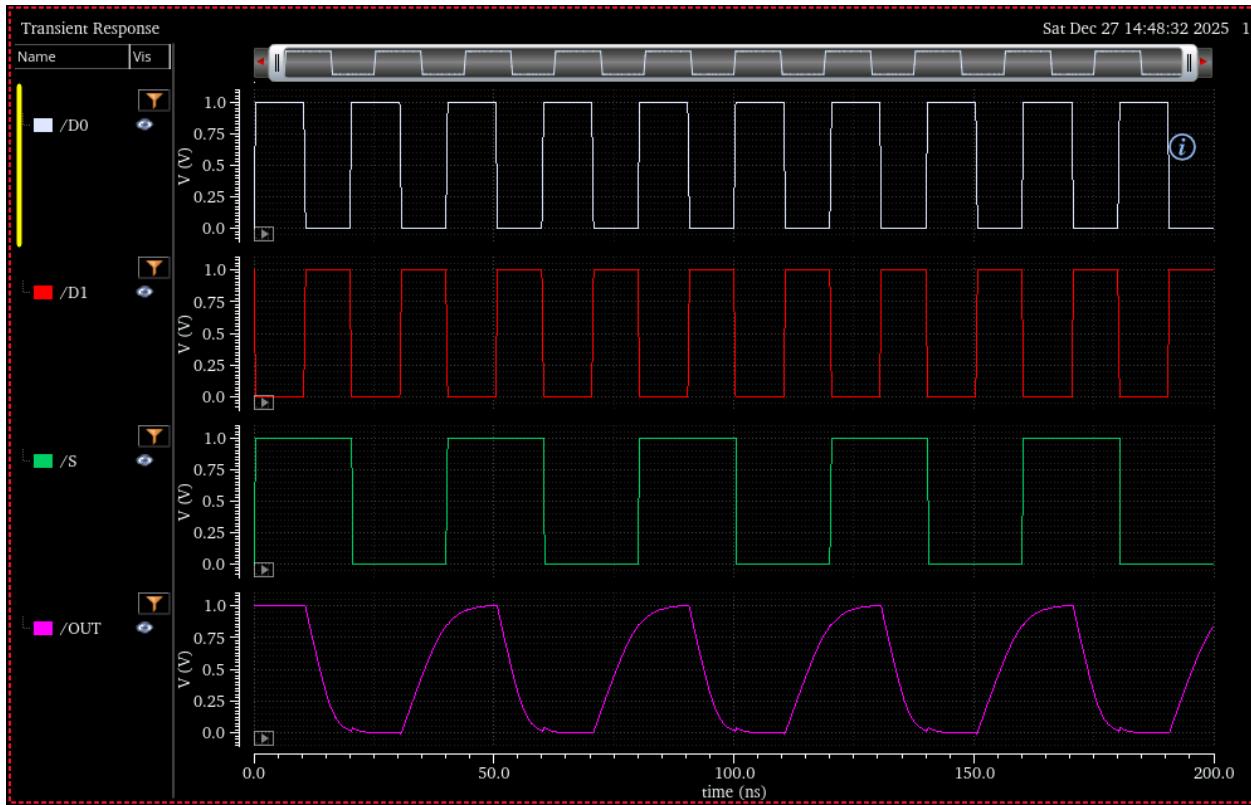
+ Để đo total power, ta setup testbench với các thông số sau:

| Parameters | Value | Component |
|-------------|--------|-----------|
| V_{DD} | 1V | vdc |
| C_{load} | 400 fF | cap |
| Voltage 1 | 0V | vpulse |
| Voltage 2 | 1V | |
| Rise time | 400 ps | |
| Fall time | 400 ps | |
| Delay | 0 ns | |
| Pulse width | 10 ns | |
| Period | 20 ns | |

Table 11 The value for each component.



+ Khi đó dạng sóng thu được như hình bên dưới, ta thấy tất cả xác ngõ vào ra đều được thay đổi mức logic liên tục với rising và falling time lớn, làm tăng cao công suất chuyển mạch, đưa công suất tổng đo được của ta tăng lên, tiến gần hơn với giá trị lý thuyết.



+ ta dùng Virtuoso Calculator để đo và thu được kết quả như sau:

average(IT("V3/PLUS")*VT("VDD"))

| | |
|---------|---------|
| P_total | -16.93u |
|---------|---------|

+ Vậy $P_{dynamic} = 16.93u - 343p = 16.93uW$, gần bằng với giá trị lý thuyết (20uW):

$$P_{dynamic} = C_L V_{DD}^2 f = 400 \times 10^{-15} \times 1 \times \frac{1}{20 \times 10^{-9}} = 20\mu W$$

- Tóm lại:

| Parameters | Result |
|------------|---------|
| t_rise | 42.17ps |
| t_fall | 26.87ps |
| t_pdr | 51.3ps |
| t_pdf | 33.25ps |
| t_pd | 22.13ps |

| | |
|---------------|---------|
| Dynamic power | 16.93uW |
| Static power | 343pW |

4.4. So sánh 2 mạch MUX2x1 đã khảo sát:

| Parameters | MUX 5b | MUX 5c |
|---------------|---------|---------|
| t_rise | 35.23ps | 42.17ps |
| t_fall | 29.76ps | 26.87ps |
| t_pdr | 44.67ps | 51.3ps |
| t_pdf | 36.74ps | 33.25ps |
| t_pd | 21.81ps | 22.13ps |
| Dynamic power | 18.83uW | 16.93uW |
| Static power | 343pW | 343pW |

- Như ta thấy MUX5b có t_rise và t_pdr nhanh hơn MUX5c nhưng 5c lại nhỉnh hơn về t_fall và t_pdf. Tuy vậy trễ lan truyền trung bình của MUX5c > MUX5b cho thấy nó kém hơn về đặc tính thiết kế. Bù lại MUX5c lại tiêu tốn ít năng lượng hơn khi chuyển mạch. Vậy ta có thể kết luận 2 MUX trên đều là thiết kế hiệu quả tùy trong trường hợp mà nó được sử dụng.

- Static power của 2 MUX là tương đương nhau.

5. KẾT LUẬN