

Bài thi hết môn

KIẾN TRÚC MÁY TÍNH

K51 – Công nghệ Thông tin, lần I

Thời gian : 60 phút, không kể thời gian phát đề.

Tất cả các tài liệu cá nhân dưới dạng giấy đều được phép sử dụng, cấm trao đổi tài liệu !

Chú ý phân bố thời gian làm bài hợp lý. Các chỉ dẫn thời gian mỗi câu chỉ có tính gợi ý !

Bài 1.

(1 điểm, ~5 phút)

Phép tính cuối trong ALU 8 bits, sử dụng hình thức biểu diễn bù 2 cho số nguyên, là **-127-128**. Phát biểu nào là chính xác trong số những phát biểu sau về những bit trong thanh ghi trạng thái:

- Overflow bit = 1, Carry Bit = 1, Zero Bit = 0, Sign Bit = 1.
- Overflow bit = 1, Carry Bit = 0, Zero Bit = 0, Sign Bit = 1.
- Overflow bit = 1, Carry Bit = 1, Zero Bit = 0, Sign Bit = 1.
- Overflow bit = 0, Carry Bit = 1, Zero Bit = 0, Sign Bit = 1.

Bài 2.

(1 điểm, ~5 phút)

Trong một pipeline gồm 4 tầng, mỗi tầng thực thi lệnh trong t đơn vị thời gian. Thời gian cần thiết để thực thi trọn vẹn 4 lệnh là ? (bỏ qua phụ thuộc dữ liệu và rẽ nhánh)

- 16t
- 9t
- 7t
- 6t

Bài 3.

(2 điểm, ~10 phút)

Xét bộ nhớ DDR3 SDRAM có xung nhịp đồng hồ bộ nhớ là 200MHz, hãy tính thông lượng tối đa mà bộ nhớ này có thể đạt được nếu mỗi từ nhớ có dung lượng là 32bits ?

Bài 4.

(3 điểm, ~15 phút)

Giả sử hiện thời không gian bộ nhớ chính của máy điện toán có nội dung một phần như sau :

Địa chỉ	Nội dung (hexa)
0x00010000	: 0001 0000 0010 A000
0x00010001	: 0002 0000 0011 00B0
0x00010002	: 0001 0000 0011 00B0

Tại thời điểm xem xét, thanh ghi PC của bộ vi xử lý mang giá trị (0001 0000)_H

- Hãy vẽ biểu đồ luồng dữ liệu dịch chuyển thể hiện tương tác giữa bộ vi xử lý và bộ nhớ chính trong quá trình thực hiện tải lệnh kế tiếp ?
- Xác định rõ các giá trị cụ thể của các thanh ghi điều khiển cơ bản trong CPU ?

Bài 5.

(3 điểm, ~15 phút)

Giả sử một CPU có 2 bộ pipeline: một dành cho các lệnh LOAD/STORE và rẽ nhánh, gọi chương trình con, gồm 3 tầng [FI, DI, EI]; một dành cho các lệnh xử lý dữ liệu gồm 4 tầng [FI, DI, EI, WO]. Những lệnh rẽ nhánh vô điều kiện (unconditional branches) được xác định tại thời điểm kết thúc tầng DI, trong khi những lệnh rẽ nhánh có điều kiện (conditional branches) chỉ được xác định khi kết thúc tầng EI.

Các loại lệnh được phân bố trung bình như sau: 50% lệnh là lệnh xử lý dữ liệu, còn lại là các lệnh rẽ nhánh, gọi chương trình con. Trong số các lệnh rẽ nhánh, có đến 65% là lệnh nhảy có điều kiện (trong số đó có 80% được thi hành phép nhảy).

- Xác định số chu kỳ (cycles) trung bình đối với một lệnh (CPI) của CPU này nếu như bỏ qua vấn đề phụ thuộc dữ liệu và rẽ nhánh giữa các lệnh.
- Trong trường hợp phụ thuộc dữ liệu được bỏ qua, hãy tính CPI nếu pipeline sử dụng phương pháp “Predict always taken”? phương pháp “Predict never taken”?

Bài thi hết môn

KIẾN TRÚC MÁY TÍNH

K51 – Công nghệ Thông tin, lần II.

Thời gian : 60 phút, không kể thời gian phát đề.

Tất cả các tài liệu cá nhân dưới dạng giấy đều được phép sử dụng, cấm trao đổi tài liệu !

Chú ý phân bố thời gian làm bài hợp lý. Các chỉ dẫn thời gian mỗi câu chỉ có tính gợi ý !

Bài 1.

(1 điểm, ~5 phút)

Một máy điện toán có bộ nhớ 2GB được đánh địa chỉ theo từ nhớ 32bits và một bộ nhớ cache có dung lượng 1MB sử dụng phương thức ánh xạ trực tiếp. Địa chỉ một từ nhớ sẽ được phân thành các trường như thế nào nếu kích thước mỗi block là 16 từ nhớ ?

- Tag = 9bits, Index = 16bits và Block = 4bits.
- Tag = 13bits, Index = 12bits và Block = 4bits.
- Tag = 11bits, Index = 14bits và Block = 4bits.
- Tag = 18bits, Index = 10bits và Block = 4bits.

Bài 2.

(1 điểm, ~5 phút)

Có thể xây dựng tập lệnh 8 bits trong đó bao gồm 3 lệnh có format 2 địa chỉ và 8 lệnh có format 1 địa chỉ, mỗi trường địa chỉ có kích thước 3bits, được không ?

- Có
- Tuỳ thuộc vào kích thước bộ nhớ chính
- Không

Bài 3.

(1 điểm, ~5 phút)

Giả sử thanh ghi PC của CPU chứa địa chỉ A1, và tại địa chỉ này chứa lệnh I cần một toán hạng. Địa chỉ của toán hạng này là A3. Để truy cập đến địa chỉ này, lệnh I chứa thêm một phần xác định địa chỉ A2. Thanh ghi chỉ mục (index) của CPU chứa giá trị A4. Hãy xác định mối quan hệ giữa các địa chỉ trên nếu tập lệnh CPU sử dụng cơ chế đánh địa chỉ dịch chuyển dựa trên thanh ghi chỉ mục?

Bài 4.

(2 điểm, ~10 phút)

Giả sử máy tính RISC với các lệnh thực thi qua 2 pha : Fetch và Execute, ngoại trừ những lệnh load/store cần thêm pha Memory (M). Xét đoạn mã sau:

- LOAD A, M1
- LOAD B, M2
- ADD C, A, B
- STORE C, M3
- BRANCH M4

Trong đó M1, M2, M2, M4 là địa chỉ các từ nhớ. Hãy vẽ biểu đồ thời gian thể hiện việc thực thi đoạn mã trên trong bộ pipeline đã cho ? Xác định số chu kỳ cần thiết để thực thi đoạn mã trên? Giả thiết mỗi pha thi hành cần 1 chu kỳ.

Bài 5.

(2 điểm, ~10 phút)

Hãy so sánh các đặc trưng cơ bản về tập lệnh của những máy điện toán kiểu RISC và kiểu CISC?

Bài 6.

(3 điểm, ~15 phút)

Xét đoạn mã lệnh viết bằng ngôn ngữ C dưới đây, được thi hành trên computer có bộ nhớ cache dung lượng 2MB sử dụng phương pháp ánh xạ kết hợp và mỗi block có kích thước 16 bytes.

```
register int i,j ;           //i, j được lưu trong các thanh ghi
int A[5][50] ;              // int là kiểu tự nhiên độ lớn 32 bits
int B[6][101] ;

for (i=0 ; i<5 ; i++)
    for (j=0 ; j<50; j++)
        A[i][j] = B[j*2][4] * B[j*2+1][4] ;
```

Hãy tính số lần thất bại, *cache miss*, khi đoạn mã này được thi hành, giả sử ban đầu bộ nhớ cache chưa sử dụng bất kỳ slot nào? Giải thích rõ các bước tính toán trong quá trình đánh giá.

KIẾN TRÚC MÁY TÍNH

Thời gian : 60 phút, không kể thời gian phát đề. Cấm sử dụng tài liệu !

1. Trình bày vắn tắt vai trò và chức năng chính của các thành phần chính trong máy tính (computer).
2. Chu trình lệnh bao gồm những trạng thái cơ bản nào ? Mô tả luồng dữ liệu trong quá trình diễn ra chu trình tải lệnh.
3. Giả sử thanh ghi PC chứa giá trị địa chỉ A1, và tại địa chỉ này chứa lệnh I cần một toán hạng. Địa chỉ của toán hạng này là A3. Để truy cập đến địa chỉ này, lệnh I chứa thêm một phần xác định địa chỉ A2. Thanh ghi chỉ mục (index) của CPU chứa giá trị A4. Hãy xác định mối quan hệ giữa các địa chỉ trên nếu tập lệnh CPU sử dụng cơ chế đánh địa chỉ sau:
 - a- gián tiếp qua bộ nhớ?
 - b- gián tiếp qua thanh ghi ?
 - c- dịch chuyển dựa trên thanh ghi chỉ mục?
 - d- dịch chuyển dựa trên thanh ghi PC
4. Một máy tính có tần số xung nhịp CPU là 3GHz thi hành 1 chương trình bao gồm 5 tỷ lệnh. Số lệnh này gồm 20% lệnh rẽ nhánh, 10% lệnh lưu trữ dữ liệu (store), 20% lệnh tải lệnh/dữ liệu (load), và 50% lệnh số học+logic (ALU). Chỉ số trung bình IPC là 1 đối với lệnh rẽ nhánh, 0.5 với lệnh load, 1 với lệnh store, và 2 với các lệnh ALU. Hãy tính thời gian thực thi chương trình này?
5. Xét đoạn mã lệnh dưới đây được thi hành trên một computer có bộ nhớ cache kết hợp theo tập 2 block (2-way set associative), bao gồm 64 tập (sets)

0x0000FFF8		addi	r2, r0, #40000
0x0000FFFC		addi	r4, r0, #32768
0x00010000	B:	lw	r1, 0(r2)
0x00010004		subi	r4, r4, #1
0x00010008		addi	r2, r2, #4
0x0001000C		sw	-4(r2), r1
0x00010010		subi	r2, r2, #4
0x00010014		bnez	r1, B
0x00010018		nop	

Với hai chính sách ghi writethrough và writeback, chính sách ghi nào mang lại hiệu năng computer cao hơn đối với đoạn mã lệnh trên ? Giải thích ngắn gọn, rõ ràng lựa chọn đó !

KIẾN TRÚC MÁY TÍNH

Thời gian : 90 phút, không kể thời gian phát đề. Cấm sử dụng tài liệu !

1. Trình bày các chức năng chính của máy tính và mối liên hệ giữa chúng.
2. Hãy xây dựng một thành phần nhớ có dung lượng 4GB từ những chip nhớ cơ bản thỏa các yêu cầu sau :

- a. Chip nhớ có dung lượng 512MB, được tổ chức theo mô hình 8K x 8K x 64(bits)
- b. Mỗi từ nhớ có kích thước 64 bits

3. Bộ nhớ cache kết hợp theo tập (set-associative cache) cho phép phân địa chỉ bộ nhớ từ CPU thành các trường như sau:

16 bits	10 bits	6 bits
Tag	Index	Offset

- a. 16 bits đầu tiên của trường Tag sẽ được sử dụng như thế nào ?
- b. Tính số tập của bộ nhớ cache này.
- c. Liệu có thể xác định được độ lớn của bộ nhớ cache này hay không ? Giải thích rõ câu trả lời

4. Tập lệnh của một CPU với kiến trúc sử dụng hai formats lệnh sau :

- Kiểu lệnh A (store, load (fetch), branches và jumps) :

6 bits	4 bits	32 bits
OpCode	Rs/Rd	Immediate

- Kiểu lệnh B (ALU Operations):

6 bits	4 bits	4 bits
OpCode	Rs	Rd

- a. Tính số thanh ghi registers có thể có của kiến trúc này.
- b. Tính số kết hợp Lệnh/kiểu_đánh_địa_chỉ đối với kiến trúc này.
- c. Nếu chỉ sử dụng một format lệnh có độ dài cố định đối với tập lệnh của bài toán này, độ dài của format đó sẽ là bao nhiêu bits ?

5. Một chương trình test bao gồm 5000 lệnh, thực thi trong máy tính có CPI cho các lệnh thao tác với các số nguyên là 1 và 4 cho các lệnh thao tác với các số thực. Nếu CPI trung bình cho máy tính này là 1.9, hãy tính số lệnh nguyên trong chương trình này.

KIẾN TRÚC MÁY TÍNH

Thời gian : 90 phút. Được sử dụng tài liệu cứng, cấm trao đổi! K53

1. Xét máy tính có bộ nhớ cache, bộ nhớ chính và đĩa cứng (được sử dụng để tạo bộ nhớ ảo). Thời gian truy xuất trung bình (đọc/ghi) đối với bộ nhớ cache là 10ns, với bộ nhớ chính là 100 ns và với đĩa cứng là 10.000ns. Giả sử tỷ lệ *cache hit* là 0.8, tỷ lệ *memory hit* (xác suất từ nhớ nằm trong bộ nhớ chính thay vì phải truy xuất đĩa cứng) là 0.7. Hãy tính thời gian truy xuất trung bình đến một từ nhớ trong hệ thống máy tính này?

2. Xét bộ nhớ chính gồm 64 blocks (được gán nhãn từ 0 đến 63) và bộ nhớ cache gồm 16 slots (được gán nhãn từ 0 đến 15). Với phương pháp ánh xạ kết hợp theo 2 tập (2-way set associativity), những slots nào của cache có thể chứa block 31 của bộ nhớ chính?

3. Xét bộ nhớ DDR3 SDRAM với xung nhịp đồng bộ bộ nhớ là 400MHz. Hãy tính thông lượng tối đa với bộ nhớ này nếu mỗi từ nhớ có dung lượng là 32 bits.

4. Sau khi thực thi phép tính 127-128 trong CPU có ALU 8bits, sử dụng hình thức biểu diễn bù 2 với số nguyên, hãy xác định trạng thái các bits sau trong thanh ghi flag: overflow, carry, zero và sign?

5. Xét chuỗi lệnh thực thi trong CPU sau:

DIV r2, r5, r8	; r2 <- r5 / r8
SUB r9, r2, r7	; r9 <- r2 - r7
AND r5, r14, r6	; r5 <- r14 & r6
MUL r11, r9, r5	; r11 <- r9 * r5
BEQ r10, #0, r12	; if (r10=0) goto r12
OR r8, r15, r2	; r8 <- r15 r2

Hãy xác định tất cả các phụ thuộc dữ liệu trong việc thực thi chuỗi lệnh trên với cơ chế pipeline gồm 3 tầng [FI, DI, EX] với các lệnh rẽ nhánh/load/store và 4 tầng với các lệnh tính toán ALU [FI, DI, EX, WO]? Vẽ biểu đồ thời gian thực thi các lệnh trên sau khi bổ xung các lệnh NOP để không còn phụ thuộc dữ liệu.

KIẾN TRÚC MÁY TÍNH

Thời gian : 90 phút. Cấm sử dụng tài liệu!

1. Xét máy tính sử dụng một bộ vi xử lý 32bits, độ rộng bus dữ liệu là 64, bus địa chỉ là 32. Xác định dung lượng bộ nhớ vật lý tối đa mà hệ điều hành có thể khai thác sử dụng được đối với máy tính này ?
2. Hãy vẽ biểu đồ khối phân cấp bộ nhớ? Thiết bị lưu trữ ngoài kiểu SSD sử dụng hình thức truy cập nào? Nếu máy tính có 2 mức cache L1 với thời gian truy cập 1 đơn vị thời gian, L2 là n đơn vị; bộ nhớ chính có thời gian truy cập rất lớn; hãy chứng minh rằng để thời gian truy cập trung bình bộ nhớ của máy tính này không vượt quá 2 đơn vị thì tỷ lệ hit ở L1 không thể bé hơn $(1 - 1/n)$.
3. Xét hệ thống có bộ nhớ cache gồm 4 slots, sử dụng phương pháp ánh xạ kết hợp, và bộ nhớ chính có 16 blocks. Ban đầu cache rỗng và thi hành chương trình cần truy xuất đến các blocks có địa chỉ 0, 3, 5, 3, 4, 6, 8, 5, 7. Hãy xác định chiến thuật thay thế (LRU, LFU và FIFO) nào là tốt nhất trong bài toán này?
4. Xét chuỗi lệnh thực thi trong CPU sau:
LOAD r1, A
LOAD r2, B
SUB r1, r2 ; r1 ← r1 - r2
BEQ r1, r3 ; if (r1=0) goto r3
MUL r2, r1 ; r2 ← r2 * r1
STORE r2, C
 - a. Xác định chiến thuật xử lý dữ liệu của kiến trúc CPU này?
 - b. Hãy xác định tất cả các phụ thuộc dữ liệu trong việc thực thi chuỗi lệnh trên với cơ chế pipeline gồm 3 tầng [I, E, D] với các lệnh load/store và 2 tầng với các lệnh còn lại [I, E]?
 - c. Vẽ biểu đồ thời gian thực thi các lệnh trên sau khi bổ xung các lệnh NOOP để không còn phụ thuộc dữ liệu.
5. Vẽ và giải thích rõ biểu đồ luồng dữ liệu khi tải một toán hạng vào thanh ghi R trong CPU với phương pháp đánh địa chỉ gián tiếp qua bộ nhớ chính?

