

비밀

## 공동 개발 계약서

경기도 화성시 반월동 산16번지에 주사무소를 두고 있는 삼성전자 주식회사 (이하 "삼성전자"라 칭함)와 경기도 평택시 지체동 33번지에 주사무소를 두고 있는 아이피에스 주식회사("아이피에스")는, 2006년 1월 1일 ("계약발효일")부로 다음과 같이 공동개발 계약을 체결한다.

### 제 1 조 (개발목표 및 개발기간)

삼성전자와 아이피에스는 300mm TaCN 공정 대응 목적으로 별첨 1에 명시된 역할 분담 및 일정에 따라 별첨 2의 개발목표를 만족시키는 CVD Chamber를 공동 개발하고자 한다. 본 개발의 기간은 계약발효일부터 16개월(2006년 1월 1일 ~ 2007년 4월 30일)로 하되, 개발기간의 수정이 필요하다고 판단되는 경우 삼성전자와 아이피에스는 서면합의를 통하여 그 기간을 수정할 수 있다.

### 제 2 조 (개발결과에 대한 보고 및 기술지원)

- (1) 양사는 본 계약기간 중 발생하는 정보 및 개발결과 중 필요한 사항을 상호 공유하고 평가 및 보완을 요청할 수 있다.
- (2) 양사는 본 개발의 수행을 위하여 상호간 기술정보를 제공하며, 양사는 개발 책임자를 각각 선임하여 개발수행 및 발생 문제점을 해결하기 위하여 기술회의를 소집, 필요한 정보를 교환하도록 한다. 기술회의에 대한 일시, 안건 등 세부사항은 양사 개발책임자가 협의하여 결정한다.

### 제 3 조 (비밀보장 및 제 3자 협력)

- (1) 양사는 본 계약 내용 및 본 계약과 관련하여 상대방으로부터 취득한 기술정보를 포함한 비밀 정보를 본 개발의 목적외에 다른 목적으로 사용할 수 없으며, 본 계약기간 및 종료일로부터 3년간 상대방의 사전 서면동의 없이 제 3자에게 공개할 수 없다.

- (2) 전 항의 의무 위반으로 인하여 입은 일체의 손해는 위반당사자가 상대방에게 배상하여야 한다.

#### 제 4 조 (지적재산권의 귀속)

- (1) 본 계약의 개발 제품과 관련하여 계약기간 중 획득한 지적 재산권에 대해서는 발명자 우선주의에 따라 양사가 각각 독자적으로 개발한 지적재산권은 각 사 독자 소유로 하며 양사가 공동으로 개발한 지적재산권은 공동 소유로 한다.
- (2) 각 사는 본 계약하의 개발결과물에 관련된 독자 소유 지적재산에 대해 상호간에 라이선스가 필요한 경우, 상호 합의 하에 지적재산권을 허여할 수 있다. 지적재산권 허여에 따른 세부 조건은 별도의 계약을 통하여 결정되어진다.

#### 제 5 조 (특허 라이선스)

- (1) 삼성전자는 아이피에스에게 별첨 3의 특허 클레임에 명시된 TaCN 공정 관련 국·내외에서 판매, 생산 및 위탁생산 가능한 통상실시권을 허여한다.
- (2) 아이피에스는 제 3자에게 개발결과물을 공급하여 매출이 발생하였을 경우, 삼성전자의 TaCN 공정 특허에 대한 실시권 허여의 대가로 매출 발생시점으로부터 5년간 삼성전자에 아래와 같은 조건으로 기술료를 지급하여야 한다. 단, 5년이 경과하기 이전에 100대가 판매되면 100대가 판매된 시점까지만 기술료를 지급하는 것으로 한다.
- ① 1 ~ 5대 : 대당 2천만원 (₩20,000,000)
  - ② 6 ~ 20대 : 대당 1천 5백만원 (₩15,000,000)
  - ③ 21 ~ 100대 : 대당 1천만원 (₩10,000,000)
- (3) 전항의 기술료 지급 기간 이후에는 기술료 지급조건에 대해 재협상하는 것으로 한다.
- (4) 아이피에스가 TaCN 공정 관련 개량발명 또는 고안하는 경우 아이피에스는 해당 기술에 대한 특허, 실용신안 등 지적재산권을 취득할 권리를 갖는다. 다만, 삼성전자는 해당 기술을 무상으로 사용할 수 있다.
- (5) 아이피에스는 삼성전자에 전항의 개량발명 및 지적재산권의 확보 및 진행상황을 통보토록 한다.

제 6 조 (개발비의 지원)

삼성전자는 아이피에스에 본 계약의 개발비로 양사 서명일로부터 30일 이내에 총 일금 6억 5천만원(W650,000,000)을 지급하는 것으로 한다.

제 7 조 (개발결과물의 구매)

삼성전자는 개발결과물이 제 1조 및 별첨 1, 2에 명시된 개발목표를 달성하고 양산성이 있다고 판단할 경우 아이피에스와 별도로 구매 협의할 수 있으며, 아이피에스는 삼성전자의 구매요구가 있을 경우 본 개발결과물에 대하여 최혜조건으로 삼성전자에게 공급하여야 한다.

제 8 조 (계약 기간 및 계약의 해지)

- (1) 본 계약기간은 제 2항 및 3항에 의해 조기 종료되지 않는 한 제 1조에서 정한 개발 기간과 동일하며 필요시 협의 후 연장 가능하다.
- (2) 양사는 상대방이 본 계약을 중대하게 위반하였을 경우에는 2주 전에 사전 통보 하여 본 계약을 해지할 수 있다.
- (3) 양사는 공동개발 수행이 정지되거나 기타 사유로 인하여 소기의 개발성과를 기대하기 극히 곤란하거나 상대방이 공동개발을 완수할 능력이 없다고 인정될 때 혹은 개발의 필요성이 없어졌다고 인정될 때, 각 사의 합의 하에 본 계약을 해지할 수 있다.
- (4) 제 2항 및 제 3항에 의하여 본 계약이 해지될 경우, 양사는 해지된 날로부터 20일이내에 해지시까지 상대방으로부터 받은 비밀정보를 모두 반환하거나 파기하여야 한다. 비밀정보를 파기한 경우에는 그 사실을 증명하는 내용을 상대방에게 서면 통보하여야 한다.

제 9 조 (일반 조항)

- (1) 양사는 본 계약의 내용과 별첨의 내용을 서면합의에 의하여 변경할 수 있다.



비밀

- (2) 본 계약과 관련하여 해석상 이의가 있을 때에는 양사 합의에 의해 결정하되 소송을 제기할 경우에는 피고의 주소지 관할법원에 하는 것으로 한다.
- (3) 양사는 상대방의 사전 서면 동의 없이 본 계약 체결 사실 또는 계약 내용에 대해 대외 홍보할 수 없다.
- (4) 본 계약상 양 당사자로서의 지위 및 본 계약 상의 권리의 전부 또는 일부는 상호 서면합의 없이 제 3자에게 양도할 수 없다.
- (5) 본 계약이 종료되더라도 제 3조, 제 4조, 제 5조 및 제 7조는 계속 유효하다.

본 계약서는 2부를 작성하여 서명 날인하고 각각 1부씩 보관한다.

별첨1: 역할분담 및 일정

별첨2: 개발목표

삼성전자 주식회사

서명: 

성명: Joo-Tae Moon

직위: Vice President

날짜: Jan. 19, 2006

아이피에스 주식회사

서명: 

성명: 장 훈능

직위: 사 장

날짜: 2006년 1월 18일

## 별첨 1 . 역할분담 및 일정

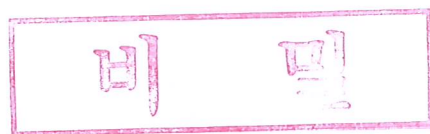
### 1.1 역할분담

구 분	삼성전자	아이피에스
역 할	1) 공정 기본 recipe 작성 2) 기본 평가 시료 제작 3) Process 평가 4) Process 분석 5) Utility/부대설비 Set-Up Support	1) H/W 개발 2) H/W Installation 3) H/W Issue Support 및 개조 4) Process의 Base Line 제공 5) Process 개발 Support
Project 담당자	1) HARDWARE : 전택수 (IPS사), 황희돈 (AIXTRON사) 2) 공     정 : 전택수 (IPS사), 황희돈 (AIXTRON사)	1) IPS : 이기훈 2) AIXTRON KOREA : 이남규

※ 개발을 수행하기 위하여 발생하는 비용은 상기 역할분담에 따라  
 각사의 개발부문에 소요되는 비용에 대하여 각사가 부담하기로 한다.

### 1.2 일정

1. 2006. 3: NRD 300mm IPS Fab-in. Process setup
2. 2006. 4: NRD 300mm AIXTRON Fab-in. Process setup
3. 2006. 4: IPS Rev.0 Recipe for CTF Lot
4. 2006. 5: AIXTRON Rev. 0 Recipe for CTF Lot
5. 2006.10: IPS & AIXTRON Rev. 1 Recipe for CTF Lot
6. 2006.12: Process capability comparison between IPS & AIXTRON
7. 2007. 3: IPS JDP complete and write report
8. 2007. 4: AIXTRON JDP complete and write report



## 별첨 2. 개발 목표

### [Hardware]

Items		Units	Specification	
Wafer Size		mm	300	
Transfer Module	Base pressure	Torr	< 5E-3	
	Leak Rate	mTorr/min	< 5	
Cassette Module	Base pressure	Torr	< 5E-3	
	Leak Rate	mTorr/min	< 5	
Process Module	Base pressure	Torr	< 1E-3	
	Pump down time to base	Hrs	<1 (@r.t.), <8 (@process temp.)	
Stage heater	Temperature uniformity	℃	600±10	
	Upper temperature set point	℃	700	
Chamber wall	Temperature uniformity	℃	160±5	
	Temp. control function		heating	
Shower Head	Temperature uniformity	℃	160±5	
	Temp. control function		cooling or heating	
Reactor	Volume	Liter	< 5	
	Measurement port		RGA port	
Gas Delivery	Purge function & Filtration		Available	
	Check valve		All gas lines	
	Valve function		Solenoid (Piezoelectric)	
	Valve switching time	sec	< 0.2	
	Valve operation number	times	> 100,000	
	Gas line heating temp.	℃	Max 200	
Chamber clean	In-situ cleaning		available	Optional
	In-situ cleaning period	wfs	> 500	
	Recovery time	Hrs	< 8	
	Wet cleaning & period	wfs	> 5000	> 10,000
Facilities & Interlock	Safety function		Gas detector , water detector	
	Interlock		On all necessary items	



## [Process]

Items	Units	Method of determination	Specification
Deposition rate	Å/min	Ellipsometer, on SiO <sub>2</sub>	> 50
Work function	eV	High-k oxide/ Slant etched SiO <sub>2</sub> MOSCAP	> 4.8
RS non-uniformity (WIW)	%(Max-Min)	49-point Prometrix map, on SiO <sub>2</sub>	%(Max-Min) < 5%
RS Uniformity (WTW)	%(Max-Min)	49-point Prometrix map	
Thickness uniformity (WIW)	%(Max-Min)	49-point, 10mm EE	
Thickness uniformity (WTW)	%(Max-Min)	49-point, 10mm EE	
In-film particle	>0.2μm	Tencor 6200 or equivalent	< 30ea
Mechanical particle	>0.2μm	Tencor 6200 or equivalent	< 30ea
Stress	dyne/cm <sup>2</sup>	Measured on 100Å TaN on thermal oxide	< 1E10
Throughput	WPH	Single chamber, 3 lot continuous mode, 10nm thick	> 15

## 별첨 3. TaCN 관련 특허 출원 내역

Patent Number	Title
US 6815285	Methods of forming dual gate semiconductor devices having a metal nitride layer
US 2004/0224506 A1	Methods of forming metal layers using metallic precursors
Korea 200219674	Methods of forming electronic devices including high-k dielectric layers and electrode barrier layers and related structures
Korea 200228201	Methods and apparatus for forming a metal layer on an integrated circuit device using a tantalum precursor
Korea 200229102	Method of forming capacitor
US 6876078	Semiconductor interconnection structure with TaN and method of forming the same
Korea 200333905	Method for forming a wiring of a semiconductor device, method for forming a metal layer of a semiconductor device and apparatus for performing the same
Korea 200334352	Methods for forming atomic layers and thin films including tantalum nitride and devices including the same
Korea 200342844	Methods of producing integrated circuit devices utilizing tantalum amine derivatives
Korea 200543696	Methods of producing integrated circuit devices utilizing tantalum amine derivatives