



北京邮电大学研究生课程

数字超大规模集成电路分析与设计

第十六讲 IO单元和ESD

梁利平

集成电路学院

2023年12月27日





第十六讲 IO单元和ESD

本讲主要内容

- （一）IO单元的设计考虑
- （二）ESD模型和保护电路

1.1 IO单元的设计考虑

□ IO单元的作用

- 电平转换和匹配
- 增加驱动能力
- 静电防护（ESD）

□ IO单元的种类

IO单元种类	IO单元的功能
输出（output）	仅从芯片内部输出信号
输入（input）	仅从芯片外部输入信号
双向（Bidirectional）	双向的，兼有输入输出功能
电源/时钟 （VDD/GND/CLK）	驱动能力强，不能引入较大噪声的外部输入
模拟（Analog）	传输精确的模拟信号



1.2 IO单元的设计考虑

- 输入输出的电平兼容性
- 驱动能力
- 静电防护

1.3 IO单元的设计考虑

□ 常见的IO逻辑电平标准

	5V TTL	5V CMOS	3.3V LVTTTL	3.3V 逻辑电平	2.5V CMOS	1.8V CMOS	1.5V CMOS	1.2V CMOS
电源	5V	5V	3.3V	3.3V	2.5V	1.8V	1.5V	1.2V
地	0V	0V	0V	0V	0V	0V	0V	0V
V_{OH}	2.4V	4.44V	2.4V	2.4V	2.0V	$V_{CC} - 0.45V$		
V_{OL}	0.4V	0.5V	0.4V	0.2V	0.2V	0.45V		
V_{IH}	2V	3.5V	2.0V	2.0V	1.7V	$0.65V_{CC}$	$0.65V_{CC}$	$0.65V_{CC}$
V_{IL}	0.8V	1.5V	0.8V	0.8V	0.7V	$0.35V_{CC}$	$0.35V_{CC}$	$0.35V_{CC}$
V_M	1.5V	2.5V	1.5V	1.5V	1.2V			

1.3 IO单元的设计考虑

□ IO单元的种类

- 输入缓冲器
- 输出缓冲器
-
- 双向缓冲器

1.5 IO单元的设计考虑—输入缓冲器

□ 输入缓冲器的作用

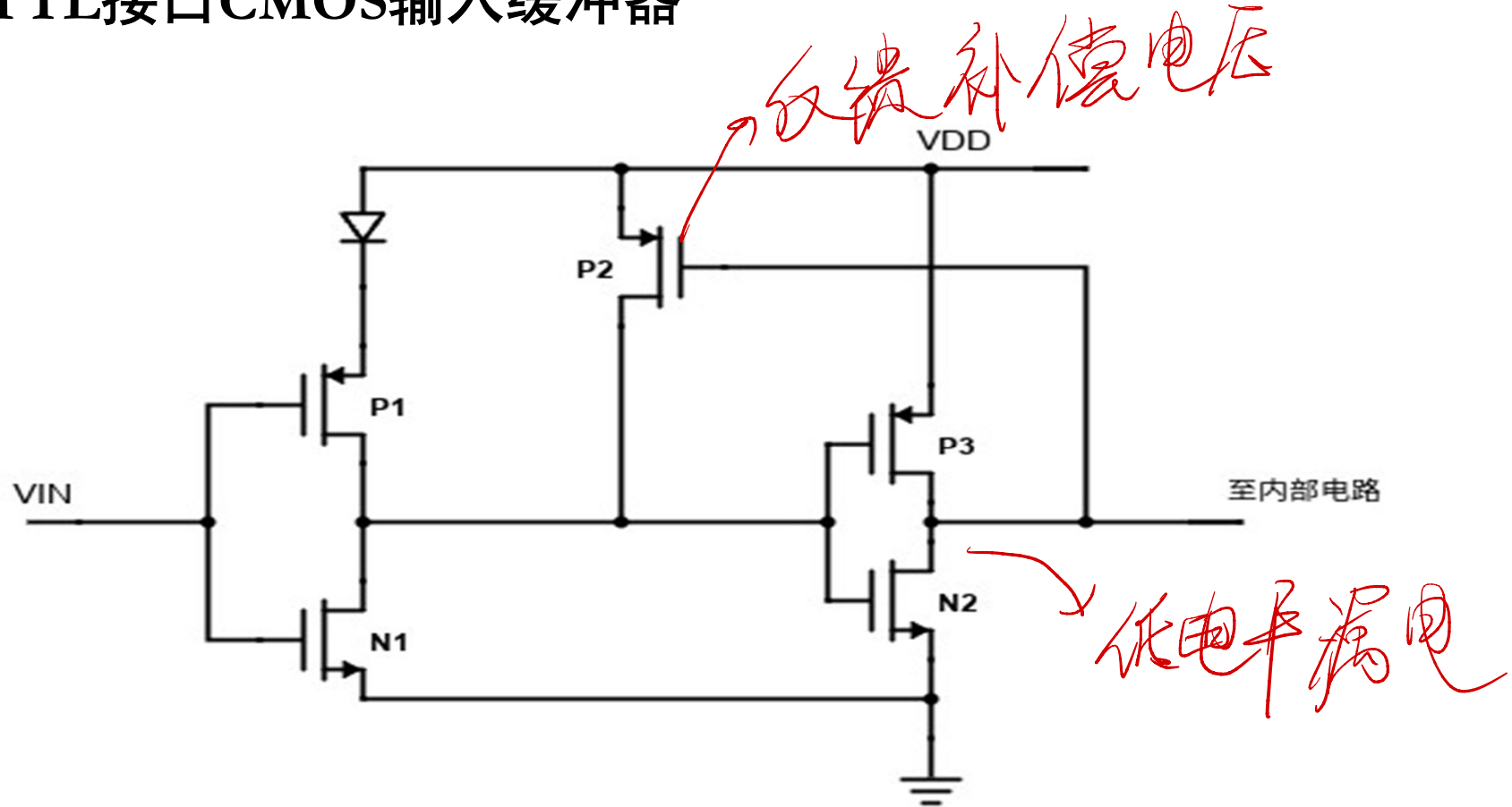
- 作为电平转换接口电路
- 改善输入信号的驱动能力

□ 输入缓冲器的结构

- 由两级反相器构成
- 第一级反相器兼有电平转换的功能

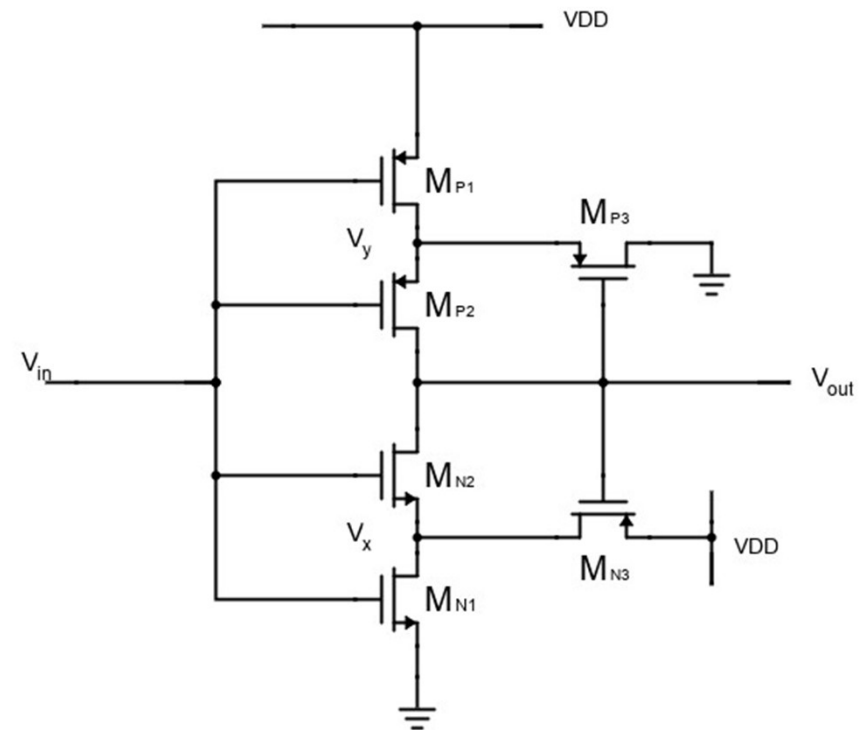
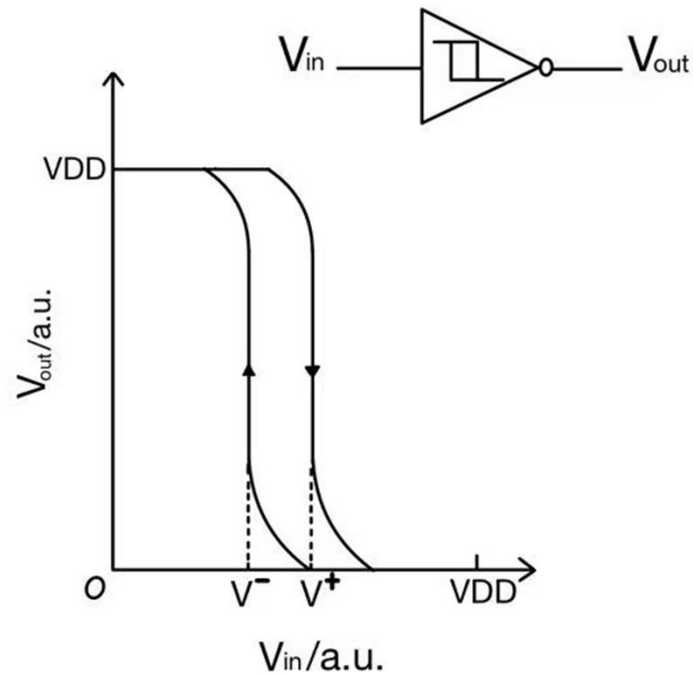
1.6 IO单元的设计考虑 - 输入缓冲器

□ 兼容TTL接口CMOS输入缓冲器



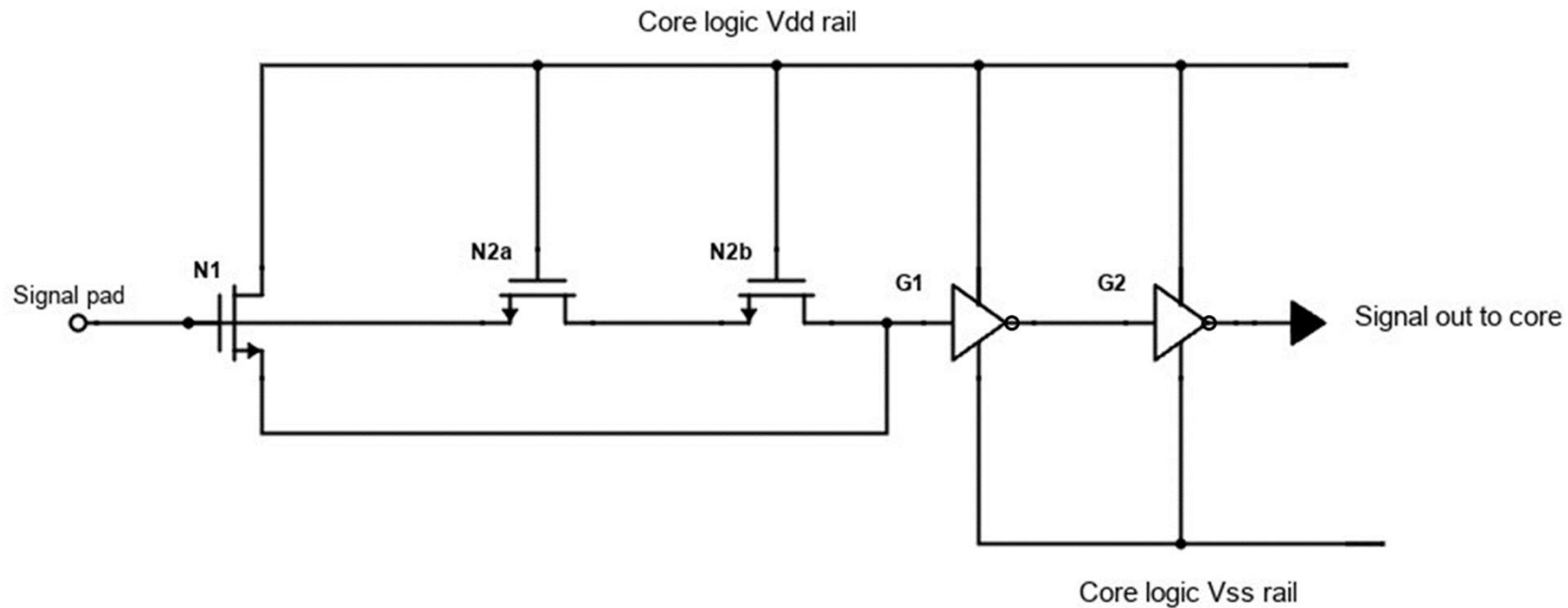
1.7 IO单元的设计考虑 - 输入缓冲器

□ 施密特触发器作为输入缓冲



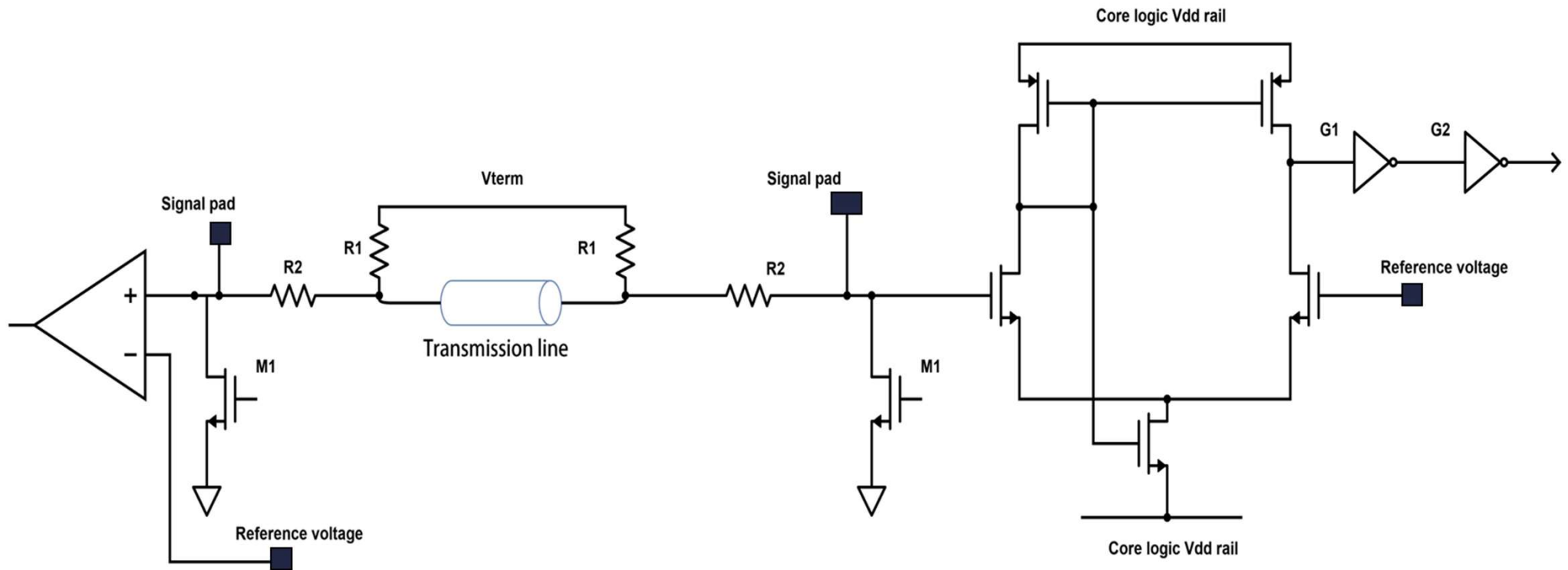
1.8 IO单元的设计考虑 - 输入缓冲器

□ 兼容高电压输入的输入缓冲器



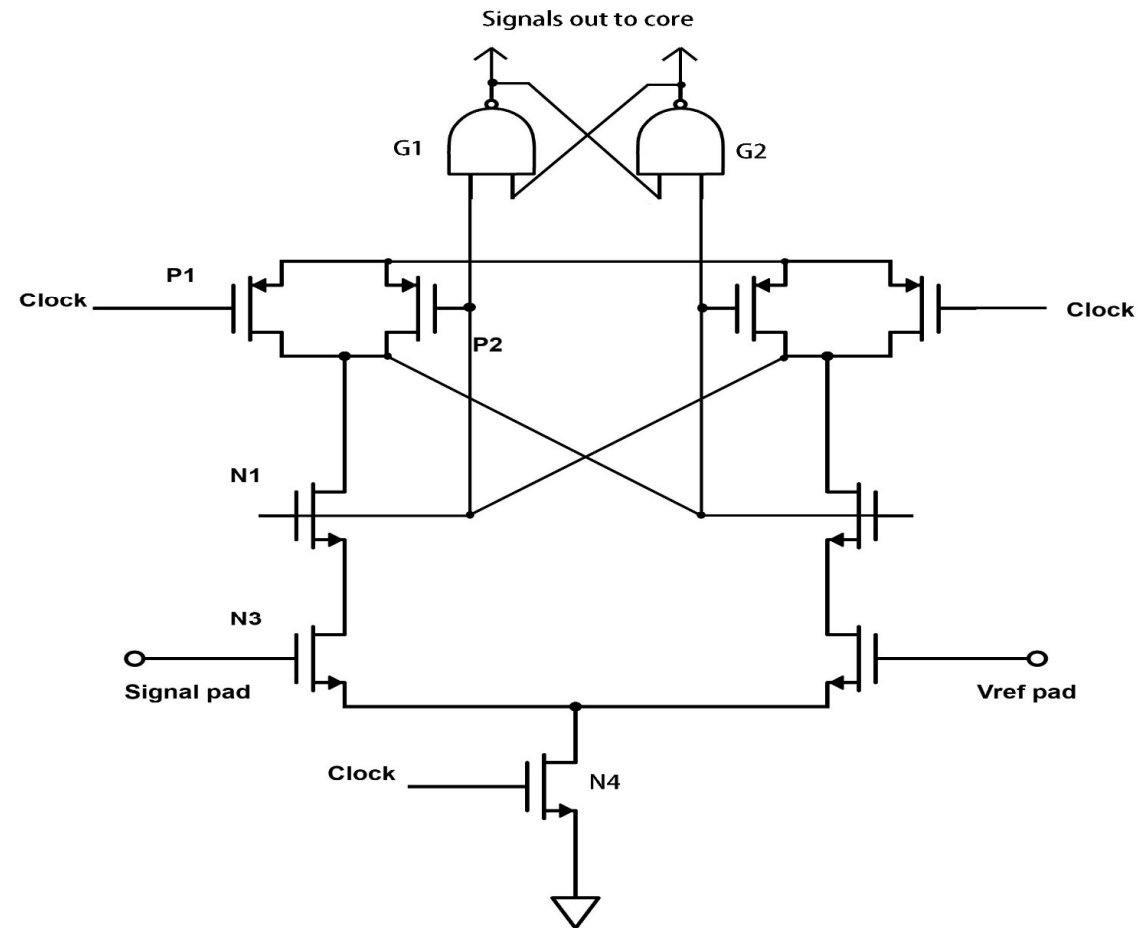
1.9 IO单元的设计考虑 - 输入缓冲器

□ 带差分放大的输入缓冲器



1.10 IO单元的设计考虑 - 输入缓冲器

□ 带差分放大时钟锁存的输入缓冲器



不存在美不上问题

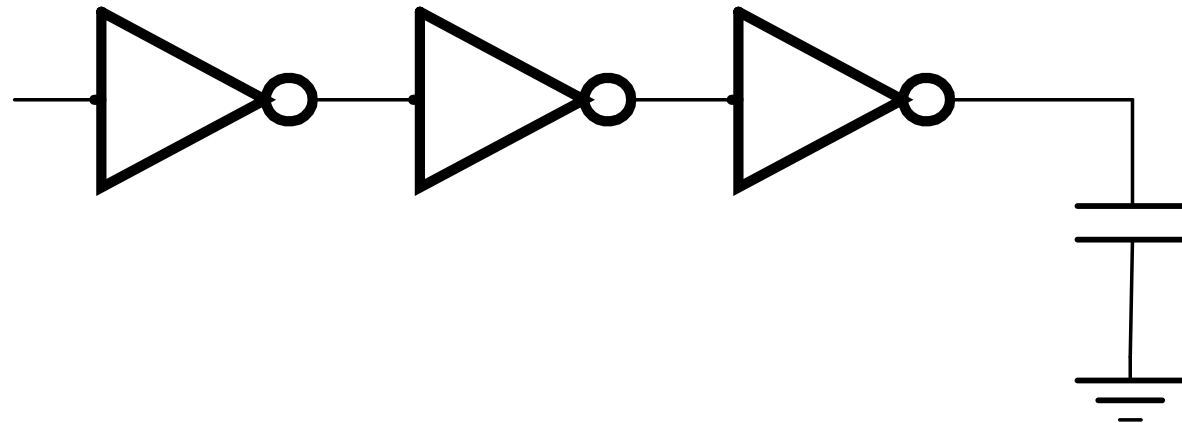


1.12 IO单元的设计考虑 - 输出缓冲器

□ 利用反相器链增加驱动能力

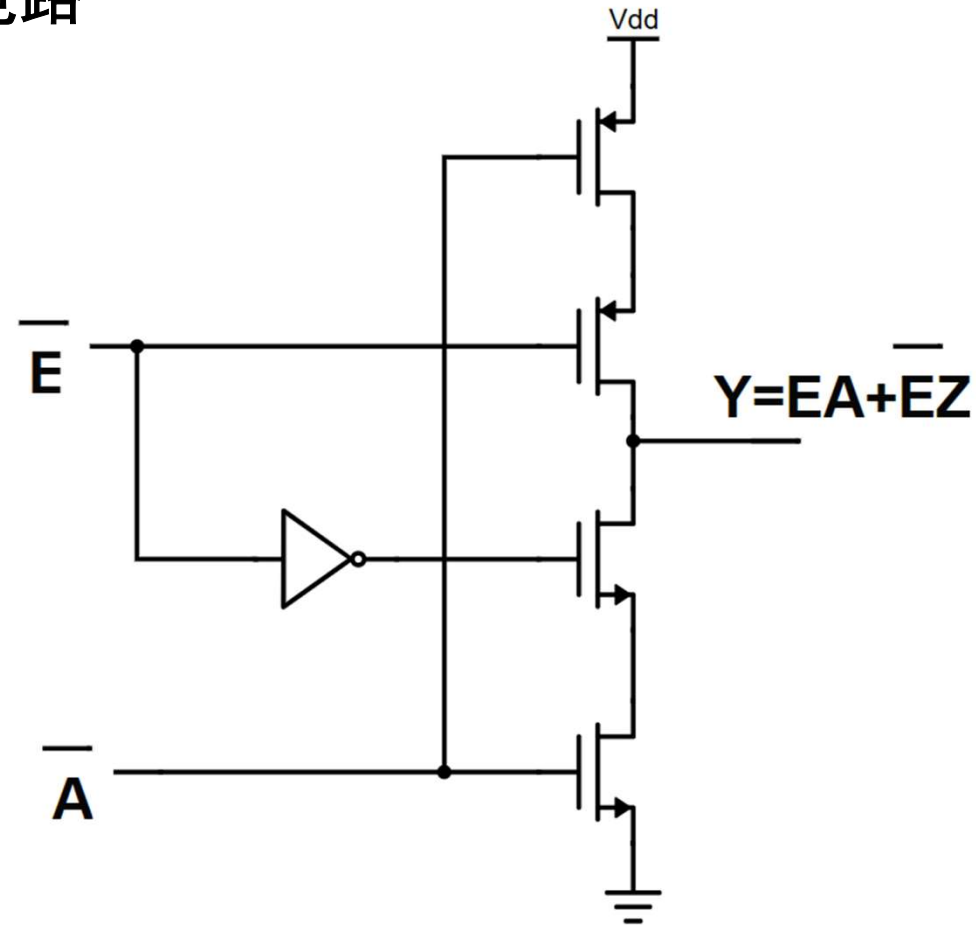
等比设计

每个反相器
延时一样



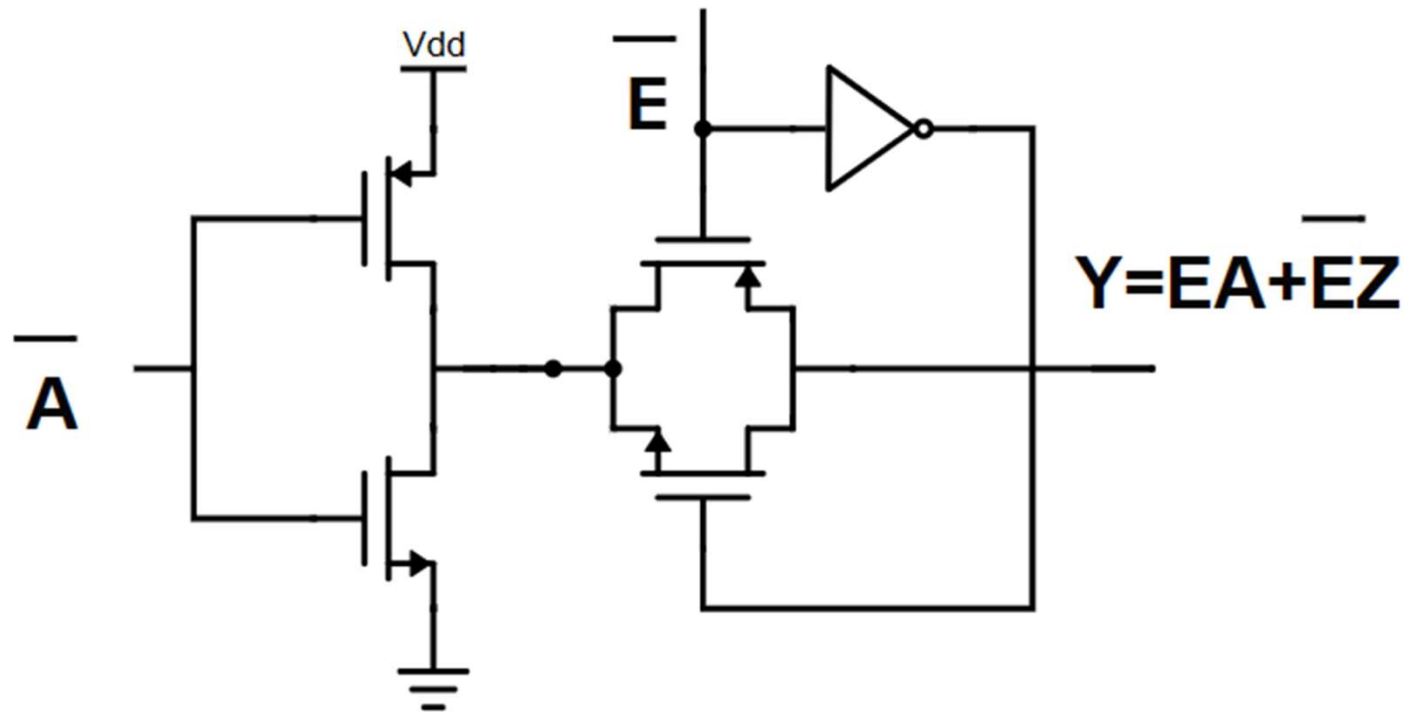
1.13 IO单元的设计考虑 - 输出缓冲器

□ 一种三态输出电路



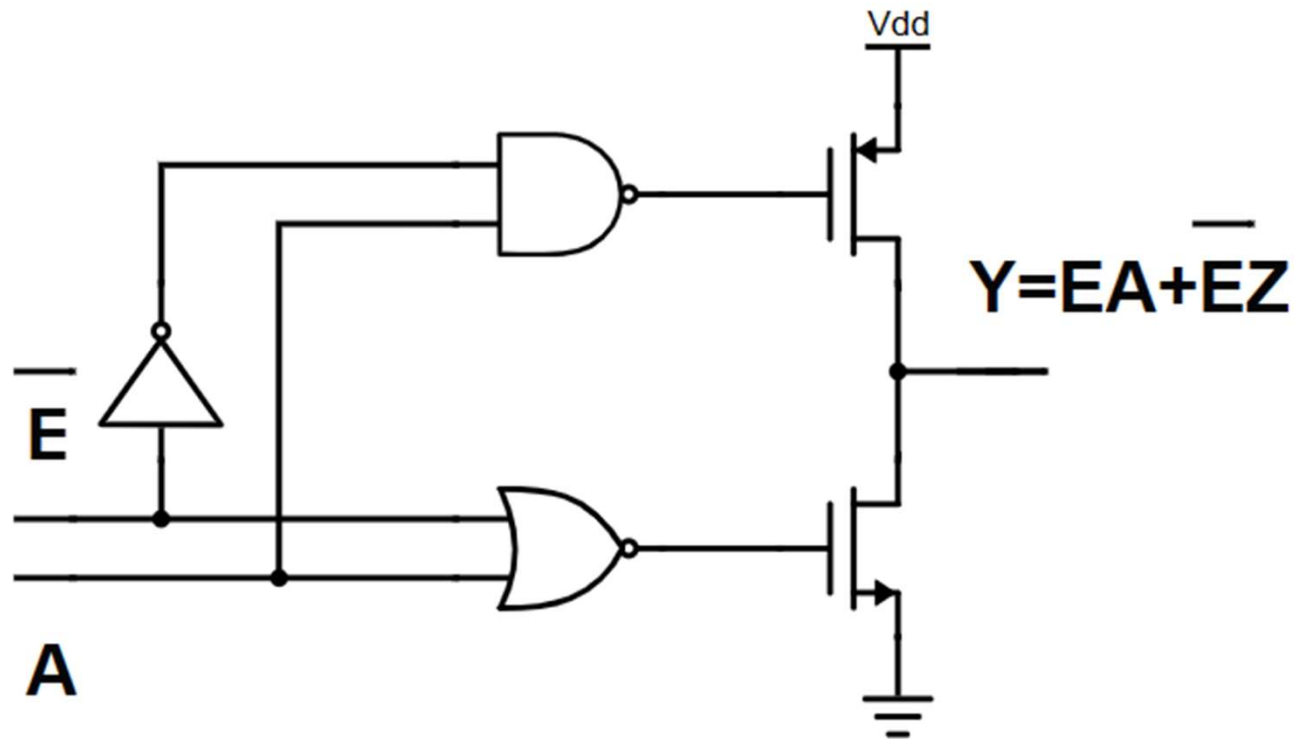
1.14 IO单元的设计考虑 - 输出缓冲器

□ 带传输门的三态输出



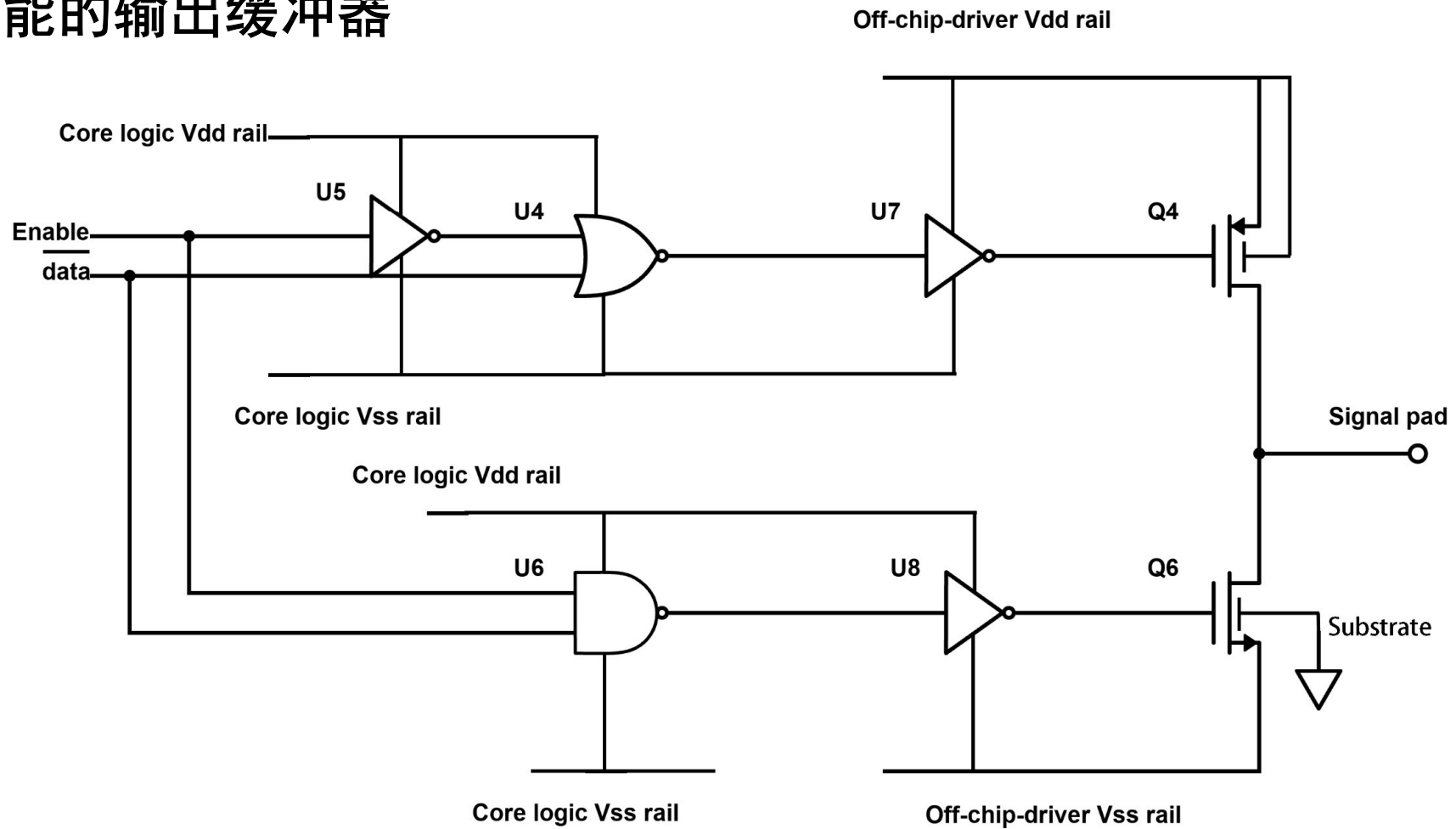
1.15 IO单元的设计考虑 - 输出缓冲器

□ 常用的CMOS三态输出电路 *输出能力强*



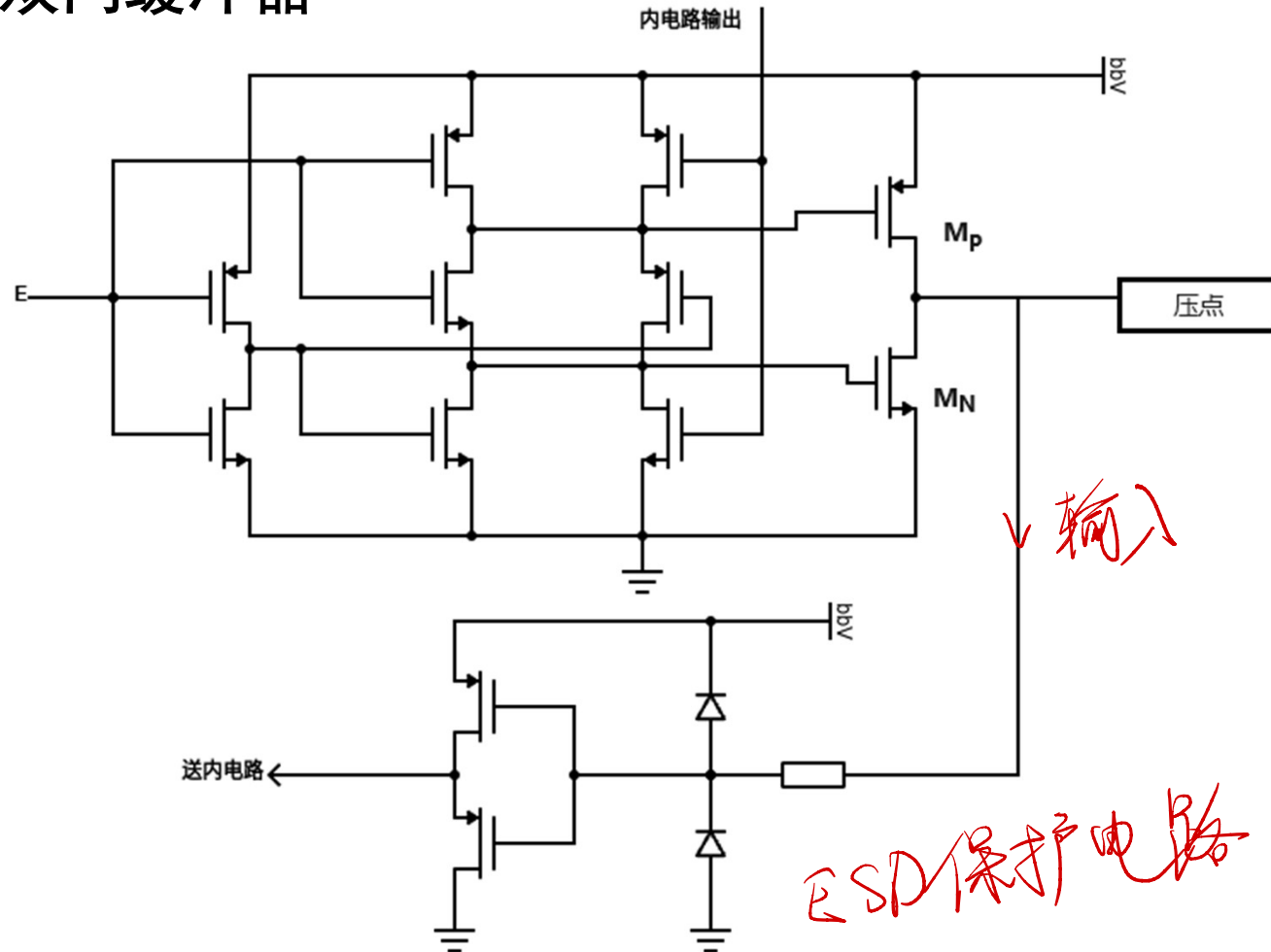
1.16 IO单元的设计考虑 - 输出缓冲器

□ 带使能的输出缓冲器



1.17 IO单元的设计考虑 - 双向缓冲器

□ 一种CMOS双向缓冲器





第十六讲 IO单元和ESD

本讲主要内容

- （一）IO单元的设计考虑
- （二）ESD模型和保护电路



2.1 ESD模型和电路保护

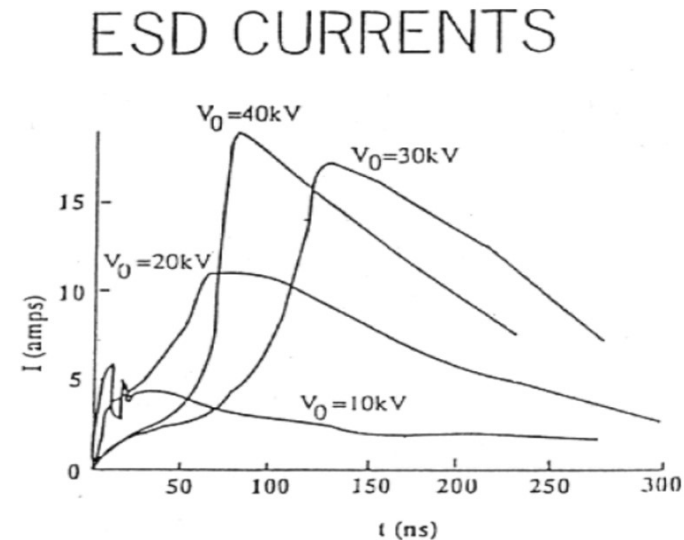
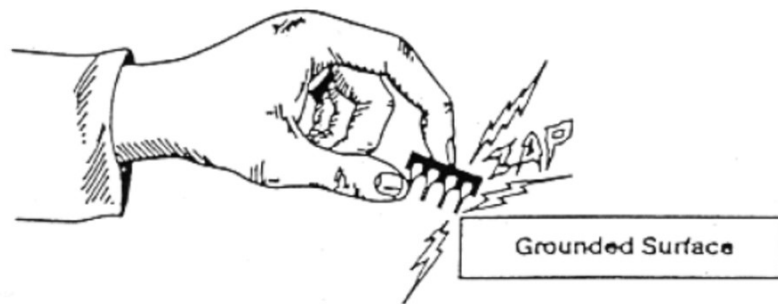
□ 三种ESD模型

- HBM
- MM
- CDM

2.2 ESD模型和电路保护—HBM模型

□ 人体放电模式 (Human-Body Model, HBM)

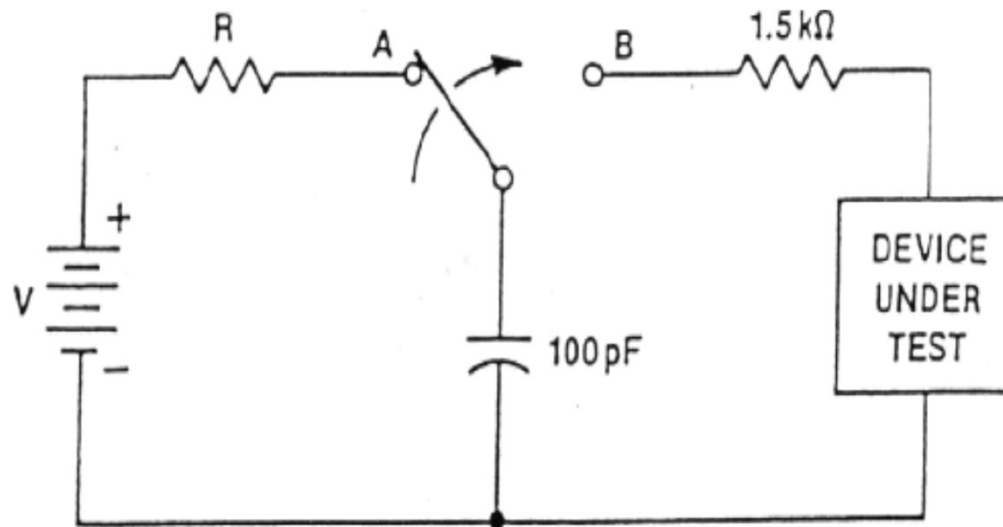
- 人体放电模式(HBM)的ESD是指因人体在地上走动磨擦或其它因素在人体上已累积了静电, 当此人去碰触到IC时, 人体上的静电便会经由IC的脚(pin)而进入IC内, 再经由IC放电到地去, 如图所示。此放电的过程会在短到几百毫微秒(ns)的时间内产生数安培的瞬间放电电流, 此电流会把IC内的组件给烧毁。不同HBM静电电压相对产生的瞬间放电电流与时间的关系显示于图2.1-1(b)。对一般商用IC的2-KV ESD放电电压而言, 其瞬间放电电流的尖峰值大约是1.33 安培。



2.3 ESD模型和电路保护—HBM模型

□ 人体放电模式 (HBM) (续)

- 有关于HBM的ESD已有工业测试的标准：
- 图显示工业标准 (MIL-STD-883C method 3015.7)的等效电路图，其中人体的等效电容定为100pF，人体的等效放电电阻定为1.5K Ω 。
- 表是国际电子工业标准(EIA/JEDEC STANDARD) 对人体放电模式订定测试规范(EIA/JESD22-A114-A)

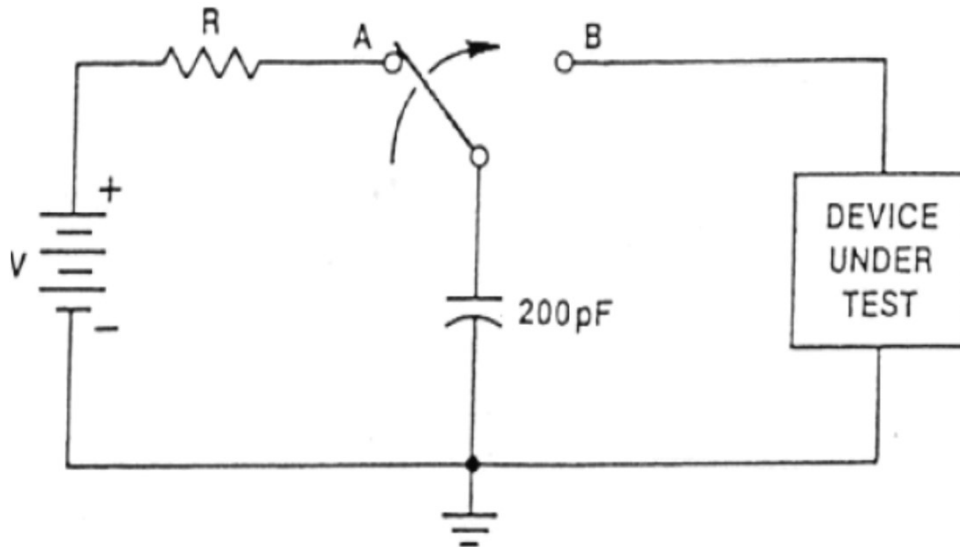


CLASS	STRESS LEVELS
CLASS I	0-1999V
CLASS II	2999-3999V
CLASS III	4999-15999 V

2.4 ESD模型和电路保护—MM模型

□ 机器放电模式 (Machine Model, MM)

- 机器放电模式的ESD是指机器(例如机械手臂)本身累积了静电, 当此机器去碰触到IC时, 该静电便经由IC的pin放电。因为机器是金属, 其等效电阻为 0Ω , 其等效电容为 200pF 。由于机器放电模式的等效电阻为 0 , 故其放电的过程更短, 在几毫微秒到几十毫微秒之内会有数安培的瞬间放电电流产生。
- 此机器放电模式工业测试标准为 EIAJ-IC-121 method20, 其等效电路图和等级如下:

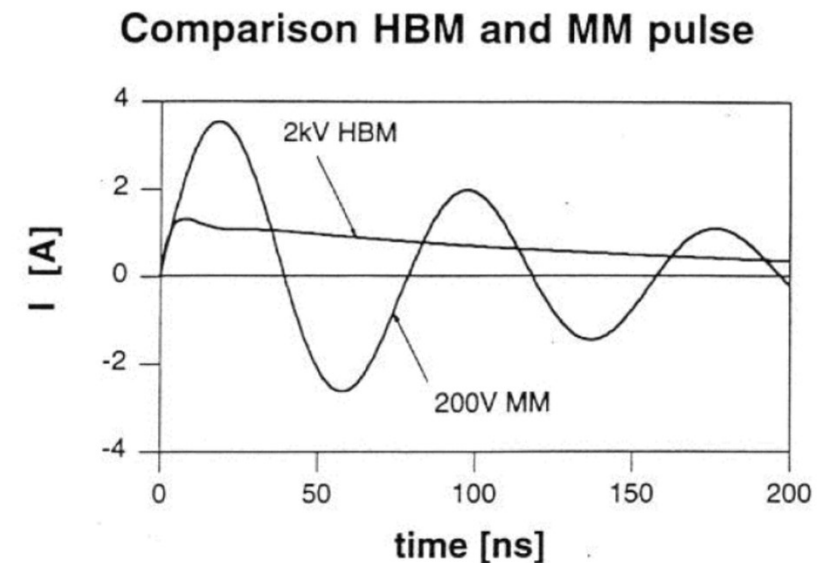


CLASS	STRESS LEVELS
M0	0-50V
M1	50-100V
M2	100-200 V
M3	200-400 V
M4	400-800 V
M5	>800 V

2.5 ESD模型和电路保护 - MM模型

□ 机器放电模式 (Machine Model, MM) (续)

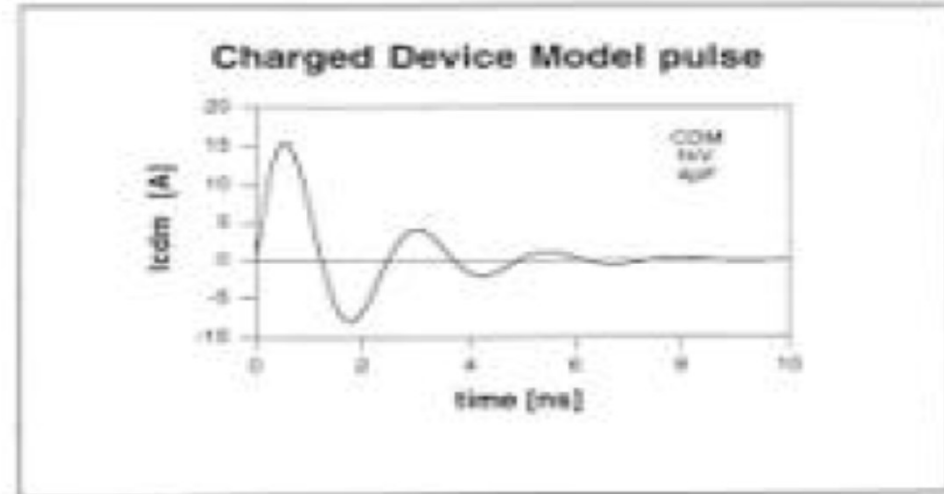
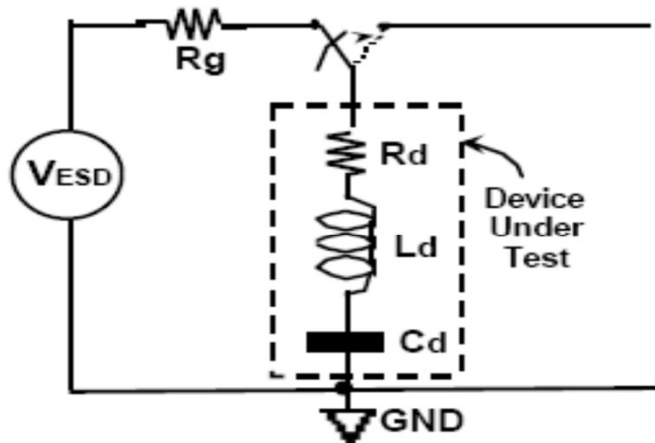
- 2-KV HBM与200-V MM的放电比较
- 如图, 虽然HBM的电压2 KV比MM的电压200V来得大, 但是200-V MM的放电电流却比2-KV HBM的放电电流来得大很多, 放电电流波形有上下振动(Ring)的情形, 是因为测试机台导线的杂散等效电感与电容互相耦合而引起的。因此机器放电模式对IC的破坏力更大。
- 国际电子工业标准 (EIA/JEDEC STANDARD) 亦对此机器放电模式订定测试规范 (EIA/JESD22-A115-A)



2.6 ESD模型和电路保护 - CDM模型

□ 组件充电模式 (Charged-Device Model, CDM)

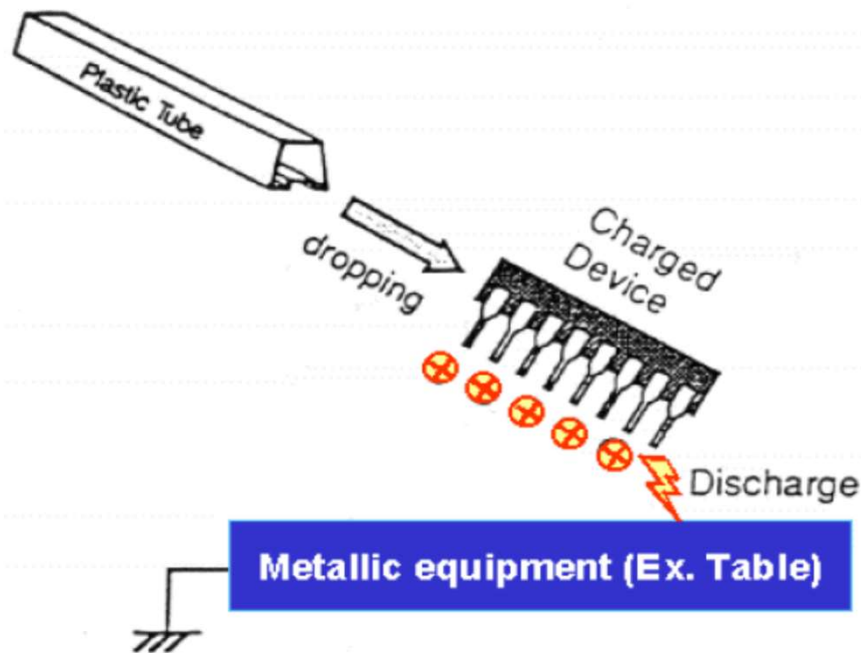
- 此放电模式是指IC先因磨擦或其它因素而在IC内部累积了静电，但在静电累积的过程中IC并未被损伤。此带有静电的IC在处理过程中，当其pin去碰触到接地面时，IC内部的静电便会经由pin自IC内部流出来，而造成了放电的现象。此种模式的放电时间更短，仅约几毫微秒之内，而且放电现象更难以真实的被模拟。



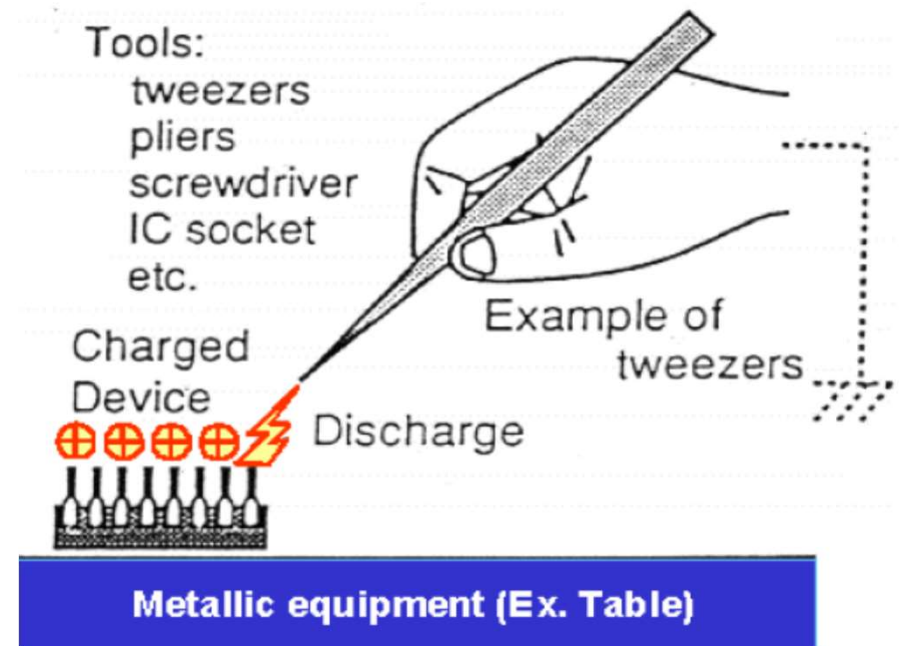
2.7 ESD模型和电路保护 - CDM模型

□ 组件充电模式 (Charged-Device Model, CDM) (续)

- CDM模式ESD可能发生的情形显示:
- (1) IC自IC管中滑出后, 带电的IC脚接触接到地面而形成放电现象。
- (2) IC自IC管中滑出后, IC脚朝上, 但经由接地的金属工具而放电。



情形 (1)



情形 (2)

2.8 ESD模型和电路保护 - ESD测试

□ PAD的ESD测试

进入芯片的静电可以通过任意一个引脚放电，测试时，任意两个引脚之间都应该进行放电

- 测试，每次放电检测都有正负两种极性，所以对 I/O 引脚会进行以下六种测试：
 - 1) PS 模式：VSS 接地，引脚施加正的 ESD 电压，对 VSS 放电，其余引脚悬空；
 - 2) NS 模式：VSS 接地，引脚施加负的 ESD 电压，对 VSS 放电，其余引脚悬空；
 - 3) PD 模式：VDD 接地，引脚施加正的 ESD 电压，对 VDD 放电，其余引脚悬空；
 - 4) ND 模式：VDD 接地，引脚施加负的 ESD 电压，对 VDD 放电，其余引脚悬空；
 - 5) 引脚对引脚正向模式：引脚施加正的 ESD 电压，其余所有 I / O 引脚一起接地，VDD 和VSS 引脚悬空；
 - 6) 引脚对引脚反向模式：引脚施加负的 ESD 电压，其余所有 I / O 引脚一起接地，VDD 和VSS 引脚悬空。

VDD 引脚只需进行(1)(2)项测试

2.9 ESD模型和电路保护 - ESD保护设计

□ 建立六种低阻ESD 电流通路

- 引脚焊块 (PAD) 到 VSS 的低阻放电通路
- VSS 到 PAD 的低阻放电通路
- PAD 到 VDD 的低阻放电通路
- VDD 到 PAD 的低阻放电通路
- PAD 受到正向 ESD 放电时, PAD 到 PAD 的通路
- PAD 受到负向 ESD 放电时, PAD 到 PAD 的通路
- VDD 与 VSS 之间的电流通路

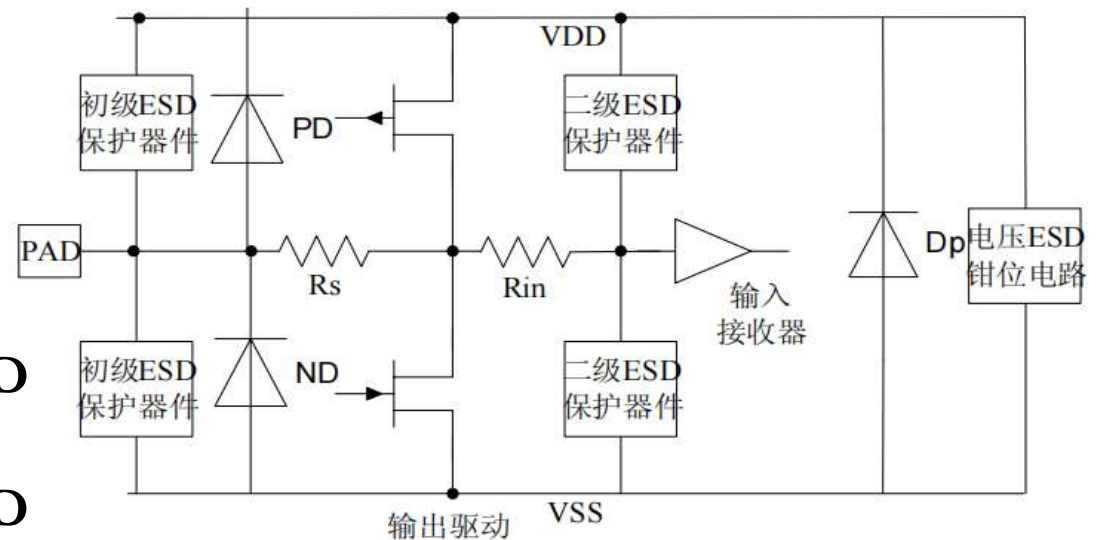


图3 加入ESD电流通路的I/O电路, 二极管ND是NMOS漏极与P型衬底形成的寄生二极管, 二极管PD是PMOS漏极与N阱形成的寄生二极管, VDD与VSS之间的二极管Dp是N阱与P型衬底形成的寄生二极管. 电阻Rs和Rin用于进一步降低被保护器件上的ESD电压。

2.10 ESD模型和电路保护 - ESD保护设计

□ ESD保护电路设计考虑

- 大部分的 ESD 电流来自电路外部，（CMD 模型除外，它是基于已带电的器件通过管脚与地接触时，发生对地放电引起器件失效而建立的），**ESD 保护电路一般设计在 PAD 旁**，输入输出（I/O, Input/Output）电路内部。典型的 I/O 电路示意图（如图 2），它的工作电路由两部分组成输出驱动（Output Driver）和输入接收器（Input Receiver）。。
- ESD 通过 PAD 导入芯片内部，因此 I/O 里所有与 PAD 直接相连的器件都需要建立与之平行的ESD 低阻旁路，**将 ESD 电流引入电压线**，再由电压线分布到芯片各个管脚，降低 ESD 的影响。

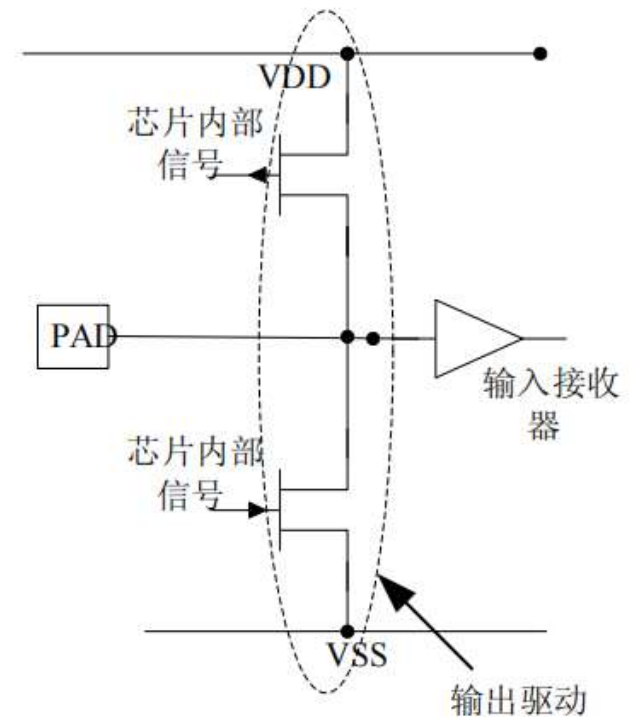


图 2 典型的I/O电路示意图

2.11 ESD模型和电路保护 - ESD保护设计

□ PS 模式下，PAD和VSS 之间的 ESD 低阻旁路

- 每一个 I/O 引脚电路中都应建立一个 PAD 到 VSS 的 ESD 保护电路
- 常用的 ESD 保护器件有电阻、二极管、双极性晶体管、MOS 管、可控硅（SCR）等。

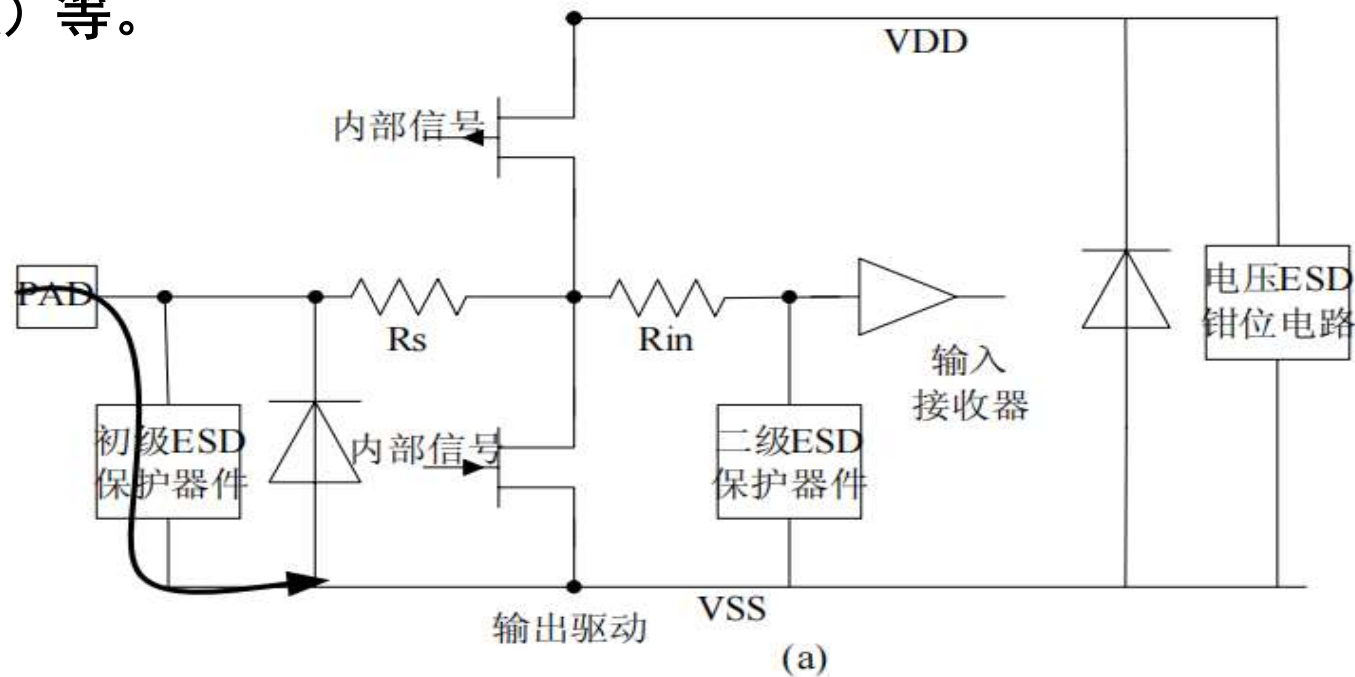


图 4 PAD对VSS反向ESD放电时的电流通路.

2.12 ESD模型和电路保护 - ESD保护设计

□ PS 模式下， PAD和VSS 之间的 ESD 低阻旁路（续1）

- 由于 MOS 管与 CMOS 工艺兼容性好，我们常采用 MOS 管构造保护电路。
- CMOS 工艺条件下的 NMOS 管有一个横向寄生 n-p-n(源极-p 型衬底-漏极)晶体管，如图所示。这个寄生的晶体管开启时能吸收大量的电流。利用这一现象可在较小面积内设计出较高 ESD 耐压值的保护电路。

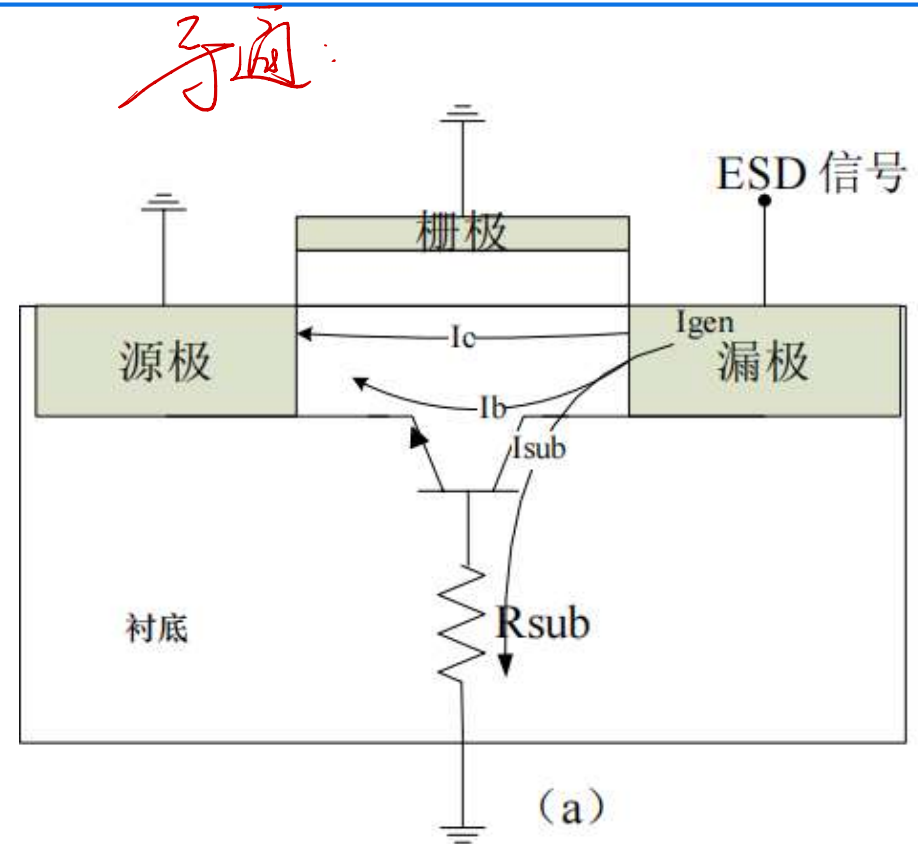


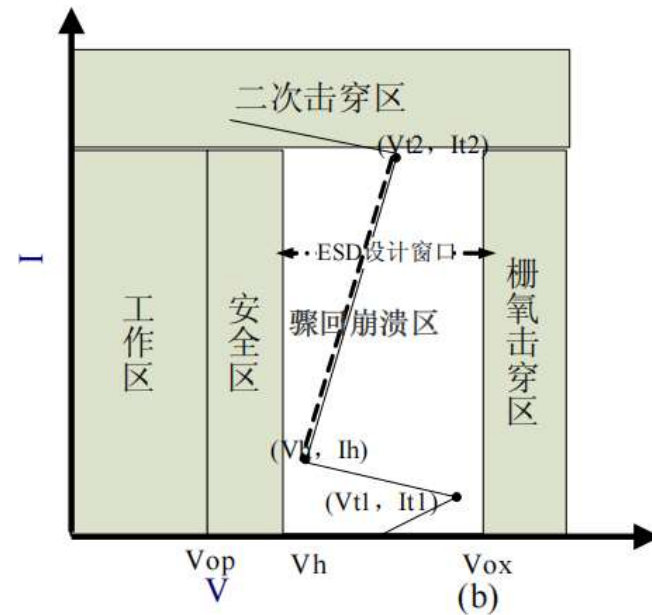
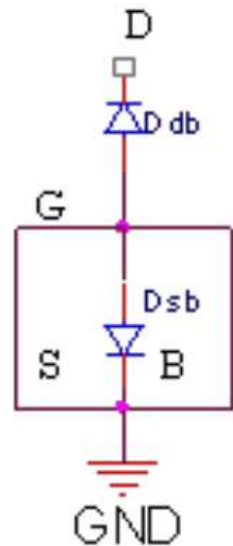
图 5 (a) NMOS管有一个横向寄生n-p-n(源极-p型衬底 - 漏极)晶体管。

R_{sub} 为衬底电阻

2.13 ESD模型和电路保护 - ESD保护设计

□ PS 模式下， PAD和VSS 之间的 ESD 低阻旁路（续2）

- 最典型的器件结构就是栅极接地 NMOS（GGNMOS， Gate Grounded NMOS）
- 在正常工作情况下，NMOS 横向晶体管不会导通。当 ESD 发生时，漏极和衬底的耗尽区将发生雪崩，并伴随着电子空穴对的产生。一部分产生的空穴被源极吸收，其余的流过衬底。**由于衬底电阻 R_{sub} 的存在，使衬底电压提高。**当衬底和源之间的 PN 结正偏时，电子就从源发射进入衬底。这些电子在源漏之间的电场的作用下被加速，产生电子、空穴的碰撞电离，从而形成更多的电子空穴对，使流过 n-p-n 晶体管的电流不断增加，最终使 NMOS 晶体管发生二次击穿，此时的击穿不再可逆，则 NMOS 管损坏。



衬底电阻 (b) ESD 设计窗口

2.14 ESD模型和电路保护 - ESD保护设计

□ PS 模式下，PAD和VSS 之间的 ESD 低阻旁路（续3）

- 为了进一步降低输出驱动上 NMOS 在 ESD 时两端的电压，可在 ESD 保护器件与 GGNMOS 之间加一个电阻(图 6)。这个电阻不能影响工作信号，因此不能太大。画版图时可采用多晶硅（poly）电阻。

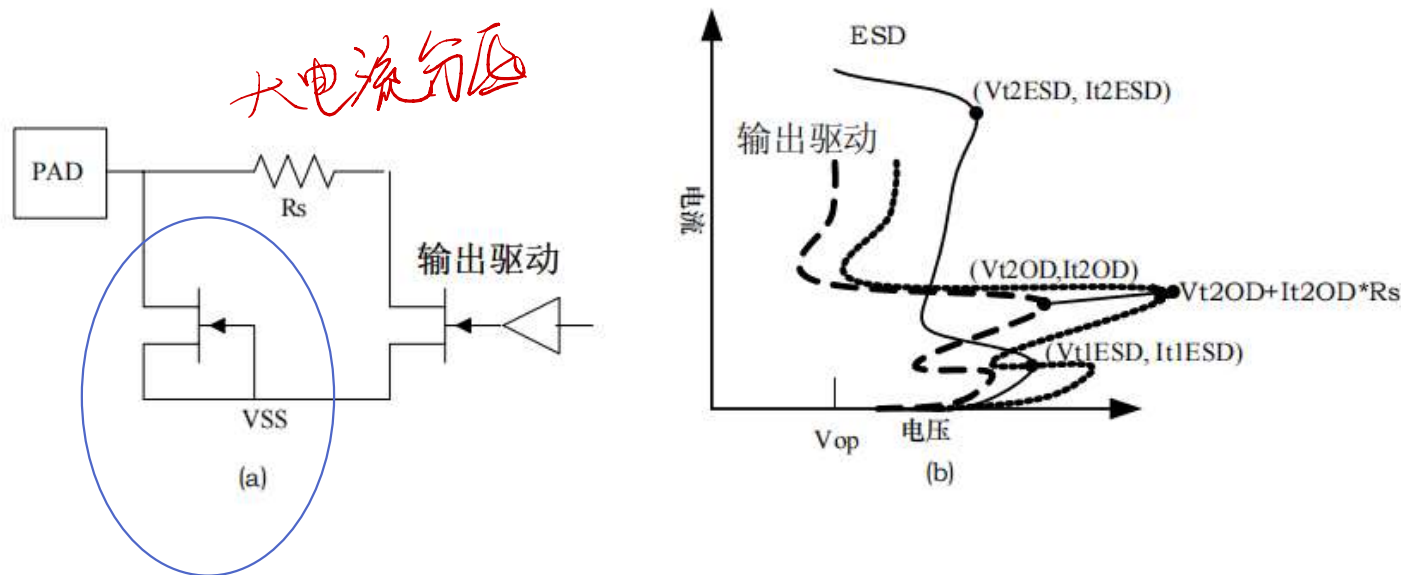


图 6 (a) PAD到VSS电流通路的等效电路图 (b)ESD发生时的I-V特性图，电阻Rs会让 OD ESD耐压值有一个 $It2OD * Rs$ 的偏移

2.15 ESD模型和电路保护 - ESD保护设计

□ NS 模式下，VSS和PAD 之间 ESD 低阻旁路

- 在 ESD 过程中，如果 PAD 对 VSS 负向放电，放电通路由 p 型衬底和每一个与 PAD 相连 NMOS 的漏极产生的寄生二极管组成所示。此时二极管正向导通，因为二极管正向导通电压小，导通电阻小，有很高 ESD 防护能力，PAD 对 VSS 的负向放电可以很容易的分布到芯片各个管脚。

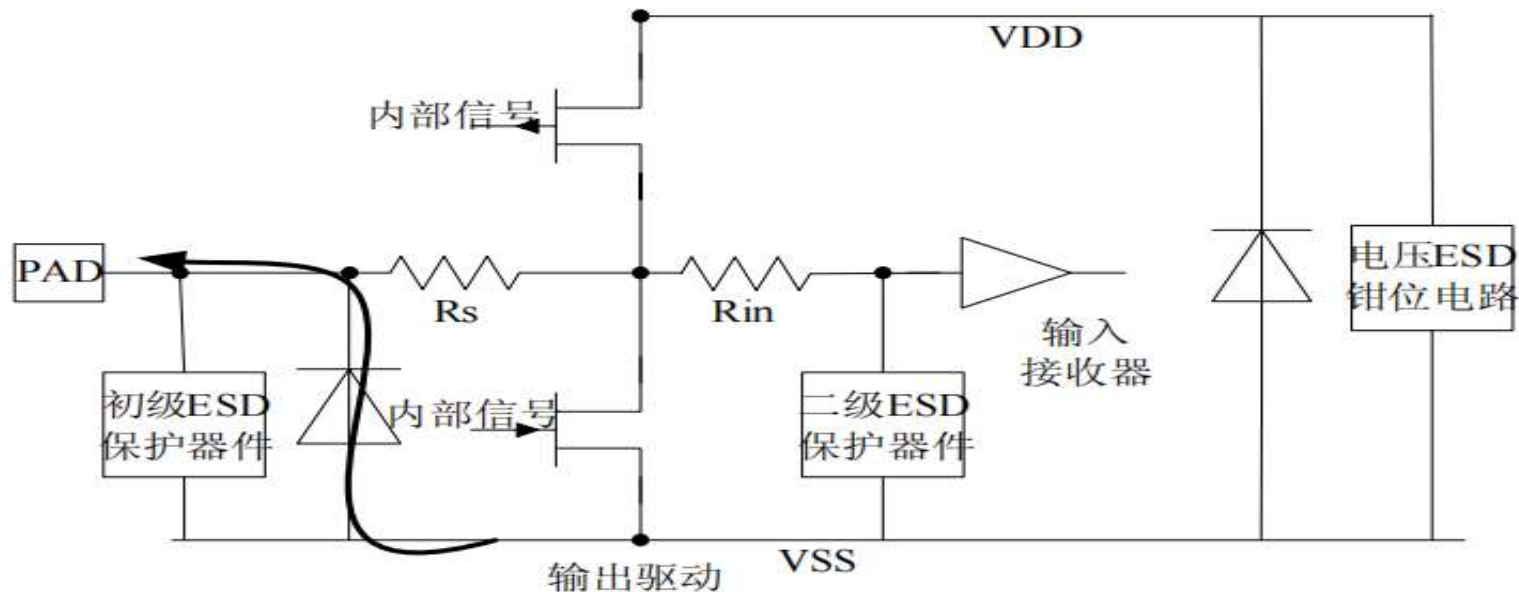


图 9 PAD对VSS反向ESD放电时的电流通路



2.16 ESD模型和电路保护 - ESD保护设计

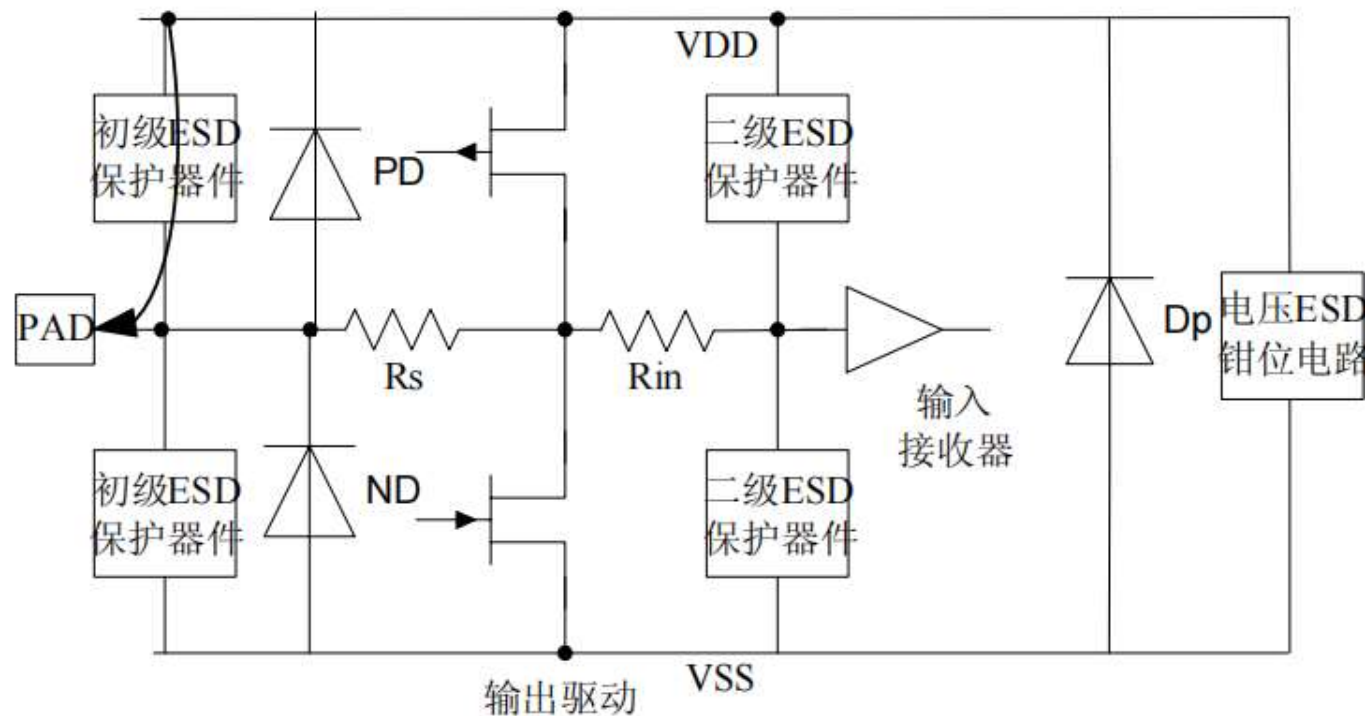
□ PD 模式下， PAD和VDD 之间 ESD 低阻旁路

- 在 ESD 过程中，如果 PAD 对 VDD 正向放电, 放电通路由 N 阱和每一个与 PAD 相连PMOS 的漏极产生的寄生二极管组成。此时二极管正向导通，有很高 ESD 防护能力，PAD对 VDD 的正向放电可以很容易的分布到芯片各个管脚。

2.17 ESD模型和电路保护 - ESD保护设计

□ ND 模式下，VDD和PAD 之间 ESD 低阻旁路

- 在 ESD 过程中，如果 PAD 对 VDD 负向放电，放电通路如图 10。PAD 对 VDD 负向放电通路由 PMOS 横向寄生晶体管组成。电路原理和结构与 PS 模式下 PAD 到 VSS 的电路类似。



2.18 ESD模型和电路保护 - ESD保护设计

□ VDD和VSS 之间 ESD 低阻旁路

- VDD, VSS 的 PAD 上也可能发生 ESD 事件, 因此也需要有 ESD 保护。
- 在 ESD 过程中, 如果 VDD 对 VSS 正向放电, 基本的 VDD 到 VSS 的保护电路结构是在 VDD 和 VSS 之间加一个大尺寸的 GGNMOS (如图)。为了提高 VDD 到 VSS 之间保护电路的效率, 减小电源线间寄生电阻电容对其 ESD 保护性能的影响, 可将这个保护电路复制多份, 分布到芯片中去。
- 在 ESD 过程中, 如果 VDD 对 VSS 反向放电, ESD 电流通过 P 衬底和 N 阱形成的二极管被旁路掉, 此时这个寄生二极管正向导通, 所以它的 ESD 保护能力强。

□ PAD, PAD 之间 ESD 低阻旁路

- 在 PAD 到 PAD 的电流通路中, ESD 电流经输入端的 ESD 保护器件流入电源线, 再通过电源线流经个个输出端的 ESD 保护器件到地。

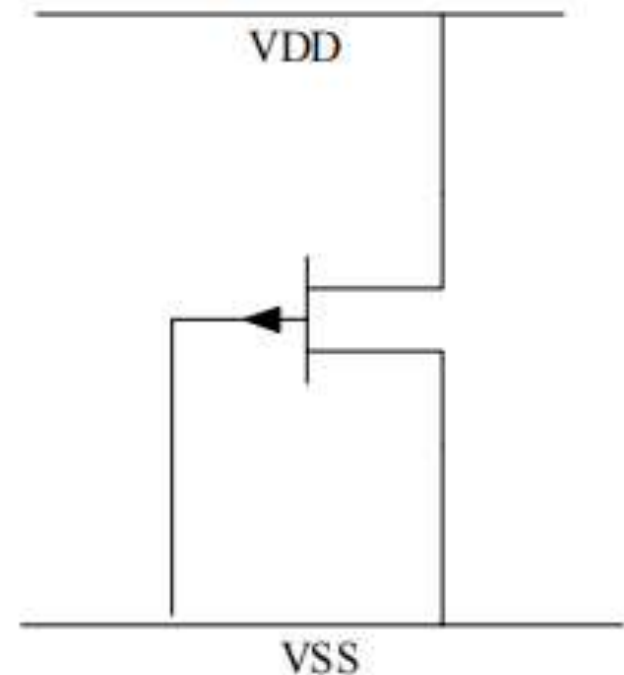


图11 VDD到VSS 基本
ESD电路保护结构

谢谢！

欢迎指正！