

2-作业-SoC设计流程与EDA工具

第二章 SoC设计流程与EDA工具

课件-BUPT-云邮

1. 简述数字集成电路设计流程。

- 高层次综合（非必须）
 - RTL设计
 - 系统级设计
 - 功能级设计
 - 逻辑综合
 - 形式化验证
 - 布局布线
 - 物理验证
 - GDSII生成
-

2. 谈谈你对软硬件协同设计的理解。

软硬件协同设计是一种设计方法，旨在通过同时考虑系统的硬件和软件部分，以优化系统整体性能、功耗、成本和开发时间。这种方法打破了传统的硬件和软件分离开发的模式，强调在系统设计的早期阶段进行软硬件的协同规划和设计，确保两者之间的接口和功能划分合理，最终实现高效、低功耗的系统。

软硬件

优点：

- 性能优化：系统设计的早期就考虑硬件和软件的协同工作，优化系统的整体性能
- 功耗优化：将高功耗任务分配给硬件处理
- 缩短开发周期：硬件和软件并行开发，减少了开发周期
- 灵活性高
- 易于控制成本

缺点：

- 设计复杂性增加
 - 调试难度加大
 - 软硬件划分困难：需要反复权衡调整
 - 工具支持有限
 - 团队协作要求高
-

3. 谈谈你对逻辑综合的理解。

简言之，逻辑综合，是将**RTL**代码（寄存器传输级代码，通常用Verilog或VHDL编写）转换为门级网表（Gate-Level Netlist）。门级网表是由基本的逻辑单元（如与门、或门、触发器等）组成的电路描述，具体对应于目标工艺库（Standard Cell Library）中的标准单元。

- 逻辑综合是从行为级描述到物理的第一步
 - 逻辑综合不仅完成了到门级网表的转变，还在过程中进行PPA优化（Performance、Power、Area）
-

4. 列举你知道的EDA厂家和相关工具。

- **Synopsys**
 - Synopsys **Design Compiler**：数字逻辑综合工具，将 RTL 代码转换为门级网表，并进行逻辑优化、面积优化、功耗优化
 - Synopsys **Prime Time**：静态时序分析（STA）工具，通过时序验证、违例检测、报告生成以及与其他工具集成，帮助设计人员确保芯片设计的时序性能和可靠性。
 - Synopsys Formality：形式验证工具，通过数学方法对设计进行形式验证，以确保设计在所有可能的输入条件下都能正确工作，通常用于验证综合后的设计与原始设计的一致性
 - Synopsys IC Compiler II：布局布线工具，将综合后的网表布局在芯片上，并进行精确的布线，以确保设计满足时序和物理约束
 - 等等
- **Cadence** 提供了一系列工具和解决方案，涵盖从数字IC设计到印刷电路板（PCB）设计的多个方面
 - Genus Synthesis Solution：逻辑综合工具
- **Siemens(Mentor Graphics)**
 - Calibre：行业领先的后端物理验证工具，提供设计规则检查（DRC）、版图与原理图比对（LVS）以及物理验证等功能，确保设计的电气性能和制造可行性。
- **AMD Xilinx**
 - **Vivado Design Suite**：FPGA 和 SoC（系统级芯片）设计工具，用于 HDL 设计的合成和分析的软件套件，可以完成从设计输入、综合、仿真到下载的完整 FPGA 流程。
 - **Vitis HLS**：高层次综合工具，将高层次编程语言（如 C、C++ 和 OpenCL）代码转换为硬件描述语言（HDL）代码，从而生成 FPGA 设计所需的硬件电路。
- **Intel Altera** 专注于 FPGA 和 CPLD 的设计制造
 - Quartus Prime Design Software：Altera 的 FPGA 设计套件，支持从设计输入到实现的全过程。

加粗的为使用过的