



北京邮电大学研究生课程

数字超大规模集成电路分析与设计

第二讲 基本器件和模型

梁利平

集成电路学院

2023年9月20日





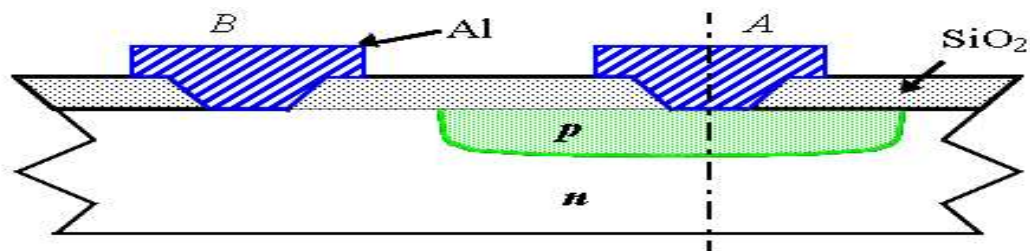
第二讲 基本器件和模型

本讲主要内容

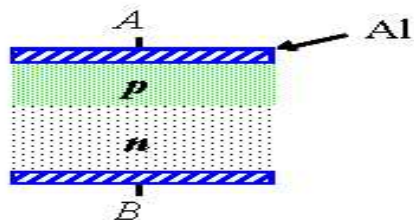
- (一) 二极管及SPICE模型
- (二) MOS晶体管及SPICE模型

1.1 二极管及SPICE模型

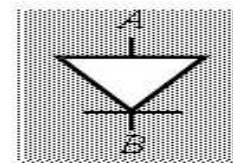
□ 二极管 (1) — 符号及工艺截面图



IC工艺PN结的截面图



一维表示

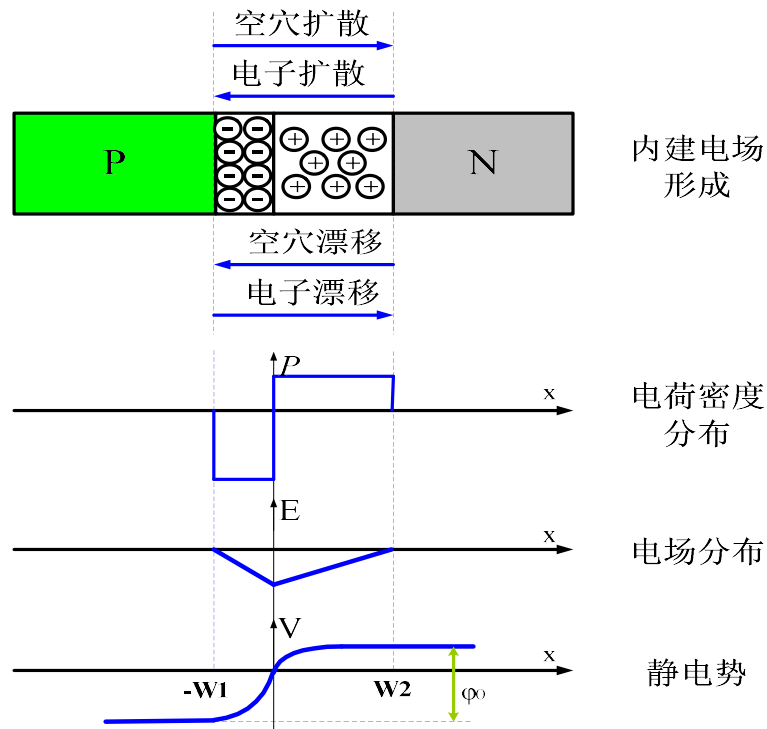


二极管符号

突变PN结二极管及其电路符号

1.2 二极管及SPICE模型

□ 二极管 (2) — 耗尽区 (零偏置突变PN结)



哪边掺杂浓度高?

内建电势

$$\phi_0 = \phi_T \ln \left[\frac{N_A N_D}{n_i^2} \right]$$

NA: 受主掺杂浓度
ND: 施主掺杂浓度

$$\phi_T = kT/q = 26\text{mV} \quad (300\text{K时})$$

PN结实际是载流子扩散运动和漂移运动达到平衡的结果，**动态平衡**

1.3 二极管及SPICE模型

□ 二极管（3）—电流电压方程

■ 理想的推导表达式
$$I_D = I_s (e^{V_D / \Phi_T} - 1)$$

其中, $\varphi_T = kT/q$ 热电势, 室温 (300K) 下26mV

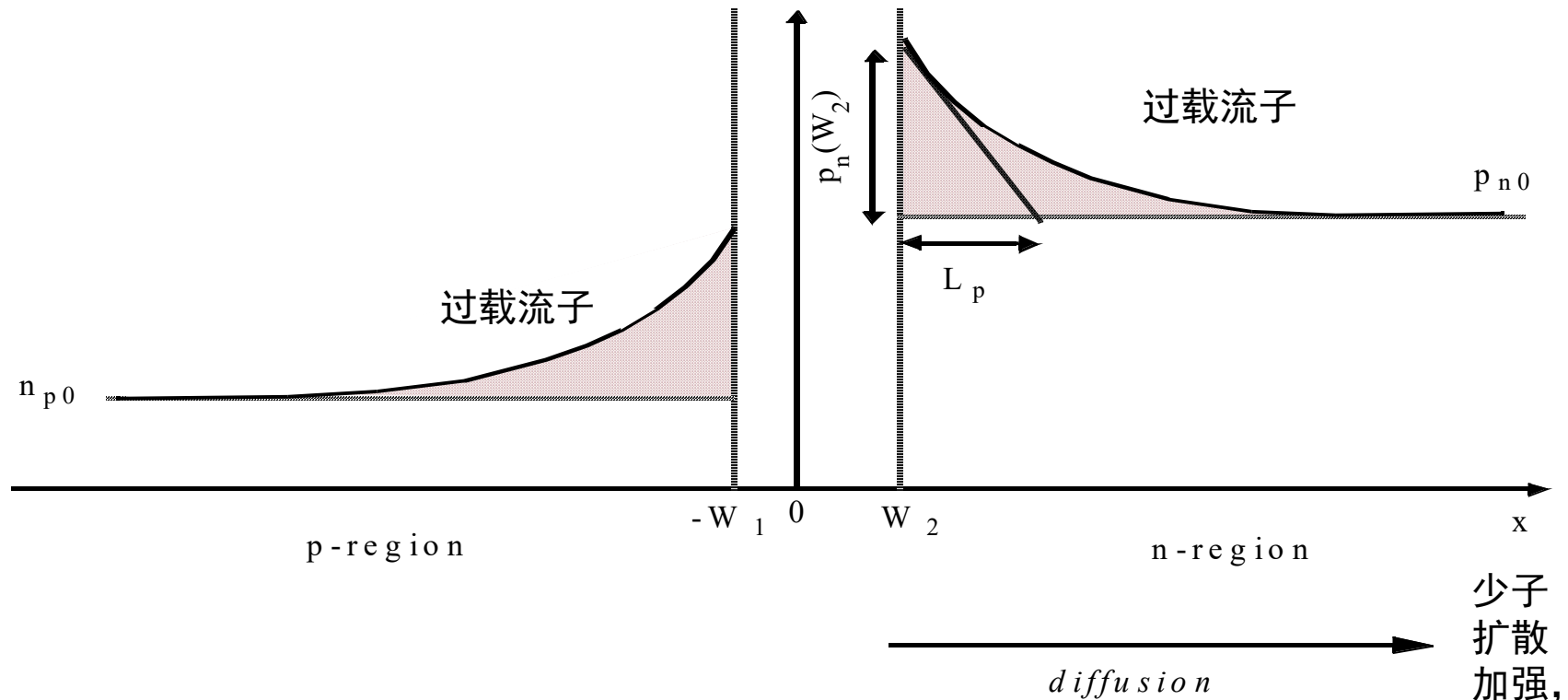
I_s 二极管饱和电流, 与二极管面积成正比, 且与掺杂浓度和中性区宽带有关

■ 特点

- 单相导电性: 正偏时打开, 电流呈指数上升;
反偏截止, 电流为常数(反相二极管饱和电流 $-I_s$)

1.4 二极管及SPICE模型

□ 二极管（4）—正偏情况



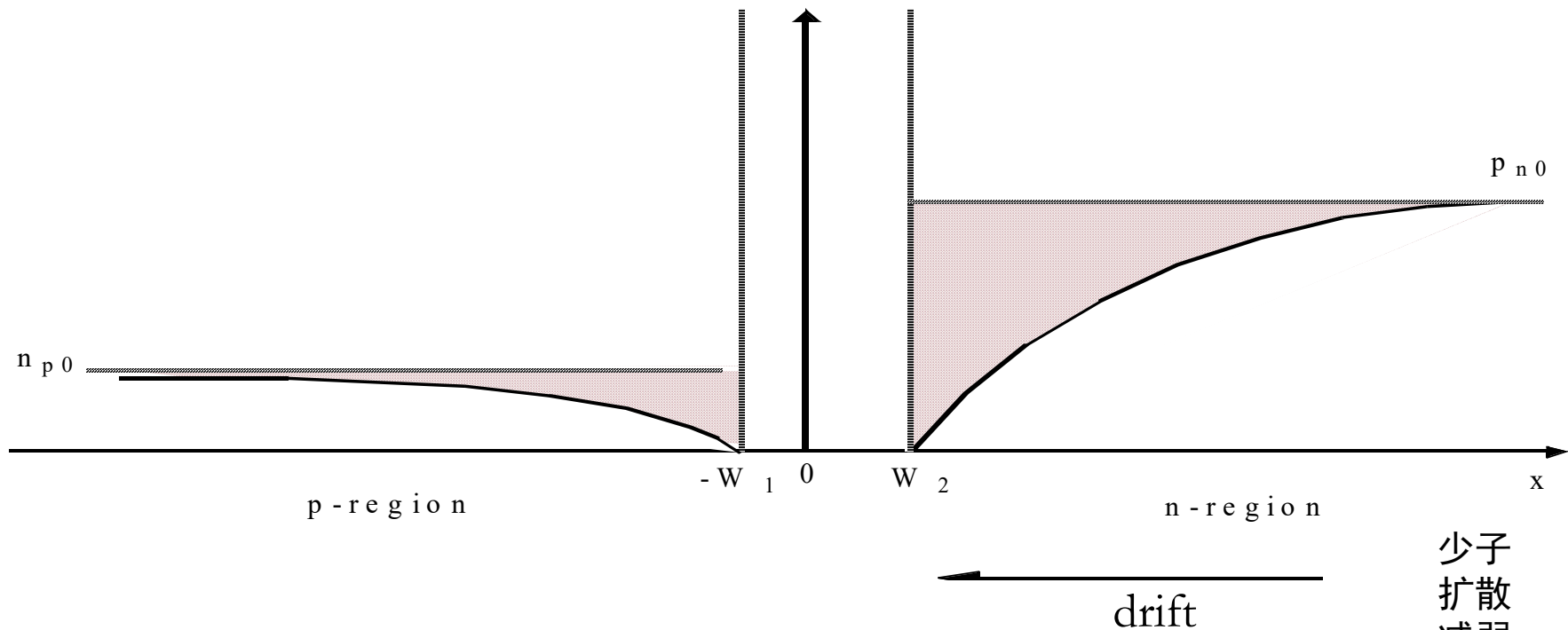
少子
扩散
加强,
漂移
减弱

PN结少子浓度分布图

外加电势降低了势垒，扩散电流超过漂移电流流过pn结，载流子穿过耗尽区中性的n区和p区，成为少数载流子进行扩散复合，形成漂移电流。

1.5 二极管及SPICE模型

□ 二极管（5）—反偏情况



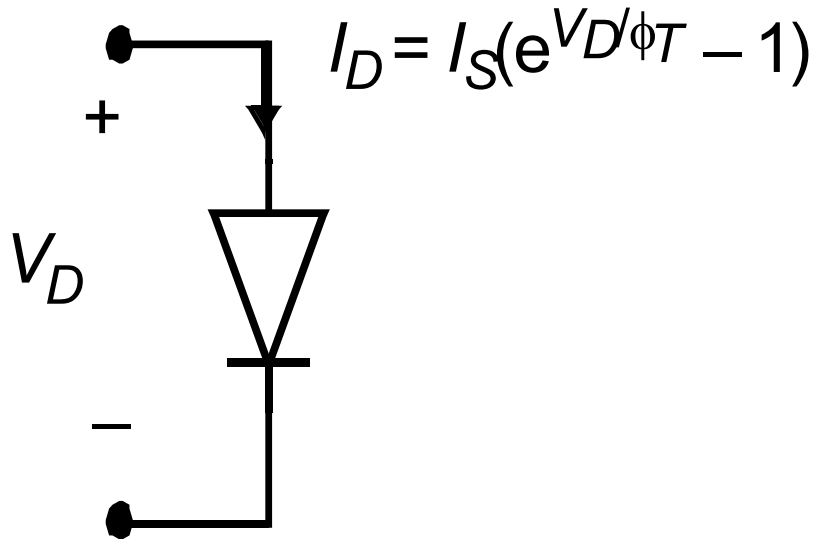
PN结少子浓度分布图

势垒上升，扩散电流减小，漂移电流成主导，电流从n区流向p区。由于中性区少子数量非常少，这一漂移电流部分几乎可以忽略不计。

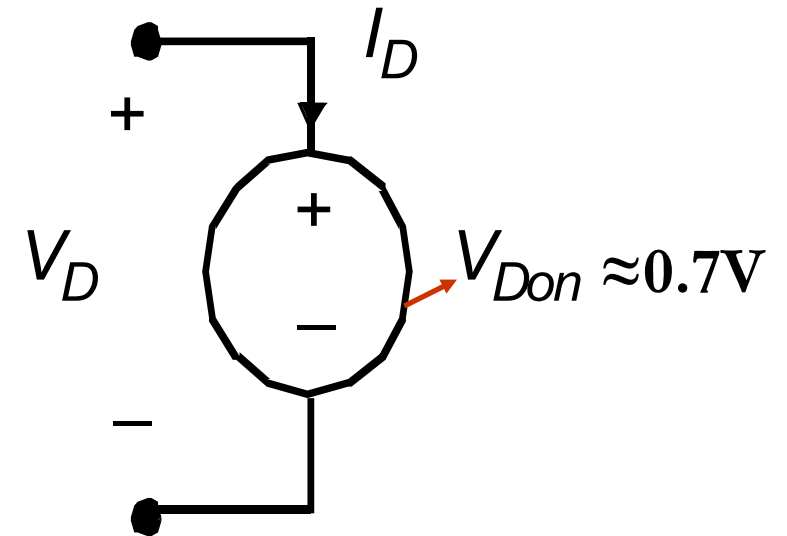
少子
扩散
减弱，
漂移
加强

1.6 二极管及SPICE模型

□ 二极管（6）—手工分析模型



(a) Ideal diode model



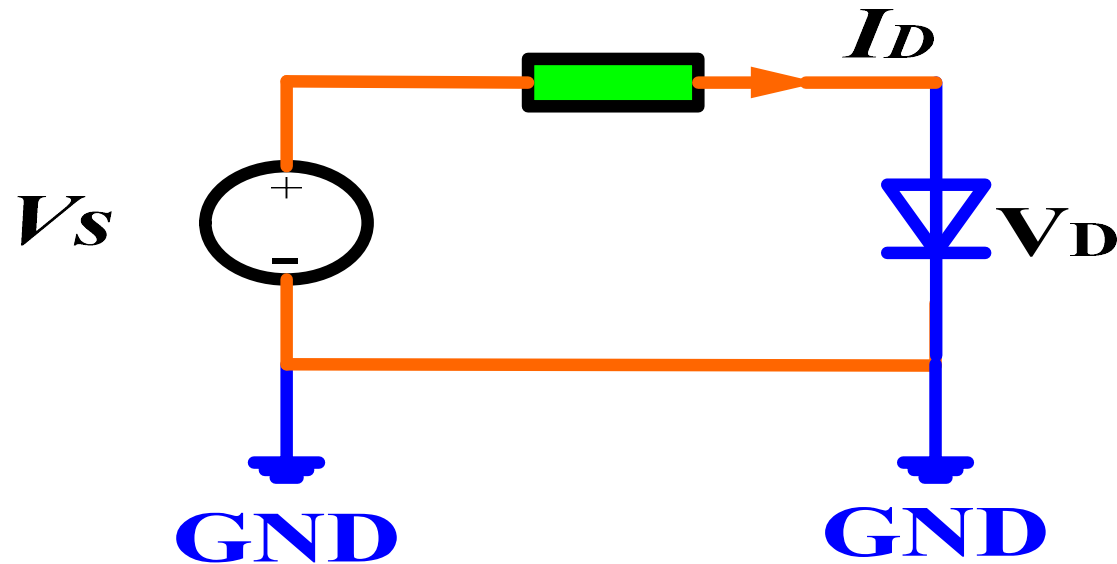
$$V_D - R_s I_D = V_{D \text{ on}}$$

(b) First-order diode model

1.7 二极管及SPICE模型

□ 二极管（7）—电路分析举例

$V_s = 3V$, $R_s = 10K\Omega$, $I_s = 0.5 \times 10^{-16}A$, 求 I_D

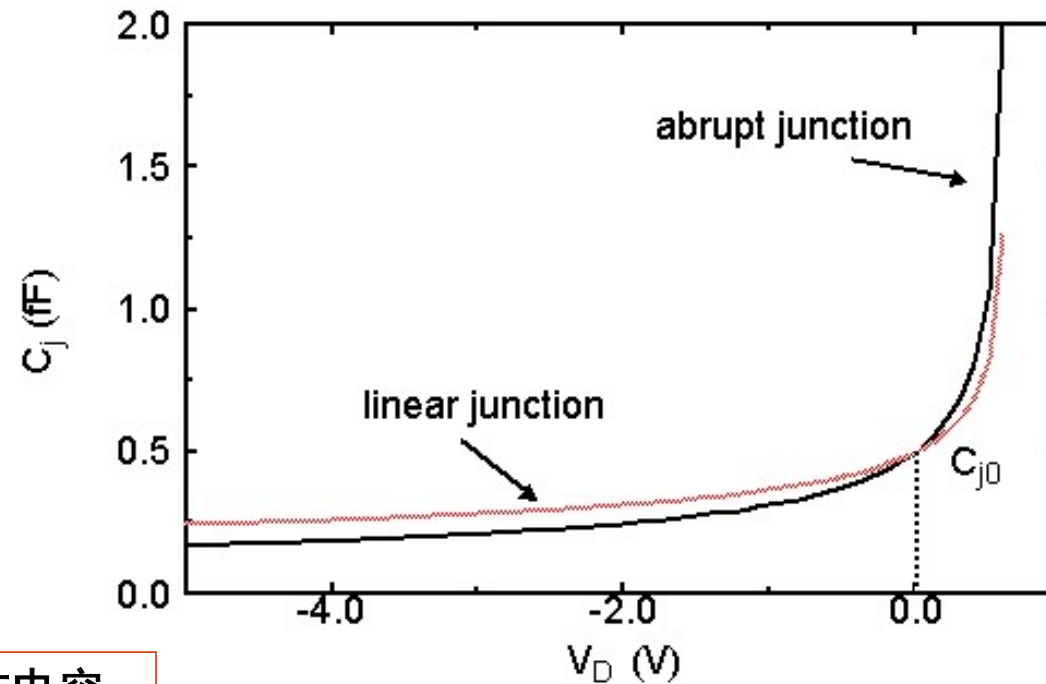


$$V_s - R_s I_D = V_D$$

1.8 二极管及SPICE模型

□ 二极管（8）—动态特性

■ 反偏时结电容 (主要是势垒电容)



1. C_{j0} 为零偏置条件下的结电容，正比于面积
2. 反偏电压越大，结电容越小

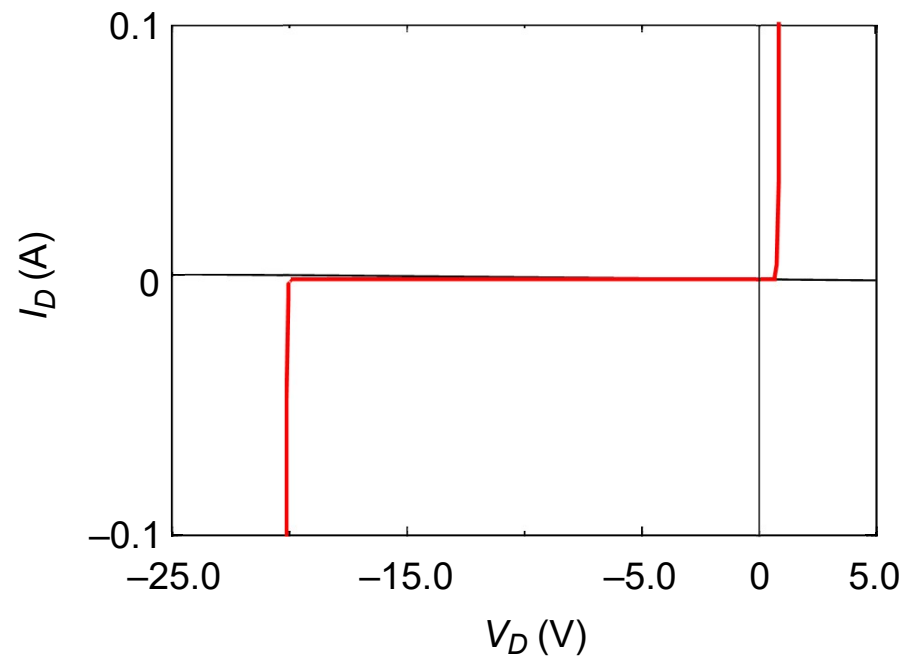
$$C_j = \frac{C_{j0}}{(1 - V_D / \phi_0)^m}$$

$m = 0.5$: abrupt junction
 $m = 0.33$: linear junction

1.9 二极管及SPICE模型

□ 二极管（9）—二阶效应

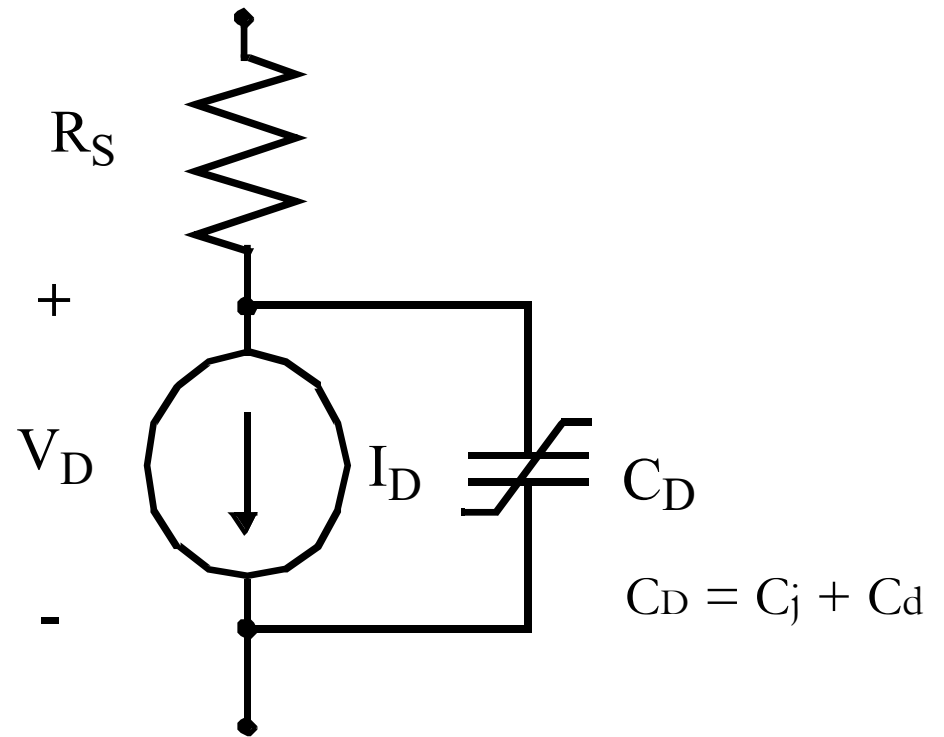
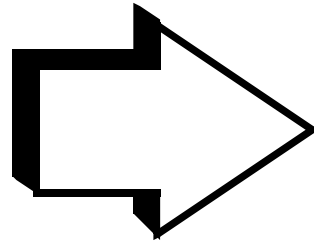
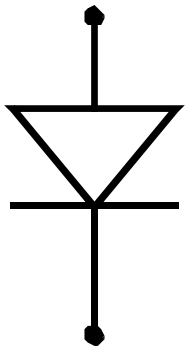
■ 问题：集成电路工艺中PN结为什么只有雪崩击穿？



Avalanche Breakdown

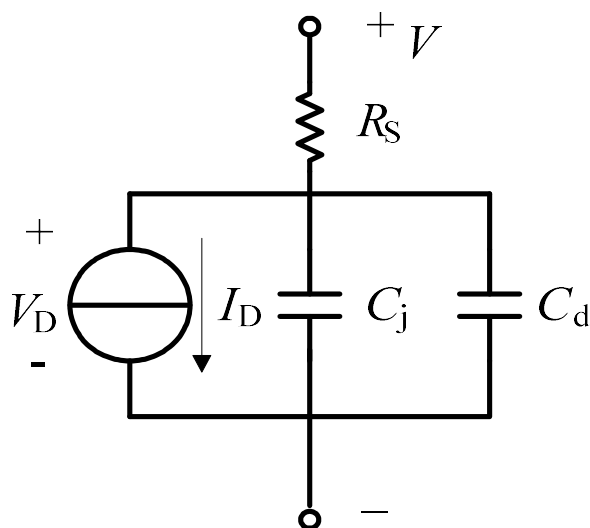
1.10 二极管及SPICE模型

□ 二极管（10） — 实际模型



1.11 二极管及SPICE模型

□ 二极管SPICE模型等效电路



$$V_D = V - I_D \cdot R_S \quad I_D = I_S \left(e^{\frac{V_D}{n \cdot V_t}} - 1 \right)$$

$$C_j = C_{j0} \left(1 - \frac{V_D}{V_0} \right)^{-m} \quad I_S = J_S \cdot A \quad V_t = \frac{kT}{q}$$

$$C_d = \frac{dQ}{dV_D} = \tau_T \frac{dI_D}{dV_D} \approx \frac{\tau_T I_D}{n \cdot V_t}$$

扩散电容的电荷由少子构成， τ_T 为渡越时间

C_j 和 C_d 分别代表PN结的势垒电容和扩散电容。

R_S 代表从外电极到结的路径上通常是半导体材料的电阻，称之为体电阻。

1.12 二极管及SPICE模型

□ 二极管SPICE模型参数

参数名	符号	Spice名	单位	缺省值
饱和电流	I_S	IS	A	1.0×10^{-14}
发射系数	n	N	-	1
串联体电阻	R_S	RS	Ω	0
渡越时间	τ_T	TT	s	0
零偏势垒电容	C_{j0}	CJ0	F	0
梯度因子	m	M	-	0.5
PN结内建势垒	V_0	VJ	V	1

1.13 二极管和MOS晶体管

□ 二极管小结

- 二极管的势垒是一种动态平衡
- 二极管单向开关，其导通受电压控制
- 在MOS集成电路中PN结反向偏置是常态
- 二极管反偏时，耗尽区电容取决于电压且非线性

□ 问题

- 反向偏置二极管的漏电和什么有关？
- 辐照下反向偏置二极管漏电增大，是什么原因？



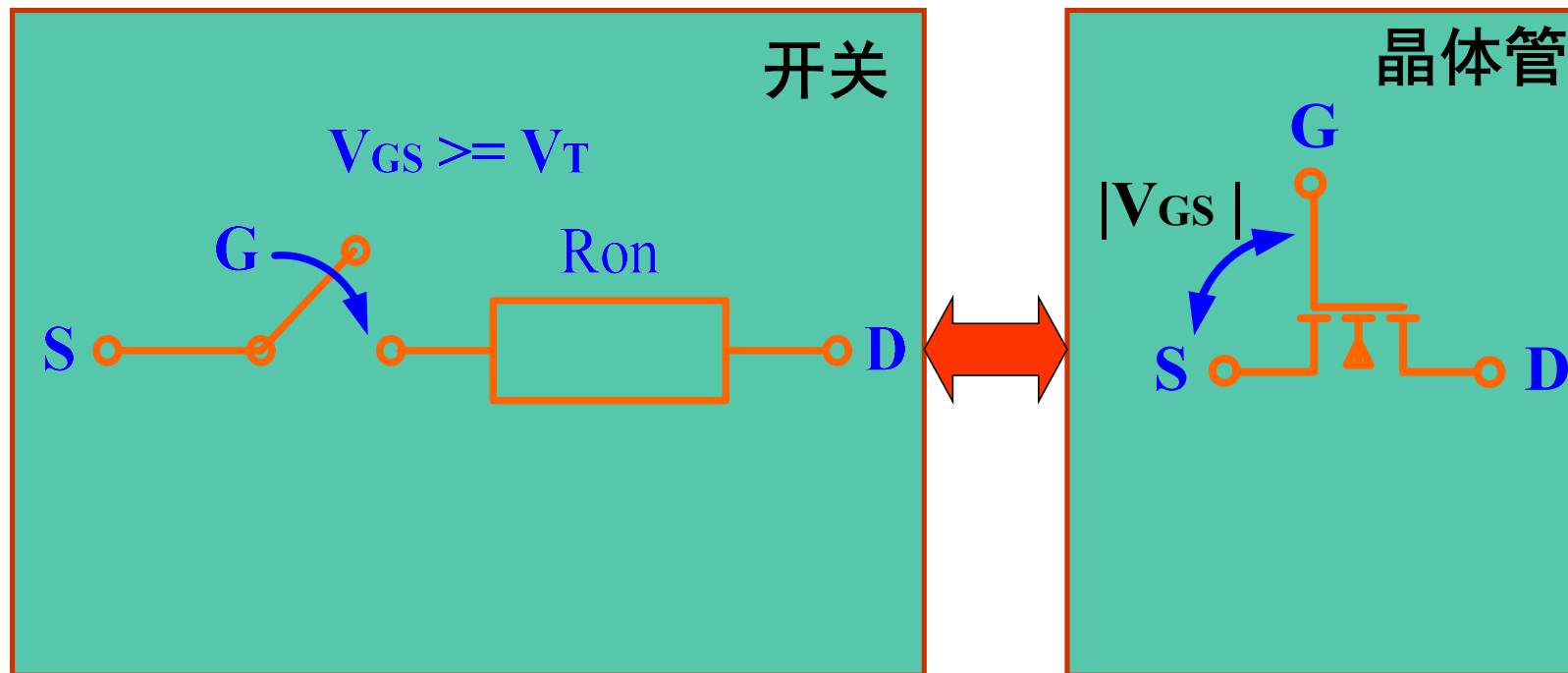
第二讲 基本器件和模型

本讲主要内容

- （一）二极管及SPICE模型
- （二）MOS晶体管及SPICE模型

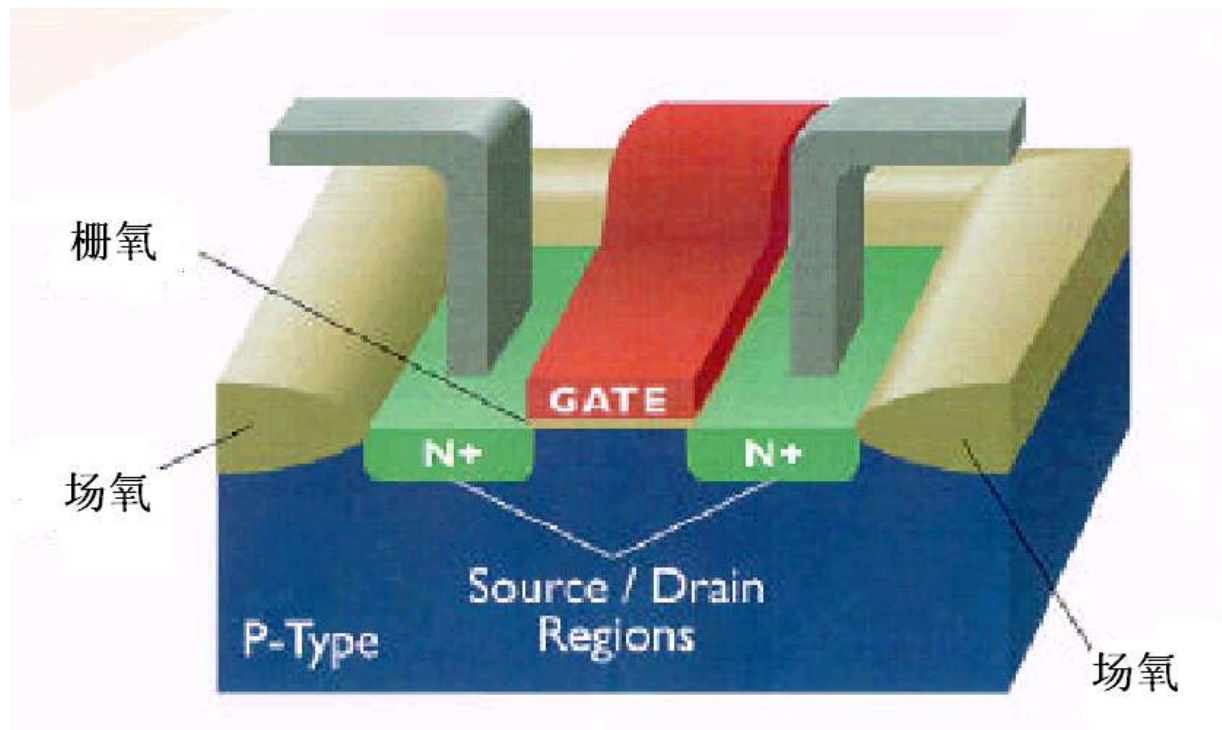
2.1 MOS晶体管及SPICE模型

□ MOS晶体管 (1) — 开关模型



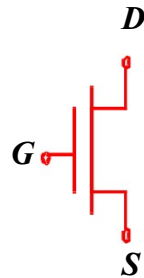
2.2 MOS晶体管及SPICE模型

□ MOS晶体管（2）— 工艺结构

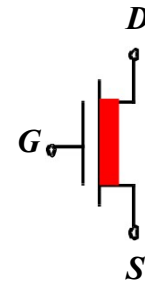


2.3 MOS晶体管及SPICE模型

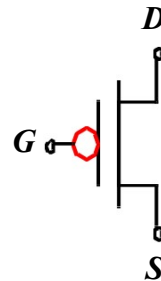
□ MOS晶体管（3） — 类型和符号



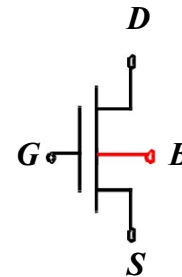
NMOS Enhancement



NMOS Depletion



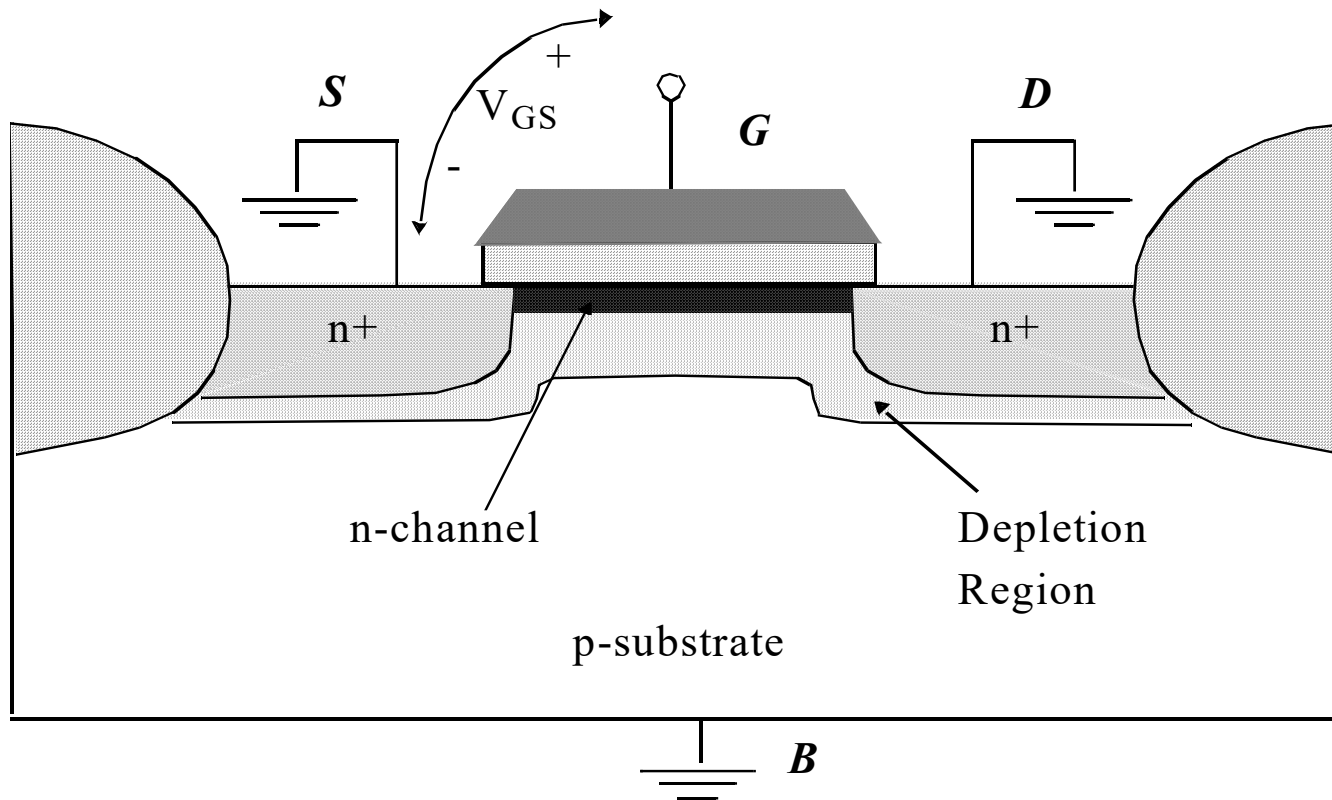
PMOS Enhancement



NMOS with
Bulk Contact

2.4 MOS晶体管及SPICE模型

- MOS晶体管（4）— 开启电压 (V_T)
 - （阈值电压 Threshold Voltage）概念



2.5 MOS晶体管及SPICE模型

□ MOS晶体管（5）— 开启电压 (V_T)

■ 表达式的计算和推导

$$V_T = \phi_{mS} - 2\phi_F - \frac{Q_B}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} - \frac{Q_I}{C_{ox}}$$

Workfunction Difference
Depletion Layer Charge
Surface Charge
Implants

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

Body Effect Coefficient

with

$$V_{T0} = \phi_{mS} - 2\phi_F - \frac{Q_{B0}}{C_{ox}} - \frac{Q_{SS}}{C_{ox}} - \frac{Q_I}{C_{ox}}$$

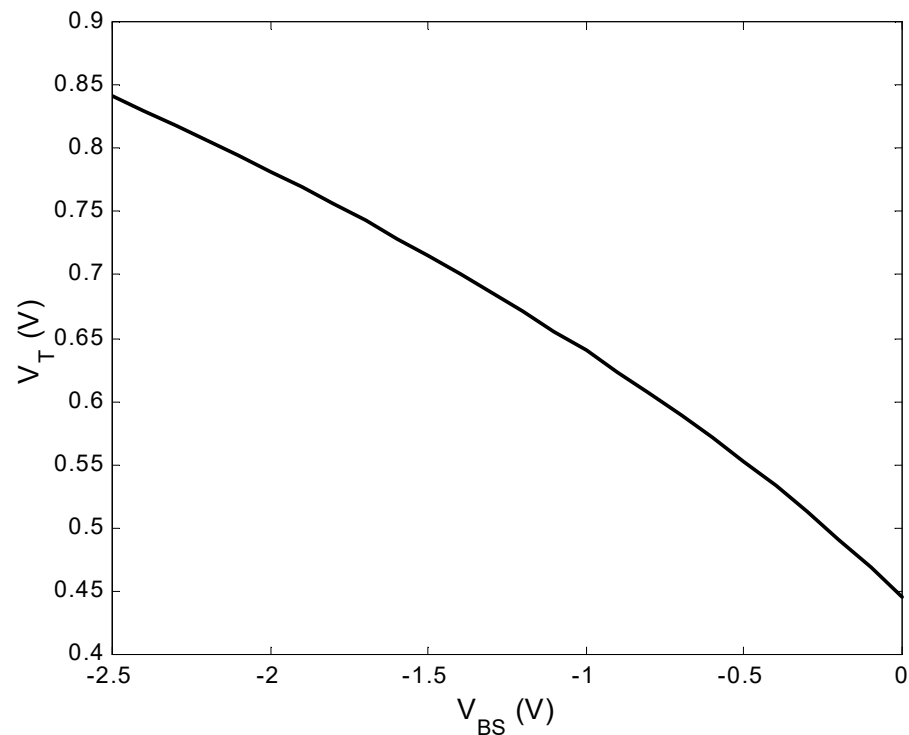
and

$$\gamma = \frac{\sqrt{2q\epsilon_{Si}N_A}}{C_{ox}}$$

2.6 MOS晶体管及SPICE模型

□ MOS晶体管（6）— 开启电压 (V_T)

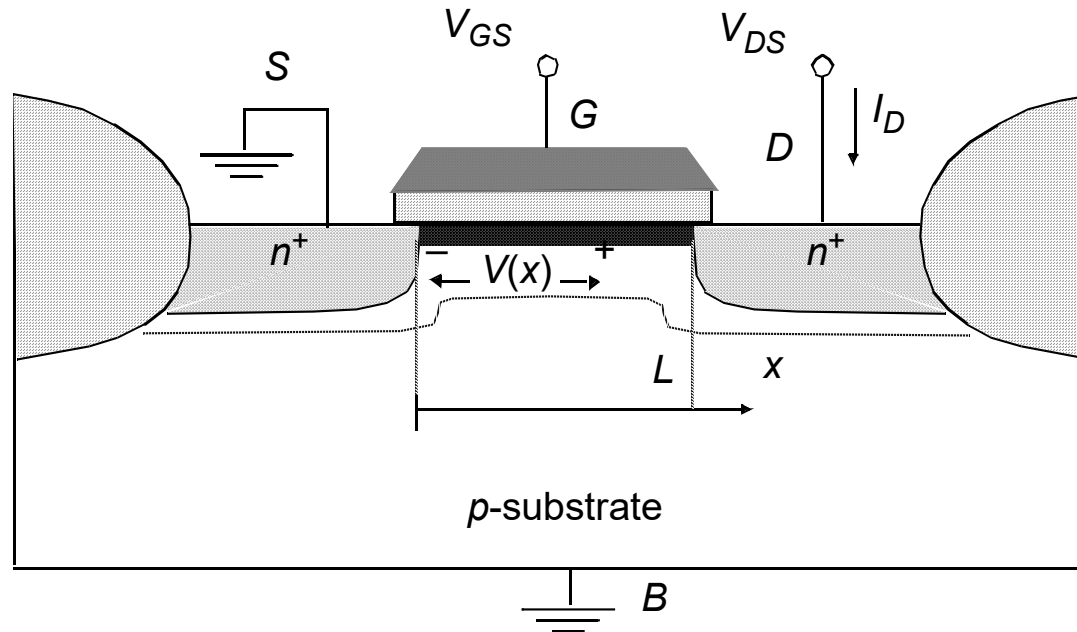
- 体效应 (Body Effect)：即当 V_B 下降、 Q_b 上升时，耗尽区变得更宽， V_{th} 也会增大。这种由于 V_{BS} 不为0而引起阈值电压的变化的效应就称为“衬底偏置效应”，也称为“背栅效应”。



2.7 MOS晶体管及SPICE模型

□ MOS晶体管（7）— 电阻工作区

■ 图示

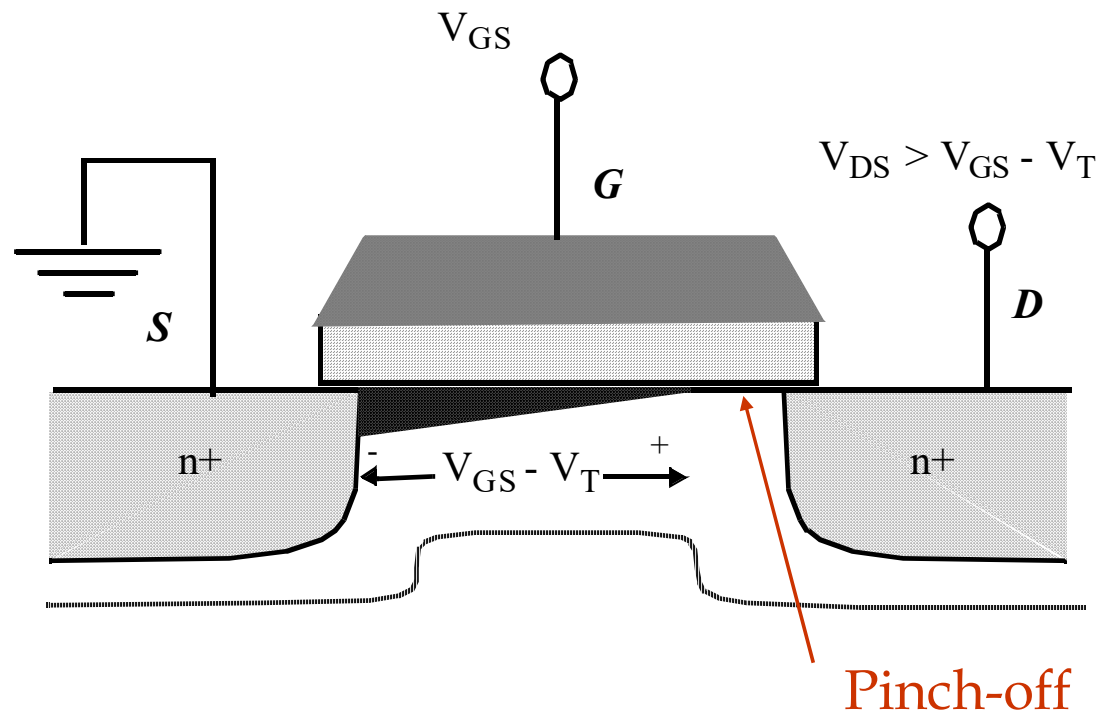


MOS transistor and its bias conditions

2.8 MOS晶体管及SPICE模型

□ MOS晶体管（8）— 饱和工作区

■ 图示



2.9 MOS晶体管及SPICE模型

□ MOS晶体管（9）— 电流电压关系式（长沟道）

Linear Region: $V_{DS} \leq V_{GS} - V_T$

$$I_D = k'_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

with

$$k'_n = \mu_n C_{ox} = \frac{\mu_n \epsilon_{ox}}{t_{ox}} \quad \text{Process Transconductance Parameter}$$

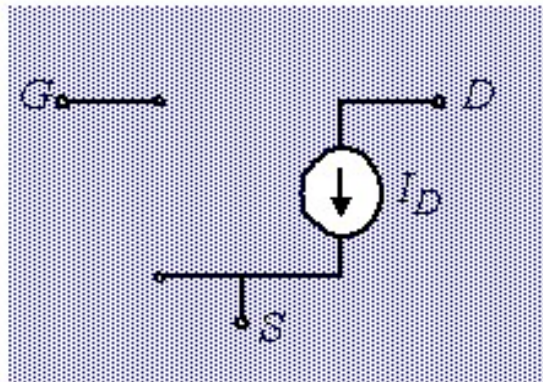
Saturation Mode: $V_{DS} \geq V_{GS} - V_T$

Channel Length Modulation

$$I_D = \frac{k'_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

2.10 MOS晶体管及SPICE模型

□ MOS晶体管（10）— 手工分析模型



$$V_{DS} > V_{GS} - V_T$$

$$I_D = \frac{k'_n W}{2 L} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

$$V_{DS} < V_{GS} - V_T$$

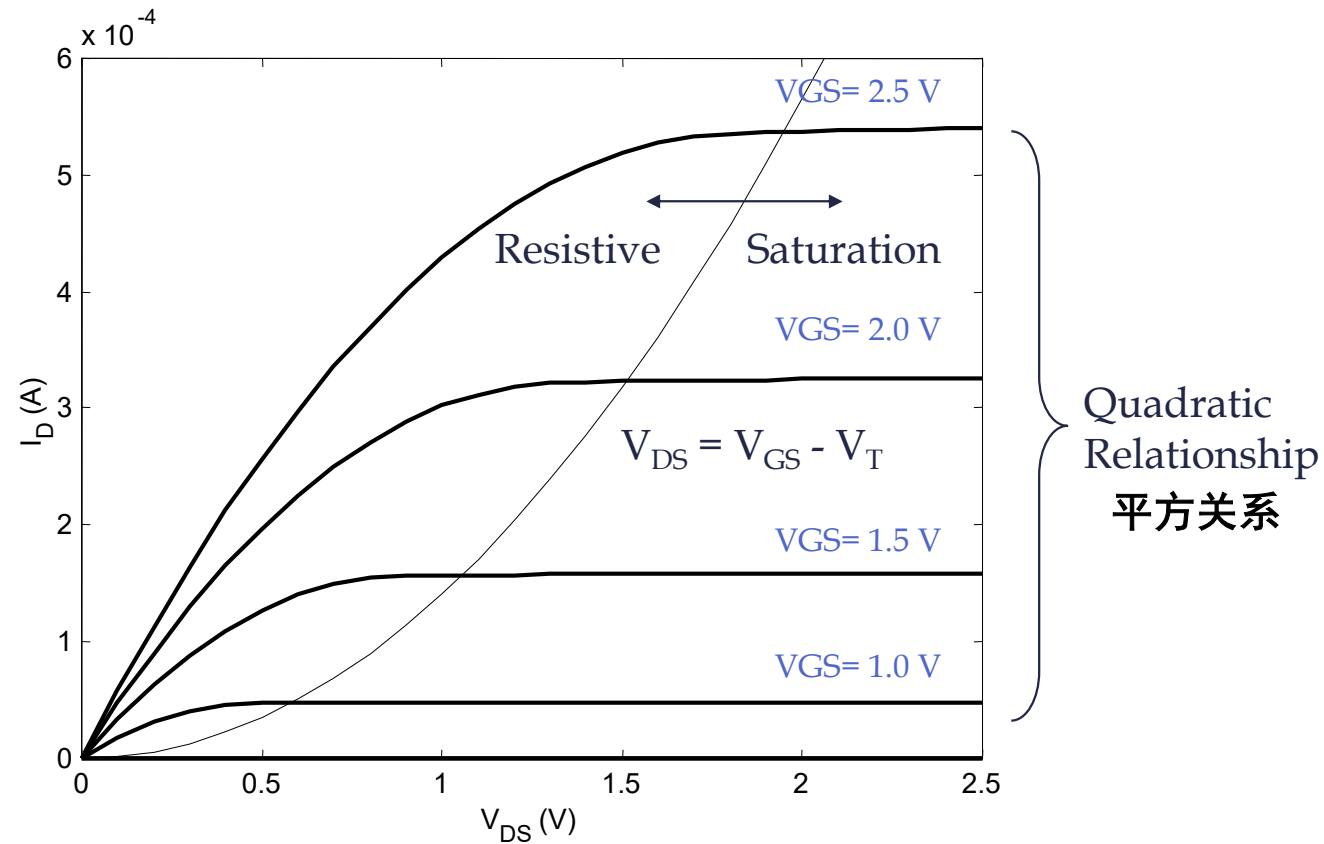
$$I_D = k'_n \frac{W}{L} \left((V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right)$$

with

$$V_T = V_{T0} + \gamma (\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

2.11 MOS晶体管及SPICE模型

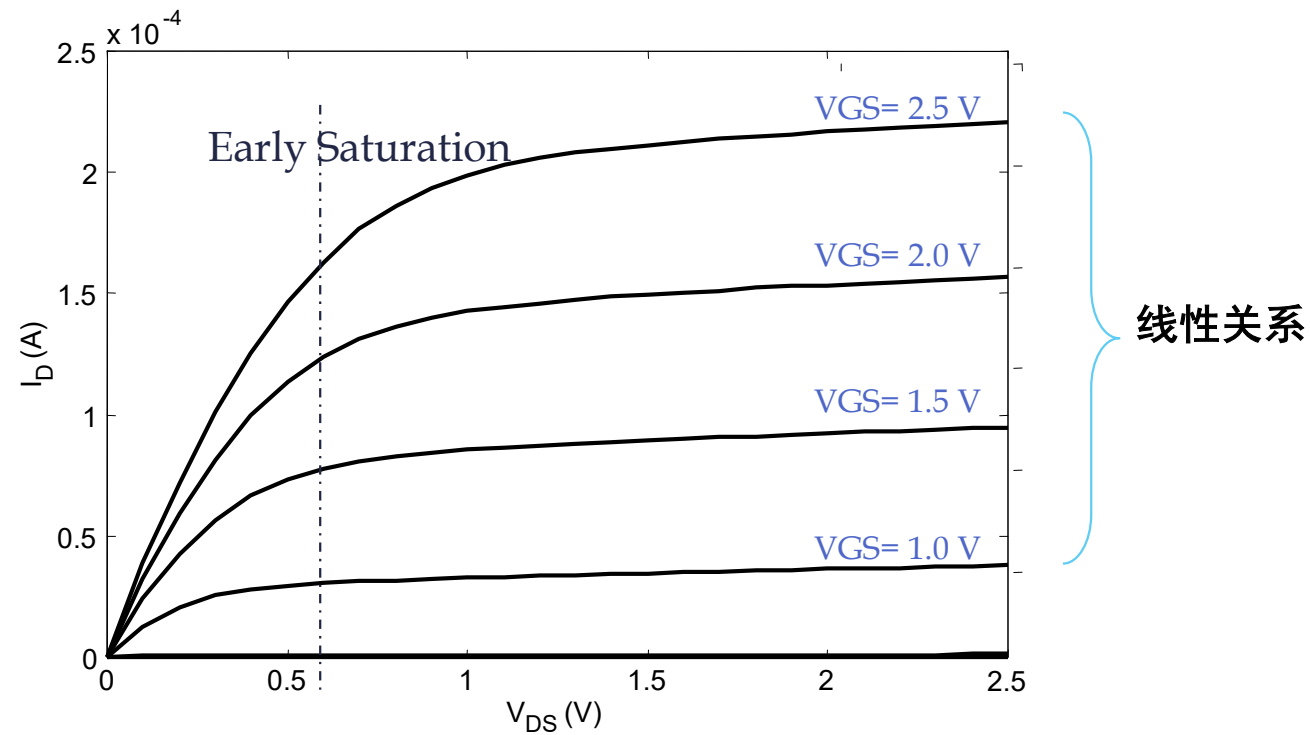
□ MOS晶体管（11）— 理想特性曲线



2.12 MOS晶体管及SPICE模型

□ MOS晶体管（12）— 短沟效应

■ 电路电压关系曲线



2.13 MOS晶体管及SPICE模型

□ MOS晶体管（13）— 短沟效应

- **沟道长度调制**：在饱和时沟道会发生夹断，且夹断点的位置随栅漏之间的电压差的增加而往源极移动，即**有效沟道长度 L'** 实际上是 V_{DS} 的函数。这种由于**源漏电压变化**引起沟道有效长度改变的效应称为“**沟道调制效应**”。

□ λ 是一个经验参数，与沟道长度成反比

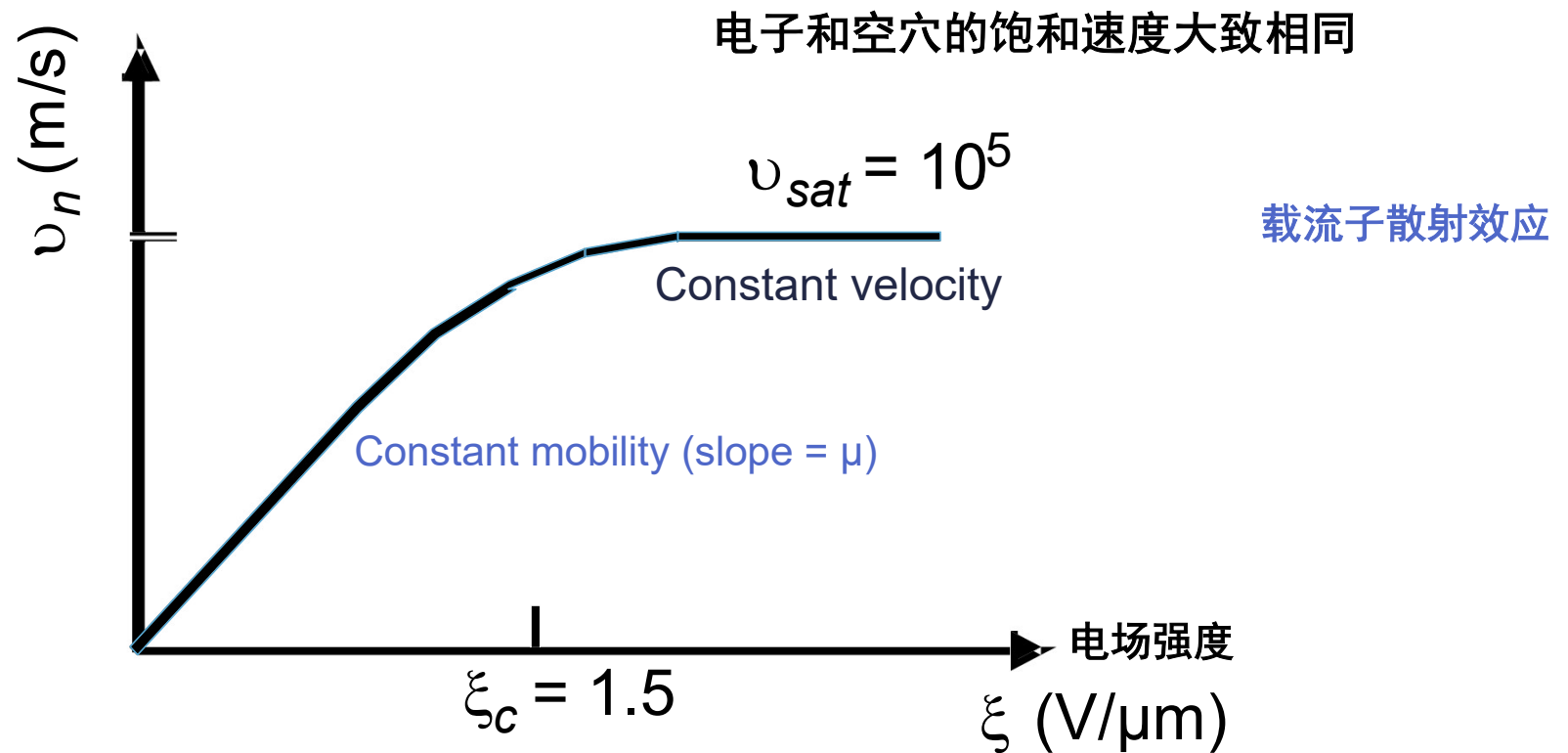
□ 在短沟中，漏结耗尽区占了沟道的较大部分

□ 增加 V_{DS} 使漏结耗尽区变大，沟道调制效应更加显著

2.14 MOS晶体管及SPICE模型

□ MOS晶体管（14） — 短沟效应

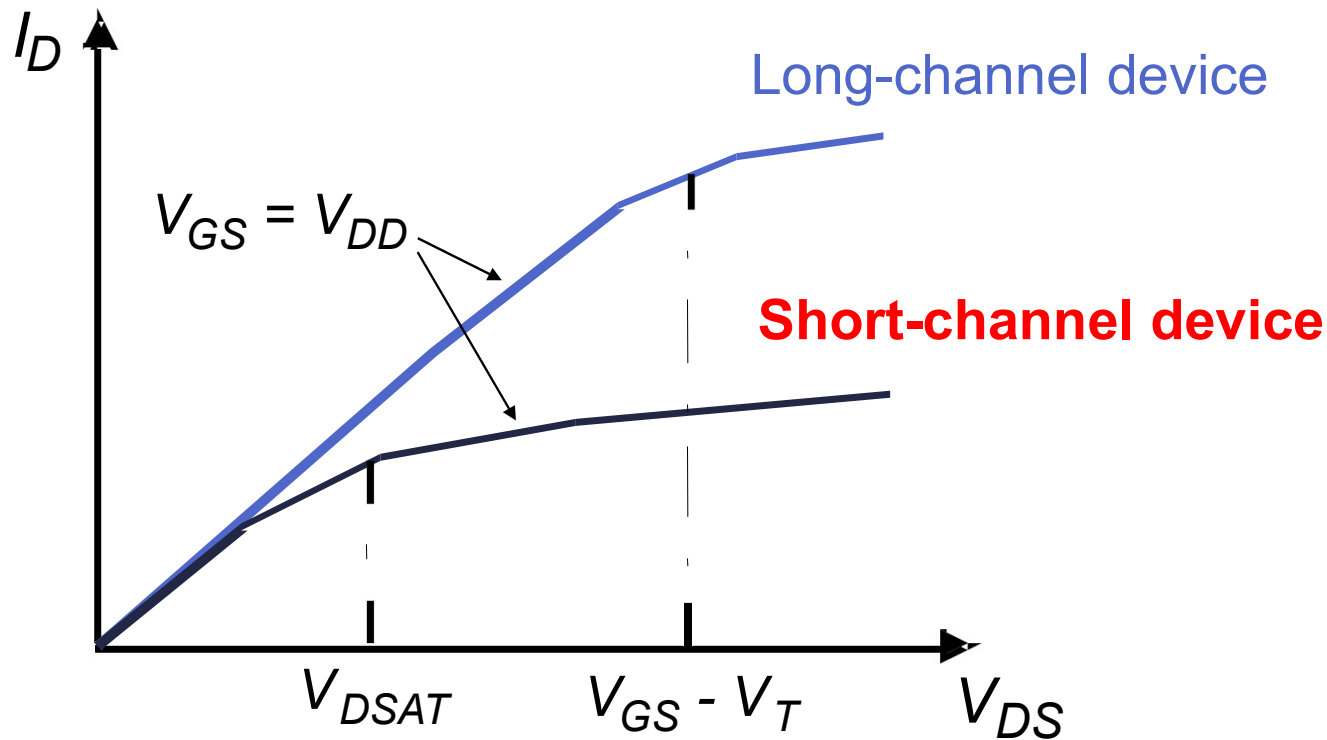
■ 速度饱和



2.15 MOS晶体管及SPICE模型

□ MOS晶体管（15）— 短沟效应

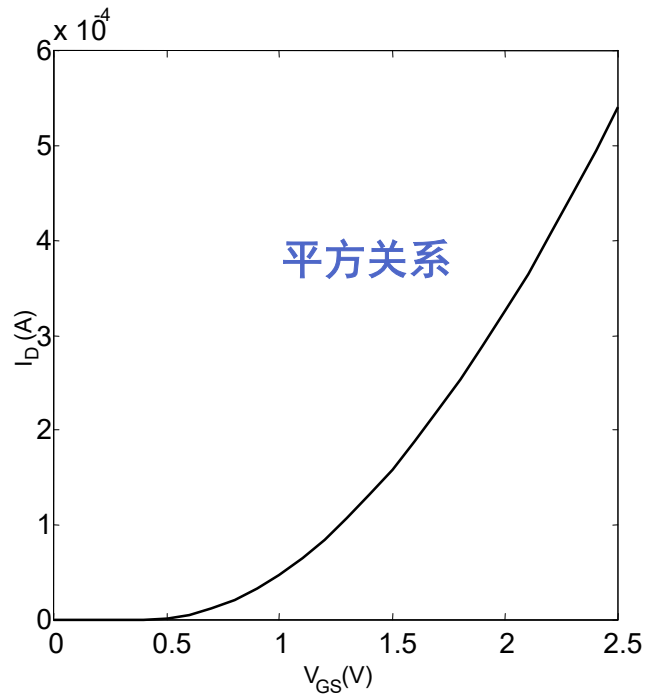
■ 速度饱和带来的影响（电流电压曲线）



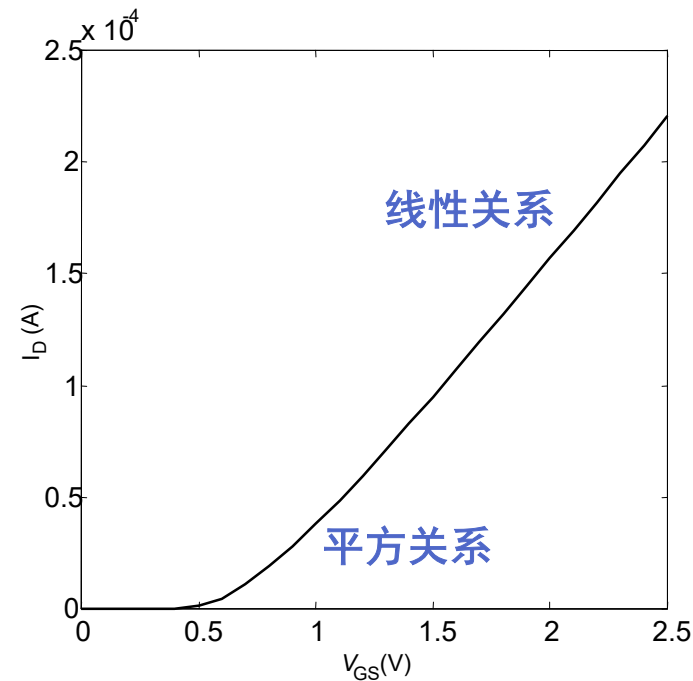
2.16 MOS晶体管及SPICE模型

□ MOS晶体管（16）— 短沟效应

■ 速度饱和带来的影响（ I_D versus V_{GS} ）



长沟器件 $L_d = 10 \mu\text{m}$

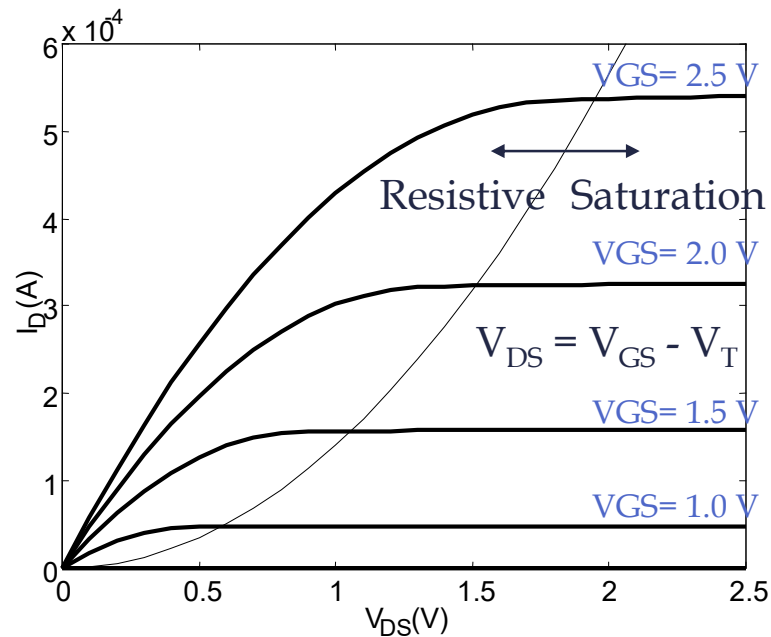


短沟器件 $L_d = 0.25 \mu\text{m}$

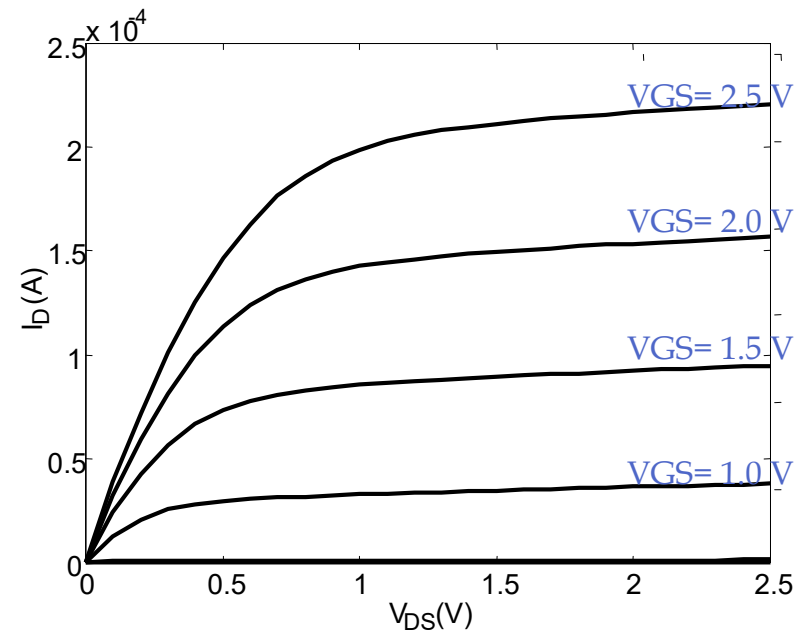
2.17 MOS晶体管及SPICE模型

□ MOS晶体管（17）— 短沟效应

■ 速度饱和带来的影响 (I_D versus V_{DS})



长沟器件 $L_d = 10 \mu m$

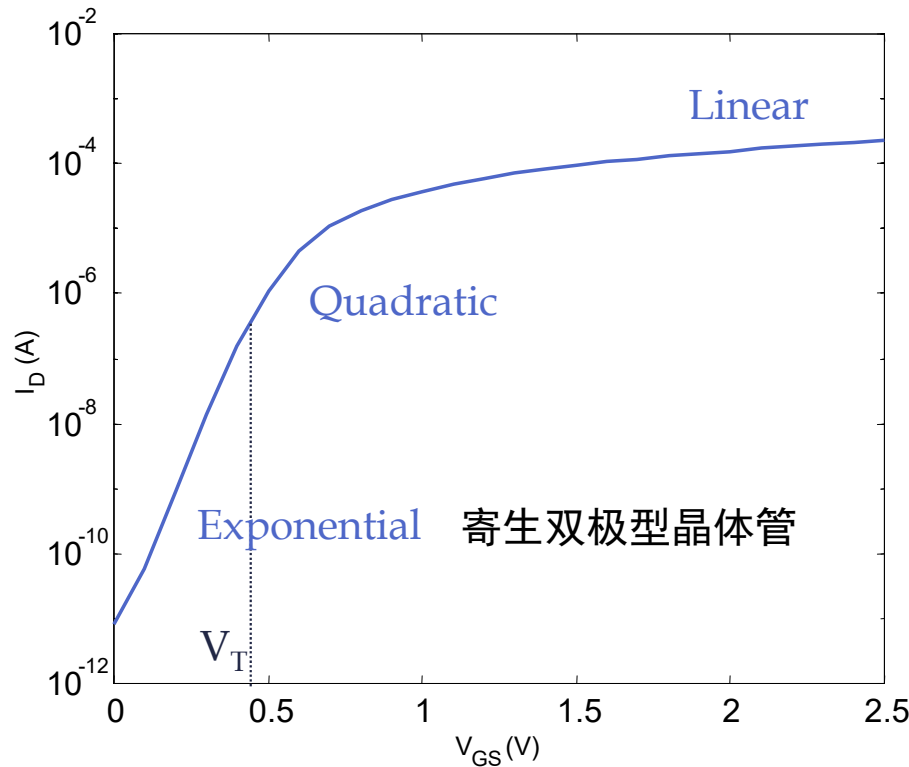


短沟器件 $L_d = 0.25 \mu m$

2.18 MOS晶体管及SPICE模型

□ MOS晶体管（18）—短沟效应

■ 亚阈值情形



The Slope Factor

$$I_D \sim I_0 e^{\frac{qV_{GS}}{nkT}}, \quad n = 1 + \frac{C_D}{C_{ox}}$$

S is ΔV_{GS} for $I_{D2}/I_{D1} = 10$

$$S = n \left(\frac{kT}{q} \right) \ln(10)$$

Typical values for S : 60 .. 100 mV/decade

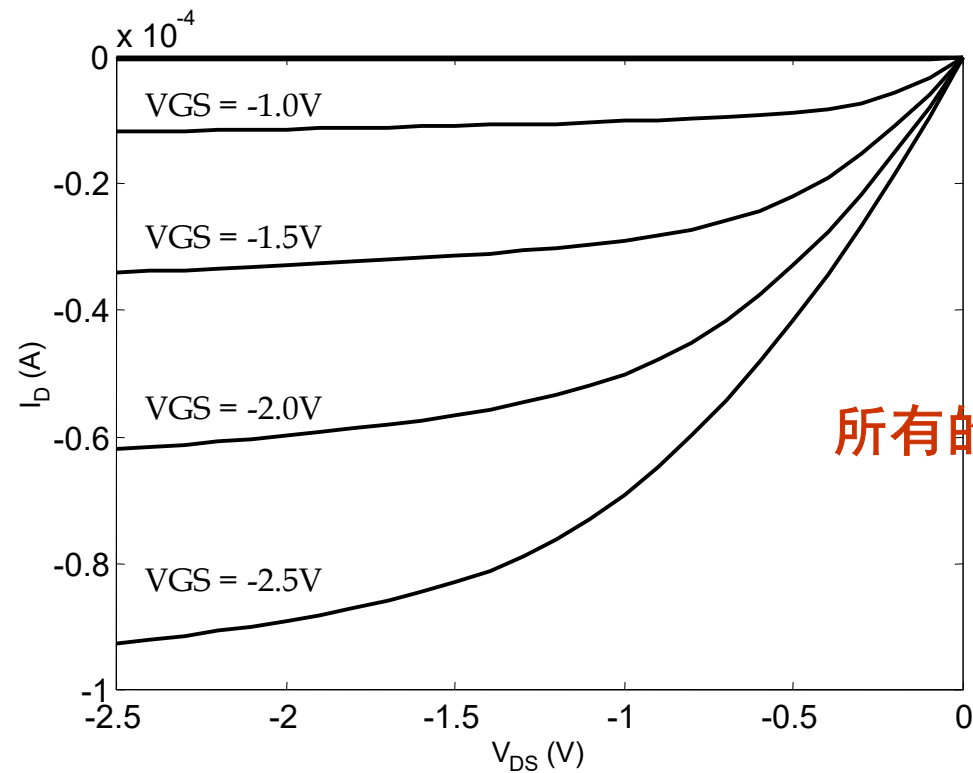
亚阈值电流和 V_{GS} 的关系

$$I_D = I_0 e^{\frac{qV_{GS}}{nkT}} \left(1 - e^{-\frac{qV_{DS}}{kT}} \right)$$

2.19 MOS晶体管及SPICE模型

□ MOS晶体管（19） — PMOS管

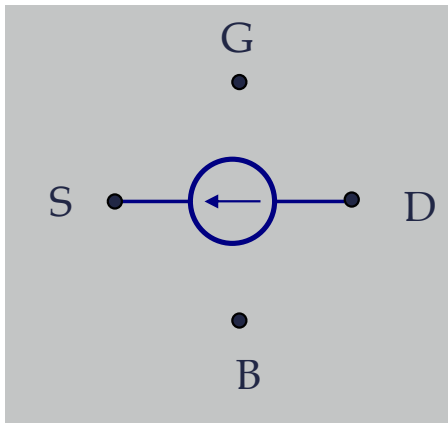
■ 电流电压曲线



所有的变量均为负的！

2.20 MOS晶体管及SPICE模型

□ MOS晶体管（20）－手工分析统一模型



$$I_D = 0 \text{ for } V_{GT} \leq 0$$

$$I_D = k' \frac{W}{L} \left(V_{GT} V_{min} - \frac{V_{min}^2}{2} \right) (1 + \lambda V_{DS}) \text{ for } V_{GT} \geq 0$$

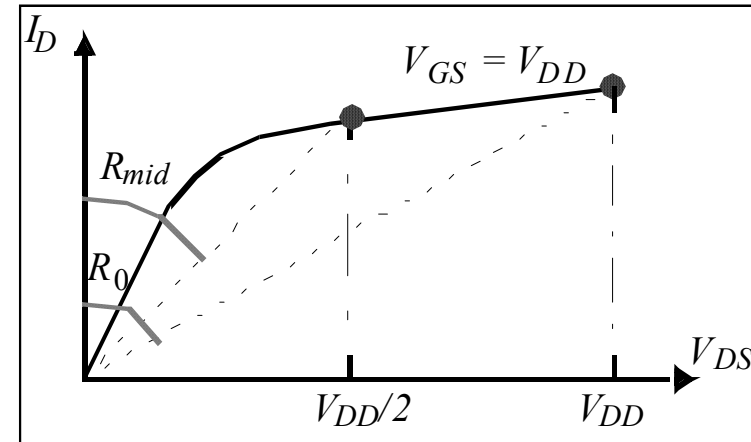
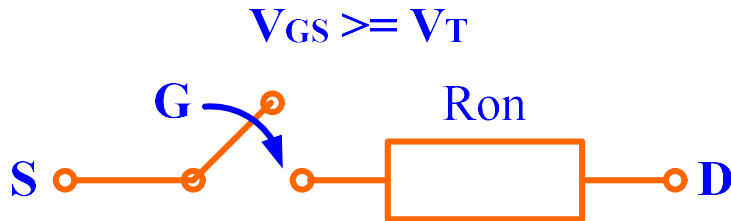
$$\text{with } V_{min} = \min(V_{GT}, V_{DS}, V_{DSAT}),$$

$$V_{GT} = V_{GS} - V_T,$$

$$\text{and } V_T = V_{T0} + \gamma (\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|})$$

2.21 MOS晶体管及SPICE模型

□ MOS晶体管 (21) — 开关模型等效电阻 (充放电电容时的等效电阻)

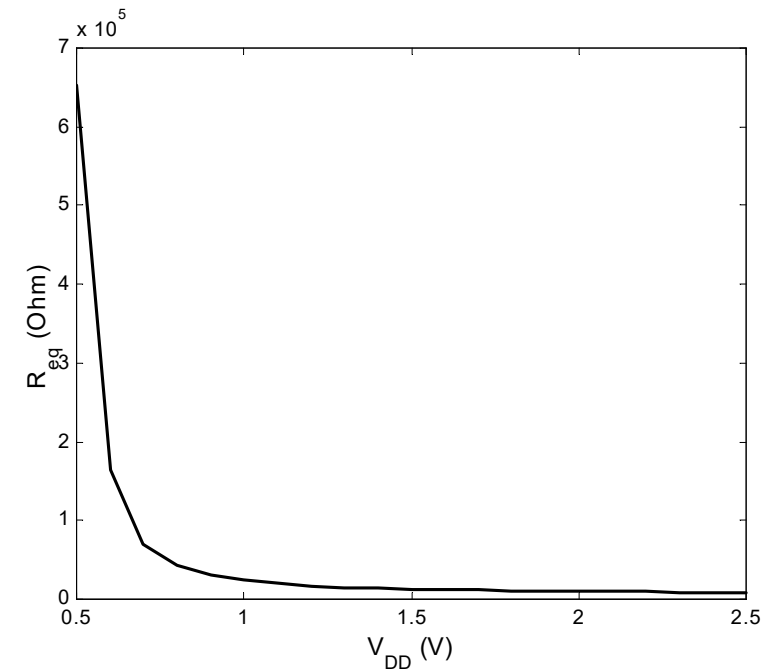


$$R_{eq} = \frac{1}{2} \left(\frac{V_{DD}}{I_{DSAT}(1 + \lambda V_{DD})} + \frac{V_{DD}/2}{I_{DSAT}(1 + \lambda V_{DD}/2)} \right) \approx \frac{3}{4} \frac{V_{DD}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)$$

2.22 MOS晶体管及SPICE模型

□ MOS晶体管（22）－ 开关模型等效电阻 （充放电电容时的等效电阻）

- 电阻反比于器件的 W/L 比
- 当 $V_{DD} \gg V_T + V_{DSAT}/2$ 时，电阻与电源电压无关
- 一旦电源电压接近 V_T ，电阻会急剧增加



2.23 MOS晶体管及SPICE模型

□ MOS晶体管（23）— 开关模型等效电阻

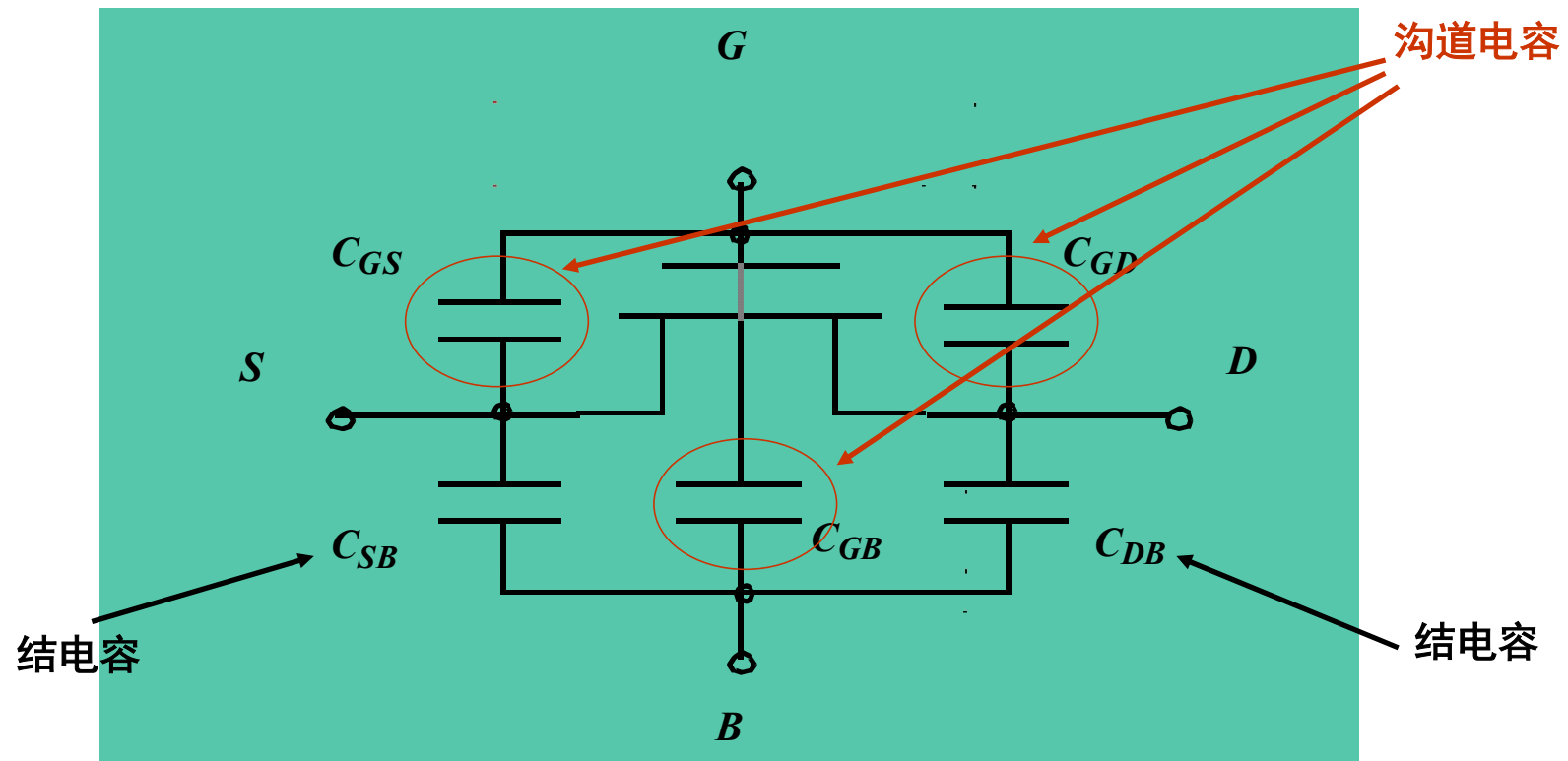
■ 经验值（0.25 μm 工艺）

Table 3.3 Equivalent resistance R_{eq} ($W/L = 1$) of NMOS and PMOS transistors in 0.25 μm CMOS process (with $L = L_{min}$). For larger devices, divide R_{eq} by W/L .

V_{DD} (V)	1	1.5	2	2.5
NMOS ($k\Omega$)	35	19	15	13
PMOS ($k\Omega$)	115	55	38	31

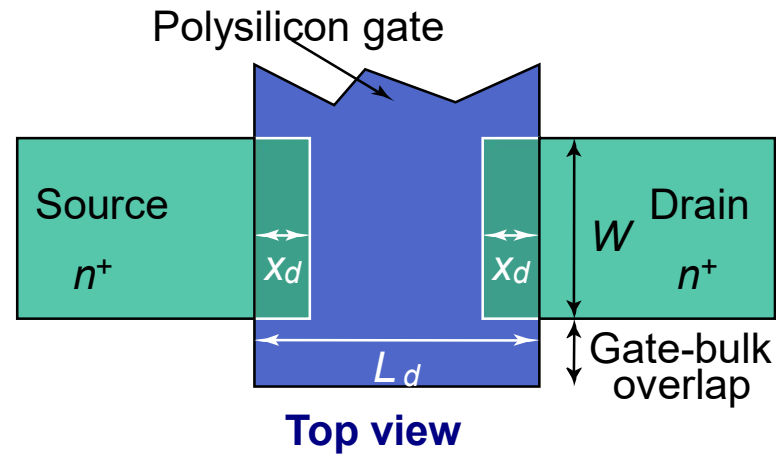
2.24 MOS晶体管及SPICE模型

□ MOS管电容 (1)

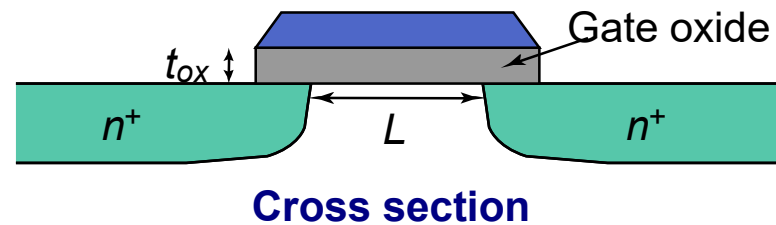


2.25 MOS晶体管及SPICE模型

□ MOS管电容（2）—沟道电容

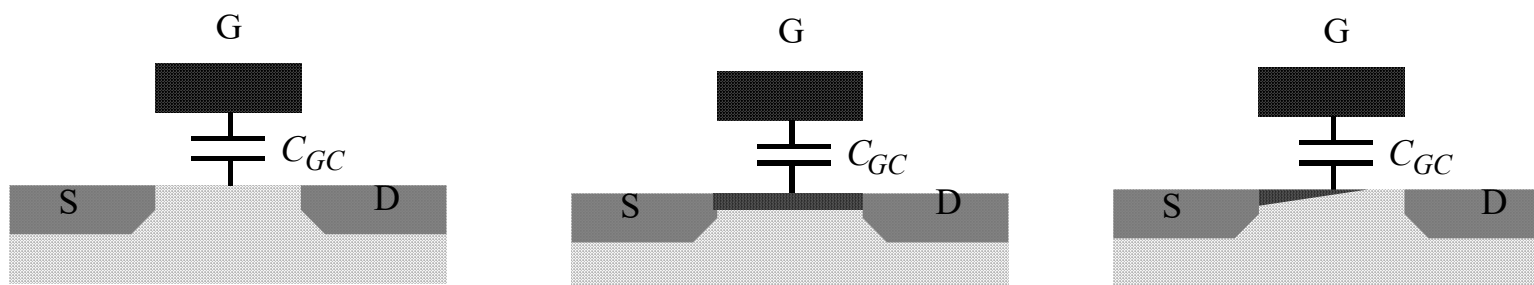


$$C_{gate} = \frac{\epsilon_{ox}}{t_{ox}} WL$$



2.26 MOS晶体管及SPICE模型

□ MOS管电容（2）—沟道电容（不同工作区）

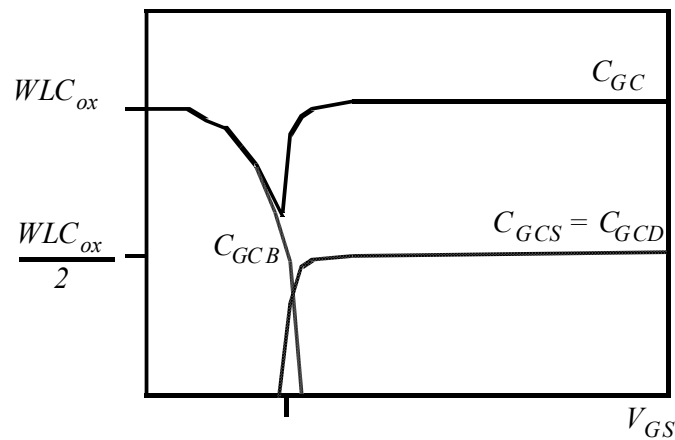


Operation Region	C_{gb}	C_{gs}	C_{gd}
Cutoff	$C_{ox}WL_{eff}$	0	0
Triode	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$
Saturation	0	$(2/3)C_{ox}WL_{eff}$	0

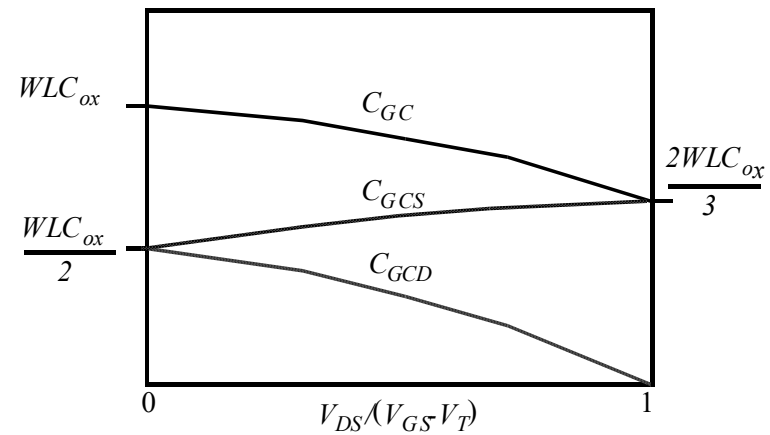
在数字电路设计最重要并需要关注的是饱和区和截止区

2.27 MOS晶体管及SPICE模型

□ MOS管电容（3）—沟道电容 ■ 与栅电压和饱和度关系



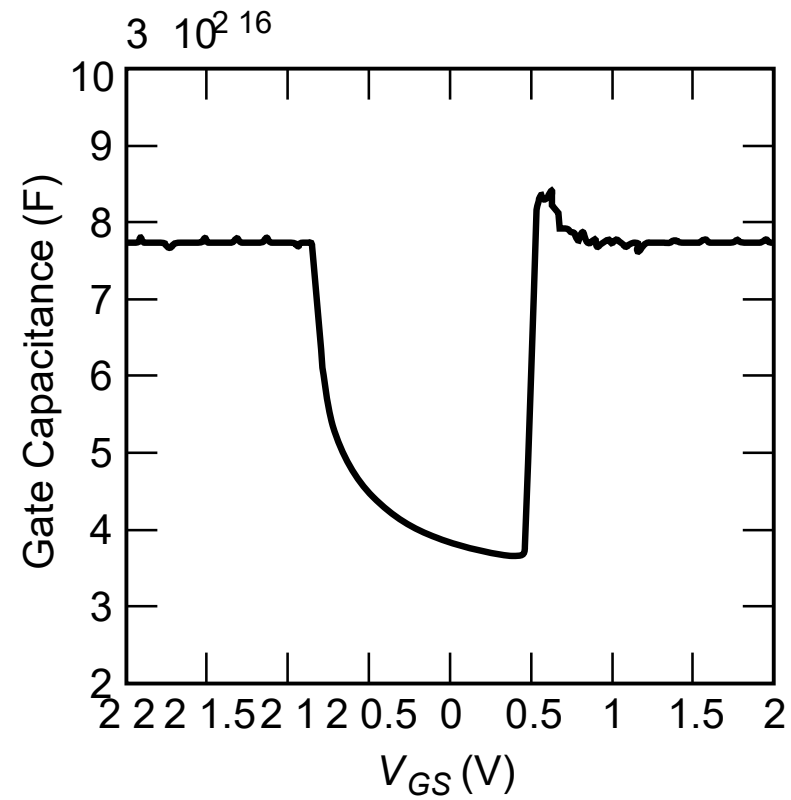
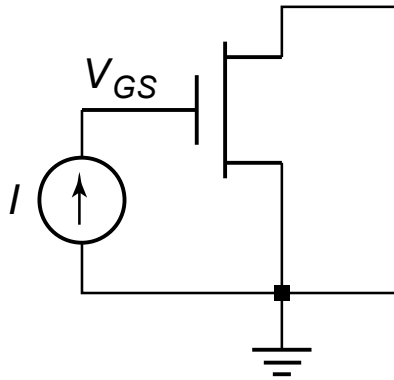
Capacitance as a function of V_{GS}
(with $V_{DS} = 0$)



Capacitance as a function of the
degree of saturation

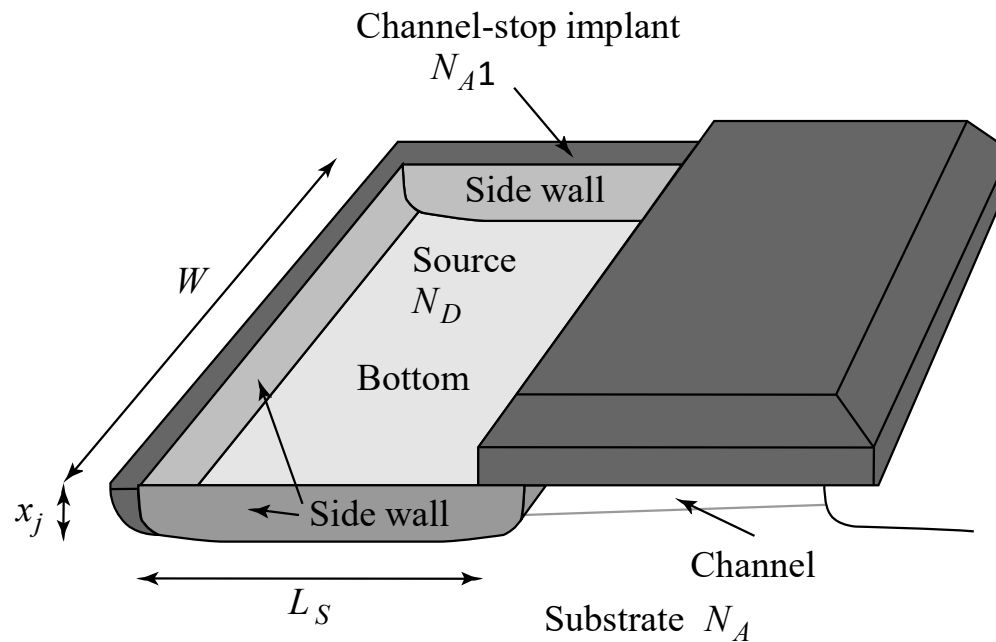
2.28 MOS晶体管及SPICE模型

□ MOS管电容（3）—沟道电容测量



2.29 MOS晶体管及SPICE模型

□ MOS管电容（4）—结电容



$$C_{diff} = C_{bottom} + C_{sw} = C_j \times AREA + C_{jsw} \times PERIMETER$$

$$= C_j L_S W + C_{jsw} (2L_S + W)$$

2.30 SPICE MOSFET模型

常用的几种MOSFET模型

- Level=1 Shichman-Hodges
- Level=2 基于几何图形的分析模型
Grove-Frohman Model (SPICE 2G)
- Level=3 半经验短沟道模型 (SPICE 2G)
- Level=49 BSIM3V3
- Level=50 Philips MOS9

2.31 MOSFET一级模型(Level=1)

描述I和V的平方率特性, 它考虑了衬底调制效应和沟道长度调制效应.

非饱和区
$$I_{ds} = \beta \left[(V_{gs} - V_{to}) V_{ds} - \frac{1}{2} V_{ds}^2 \right] \cdot (1 + \lambda V_{ds})$$

饱和区
$$I_{ds} = \frac{\beta}{2} [V_{gs} - V_{to}]^2 (1 + \lambda V_{ds})$$

$$\beta = KP \cdot \frac{W}{L_0} = KP \cdot \frac{W}{L - L_D}$$

$KP = \mu \cdot C_{ox} \rightarrow$ 本征跨导参数

$C_{ox} = \epsilon_{ox} / T_{ox} \rightarrow$ 单位面积的栅氧化层电容

$L_0 \rightarrow$ 有效沟道长度, $L \rightarrow$ 版图栅长,

$L_D \rightarrow$ 沟道横向扩散长度

2.32 MOSFET一级模型(Level=1) (续)

- MOSFET的阈值电压 V_{t0} 本质上由栅级上的电荷，绝缘层中的电荷和沟道区电荷之间的平衡决定

$$V_{t0} = V_{TO} + \gamma \left(\sqrt{2\phi_F - V_{bs}} - \sqrt{2\phi_F} \right)$$

$$V_{TO} = V_{FB} + 2\phi_F + \gamma \sqrt{2\phi_F}$$

$$\gamma = \frac{1}{C_{ox}} \sqrt{2q\epsilon_{si}\epsilon_o N_{sub}}$$

V_{TO} : $V_{bs}=0$ 时的阈值电压

V_{bs} : 衬底到源区的偏压

γ : 体效应阈值系数，反映了 V_{t0} 随衬-源偏置 V_{bs} 的变化。

2.33 MOSFET一级模型(Level=1) (续)

- N_{SUB} 为衬底(阱)掺杂浓度, 它也决定了体内费米势 ϕ_F

$$\phi_F = V_t \ln \frac{N_{\text{sub}}}{n_i}$$

当半导体表面的费米势等于 ϕ_F 时, 半导体表面处于强反型, 此时表面势

$$\text{PHI} = 2\phi_F$$

n型反型层 $\text{PHI} > 0$, p型反型层 $\text{PHI} < 0$

- V_{FB} 称之为平带电压, 它是使半导体表面能带和体内能带拉平而需在 栅级上所加的电压.

$$V_{\text{FB}} = \phi_{\text{MS}} - Q_{\text{SS}}/C_{\text{OX}}$$

ϕ_{MS} 为栅金属与半导体硅的功函数之差除以电子电荷. 其数值与硅的掺杂类型, 浓度以及栅金属材料有关.

2.34 MOSFET一级模型(Level=1) (续)

□ 栅材料类型由模型参数**TPG**决定.

□ 栅氧化层与硅半导体的表面电荷密度 $Q_{ss}=qN_{ss}$

N_{ss} 为表面态密度, 其模型参数为**NSS**.

N沟道硅栅增强型MOSFET: $V_{FB} \approx -1.2V$, **PHI** $\approx 0.6V$

N沟道硅栅耗尽型MOSFET: $V_{FB} \approx -0.6 \sim -0.8V$

□ 模型参数 **LAMBDA**(λ) 为沟道长度调制系数. 其物理意义为 MOSFET 进入饱和区后单位漏-源电压引起的沟道长度的相对变化率.

2.35 MOSFET一级模型参数

参数符号	参数记法	说明
VTO	V_{TO}	衬底零偏置时源阈值电压
KP		本征跨导参数
GAMMA	γ	体效应阈值系数
PHI	$2\phi_F$	强反型使的表面势垒高度
LAMBDA	λ	沟道长度调制系数
UO	μ_o/μ_n	表面迁移率
L		沟道长度
LD		沟道长度方向上横向扩散长度
W		沟道宽度
TOX	T_{OX}	栅氧化层厚度
TPG		栅材料类型
NSUB	N_{SUB}	衬底(阱)掺杂浓度
NSS	N_{SS}	表面态密度

2.36 MOSFET一级模型参数

IS:	衬底结饱和电流(省缺值为0)
JS	衬底结饱和电流密度
N:	衬底PN结发射系数
AS:	源区面积
PS:	源区周长
AD:	漏区面积
PD:	漏区周长
JSSW:	衬底PN结侧壁单位长度的电流

2.37 MOSFET一级模型参数

上列8个参数用于计算

1) 衬底电流

$$I_b = I_{bs} + I_{bd}$$

2) 衬-源PN结漏电流

$$I_{bs} = I_{ss} \left(e^{V_{bs} / NV_t} - 1 \right)$$

3) 衬-漏PN结漏电流

$$I_{bd} = I_{ds} \left(e^{V_{bd} / NV_t} - 1 \right)$$

其中,

$$I_{ss} = AS \cdot JS + PS \cdot JSSW$$

$$I_{ds} = AD \cdot JS + PD \cdot JSSW$$

2.38 不同MOSFET模型应用场合

Level 1	简单MOSFET模型
Level 2	2 μm 器件模拟分析
Level 3	0.9 μm 器件数字分析
BSIM 1	0.8 μm 器件数字分析
BSIM 2	0.3 μm 器件模拟与数字分析
BSIM 3	0.5 μm 器件模拟分析与0.1 μm 器件数字分析
Level=6	亚微米离子注入器件
Level=50	小尺寸器件模拟电路分析
Level=11	SOI器件

对电路设计工程师来说, 采用什么模型参数在很大程度上还取决于能从相应的工艺制造单位得到何种模型参数.

2.39 MOS晶体管及SPICE模型

□ 小结

- MOS晶体管结构和电学特性
- MOS晶体管的短沟效应
- MOS管的电容模型
- MOS管的SPICE模型

谢谢！

欢迎指正！