

开源 EDA 工具全流程复现

一、 背景

鹏城实验室，开发了开源的后端 EDA 工具（目前是从 netlist 到 GDS-II），iEDA。即，包括逻辑综合之下的，布图、布局、布线以及时序分析工具。目前，该工具已经过了部分工艺的流片测试（如 28nm、65nm）。而前端的逻辑综合工具，比如 yosys+iMap (或 ABC)，可以实现 Verilog->netlist 的转换。

二、 实验细节、交付内容

1. 下载其开源代码，在 Ubuntu 上安装、执行、跑通 Verilog 实例。

目前，我已在公共 linux 服务器上，帮大家安装好了以下环境，并提供了 verilog 的测试实例。后续，如果大家有疑难问题，或者需要在自己环境上安装，可以直接在以下源码地址进行下载，以及查询相关文档。

a) 源码下载地址：

- i. Yosys: 实现 Verilog 代码到 AIG 的转换（AIG 可以理解为门电路）

Yosys: <https://github.com/YosysHQ/yosys>

- ii. iMap 和 ABC 可以实现 AIG 到 netlist 的转换（这俩都可以选，目前应用最广泛的是 Berkely 大学开发的 ABC 工具）

iMap: <https://gitee.com/oscc-project/iMAP>

ABC: <https://people.eecs.berkeley.edu/~alanmi/abc/>

- iii. 鹏城开发的后端工具，即 netlist 到版图 GDS-II 的转换

iEDA: <https://gitee.com/oscc-project/iEDA>

b) 我们提供了一个简单的 CPU 设计，Verilog 源码。（具体见附件的压缩包）

可用该 CPU 设计，去跑通以上工具流程（从 Verilog 到版图）

在上述过程中，做好 word 笔记，最终的汇报包括各步骤的具体功能描述、执行输出、遇到的问题和解决方式等。