**练习：使用HLS生成RTL并达到更好的加速效果**

**目的:**

1. 熟悉Xilinx HLS工具的使用，了解其流程.
2. 如何修改C代码结构，或者设置不同的pragma，达到最佳的加速效果.

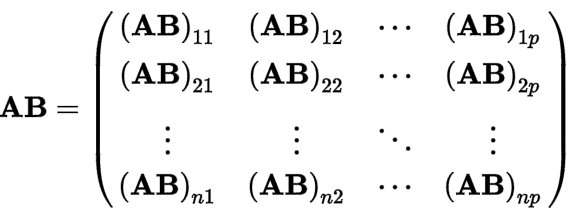
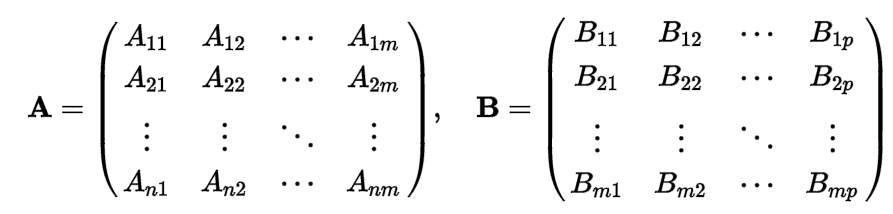
**学到的内容:**

该实验做完后，你将学到以下内容:

1. 以矩阵乘法为例，介绍了如何在RTL中进行硬件流水线设计.
2. 如何借助xilinx HLS工具完成高层次综合流程。
3. 如何在Vitis HLS中选择不同的指令，并了解它们对设计的影响。.
4. 如何在Vitis HLS中进行C-RTL协同仿真，并完成实现。

**矩阵乘算法简介:**

在数学中，矩阵乘法或矩阵乘积是一种由两个矩阵生成矩阵的二进制运算。该定义的动机是线性方程和向量上的线性变换，它们在应用数学、物理和工程中有许多应用。更详细地说，如果A是n×m矩阵，B是m×p矩阵，则它们的矩阵乘积AB是n×p矩阵，其中a行上的m个条目与B列下的m个条目的乘积并求和以产生AB的条目。当两个线性变换由矩阵表示时，矩阵乘积表示两个变换的组合。图1显示了矩阵乘法的运算。



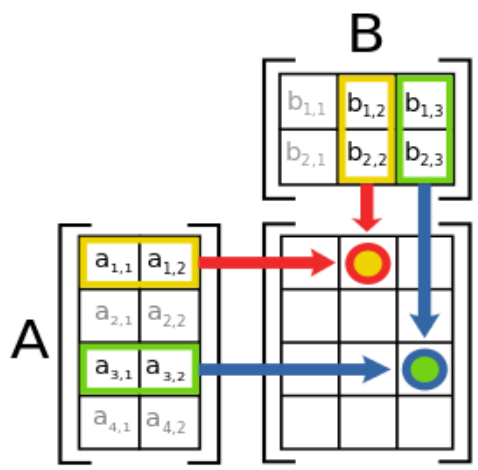
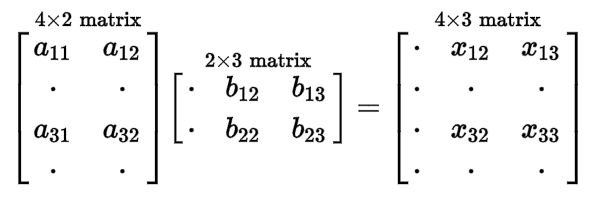


Figure 1

计算矩阵乘积既是许多数值算法的核心运算，又可能耗时，使其成为数值计算中研究最深入的问题之一。在机器学习领域，矩阵乘法也被广泛使用，例如在递归神经网络（RNN）中。

**LAB:**

在这个实验室练习中，你将熟悉Xilinx Vitis HLS。包括三个C文件：（1）matmult.c、（2）tb\_matmult.c和（3）matmult.h。其中，文件matmult.c包含一个C函数，该函数从软件角度实现矩阵乘法。文件tb\_matmult.c包含调用C函数并打印其结果的主文件，而文件matmult.h是由用户定义的数据类型、数据宽度和函数声明组成的头文件。

**需要具体做什么、展示什么:**

1. 用HLS工具实现RTL硬件描述的输出. 展示生成的Verilog文件和VHDL文件，同时展示具体的Latency值、所用的资源数量.
2. 探索至少2种加速的方式，比如通过不同的pragma，或者通过修改原始C代码的编写风格. 展示加速后的Latency值和资源数量，并简要分析这样为何能得到更好加速效果的原因. (Tips: 循环优化? 接口优化?)

**开放性题目（advanced）:**

1. 你认为通过pragma对C代码进行小的更改很容易吗？通过二者生成的Verilog/VHDL相比，你能看到其在RTL上的差异，以及对设计性能的影响吗？?

**需课后提交的实验报告（约5页）:**

简单的word实验报告，内容含上面提到的内容。比如，生成的Verilog/VHDL文件截图，资源使用情况报告截图；怎样加速的，基于什么考虑，加速后的Latency和资源怎么变化等。开放性题目的解答也一并放入报告即可。

***A note***: 如果你有兴趣和额外的精力，可以通过阅读Vivado HLS教程（UG871）或用户指南（UG902）来了解如何HLS更多的使用技巧。这些文档在公网可以搜到。