**题目：Floorplaning算法**

**问题描述：**

在经过芯片划分后，整个芯片被分为若干个Block。在简单情况下，这些Blocks均可视为宽高比固定的可移动矩形。芯片上同样摆放着若干Terminal。不同Block之间，Block与Terminal之间会存在相互连接关系，称之为Net。

衡量芯片Floorplan的质量优劣往往采用面积（Area）与线长（Wirelength）两个指标。芯片的面积（**A**）为所有Block接后的图形的上、下、左、右边界围成的面积，即能够包裹住Floorplan后所有Block的最小矩形面积。而芯片的线长（**W**）为所有Net的半周长线长之和，即



其中，N为所有网络的集合，ni为N中的一个网络。

最终以加权求和的形式来计算芯片的总Cost：



其中α为面积所占的权重，应在0~1范围内。Anorm、Wnorm分别为归一化面积与归一化线长。为简化计算，不妨令Anorm为所有Block面积之和；而Wnorm为所有网络中的每个Block平均边长之和。

**题目要求：**

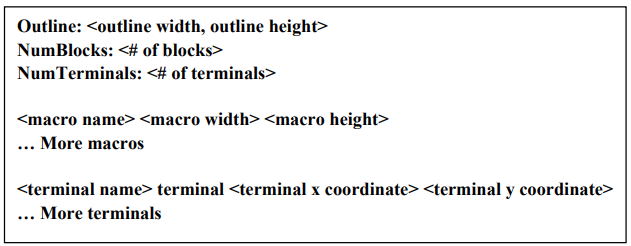
1. 遵循给定的输入输出格式，使用C/C++、python或matlab中一或多种语言编程实现一个简易Floorplanner，算法不限。
2. 功能要求：
   1. 根据输入文件.block中的所有macro信息，将所有block均摆放在给定的Outline范围内，且不允许重叠；
   2. 在满足功能要求a）的基础上，根据输入文件.block与.net，计算芯片的Cost，并使得芯片Cost最小；
   3. 在满足功能要求b）的基础上，设计一种方法能够尽可能使得每个网络中相邻的blocks更多，且相邻的边长更长。
3. **功能要求中的a)，b)为必做内容**，功能要求c) 为选做内容。
4. 在报告中需说明程序运行方法与项目目录结构，在文件读写与脚本文件中使用相对路径，**不要使用绝对路径**。

**输入输出说明：**

* **输入：**

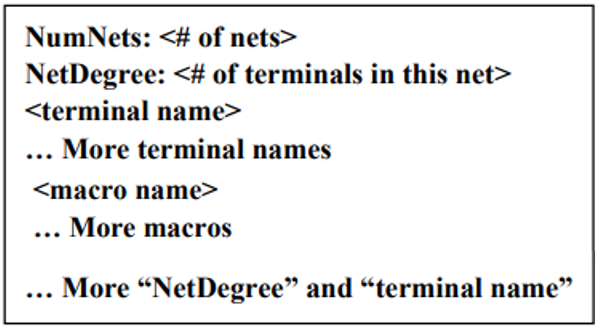
输入文件有两个，分别为.block与.net文件。其输入格式与说明如下：

* + .block



输入文件Block包含有芯片尺寸要求与所有Block与Terminal的输入信息。Outline表示芯片的边界信息，最终floorplan后的结果不得超出Outline范围。Block，即上图中的macro，输入信息包含其名称、宽度与高度。Terminal的输入信息包括其名称与坐标。

* + .net

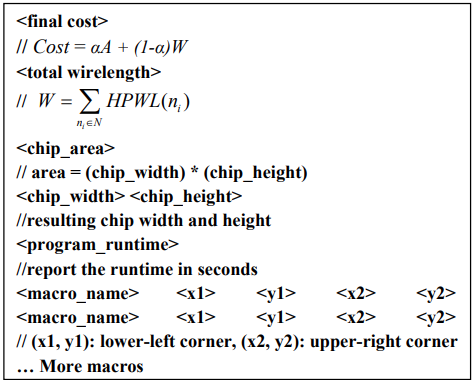


输入文件Net包含有芯片内所有互连关系的要求。一个Net中可能包含若干个Blocks和Terminals。

* **输出：**

输出文件为.output文件，其格式与说明如下：

* + .output



输出包含六个部分：最终的Cost，总半周长线长HPWL，芯片面积，芯片的宽与高，程序运行时间（秒），以及模块摆放信息。

* + 可视化

可视化仅为方便调试与完成报告的工具，不计入考核内容。可直接使用或参照实例程序draw.py完成布图结果可视化。

eg. 输入输出文件与floorplan结果示例

