

# Zybo-Z7 PL 部 VGA 视频信号传输

## 一、学习目标

只点亮开发板上的 LED 灯是否会让你觉得不能满足呢？通过这一小节的学习，我们将会掌握如何使用 PL 部，来进行 VGA 视频信号的传输。为今后我们进行真正的图像处理打好基础吧！

声明：本文档是个人学习笔记，无任何商业用途。此小节内容全部参考《FPGA プログラ

ミング大全 Xilinx 編》—小林優教材中 P75~P90 内容梳理总结。引用插图也全部出自此教材。

## 二、环境

OS: Windows 10 64-bit

Xilinx 开发套件: Vivado2016.4 (webpack)

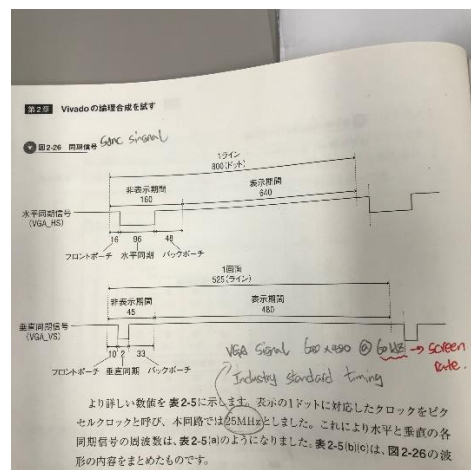
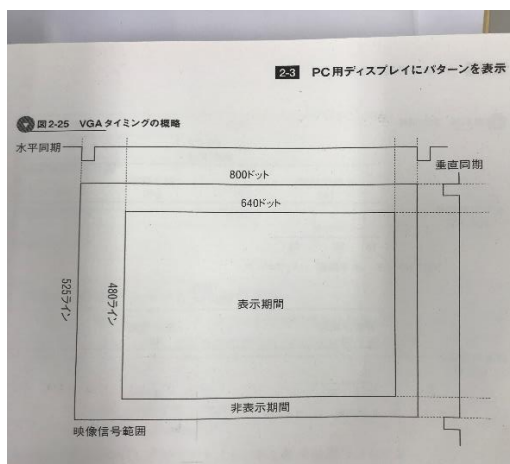
开发板: Digilent Zybo Z7

配件: Digilent Pmod VGA connector

## 三、背景知识

### 1. VGA 信号简述

大体上讲，VGA 视频由表示期间和非表示期间两部分构成。由这两部构成的整体像素区域为 800\*525 像素区域。其中，表示期间：640\*480 的像素区域，剩余区域是非表示期间。大体形式见下图：



由图可见，两个期间的判断标准：水平同步信号和垂直同步信号互相决定。其中水平同步信号决定行的像素点的分界，垂直同步信号决定列的像素点分界。除此以外，在非表示期间，同步信号被分为三段：Front porch、Sync、Back porch。图中标注了各自对应的像素区域。

## 2. 像素时钟频率

本次开发所使用的 FPGA，PL 部的系统时钟频率为 125MHz。依照 VESA(Video Electronics Standards Association)制定的标准，我们需要用 25MHz 的像素时钟频率即可满足视频传输的需求。因此，我们采用 Xilinx 提供的 MMCM(Mixed Mode Clock Manager)模块，来产生我们需要的像素时钟频率。

### 全体时钟频率：

像素时钟频率	25	MHz
水平同步频率	31.25	kHz
垂直同步频率	59.5	Hz

计算：31.25kHz = 25MHz / 800

59.5Hz = 31.25kHz / 525

### 水平时钟：

水平同步间隔	800	dot(像素点)
Front Porch	16	dot
Sync Horizontal	96	dot
Back porch	48	dot
水平表示期间	640	Dot

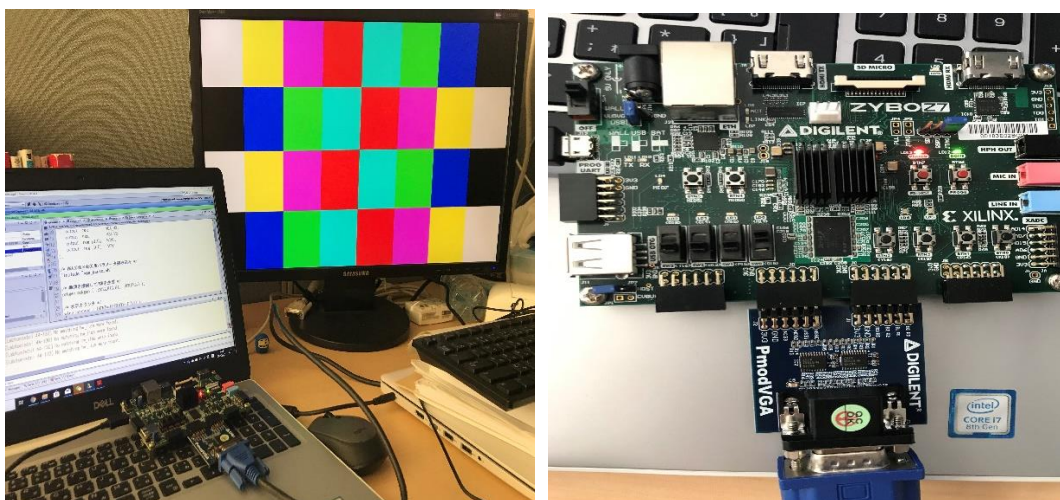
### 垂直时钟：

垂直同步间隔	525	line (行)
Front Porch	10	line
Sync Vertical	2	line
Back porch	33	line
垂直表示期间	480	line

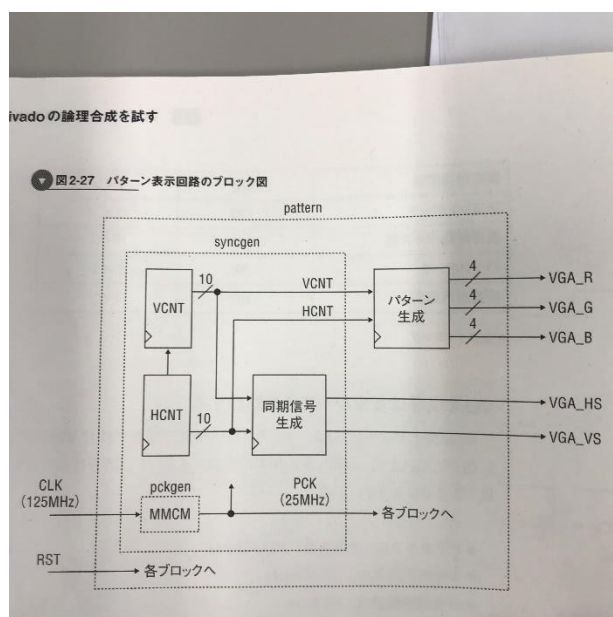
## 四、实验

### 1. 实验结果

我们通过在 LCD 显示器上模拟显示老式电视机的彩色模块画面，来学习和掌握 PL 部，VGA 分辨率下的 RGB 图像信号处理。



### 2. 回路设计



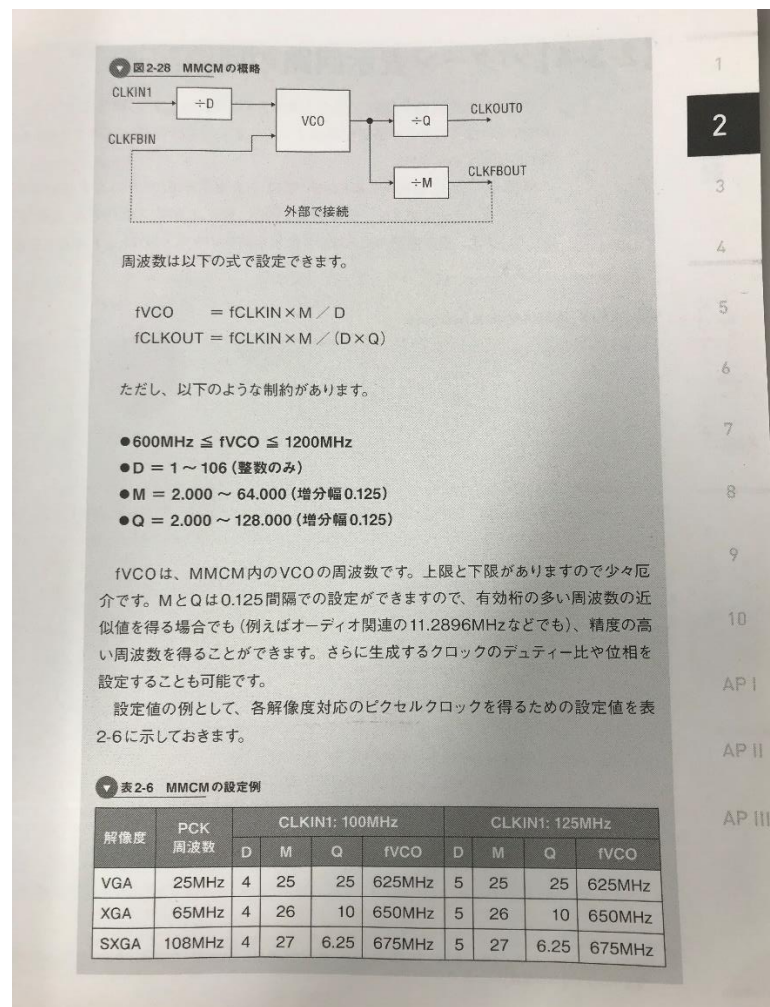
- (1) 顶层模块: pattern 模块 -> 模拟产生老式电视机彩色模块
- (2) 同步信号生成模块: syncgen 模块 -> 产生 25MHz 的像素时钟频率并生成水平垂直同步信号。

### 3. 约束文件

由于 Zybo-Z7 开发板没有自带的 VGA 视频接口，所以我们需要额外配置一个 Pmod VGA 转换器。同时需要根据引脚来写对应的约束文件 (.xdc)。

### 4. 源码难点笔记

(1) FPGA 任意频率生成模块: MMCME2\_BASE。这是由 Xilinx 公司为 7 系列 FPGA 提供的任意频率生成模块。原理以及参考设定规范如下图：

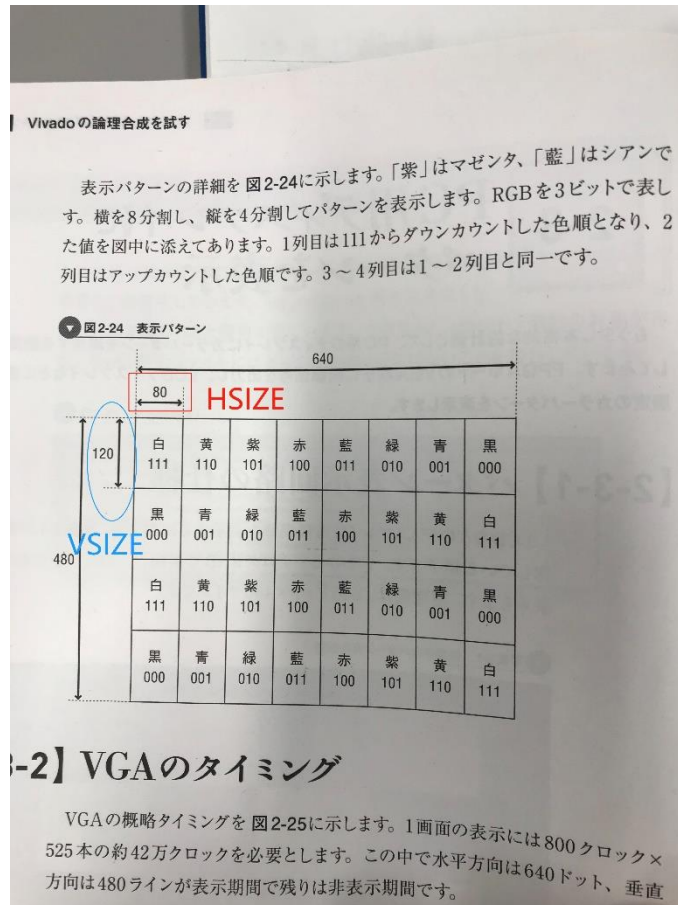


VCO: Voltage-controlled Oscillator 压控振荡器。具体使用时只需参考进行对应参数设定，便可以轻松的产生所需的时钟频率。详见 Xilinx 官方 TRM

(3) パターン生成的 rgb\_0 と rgb\_1

rgb\_0: 根据 HCNT 来确定输出颜色

rgb\_1: 根据 VCNT 来确定输出颜色



Source:

```
wire [2:0] rgb_0 = (HCNT-HBLANK+10'd1)/HSIZE;
```

```
wire [2:0] rgb_1 = (((VCNT-VBLANK)/VSIZE)&1)==0 ? 3'd7-rgb_0: rgb_0;
```

例:

HCNT = 160, VCNT=45 (进入表示期间后的第一个像素点位置)

```
wire [2:0] rgb_0 = (160 - 160 + 1) / 80 = 000
```

```
wire [2:0] rgb_1 = ((45 - 45) / 120) & 1 == 0 ? 3'd7-rgb_0: rgb_0;  
= 111 - 000 = 111
```

同理可计算出不同位置对应的表示颜色。

## 五、参考资料

[1] 《FPGA プログラミング大全 Xilinx 編》—小林優 教材 P75~P90

[2] VGA 像素时钟频率: <http://tinyvga.com/vga-timing>

[3] Xilinx MMCME2:

[https://www.xilinx.com/support/documentation/user\\_guides/ug472\\_7Series\\_Clocking.pdf](https://www.xilinx.com/support/documentation/user_guides/ug472_7Series_Clocking.pdf)