## 基于ARM-V4架构的射频SoC设计

王逸伦，江宇轩，祝文卓

**第一部分 设计概述**

* 1. 设计目的

在当今时代，射频技术广泛应用于各个领域，深刻影响着人们的生活。特别是在移动通讯领域，如智能手机等设备中，SoC 的射频性能对设备整体性能有着关键影响。当前，射频通信领域呈现出多种通信技术协议和调制方式并存的局面，像 GFSK、QPSK、ASK 等。这些协议在实现逻辑上差异巨大，相应的硬件电路设计也截然不同。这种复杂性导致射频 SoC 设计和调试面临重重困难。

为解决这些问题，我们致力于设计一款创新型的射频 SoC。通过构建基于 FPGA 硬件平台的系统，赋予其多种射频无线调制发射与接收功能。同时，利用自主设计的 ARM - V4 软核，实现对整个系统的高效编程与灵活控制，从而极大地提高射频 SoC 设计的便捷性和调试的效率。

* 1. 应用领域

该射频 SoC 在多个领域有着广泛应用。在消费电子领域，可用于智能手机、平板电脑等移动设备，提升其无线通信能力，保障稳定的数据传输和高质量的通话效果。在物联网领域，能够为智能家居设备之间的通信提供支持，实现设备间的互联互通，比如智能灯光控制、温湿度传感器数据传输等。此外，在工业自动化领域，可用于无线传感器网络，实现对生产环境参数的实时监测和设备状态的远程控制，提高生产效率和安全性。

* 1. 主要技术特点

拥有12种射频调制模式：AM，DSB，SSB，FM，PM，ASK，BFSK，BPSK，DPSK，QPSK，PDM，PWM等等

每种调制方式的参数均可调，例如中心频率或者调制深度等等

调制信号的输入可以直接使用板载的AD9226 ADC芯片作为输入，或者使用板载的排针以DPSI的协议输入数字信号，同时，其ARM-V4的软核也可以为射频部分提供信号输入，该信号可以是数字的也可以是模拟的，软核可以读取SD卡内的文件，为射频调制器部分提供数字音频基带信号用于模拟调制模式，或者是直接提供二进制数字信号以供数字调制模式使用。

* 1. 关键性能指标

模拟基带信号带宽：16kHz

输出射频信号中心频率范围：0~100MHz

射频信号输出功率：10dBm最大

数字基带信号最大采样速率：20MHz

输出频率分辨率：0.047Hz

调制深度：0~100%

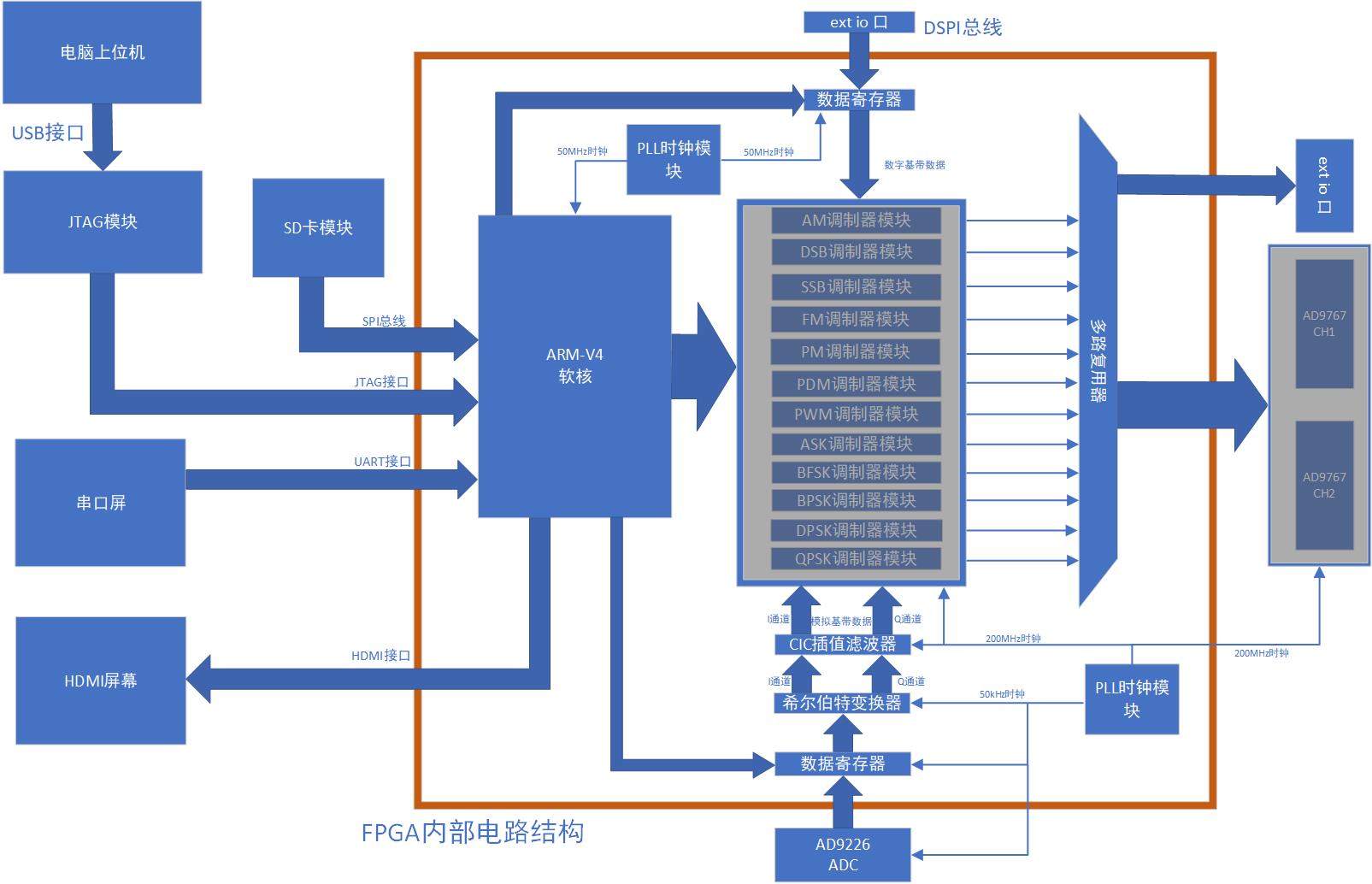
* 1. 主要创新点

1. ：自主编写并实现的ARM-V4软核
2. ：将ARM软核与SDR射频调制器外设结合，大大增强了灵活性
3. ：具有多种多样的射频调制功能，可满足多种需求
4. ：可通过上位机编程软核，或者直接通过上位机发送数据作为基带信号

**第二部分 系统组成及功能说明**

* 1. 整体介绍

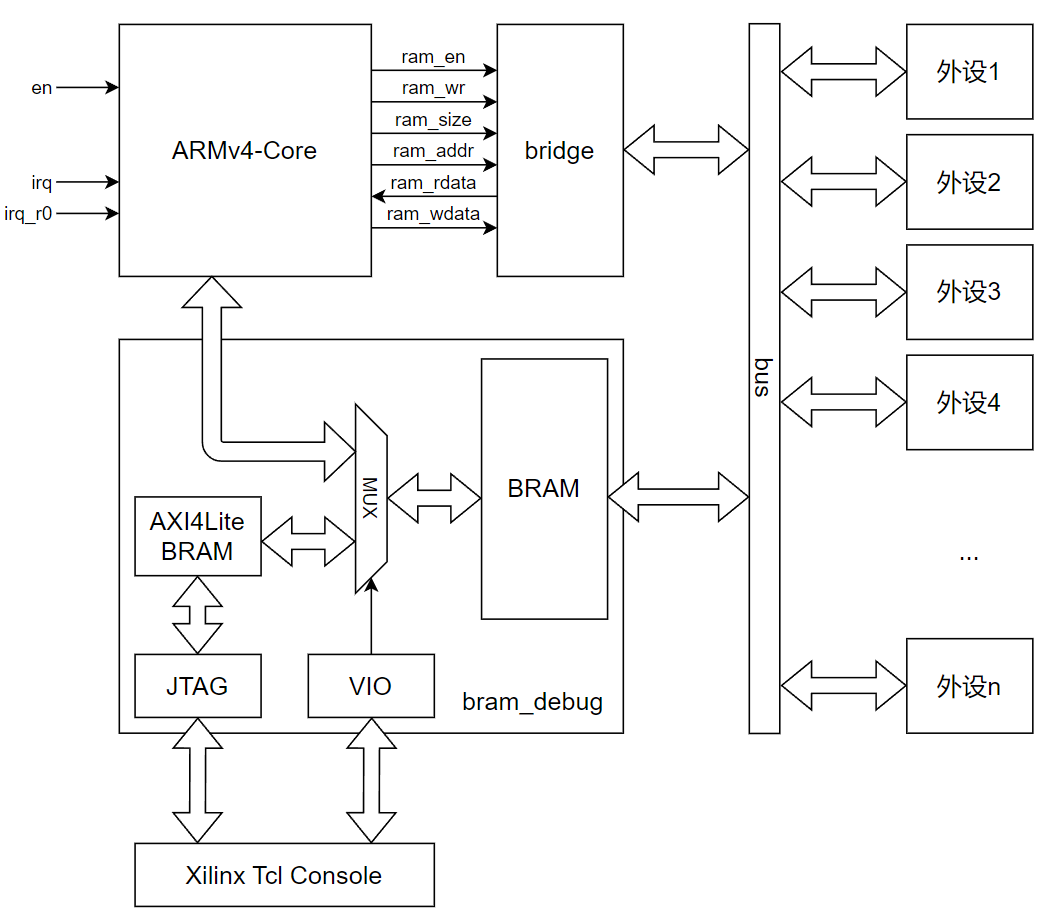
整体框图：



* 1. 各模块介绍

ARM-V4软核部分：

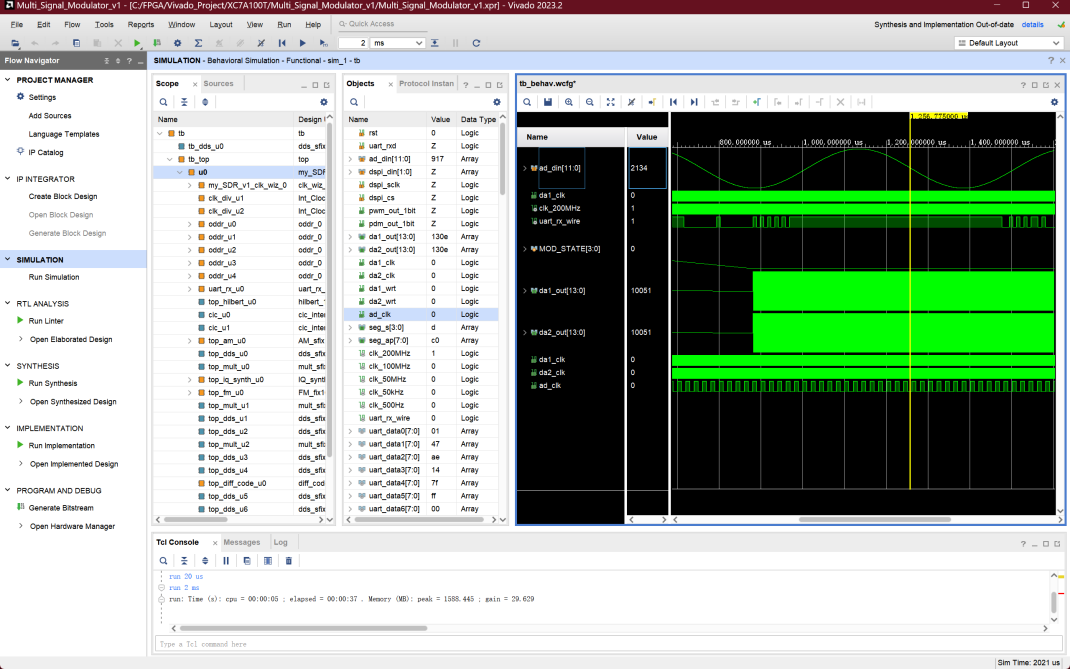
在该作品中，采用了硬布线的方法设计了一个三/四级不定长全流水的ARMv4软核作为ARM指令集最核心的一个子集，并通过verilog实现了它。还设计了一些SoC相关的外围电路和对应的调试接口。



SDR射频调制器部分：

该部分基于Xilinx公司的Vivado软件提供的丰富的DSP资源IP核，实现了例如AM,FM,ASK,FSK,QPSK,PDM等等十余种模拟和数字信号调制方式，并且每个调制模式的各项参数均独立可调，例如中心频率，调制深度等等参数均可以通过ARM-V4软核来控制。模拟调制的基带信号可以直接由板载的ADC输入，或者是由ARM-V4软核来提供，而数字调制基带信号支持以SPI或DSPI的方式从板载排针输入到FPGA的IO上，并且软核也同样可以提供数字基带信号。

仿真图片：



串口屏部分:

本项目采用的串口屏是陶晶驰的TJC4827T143系列的触摸屏。采用了陶晶驰的上位机进行辅助开发UI界面。通过用户在UI屏幕上的输入，串口屏记录用户输入的数据，将其以规定的数据帧格式发送到FPGA中做进一步的数据处理。

1. **完成情况及性能参数**

**性能参数：**

|  |  |  |
| --- | --- | --- |
| 项目 | 条件 | 规格 |
| SDR时钟 | 所有工作状态下 | 200MHz |
| ARM-V4软核时钟 | 所有工作状态下 | 50MHz |
| 串口屏通信协议 | 所有工作状态下 | UART Baud rate=115200bps |
| SDR输出频率分辨度 | 除PDM和PWM以外所有调制状态下 | 0.047Hz |
| 模拟基带采样率 | 所有工作状态下 | 50kHz |
| 数字基带采样率 | 取决于外部SPI时钟速率 | N/A |
| 数字基带时钟频率 | 最大值 | 50MHz |
| 输出信号中心频率 | 除PDM和PWM以外所有调制状态下 | 0~100MHz |
| 输出功率（电平） | 理论最大值 | 10dbm |
| 模拟基带信号输入饱和电平 | 所有工作状态下 | 1Vpp |
| 数字基带信号输入电平标准 | 所有工作状态下 | LVCMOS3V3 |
| 电源电压 | 所有工作状态下 | 5V |
| DAC输出阻抗 | 所有工作状态下 | 50Ω |
| ADC输入阻抗 | 所有工作状态下 | 1kΩ |
| ADC量化位数 | 所有工作状态下 | 12bit |
| DAC量化位数 | 所有工作状态下 | 14bit |
| 模拟带宽 | 理论最大值 | 100MHz |
| PWM模式量化位宽 | PWM模式下 | 12bit |
| PWM调制频率 | PWM模式下 | 48.828kHz |
| PDM调制阶数 | PDM模式下 | 3阶 |
| PDM工作时钟 | PDM模式下 | 50MHz |
| DPSK相移范围 | DPSK模式下 | 0° or 180° |
| QPSK相移范围 | QPSK模式下 | 0° or 90 °or 180° or 270° |

**完成情况：**

ARM-V4软核可以分析并读取SDR并且能操控SDR外设的功能，

**第四部分 总结**

* 1. 可扩展之处：

1. 可以在HDMI屏幕的驱动上更进一步，实现完整的触摸操作和各项参数显示功能。
2. SDR的调制功能可以再扩展，实现QAM,ODFM等等更加复杂的调制协议。
3. 增加接受功能，使其可以接受并解调或解码外部的射频信号，并在扬声器上播放解调出的音频信号，或者在屏幕上显示出解码出的数字信号，并保存在SD卡里。
4. 后期可以实现在SDR上实现完整的射频通信协议收发功能，例如FT-8，SSTV等等
5. 可以添加读取SDR卡内的音频并通过指定的模拟调制模式播放的功能，或者读取SD卡内指定二进制文件的数据，并在以指定的数字调制方式发射。
6. 后期可以在电脑上位机上实现类似于Gnu radio软件的SDR控制功能。
   1. 心得体会

通过制作这个基于ARM-V4核的射频SoC，我们学习了ARM32的体系结构和底层原理，学会了多级流水线CPU的设计和优化，以及ARM裸机开发的基本方法，同时也深化了对verilog硬件描述语言的理解，实践了如何在FPGA这个硬件平台上进行数字信号处理和数字电路硬件原型的验证，在硬件调试上也遇到了种种困难，例如在实现各种滤波器时，输出位宽非常容易出错，导致生成的波形也不正确，但是我们在查询了各项资料和xilinx官方的文档后结合仿真逐渐解决了这个问题。

在ARM-V4软核的调试上，学会了借助各种工具和参考信号进行rtl设计的验证，学会了进行CPU模型的黑盒验证方法，在综合、静态时序分析和上板的过程中学会了时序违例和锁存器生成的处理方法和技巧。

在串口屏的调试上：

1. **参考文献**

Bouallegue, R., & Mahersi, T. (2019). FPGA-based software-defined radio: Architecture and implementation challenges. In 2019 3rd International Conference on Advanced Technologies for Signal and Image Processing (ATSIP) (pp. 1-6). IEEE.

Cao, X., Luo, M., Zhang, C., & Dai, W. (2019). FPGA-Based Software-Defined Radio Design using HDL Coder. In 2019 International Conference on Artificial Intelligence and Computational Intelligence (AICI) (pp. 228-233). IEEE.

Park, J. H., & Hwang, S. O. (2020). Real-time Signal Processing Implementation of Software Defined Radio on FPGA. Journal of Electrical Engineering and Automation, 2(1), 1-7.

Xilinx. (2013, March 20). LogiCORE IP FIR Compiler v7.0 Product Guide for Vivado Design Suite (PG149).

Xilinx. (2021, February 4). CIC Compiler v4.0 LogiCORE IP Product Guide, Vivado Design Suite (PG140).

Xilinx. (2024, May 30). DDS Compiler v6.0 LogiCORE IP Product Guide, Vivado Design Suite (PG141 (v6.0)).

1. **附录**

见压缩包其它文件