

# 디지털 회로 개론 HW3.

학번: 20111213 이명: 심현우

4-13)

decoder의 input A와 B, output 0,1,2,3을 생각한다.

1,2,3은 다른 multiplexer의 input을 어떤 multiplexer를

선택할지 알려주는 역할을 한다. 0은 아무것도 연결되어 있지

않으므로 A와 B가 0인 경우, 즉 output이 0이 되는 경우

$F=0$ 이다. 나머지, 1,2,3은 각각  $AB=01, 10, 11$ 을

decoding 하도록 했다. selector인 C, D는 각각

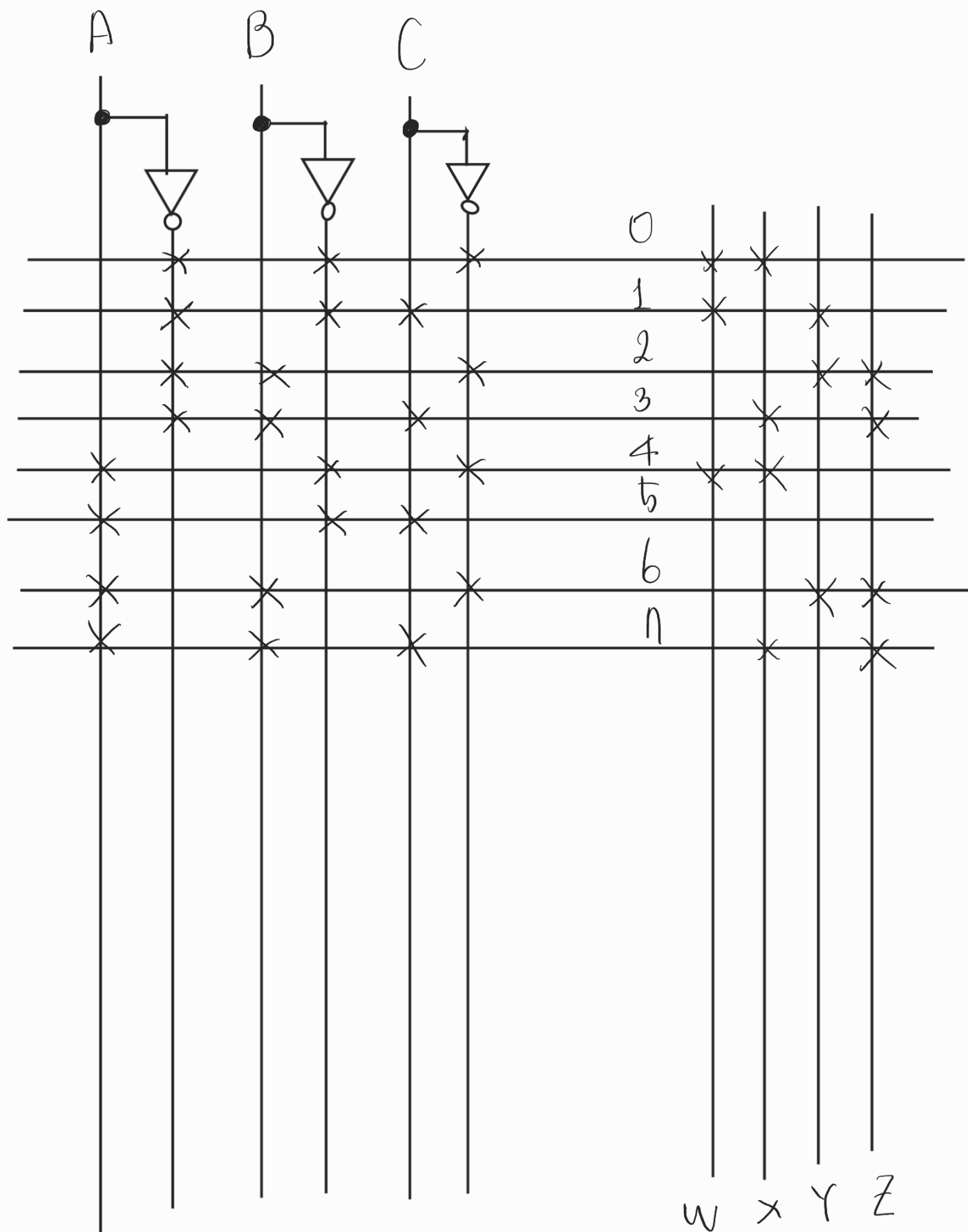
$CD=00, 01, 10, 11$ 일때 위에 있는 input부터 차례대로

선택하도록 했다. 이를 truth table로 작성하면 다음과 같다.

A	B	C	D	F
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	N
0	1	0	1	P
0	1	1	0	Q
0	1	1	1	R
1	0	0	0	S
1	0	0	1	T
1	0	1	0	U
1	0	1	1	V
1	1	0	0	W
1	1	0	1	X
1	1	1	0	Y
1	1	1	1	Z

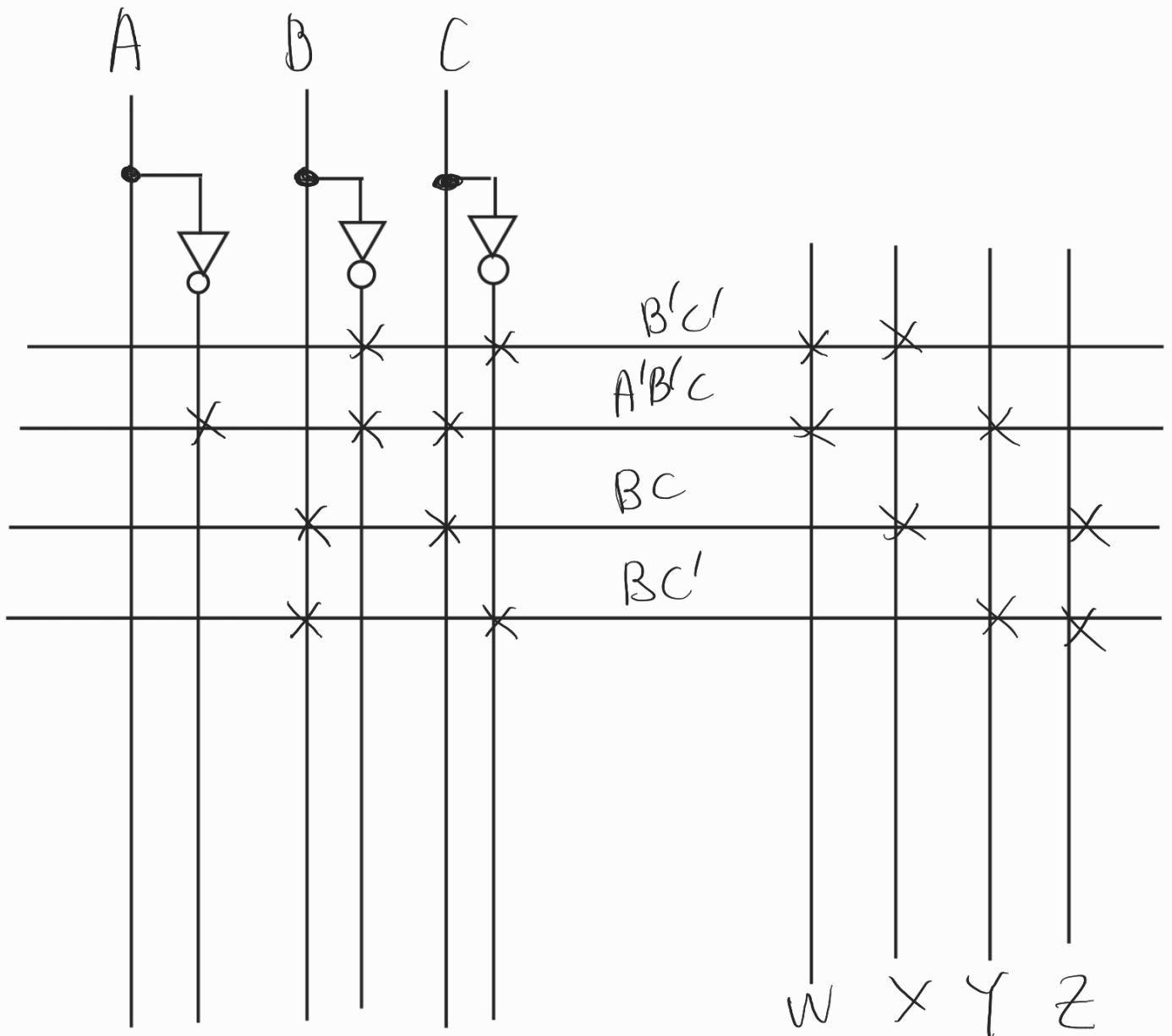
4(4).

i.

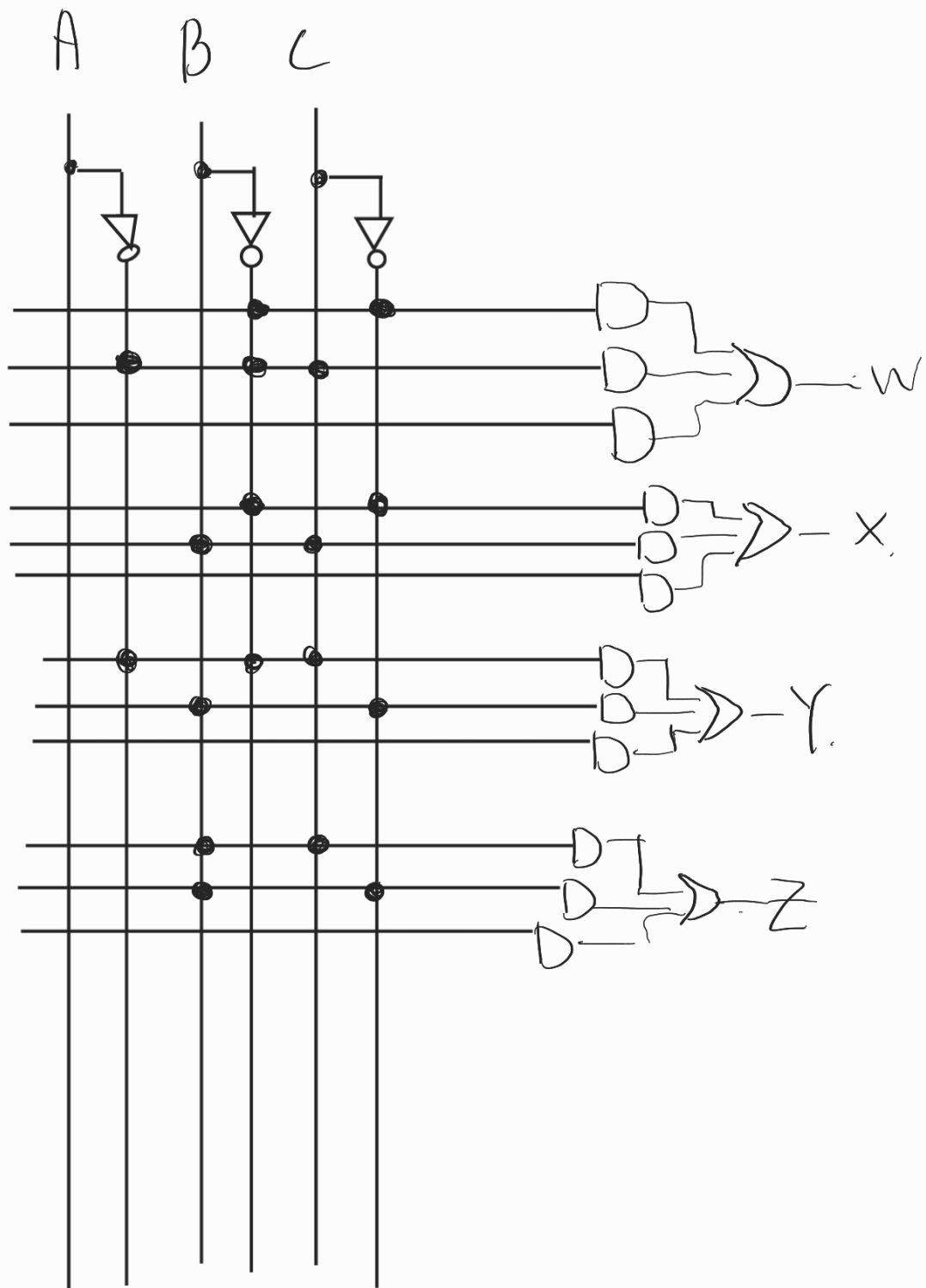


ii.

		A									
W		0	1	X		Y		Z			
BC	00	1	1	1	1	0	0	0	0	0	0
	01	1	0	0	0	1	0	0	0	0	0
	11	0	0	1	1	0	0	1	1	1	1
	10	0	0	0	0	1	1	1	1	1	1
		$B'C' + A'B'C$		$B'C' + BC$		$A'B'C + BC'$		$BC + BC'$			



iii.



4-17.

$$C_n, A_0, b_0 \Rightarrow C, S_0$$

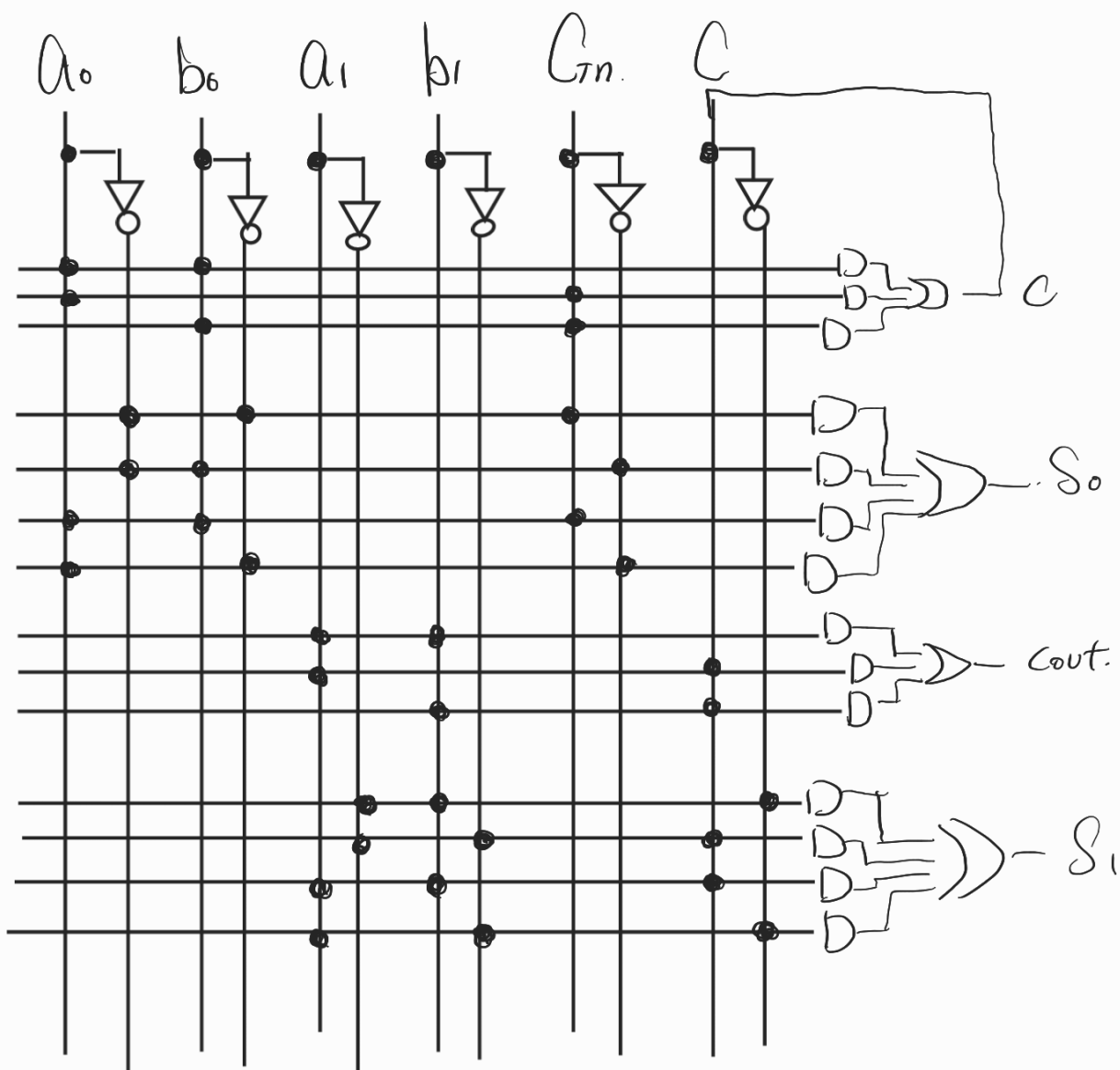
$$S_0 = A_0 \oplus b_0 \oplus C_n = A_0' b_0' C_n + A_0' b_0 C_n' + A_0 b_0 C_n + A_0 b_0' C_n'$$

$$C = A_0 b_0 + A_0 C_n + b_0 C_n$$

$$C, A_1, b_1 \Rightarrow C_{out}, S_1$$

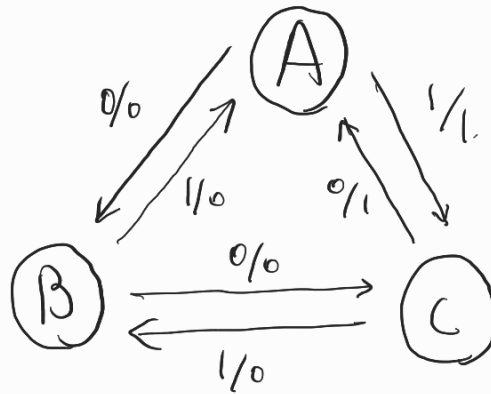
$$S_1 = A_1' b_1' C' + A_1' b_1' C + A_1 b_1 C + A_1 b_1' C'$$

$$C_{out} = A_1 b_1 + A_1 C + b_1 C$$



5-1

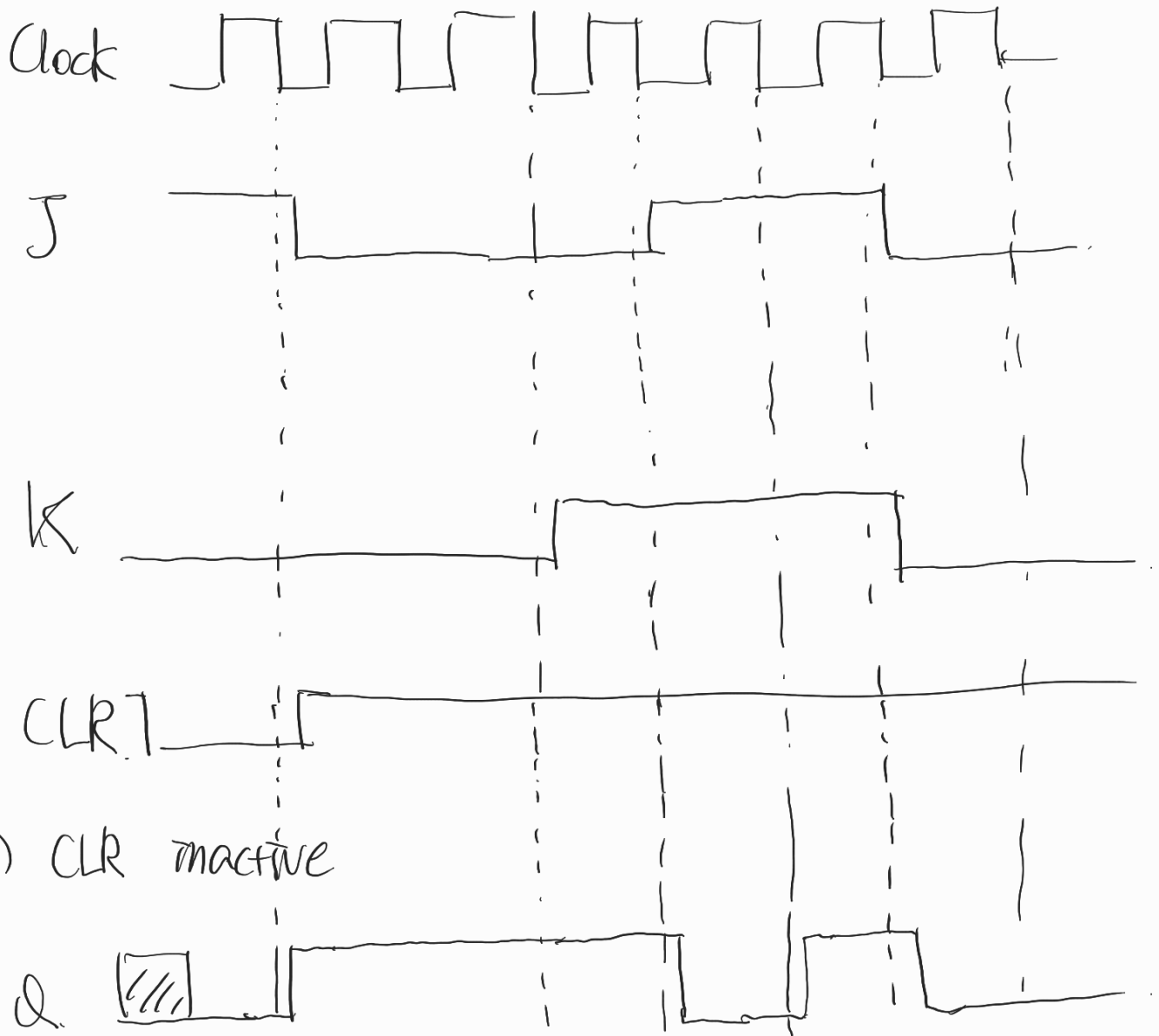
주어진  $E_3$  state diagram을 그리면 다음과 같다.



Timing trace를 작성해보자.

X.	0	0	1	1	1	0	0	0	0	0	1	0
q	A.	B	C	B	A	C	A	B	C	A	B	C
Z.	0	0	0	0	1	1	0	0	1	0	0	0

5-4.



4) CLR inactive

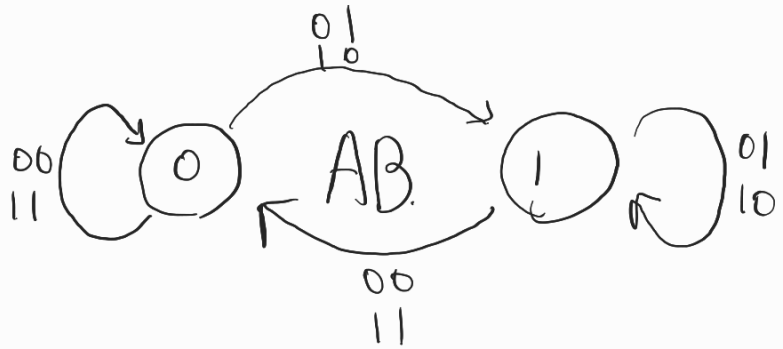
$J \Rightarrow$  Set 역할  $K \Rightarrow$  Reset 역할

$JK=00$  not change.  $JK=11 \Rightarrow$  toggle.

5-6.

a.

A	B	$Q^*$
0	0	0
0	1	1
1	0	1
1	1	0



State diagram.

b.  $Q^*$ 은  $Q_1$  즉 이전 상태에 영향을 받지 않는다.

$$\therefore Q^* = A \cdot B' + A' \cdot B$$



5-17.

