FPGA系統設計

作業二

Sequence detector

班級:資訊工程學系博士班一年級

組成員:104582004王建鈞

班級:資訊工程學系碩士班一年級

組成員:104522040張瑞慶、104522065張翔珳

1. 實驗目的

學習利用狀態機描述來設計一非重置序列檢測器─檢測輸入當中的001…1100序列。

1. 實驗方法

我們使用了摩爾狀態機(Moore Machine)的方法去實作序列檢測器，其輸出僅根據現在狀態而變化。

# ModelSim Simulation

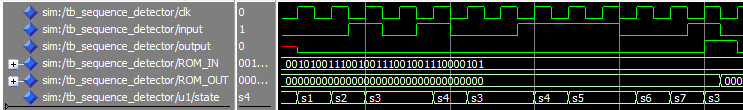
SB

SC

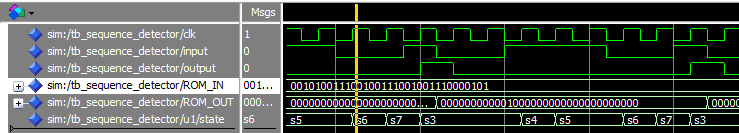
SA

|  |  |
| --- | --- |
| 輸入序列: | 001010011100100111001001110000101 |
| 輸出序列: | 000000000001000000010000000100000 |

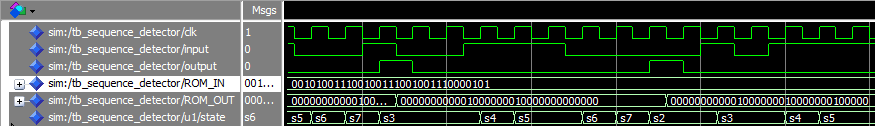
檢測出序列SA



檢測出序列SB



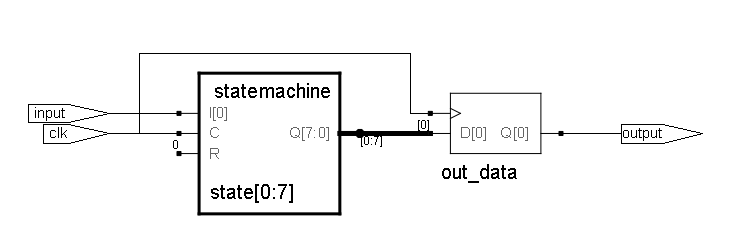
檢測出序列SC



當檢測出序列B後，若下一個序列C是被包含在上一個序列B當中，則最後一個狀態s7，並非跳回狀態s0，而是直接跳至狀態s2。

# Synplify circuit

其狀態機電路如下:



其狀態機如下:

Out=1

Out=0

Out=0

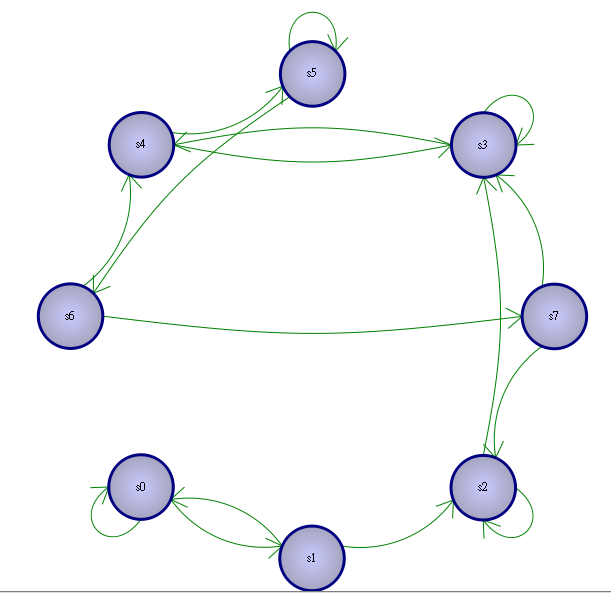
Out=0

Out=0

Out=0

Out=0

Out=0



0

0

0

1

1

1

0

0

1

1

0

0

0

1

0

1

0

VHDL code和testbench design放在FPGA\_HW2\_學號底下，Modelsim模擬圖形和Synplify電路圖則如上述報告所示。