FPGA 系統設計

作業五

LMS設計

成員:資工博一: 104582004 王建鈞、

資工碩一: 104522040 張瑞慶、104522065 張翔珳

1. 程式碼

程式主體: LMSf.vhd

測試程式: tb\_LMSf.vhd

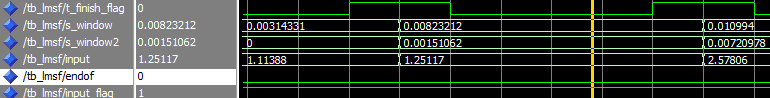
說明 : 使用HDL ocde去完成LMS filter設計，輸入為16bits輸出為16bits，加上mu去控制收斂速度，透過前置處理後，根據selector去控制要做哪一個tap的運算，並輸出結果。

1. ModelSim Simulation

專案位於modelsim資料夾底下

從圖片可以看出，經過前置處理後，每個clock會切換一次taps，在X2狀態連續兩個clock後計算完出輸值finish為1，每個finish都會有一個輸出。





從這張圖片可看到，finish為high時會有一筆輸出，為s\_window，s\_window2兩個輸出。

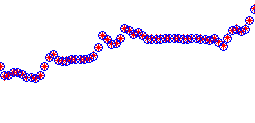
1. Matlab 驗證

程式主體: LMSfilter.m

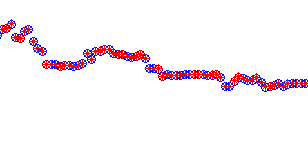
透過主程式可以測試由硬體產生的輸出結果，dataout.txt、dataout2.txt，並與matlab產生的LMSfilter結果一起測試，比較輸出曲線圖，使用Modelsim跑完後需要將Modelsim資料夾內產生的dataout.txt、dataout2.txt，貼至LMSfilter.m所在的資料夾。



此圖是Mu = 0.002，上面藍色圓圈為硬體輸出值，紅色\*號為軟體輸出值，下面則為相反紅色\*號為硬體輸出值，藍色圓圈為軟體輸出值。



藍色圓圈為硬體圖



紅色\*號為硬體圖

Mu = 0.02圖



從兩張圖可以分析出軟體與硬體輸出符合，並且在mu較小時可以得到收斂程度較高的值，但收斂速度較慢，但是mu較大時收斂速度較快，但是震盪程度較大。

1. RTL

檔案: LMSf.pdf

由於RTL太大請使用檔案直接觀看。