

华中科技大学

2022

数字电路与逻辑设计 实验报告

专 业：	计算机科学与技术
班 级：	CS2106 班
学 号：	U202115512
姓 名：	洪炜豪
电 话：	15259722318
邮 件：	1294830296@qq.com
完成日期：	2022. 12. 09

实验报告及电路设计评分细则

评 分 项 目	满分	得分	备注	
文档格式（段落、行间距、缩进、图表、编号等）	15			实验报告 总分
设计方案与实验过程	60			
遇到的问题及处理	10			
设计方案存在的不足	5			
心得（含思政）	5			
意见和建议	5			
电路（头歌）	100			
教师签名			日 期	

备注：实验过程将从电路的复杂度、是否考虑竞争和险象、电路的美观等方面进行评分。

实验课程总分=电路（头歌）*0.4+实验报告*0.6

目 录

1	实验概述	1
1.1	实验名称	1
1.2	实验目的	1
1.3	实验环境	1
1.4	实验内容	1
1.5	实验要求	2
2	设计方案与实验过程	3
2.1	方案设计	3
2.2	实验过程	113
3	设计总结与心得	37
3.1	实验总结	37
3.1.1	遇到的问题及处理	37
3.1.2	设计方案存在的不足	37
3.2	实验心得	38
3.3	意见与建议	38

1 实验概述

1.1 实验名称

运动码表系统设计。

1.2 实验目的

实验将提供一个完整的数字逻辑实验包,从真值表方式构建 7 段数码管驱动电路,到逻辑表达式方式构建四位比较器,多路选择器,利用同步时序逻辑构建 BCD 计数器,从简单的组合逻辑电路到复杂时序逻辑电路,最终集成实现为运动码表系统。

实验由简到难,层次递进,从器件到部件,从部件到系统,通过本实验的设计、仿真、验证 3 个训练过程使同学们掌握小型数字电路系统的设计、仿真、调试方法以及电路模块封装的方法。

1.3 实验环境

软件: Logisim2.15.0.2 软件一套。

平台: <https://www.educoder.net>

1.4 实验内容

设计一个运动码表系统,具体内容及要求如下:

输入: 4 个按钮,分别为 Start、Stop、Store 和 Reset。

输出: 4 个 7 段数码管显示数字,分别显示秒和百分秒。

具体功能:

- (1) 当按下 Start 时,计时器清零,重新开始计时;
- (2) 当按下 Stop 时,计时器停止计时,显示计时数据;
- (3) 当按下 Store 时,若当前计时数据小于系统记录,则更新系统记录,并显示当前计时数据;否则不更新系统记录,但显示系统记录。
- (4) 当按下 Reset 时,复位,计时=0.00,系统记录=99.99。

1.5 实验要求

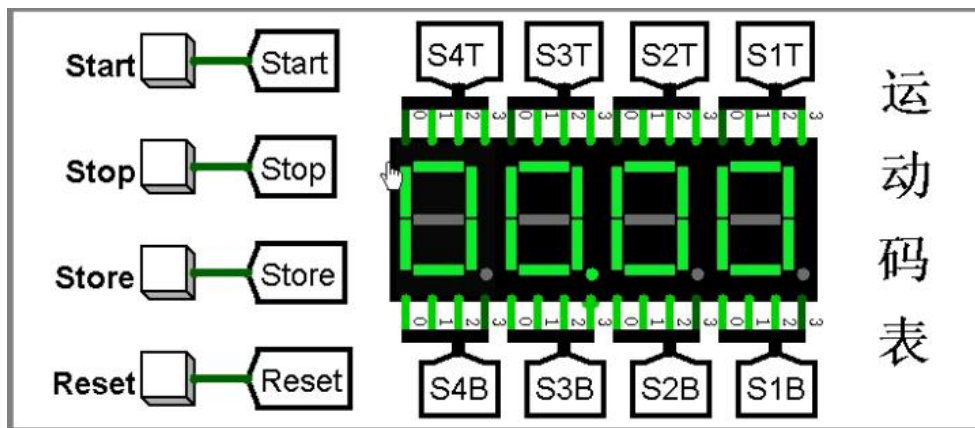
- (1) 根据给定的实验包，将运动码表系统切分为一个个实验单元；
- (2) 对每一个实验单元，按要求设计电路并使用 Logisim 软件进行虚拟仿真；
- (3) 设计好的电路在 educoder 平台上提交并进行评测，直到通过全部关卡。

2 设计方案与实验过程

2.1 方案设计

2.1.1 系统流程:

- ①当按下 Start 时，计时器清零，重新开始计时；
- ②当按下 Stop 时，计时器停止计时，显示计时数据；
- ③当按下 Store 时，若当前计时数据小于系统记录，则更新系统记录，并显示当前计时数据；否则不更新系统记录，但显示系统记录。
- ④当按下 Reset 时，复位，计时=0.00，系统记录=99.99。



2.1.2 模块划分框图:

功能部件:

	功能部件	控制信号	输入	输出
1	2路选择器	Sel		
2	无符号比较器			
3	并行加载寄存器SD	SD-En	CLK, Din(16位)	Q(16位)
4	时间计数器TM	TM-En, TM-Rst	CLK	时间计数输出16位
5	数码管显示DP		Din(16位)	DisplayInfo(32位)

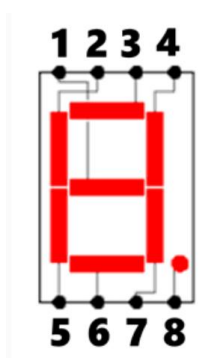
数据通路构建:

功能部件	数据输入	数据来源	备注
码表计数器TM			
16位寄存器SD	CLK, Din (16位)	99.99或当前记录	增加2路选择器SD-Sel
数码管显示驱动电路DP	Din (16位)	TM.Q或SD.Q	增加2路选择器DP-Sel
16位无符号比较器		当前计时和SD.Q	NewRecord

2.1.3 模块设计:

一、7 段数码管驱动电路设计:

- 1、需求：驱动七段数码管显示数字 0-9
- 2、输入：4 位 BCD 码输入
- 3、输出：7 位数码管驱动信号



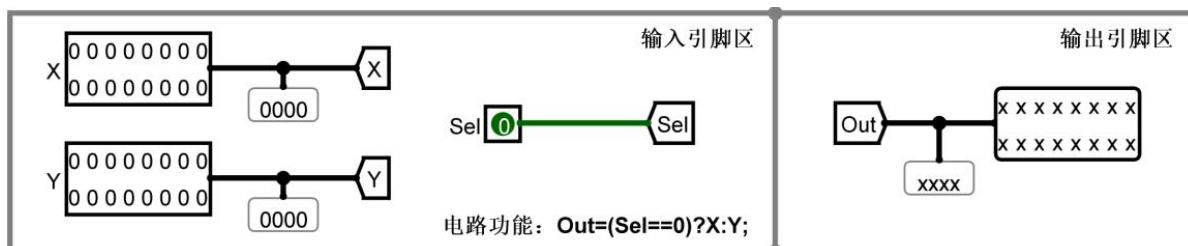
4、引脚:

- 5、设计：利用组合逻辑电路分析功能，填写真值表，自动生成电路。

X3	X2	X1	X0	Seg_1	Seg_2	Seg_3	Seg_4	Seg_5	Seg_6	Seg_7
0	0	0	0	0	1	1	1	1	1	1
0	0	0	1	0	0	0	1	0	0	1
0	0	1	0	1	0	1	1	1	1	0
0	0	1	1	1	0	1	1	0	1	1
0	1	0	0	1	1	0	1	0	0	1
0	1	0	1	1	1	1	0	0	1	1
0	1	1	0	1	1	1	0	1	1	1
0	1	1	1	0	0	1	1	0	0	1
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	0	1	1	1	1	1	1
1	0	1	1	0	0	0	1	0	0	1
1	1	0	0	1	0	1	1	1	1	0
1	1	0	1	1	0	1	1	0	1	1
1	1	1	0	1	1	0	1	0	0	1
1	1	1	1	1	1	1	0	0	1	1

二、16 位 2 路选择器设计

- 1、需求：根据选择控制信号，将相应的输入进行输出，其中 $Out=(Sel==0)?X:Y$;
- 2、输入：16 位输入 X, Y; 选择控制信号 Sel
- 3、输出：16 位输出 Out
- 4、引脚：



5、设计：

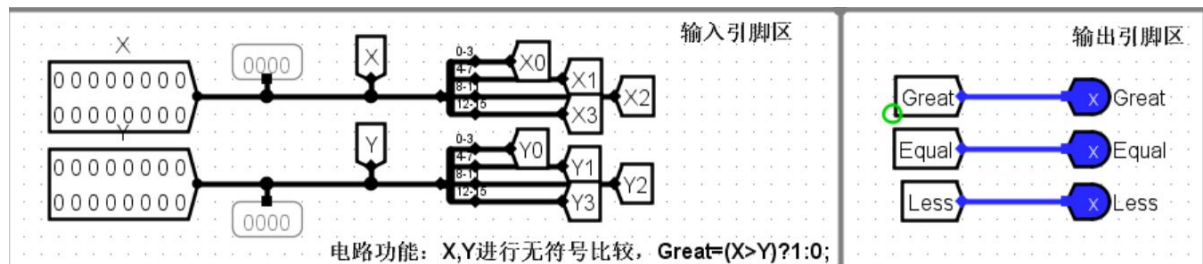
- (1) 设计 1 位的 2 路选择器：利用组合逻辑电路分析功能，填写真值表，自动生成电路。



- (2) 利用封装好 1 位的 2 路选择器构建 16 位的 2 路选择器。

三、16 位无符号比较器

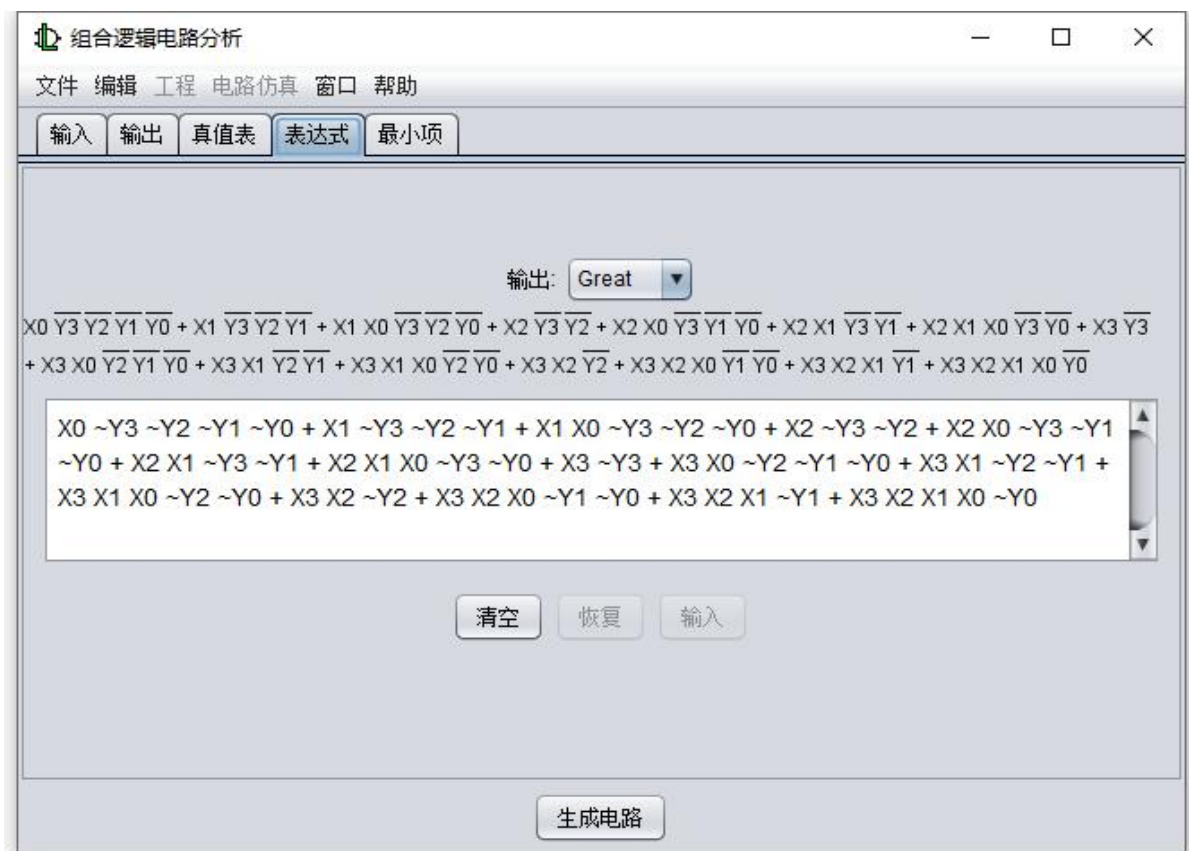
- 1、需求：对两个 16 位的无符号数进行比较。
- 2、输入：16 位输入 X, Y;
- 3、输出：大于（1 位），等于（1 位），小于（1 位）
- 4、引脚：

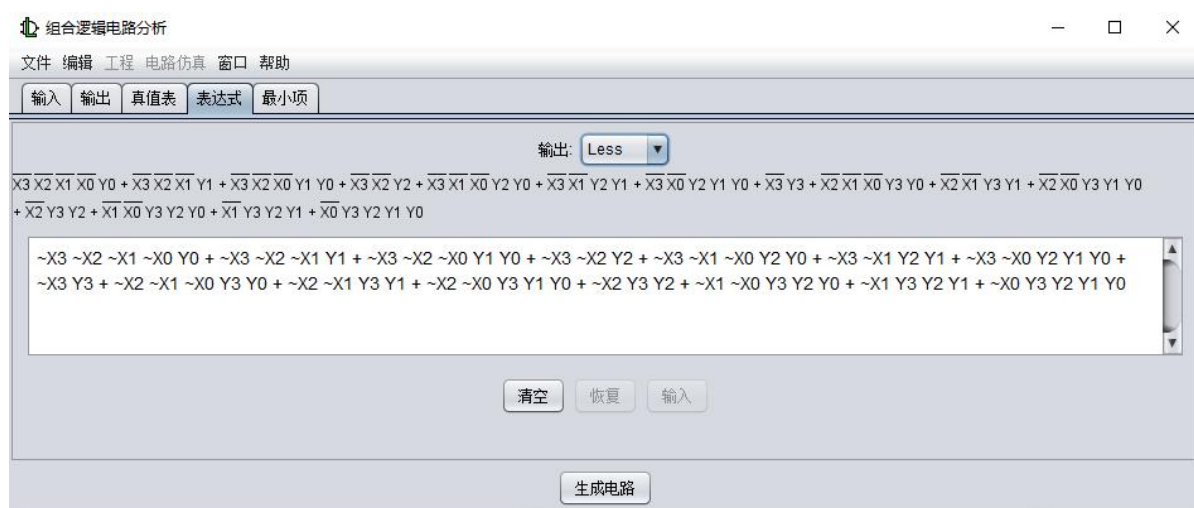
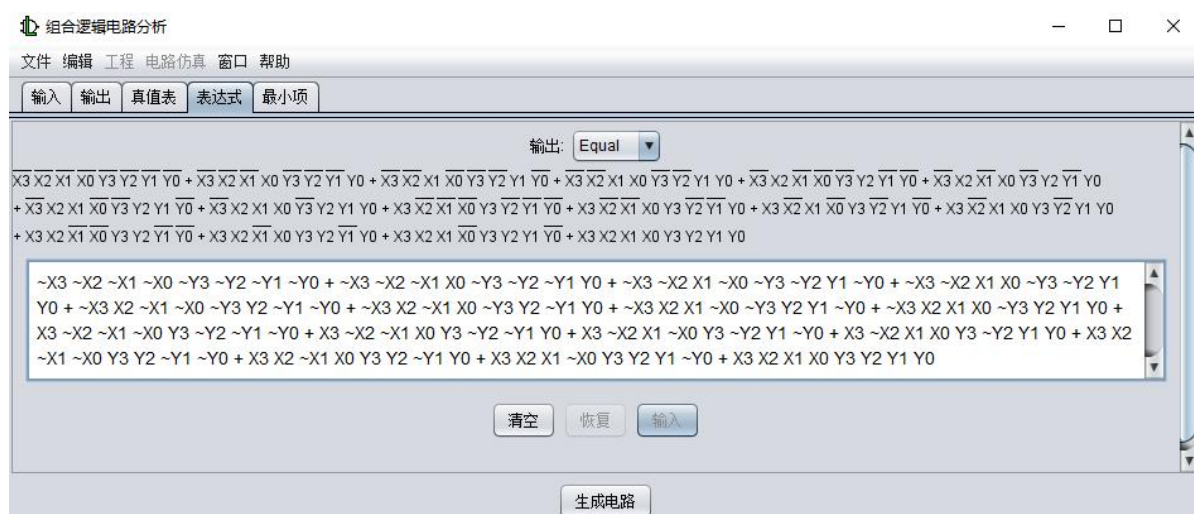


5、设计：

（1）构建 4 位无符号比较器：利用组合逻辑电路分析功能，通过填写表达式自动生成电路。

填写表达式时，遵循高位原则。先比较高位，若高位相同，再比较低位。





注：图中所填写的表达式并非输入的原始表达式，为 logisim 自动转换后的结果。

(2) 利用封装好的 4 位无符号比较器构建 16 位无符号比较器：整体思路与 4 位无符号比较器的构建相似，仍为高位优先原则，从最高的四位开始比较，逐渐往下。

四、码表显示驱动设计

1、需求：利用 4 个并行的 7 段数码管显示电路级联构建 4 位十进制显示驱动电路。

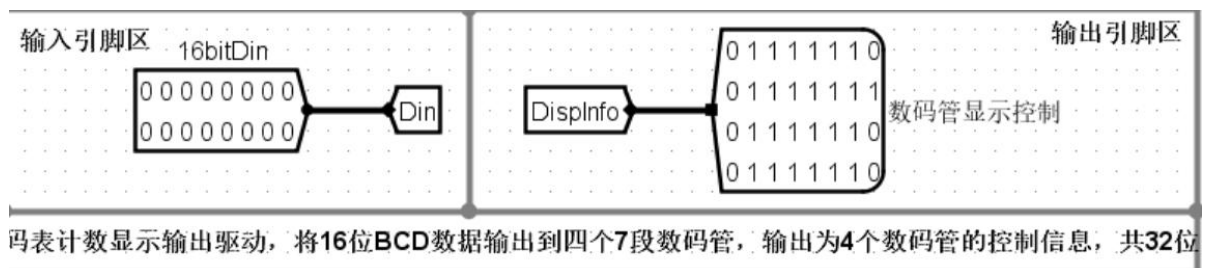
2、输入：16 位 BCD 码

3、输出：4 个 7 段数码管的控制信号（32 位）

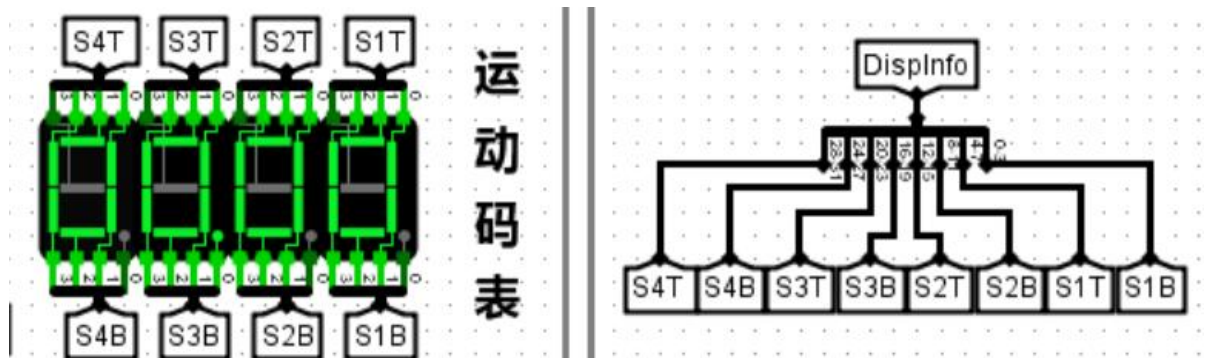
S4T, S4B, S3T, S3B

S2T, S2B, S1T, S1B

4、引脚：



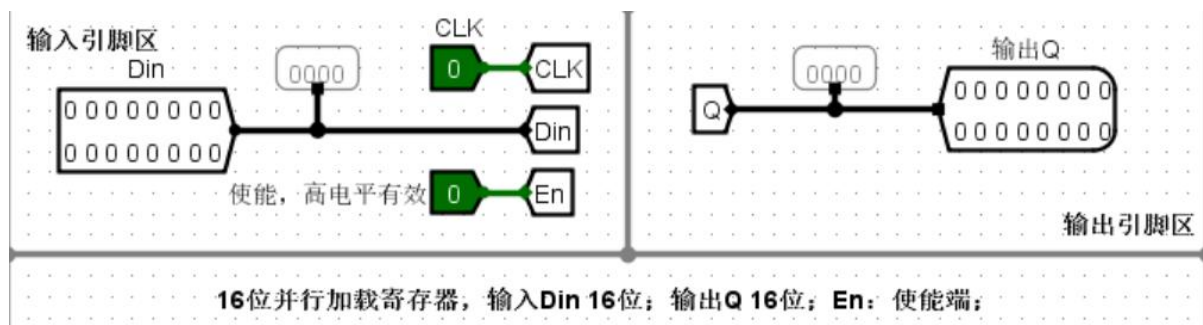
5、设计：



将四个 7 段数码管显示并联，其中小数点用四个常量单独控制：亮点为 1，暗点为 0。

五、16 位并行加载寄存器

- 1、需求：当 En 为 1 时，输入数据，当 En 为 0 时，保持上次输入的数据。En=1、Clock ↑ 时， $Q=Din$
- 2、输入：16 位输入 Din，使能信号 En，
- 3、输出：16 位输出 Q
- 4、引脚：

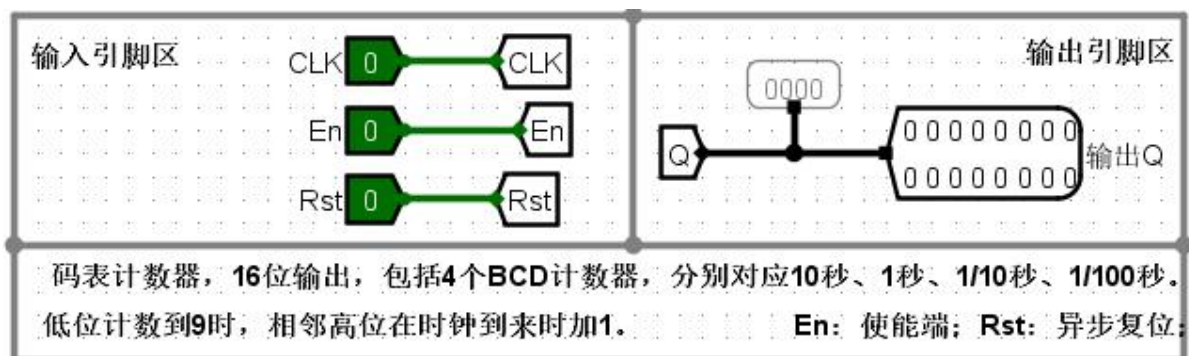


5、设计：

- (1) 构建 4 位并行加载寄存器：利用四个 D 触发器实现钟控寄存。
- (2) 利用封装好的 4 位并行加载寄存器构建 16 位并行加载寄存器：将 4 个位并行加载寄存器并行连接即可。

六、码表计数器

- 1、需求：利用 4 个 BCD 计数器显示码表计数，分别对应 10 秒，1 秒，1/10 秒，1/100 秒
- 2、输入：时钟信号 Clk，使能 En，异步复位 Rst
- 3、输出：16 位输出 Q
- 4、功能：包含 4 个 BCD 码计数器，低位计数器从 9 到 0 时，高位计数器加 1
- 5、引脚：



6、设计：

(1) 构建 4 位 BCD 码计数器：计数器由状态转换，触发器模块，输出函数组成。

①状态转换部分:在 Excel 模板中构建真值表，获取对应的逻辑表达式。

当前状态(现态)					输入信号								下一状态 (次态)				
S3	S2	S1	S0	现态 10进制	in1	in2	in3	in4	in5				次态 10进制	N3	N2	N1	N0
0	0	0	0	0									1	0	0	0	1
0	0	0	1	1									2	0	0	1	0
0	0	1	0	2									3	0	0	1	1
0	0	1	1	3									4	0	1	0	0
0	1	0	0	4									5	0	1	0	1
0	1	0	1	5									6	0	1	1	0
0	1	1	0	6									7	0	1	1	1
0	1	1	1	7									8	1	0	0	0
1	0	0	0	8									9	1	0	0	1
1	0	0	1	9									0	0	0	0	0

②输出函数部分：当计数器计数至 9→0 时，产生进位输出

③触发器模块：

输入：CLK，En，Rst，次态

输出：现态（Q）

(2) 利用封装好的 4 位 BCD 码计数器构建码表计数器：利用 4 个 4 位的 BCD 码计数器级联而成，每个计数器在 0-9 之间变化，当最低位计数器从 9 变化为 0 时，高位计数器加 1；当低两位计数器变化到 99 时，下一个时钟到来时，高一位的计数器加 1；当低三位计数器变化到 9.99 时，下一个时钟到来时，最高一位的计数器加 1。

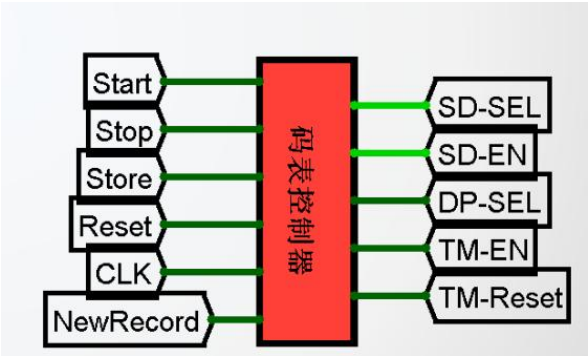
七、码表控制器

1、需求：构建运动码表的控制单元

2、输入：Start，Stop，Reset，Store，NewRecord

3、输出：TM-EN，TM-RST，SD-EN，SD-SEL，DP-SEL

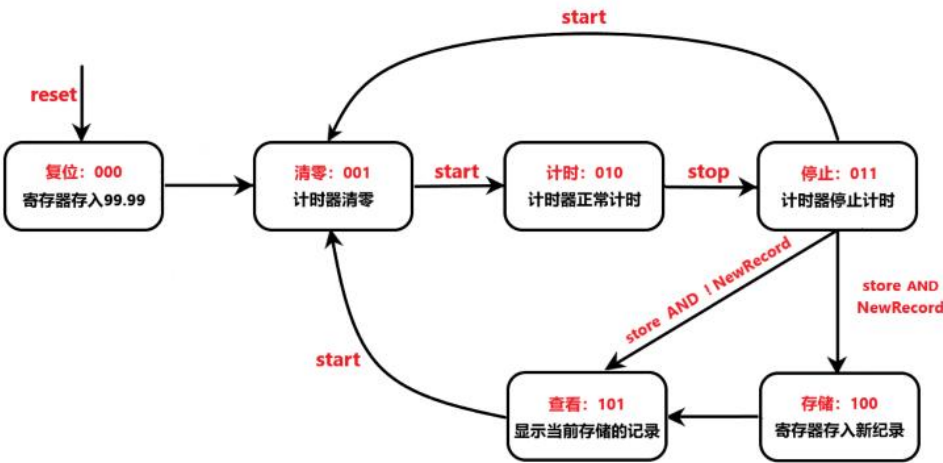
4、引脚：



5、设计：

(1) 码表控制器状态机设计

状态图：



在 Excel 模板中构建真值表，获取对应的逻辑表达式。

当前状态(现态)					输入信号						下一状态 (次态)				
S3	S2	S1	S0	现态 10进制	start	stop	store	reset	NewRecord		次态 10进制	N3	N2	N1	N0
								1			0	0	0	0	0
0	0	0	0	0				0			1	0	0	0	1
0	0	0	1	1	1			0			2	0	0	1	0
0	0	0	1	1	0			0			1	0	0	0	1
0	0	1	0	2		1		0			3	0	0	1	1
0	0	1	0	2		0		0			2	0	0	1	0
0	0	1	1	3	1			0			1	0	0	0	1
0	0	1	1	3	0		1	0	0		5	0	1	0	1
0	0	1	1	3	0		1	0	1		4	0	1	0	0
0	0	1	1	3	0		0	0			3	0	0	1	1
0	1	0	0	4				0			5	0	1	0	1
0	1	0	1	5	1			0			1	0	0	0	1
0	1	0	1	5	0			0			5	0	1	0	1

(2) 码表控制器输出函数设计

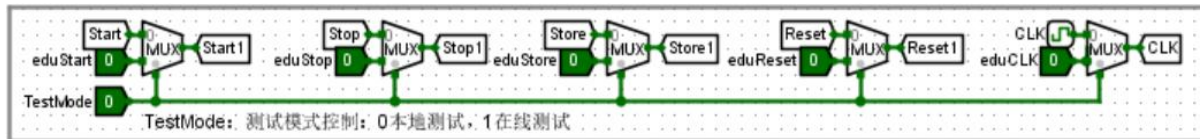
真值表：

当前状态(现态)					输入信号								输出				
S3	S2	S1	S0	现态 10进制									SDsel	SDen	DPsel	TMen	TMreset
0	0	0	0	0										1	1		1
0	0	0	1	1											1		1
0	0	1	0	2											1	1	
0	0	1	1	3											1		
0	1	0	0	4								1	1	1			
0	1	0	1	5								0	0	0	0	0	

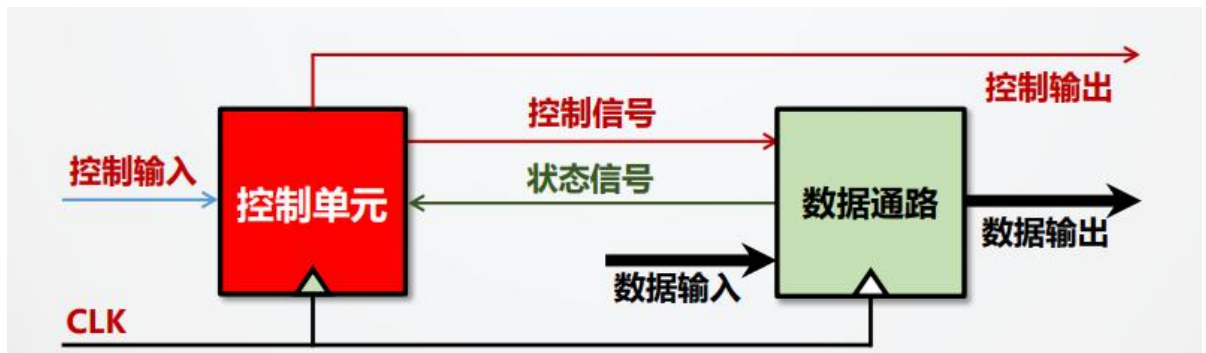
(3) 把当前输入转换为状态，再把状态对应的控制信号输出

八、运动码表数据通路设计（系统集成）

- 1、需求：从控制流角度连接控制单元和执行部件，构建数据通路
- 2、输入：时钟脉冲 CLK, 在线评测开关 TestMode, 开始计时信号 start, 停止计时信号 stop, 存储计时记录信号 store, 计时复位信号 reset
- 3、输出：计时成绩或者成绩记录 Time
- 4、引脚：



5、设计：

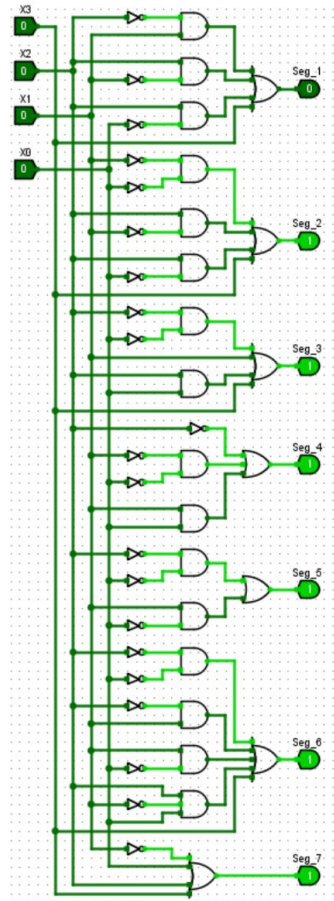


2.2 实验过程

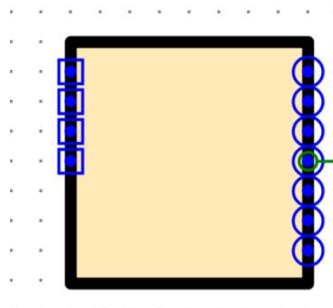
2.2.1 7 段数码管驱动电路

1、电路图

(1) 内部结构电路图

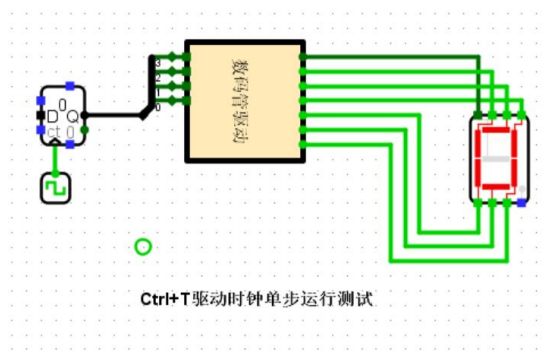


(2) 封装电路图

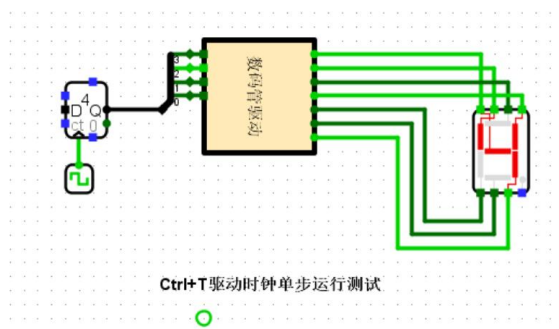


2、测试

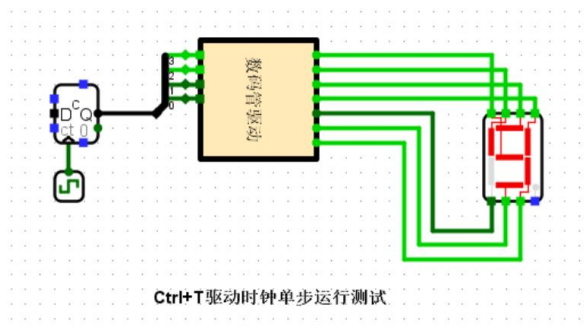
测试用例 1：输入：0000 输出：数码管驱动信号，显示出 0



测试用例 2：输入：0100 输出：数码管驱动信号，显示出 4



测试用例 3：输入：1100 输出：数码管驱动信号，显示出 9



3、功能描述：

如测试样例 1、2，当输入值（4 位 BCD 码）在 0~9 之间，
十进制数字（输入）和七段数码管（输出）的对应关系如下图所示：

0	1	2	3	4
0	1	2	3	4
5	6	7	8	9
5	6	7	8	9

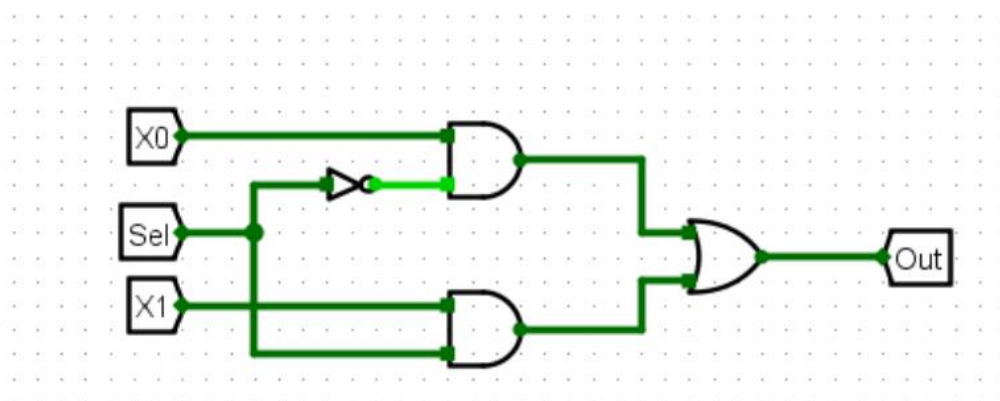
如测试样例 3，当输入值（4 位 BCD 码）在 10~15 之间，不考虑数码管的输出值。

2.2.2 2 路选择器设计

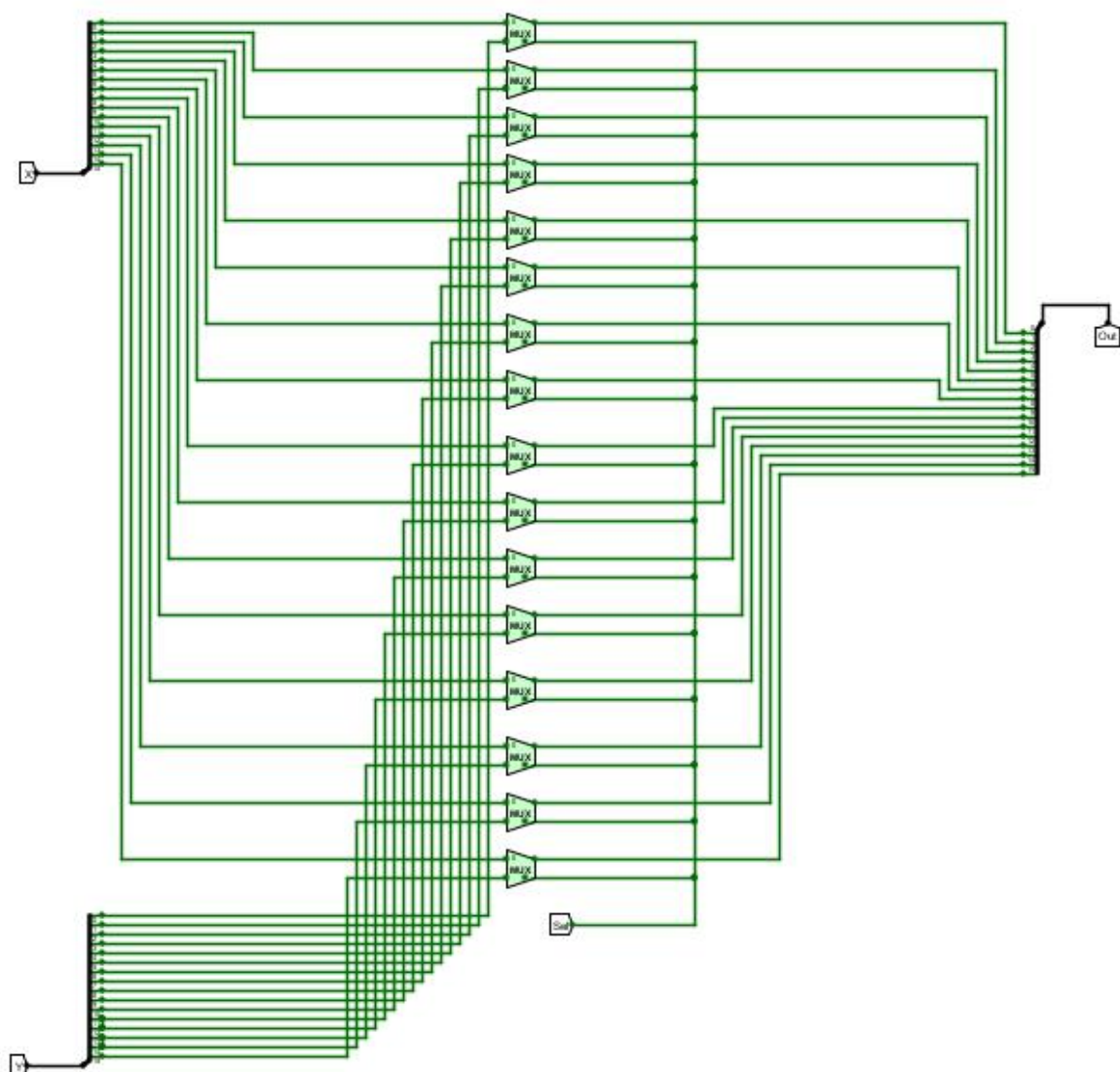
1、电路图

（1）内部结构图：

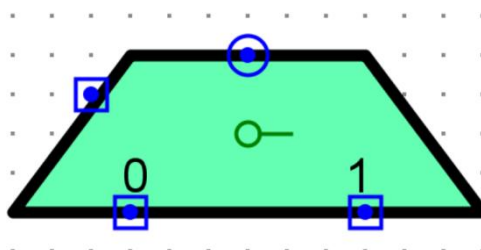
①1 位 2 路选择器



②16 位 2 路选择器

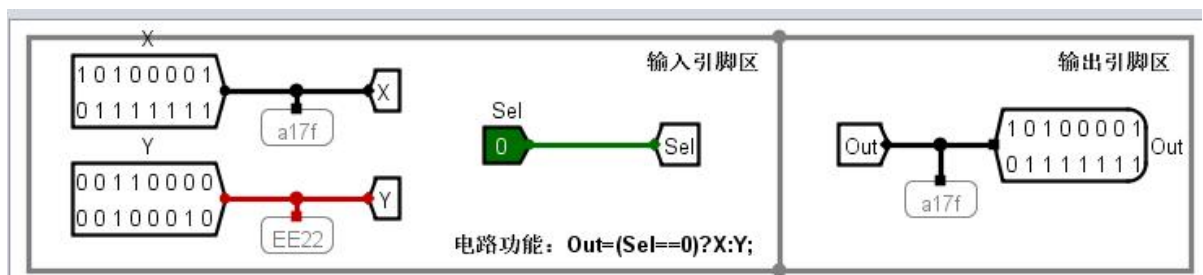


(2) 封装电路图:

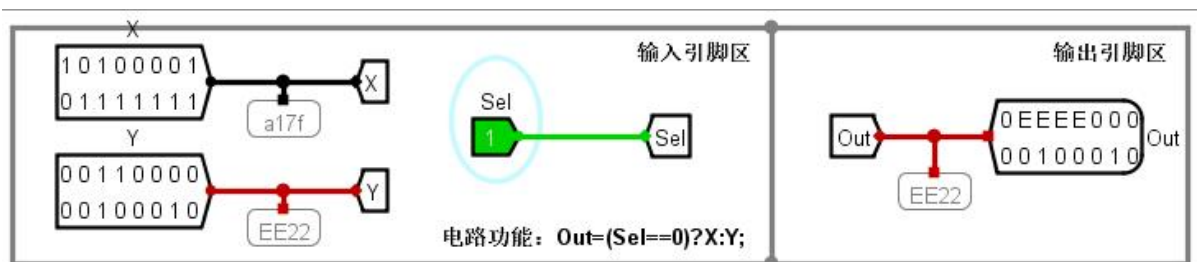


2、测试

测试用例 1: 输入 X-a17fY-ee22 Sel-0 输出: a17f



测试用例 2: 输入 X-a17f Y-ee22 Sel-1 输出: ee22



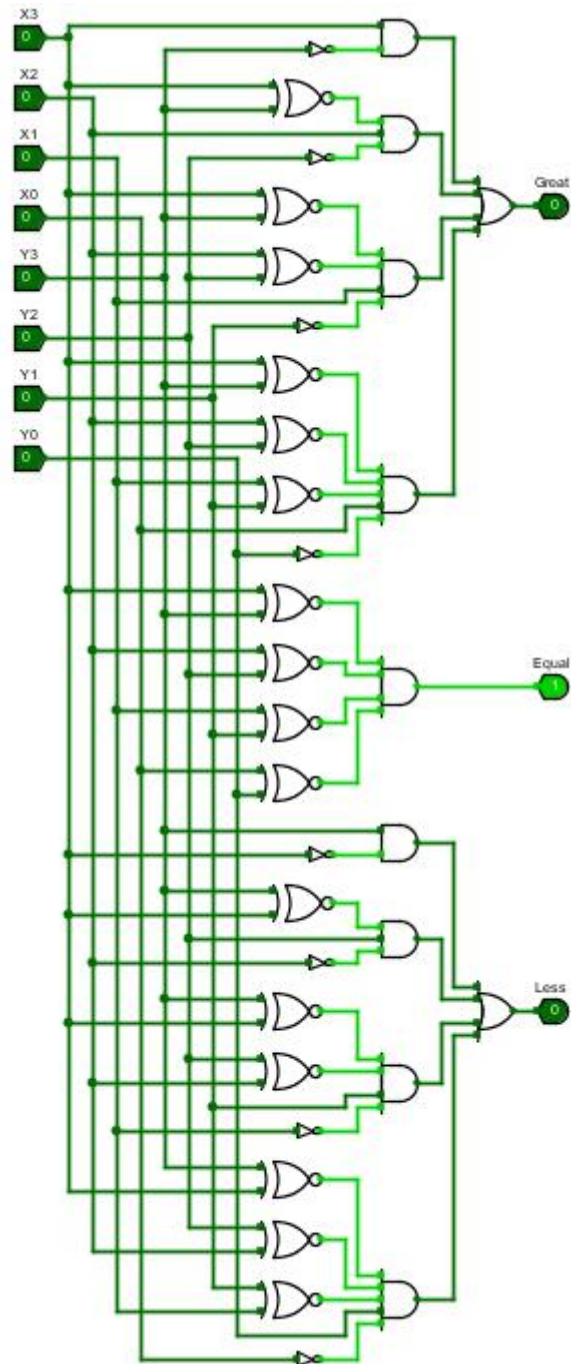
3、功能分析: 根据选择控制信号 Sel, 将相应的输入进行输出。若 $Sel == 0$, 输出 X; 若 $Sel == 1$, 输出 Y

2.2.3 无符号比较器

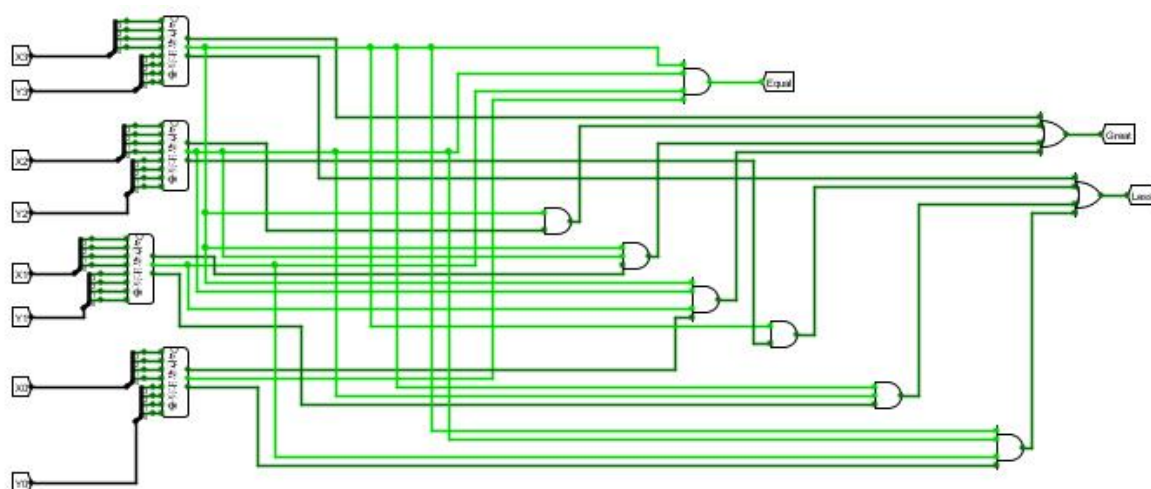
1、电路图

(1) 内部结构图

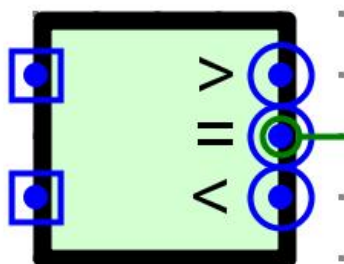
① 4 位无符号比较器



②16 位无符号比较器



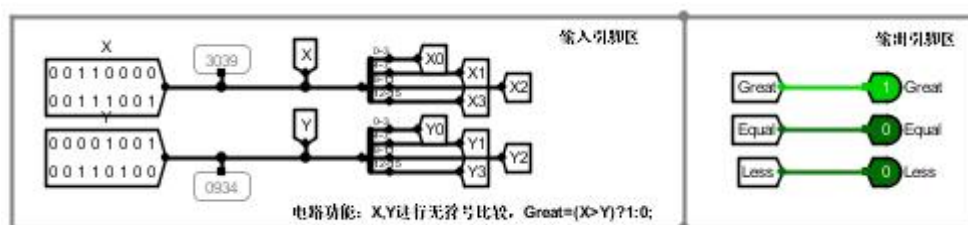
(2) 封装电路图



2、测试图

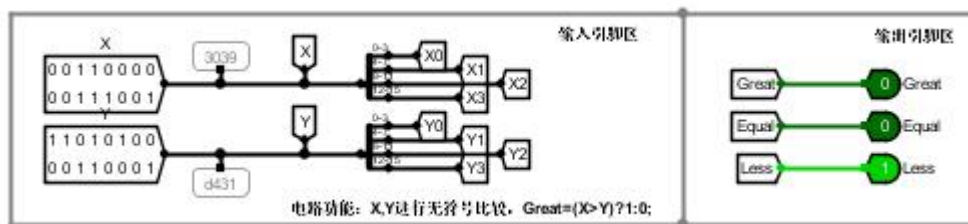
测试用例 1:

输入 X-3039 Y-0934 输出: Great:1 Equal:0 Less:0



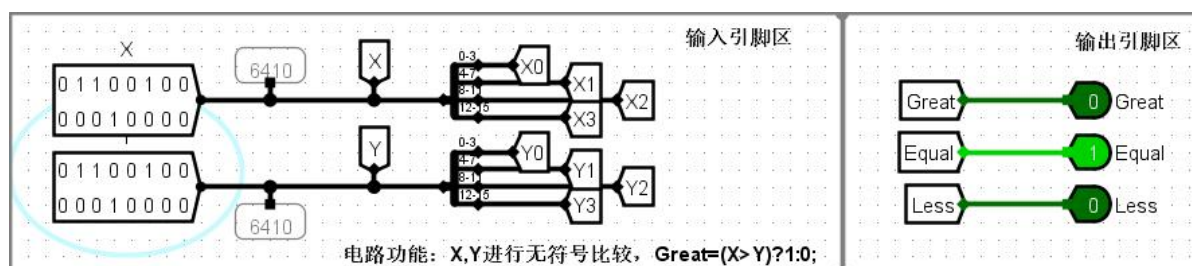
测试用例 2:

输入 X-3039 Y-d431 输出: Great:0 Equal:0 Less:1



测试用例 3:

输入 X-6410 Y-6410 输出: Great:0 Equal:1 Less:0



3、功能:

若 $X > Y$, 则输出 Great

若 $X == Y$, 则输出 Equal

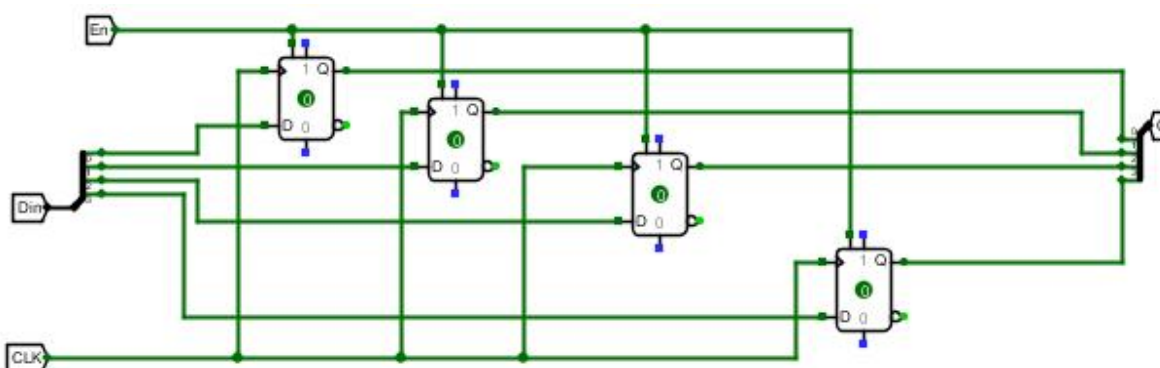
若 $X < Y$, 则输出 Less

2.2.4 并行加载寄存器

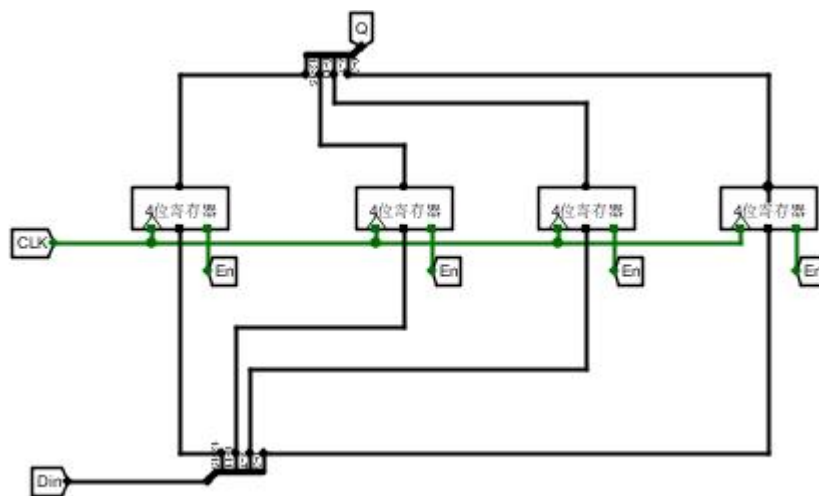
1、电路图

(1) 内部结构图:

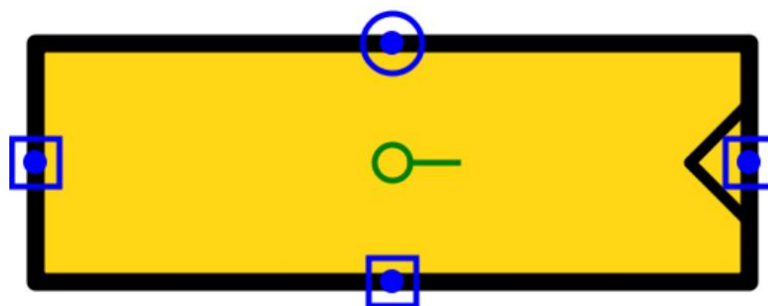
①四位寄存器



②十六位寄存器

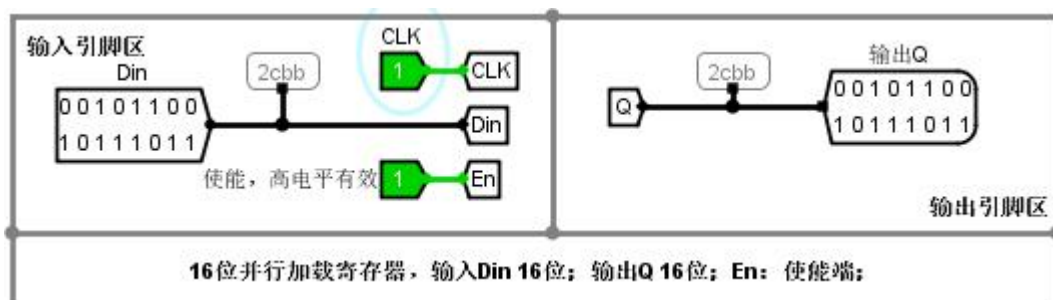


(2) 封装电路图:

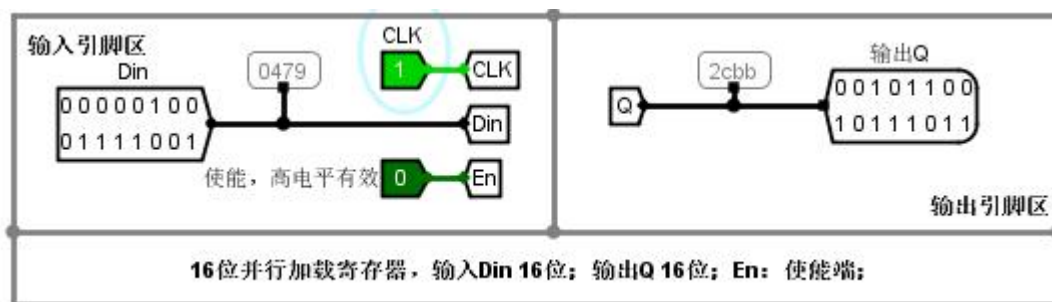


2、测试图

测试用例 1: 输入 Din=2cbb 使能端为 1 Clock ↑ 时 Q=2cbb



测试用例 2: 输入 Din=0479 使能端为 0 Clock ↑ 时 Q=2cbb 不变



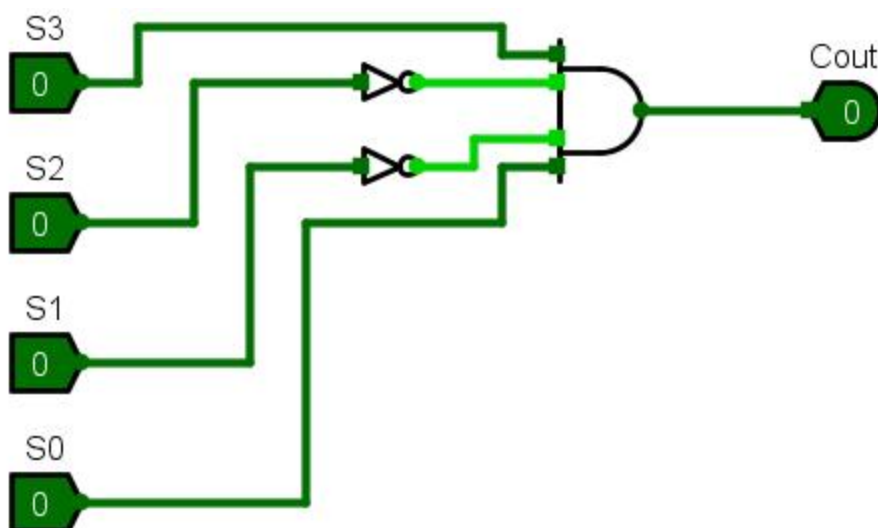
3、功能：当 $En=1$ 且有时钟信号输入变化时（Clock \uparrow 时）， $Q=Din$ ；否则 Q 的值维持不变

2.2.5 码表计数器设计

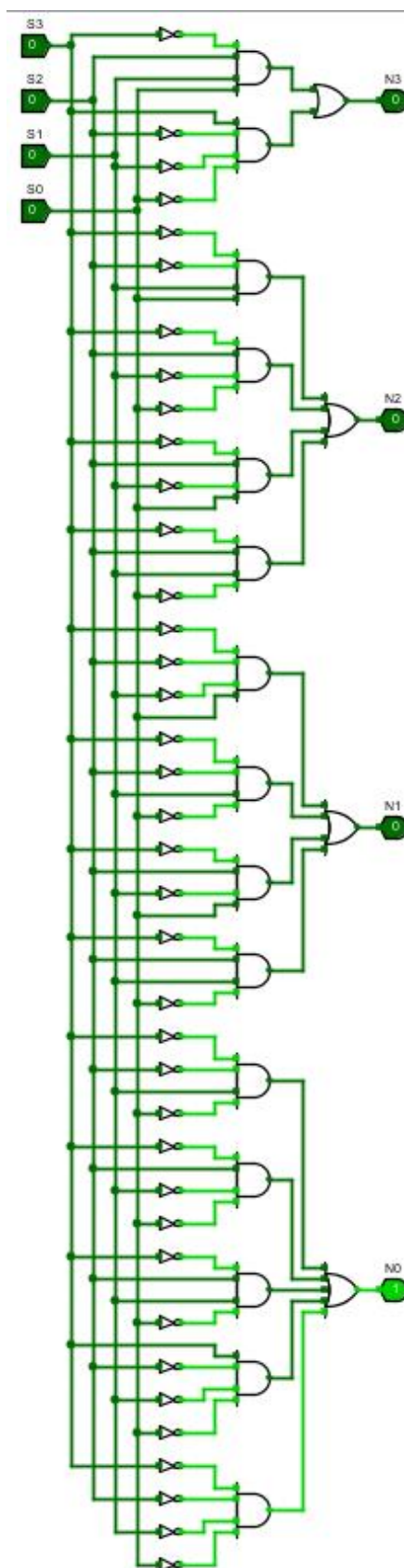
1、电路图

(1) 内部结构图：

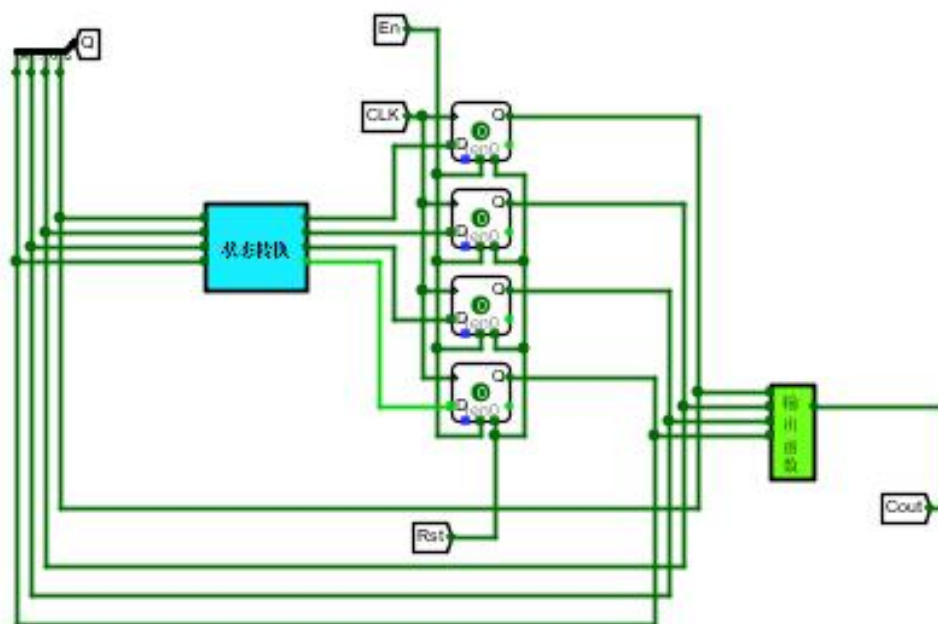
①BCD 计数器输出函数



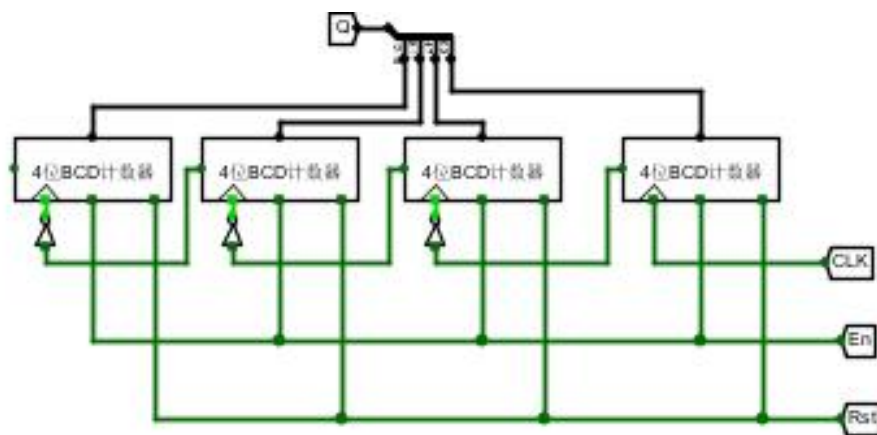
②BCD 计数器状态转换



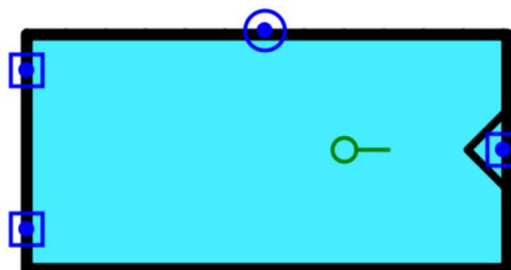
③4 位 BCD 计数器



④ 码表计数器

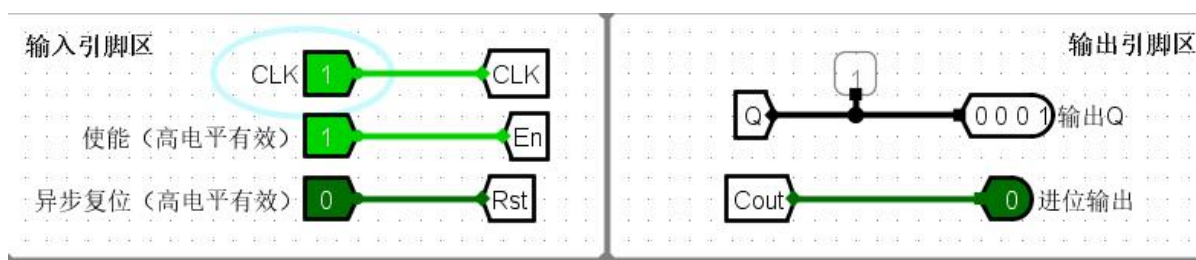


(2) 封装电路图



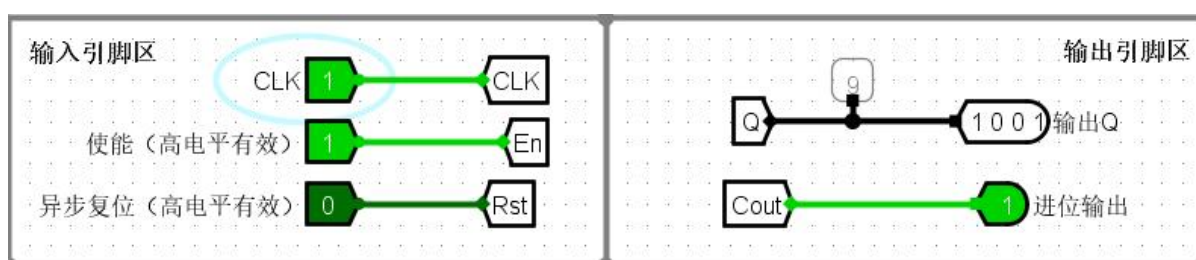
2、测试

测试用例 1: 现态 $Q=0$ 使能端为 1 $\text{Clock} \uparrow$ 时 $Q=1$



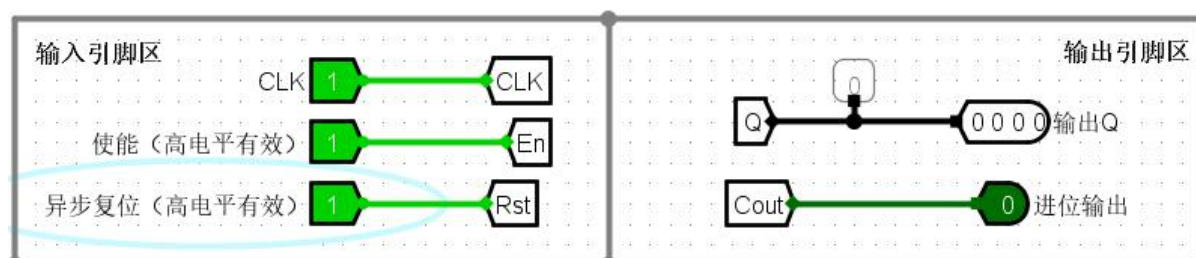
4位BCD(1位十进制)计数器, 输出Q在0-9之间循环计数, EN使能端; Rst异步复位; $\text{Cout}=(Q==9)?1:0$;

测试用例 2: 现态 $Q=8$ 使能端为 1 $\text{Clock} \uparrow$ 时 $Q=9$ 且进位端 $\text{Cout}=1$



4位BCD(1位十进制)计数器, 输出Q在0-9之间循环计数, EN使能端; Rst异步复位; $\text{Cout}=(Q==9)?1:0$;

测试用例 3: $\text{Rst}=1$ 时 $Q=0$ $\text{Cout}=0$



4位BCD(1位十进制)计数器, 输出Q在0-9之间循环计数, EN使能端; Rst异步复位; $\text{Cout}=(Q==9)?1:0$;

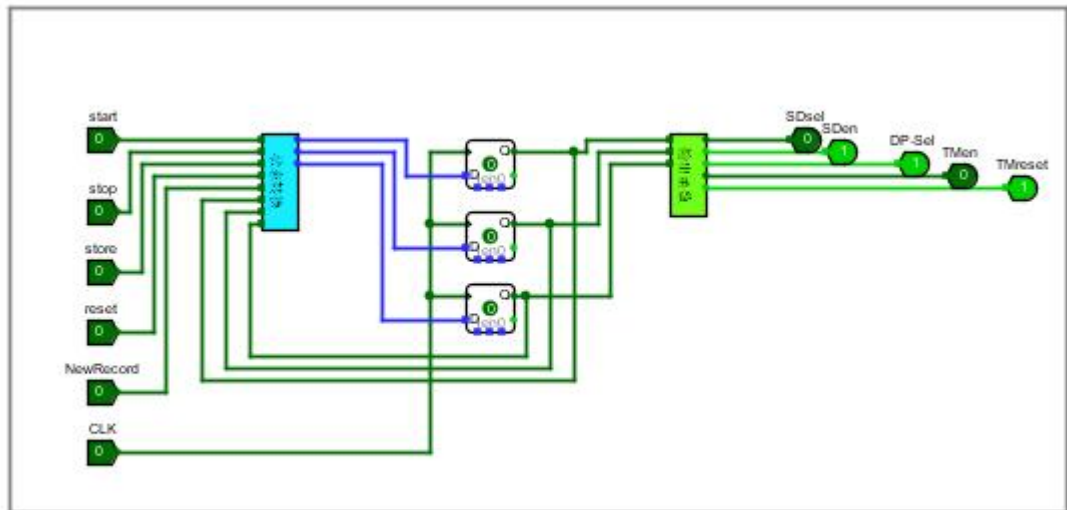
3、功能: 当 $\text{En}=1$ 且有时钟信号输入变化时 ($\text{Clock} \uparrow$) 时, $Q=(Q+1)\text{mod}9$, 在 0-9 之间循环计数。当 $Q=9$ 时, 进位 $\text{Cout}=1$, 其余情况为 0。

2.2.6 码表控制器设计

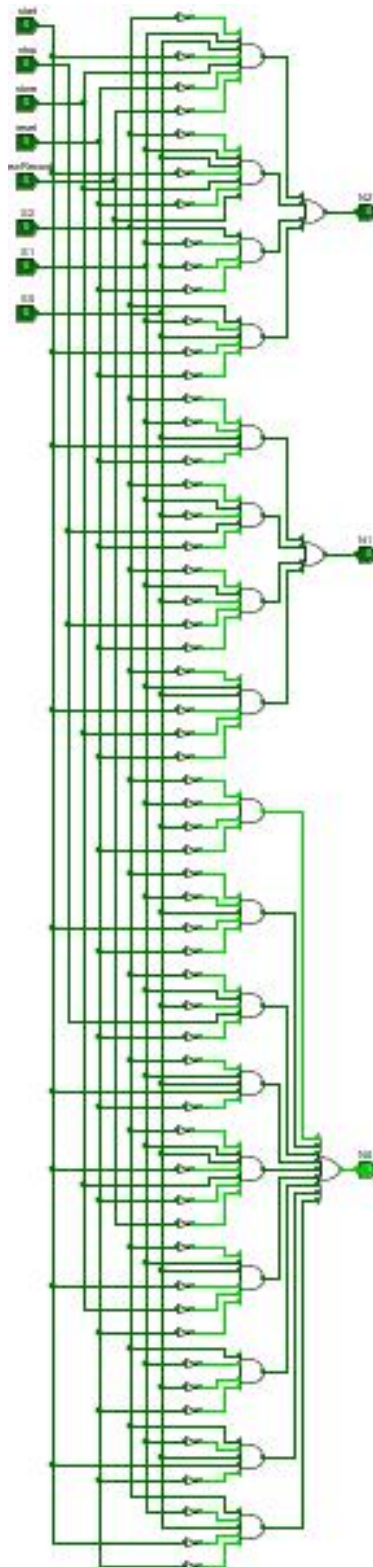
1、电路图

(1) 内部结构图

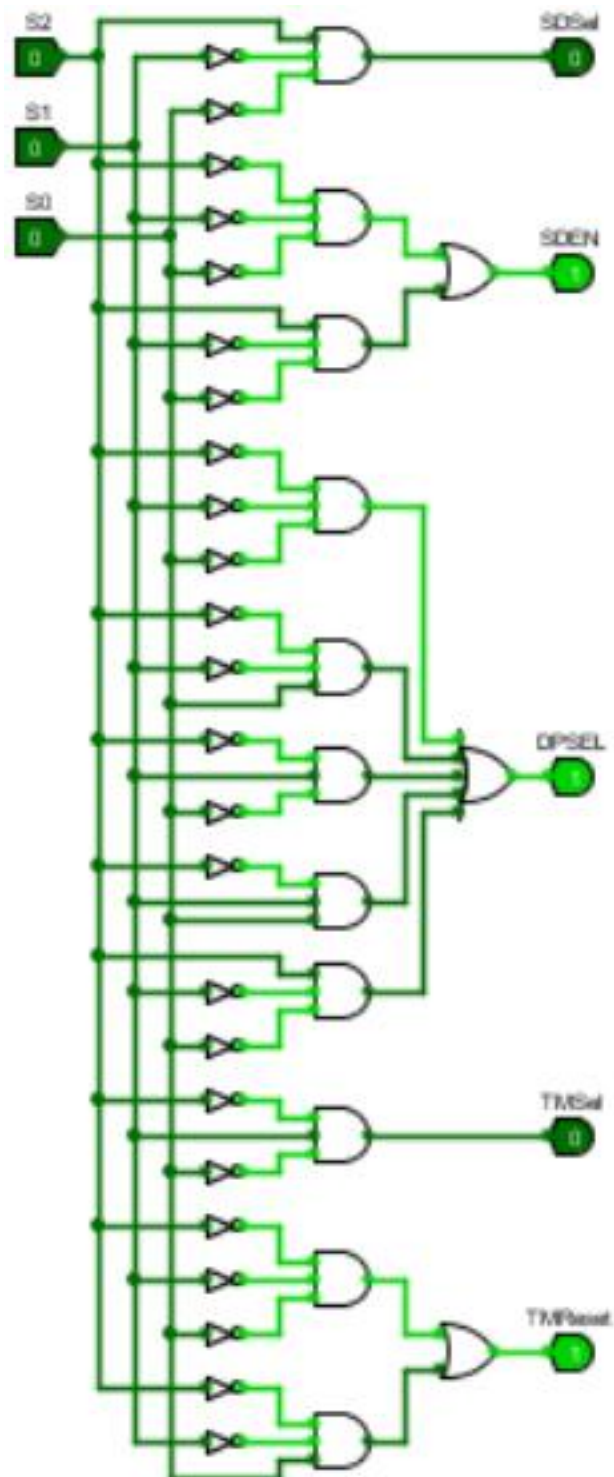
①码表控制器:



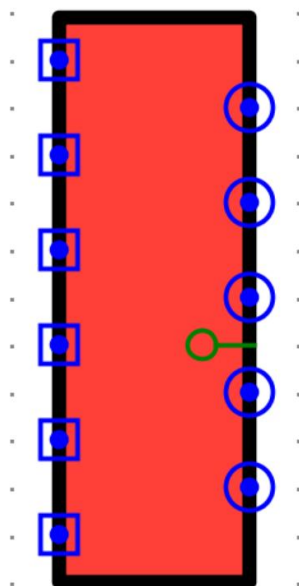
② 码表控制器状态转换:



③ 码表控制器输出函数：



(2) 封装电路图:

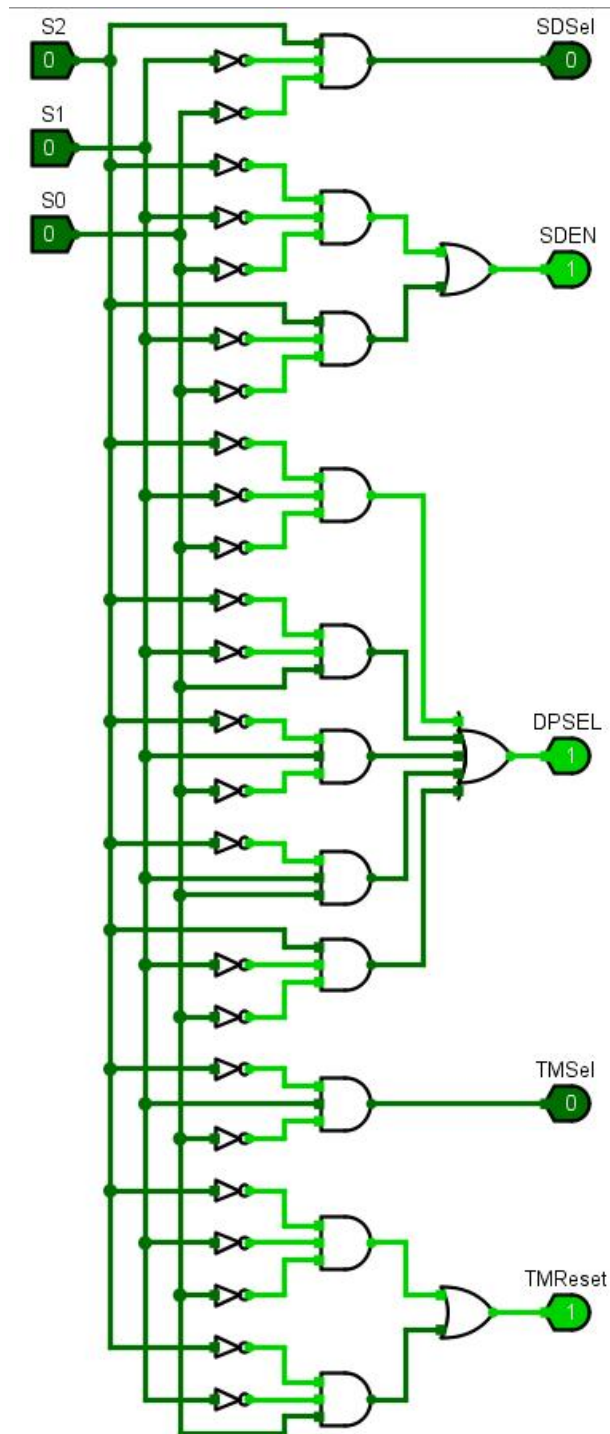


2、测试

测试控制码表输出函数：

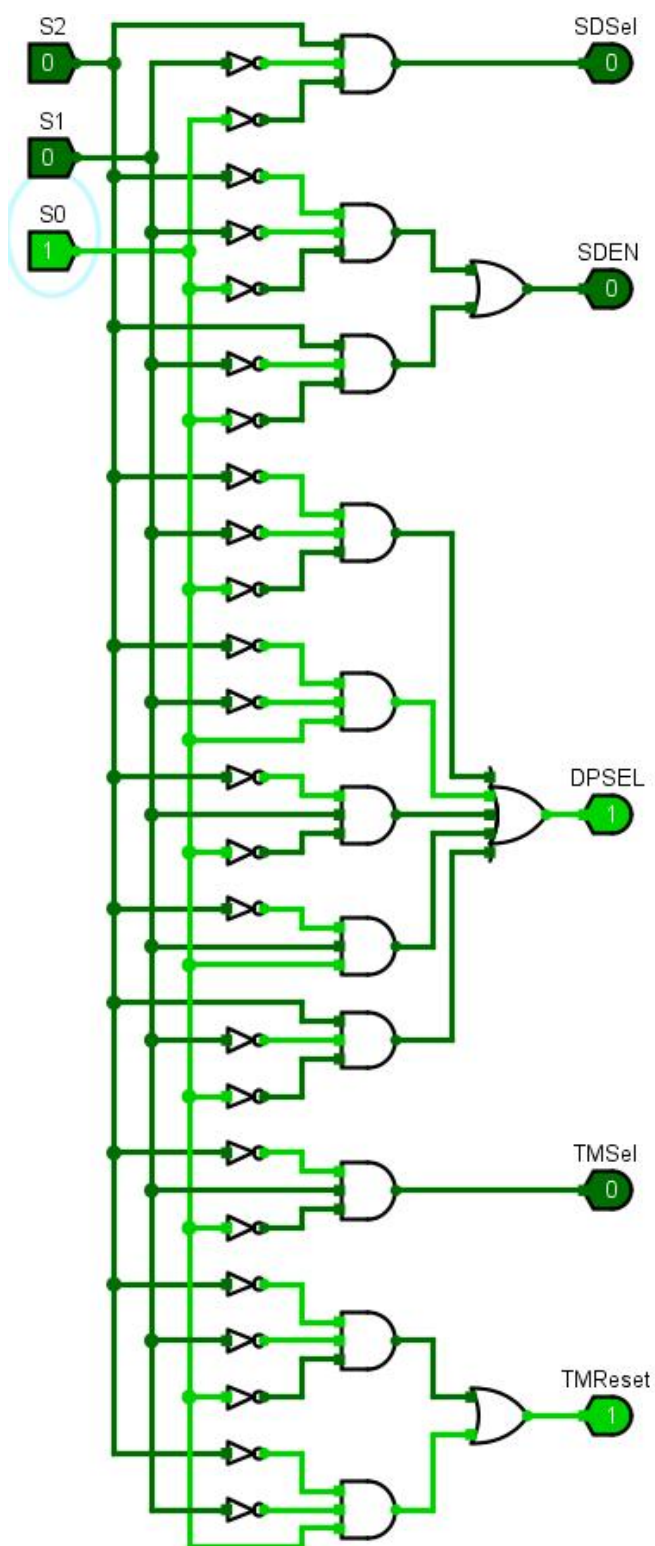
测试用例 1：输入 000 输出 SDsel=0 SDen=1 DPSEL=1 TMen=0 TMreset=1

复位：寄存器输出 9999 作为最好成绩，计时器设零，码表示零。



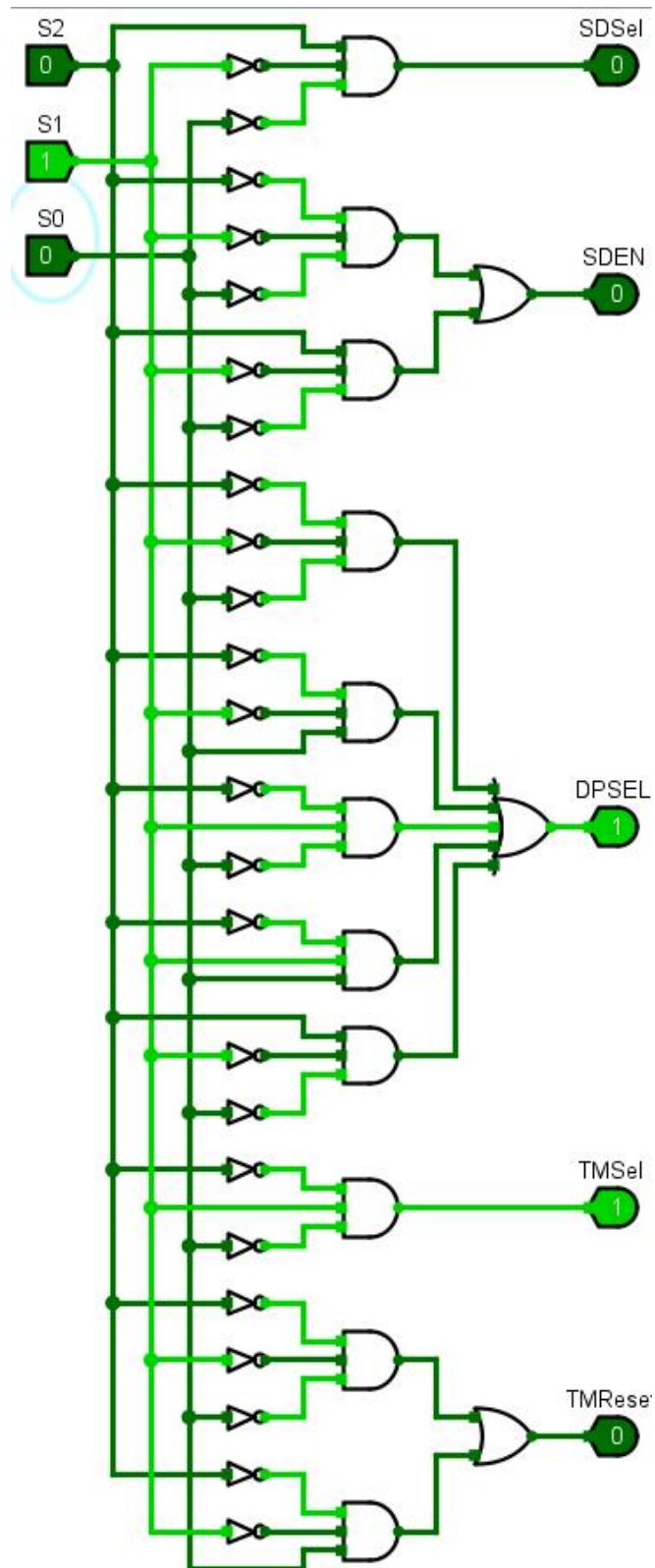
测试用例 2：输入 001 输出 SDSel=0 SDen=0 DPSEL=1 TMen=0 TMreset=1

清零：计时器设零，码表示零。



测试用例 3：输入 010 输出 SDSel=0 SDen=0 DPSEL=1 TMen=1 TMreset=0

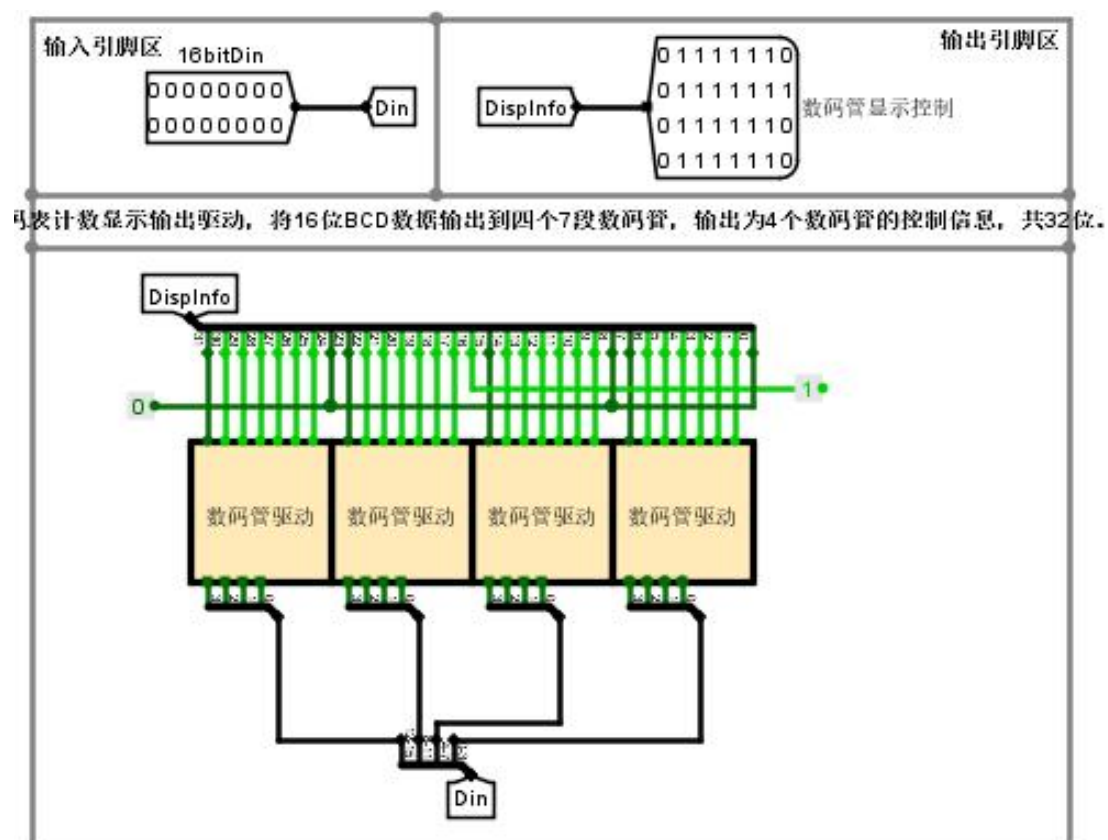
计时：计时器工作，码表显示计数器数据。



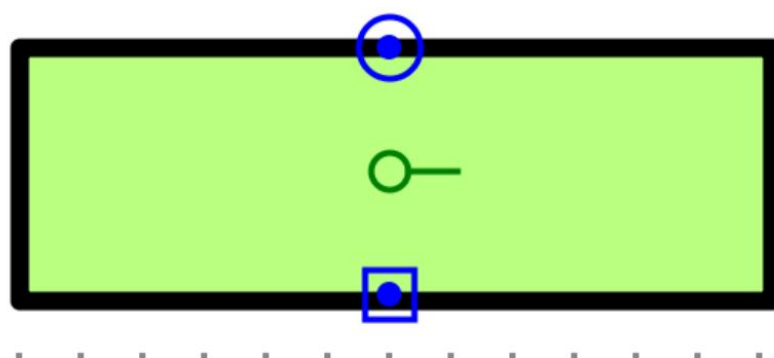
2.2.8 码表显示驱动设计

1、电路图

(1) 内部结构图

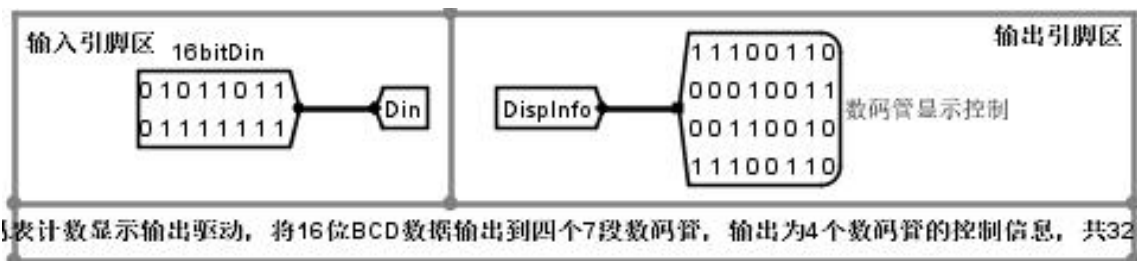


(2) 封装电路图

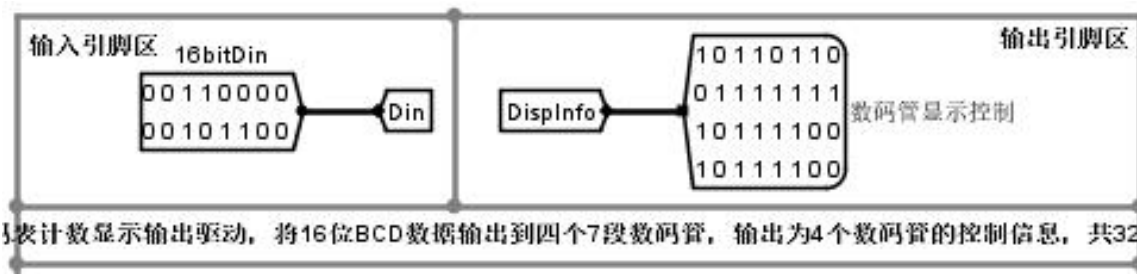


2、测试

测试用例 1:



测试用例 2:

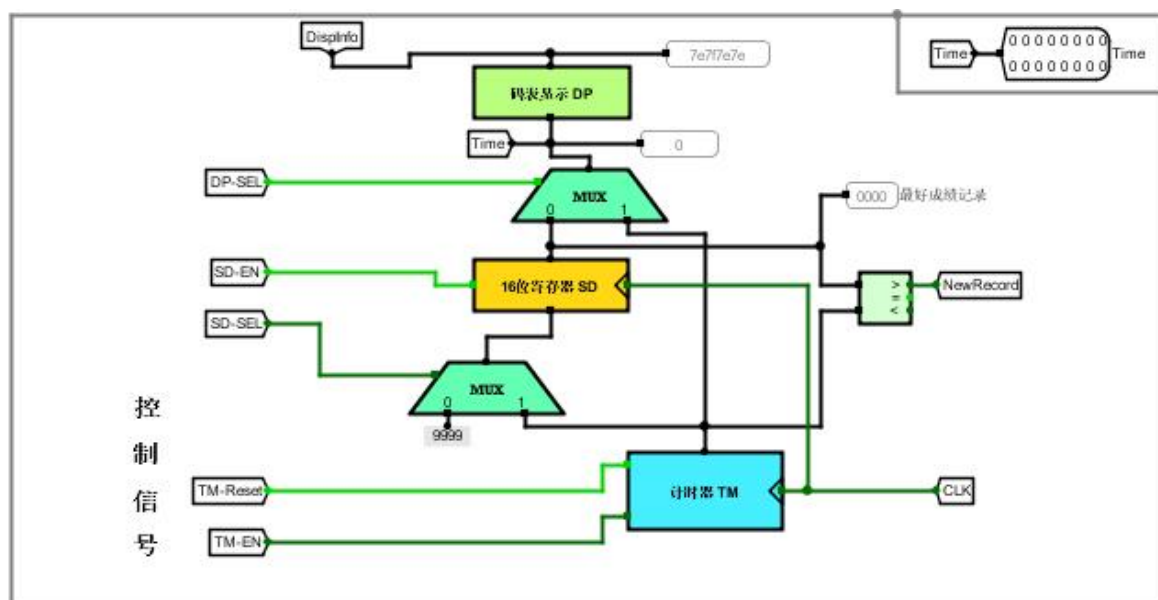


3、功能：码表计数显示驱动根据不同的输入输出对应的数码管控制信息。

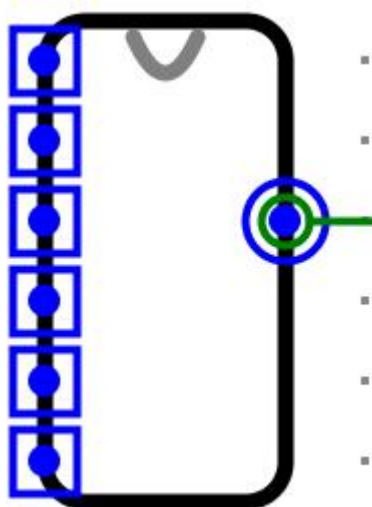
2.2.9 运动码表

1、电路图

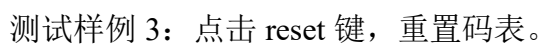
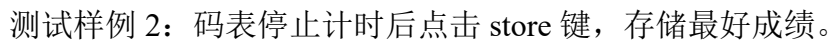
(1) 内部结构图



(2) 封装电路图



测试样例 1: 点击 start 键, 码表开始计时。



3 设计总结与心得

3.1 实验总结

3.1.1 遇到的问题及处理

1 连接电路有时粗心大意，分线器接出时不够仔细，把相邻接口连一起了。

2 在设计码表计数器时，如果简单的用前一个 BCD 计数器的输出函数值用于下一个 BCD 计数器的钟控信号，那么系统会在状态达到 9 时产生进位信号，而不是达到 10 时。当时我没有解决思路，所以只好改从使能端入手。我把低位的进位端并后再接到高位使能端，解决了问题，这样能保障只有低位都是 9 的时候，下一次时钟跳动高位才进一。后来我对于原始的思路进行思考：有没有一种办法将进位信号延迟一下呢？最后想出了一种解决方法：将输出函数信号取反，这样能将从 9 到 10 的下降沿变成上升沿，实现正常进位。

3 实验刚开始时，有时不小心修改了隧道与引脚，通不过头歌的测试。

4 在设计 4 位并行加载寄存器时，我发现使用默认的 D 触发器没有使能端。最后通过咨询同学才发现需要在左下角中将“包含使能端？”改成“是”。

5 注意引脚接口对应，比如从左到右是 0 到 31 还是 31 到 0；输入与输出的接口也应该一一对应。

6 注意子电路外观，包括引脚位置是否正确（如 BCD 计数器输出函数设计中，子电路的接口就出现了错误，需要进行修正）

3.1.2 设计方案存在的不足

①在该设计方案中，码表无法完成多次计时的功能。其一次只能记录一个时间，无法连续记录多个时间。

②在该设计方案中，码表无法完成暂停的功能。在按下“STOP”后，码表无法继续在该时间的基础上继续计时。

3.2 实验心得

本次实验通过头歌平台的“闯关”设计，将实验任务进行模块化细分，极大地降低了学生的负担，有效地引导我们从最基本的模块开始，条理清楚，思路清晰地完成运动码表的设计。

但实验的过程也并非一帆风顺。从一开始的对 logisim 的不熟悉，遇到难关不知如何实现等问题一度令我十分头疼。但我凭借着不懈努力，最终成功完成了该实验。过程中对电路的分析过程，极大加深了我对数字电路与逻辑设计这门学科的理解，为以后学习 csapp 等专业课打下了更坚实的基础。此外，我也深刻地体会到，电路设计是一门胆大心细的活，必须时时刻刻注意各种细节，不论是电路图的设计还是到实际的生产加工均是如此。一个微小的模块出现错误，往往会影响到整个系统功能的实现。

计算机学生要学习的不只是软件，还有硬件。数字逻辑便是一门偏硬件的学科。只有“软硬兼施”，我们的系统能力才能得到更好的培养。因此，我们需要学好这门课。

3.3 意见与建议

希望实验课可以早点开，期末太多实验堆在一起了，负担还是比较重的。

原创性声明

本人郑重声明本报告内容，是由作者本人独立完成的。有关观点、方法、数据和文献等的引用已在文中指出。除文中已注明引用的内容外，本报告不包含任何其他个人或集体已经公开发表的作品成果，不存在剽窃、抄袭行为。

已阅读并同意以下内容。

判定为不合格的一些情形：

- (1) 请人代做或冒名顶替者；
- (2) 替人做且不听劝告者；
- (3) 实验报告内容抄袭或雷同者；
- (4) 实验报告内容与实际实验内容不一致者；
- (5) 实验电路抄袭者。

作者签名：洪炜豪

最终提交的文件

- (1) 实验电路[电子版];
- (2) 实验报告[电子版];
- (3) 实验报告[纸质版]。

提交的电子版文件无需压缩，每个学生放在一个文件夹，文件夹及文件命名方式：
班级-学号-姓名。如：计算机 2101-U21010101-张三-运动码表实验报告

全班收齐后统一打包压缩交给指导教师。