

《VLSI 设计》SPICE 实验报告

姓名： 黄茂荣

学号： 201808010515

湖南大学信息科学与工程学院计算机工程系

2020 年 12 月 18 日

实验三 NAND NOR XOR 的 SPICE 仿真

实验三主要是对三个逻辑门和一个多路复用器进行了仿真，包括与非门，或非门，异或门和 4 选 1 多路复用器，其中采用直流分析和交流分析对与非门进行分析，采用多种实现方法对异或门对其性能进行了分析，其余逻辑门和多路复用器只采用了交流分析。

1. SPICE 电路结构与网表

(1). nand 的电路结构和网表

实验中采用的电路结构图如下，其中 A, B 为与非门的两个输入，上拉网络由两个 pmos 管组成，源极接高电平，下拉网络由两个 nmos 管组成，源极接地，输出为 nmos 和 pmos 的漏极。当 A 或 B 其中一个为 0 时，上拉网络导通，输出 1，当 A, B 同时为 1 时，下拉网络导通，输出 0。

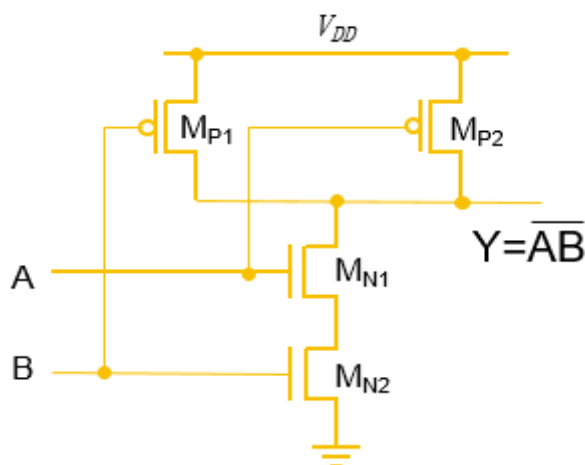


图 1

下面是对应该电路结构图的与非门的交流分析网表。第 6 行表示设置连接点，将 1 和地相连，电压值设置为 1.8V；第 9 行表示设置一个高电平为 1.8V，低电平为 0V 的脉冲信号 A，周期为 40ms，脉冲宽度为 20ms,上升延迟和下降延迟分别为 10ns；第 11 行设置一个高电平为 1.8V，低电平为 0V 的脉冲信号 B，周期为 20ms，脉冲宽度为 10ms,上升延迟和下降延迟分别为 10ns，A, B 两个信号周期相差半个周期，刚好可以组成“00,01,10,11”的序列；14, 15 行设置两个 pmos 的连接方式，漏极均为输出 vo，栅极一个接 A，一个接 B，源极和衬底均接高电平；18, 19 行设置两个 nmos 的连接方式，Mn1 的漏极为输出，栅极一个接 A，一个接 B，Mn1 源极和 Mn2 的漏极接 vn,Mn2 和两个 nmos 的衬底均接地。

```

lab3 > ≡ nand.sp
1  *NAND gate hspice file
2  .TEMP      25.0000
3  .option abstol=1e-6 reltol=1e-6 post ingold
4  .lib 'gd018.1' TT
5  *VDD
6  V1 1 0 dc=1.8 设置高电平为1.8V，连接点为1
7
8  *Input A
9  VA A 0 pulse(0 1.8 0 10ns 10ns 20ms 40ms)
10 *Input B
11 VB B 0 pulse(0 1.8 0 10ns 10ns 10ms 20ms) 两个脉冲信号A, B
12
13 *Two P-types in Parallel
14 Mp1 vo A 1 1 PCH W=5u L=1u
15 Mp2 vo B 1 1 PCH W=5u L=1u 两个pmos并联，作为上拉网络
16
17 *Two N-types in Series
18 Mn1 vo A vn 0 NCH W=2u L=1u
19 Mn2 vn B 0 0 NCH W=2u L=1u 两个nmos串联，作为下拉网络
20
21 .trans 1ms 100ms 设置仿真起始时间
22 .op
23 .end
24

```

下面是对该电路结构的直流分析网表。

```

1  .TEMP      25.0000
2  .option abstol=1e-6 reltol=1e-6 post ingold
3  .lib 'gd018.1' TT
4  *VDD
5  V1 1 0 dc=1.8
6  *Input A
7  VA A 0 0
8
9  *Input B
10 VB B 0 0
11
12 .param width=2u
13 *Two P-types in Parallel
14 Mp1 vo A 1 1 PCH W=5u L=1u 上拉网络的连接
15 Mp2 vo B 1 1 PCH W=5u L=1u
16
17 *Two N-types in Series
18 Mn1 vo A vn 0 NCH W=2u L=1u 下拉网络的连接
19 Mn2 vn B 0 0 NCH W=2u L=1u
20
21 .dc VB START=0 STOP=1.8 STEP=.01 SWEEP VA 0 1.8 0.2
22
23 .op
24 .end

```

直流分析，信号B从0变化到1.8，每次信号A从0变化到1.8，步长为0.2

(2).nor 的电路结构图和网表

实验中采用的电路结构图如下，和与非门的结构十分类似，其中 A, B 为或非门的两个输入，上拉网络由两个 pmos 管组成，源极接高电平，下拉网络由两个 nmos 管组成，源极接地，输出为 nmos 和 pmos 的漏极。当 A, B 其中一个为 1 时，下拉网络导通，输出 0，当 A, B 同时为 0 时，上拉网络导通，输出 1。

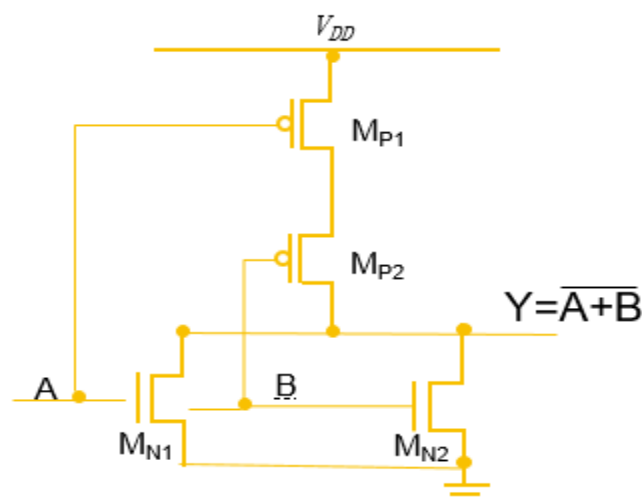



图 2

下面对网表进行分析，或非门的网表结构和与非门十分类似，不同之处在于电路的连接方式。14, 15 行设置两个 pmos 的连接方式，Mp1 的漏极接 vn, Mp2 的漏极接输出 vo，栅极一个接 A，一个接 B，Mp2 的源极接 vn, Mp1 的源极接高电平，衬底均接高电平；18, 19 行设置两个 nmos 的连接方式，漏极均接输出 vo，栅极一个接 A，一个接 B，源极和衬底均接地。

```
lab3 >  nor.sp
1  *NAND gate hspice file
2  .TEMP 25.0000
3  .option abstol=1e-6 reltol=1e-6 post ingold
4  .lib 'gd018.1' TT
5  *VDD
6  V1 1 0 dc=1.8 设置高电平为1.8V
7  *Input A
8  VA A 0 pulse(0 1.8 0 10ns 10ns 20ms 40ms)
9
10 *Input B 脉冲信号的输入
11 VB B 0 pulse(0 1.8 0 10ns 10ns 10ms 20ms)
12
13 *Two P-types in Parallel
14 Mp1 vn A 1 1 PCH W=5u L=1u 上拉网络
15 Mp2 vo B vn 1 PCH W=5u L=1u
16
17 *Two N-types in Series
18 Mn1 vo A 0 0 NCH W=2u L=1u 下拉网络
19 Mn2 vo B 0 0 NCH W=2u L=1u
20
21 .trans 1ms 100ms 设置仿真起始时间
22 .op
23 .end
24
```

(3).xor 的电路结构和网表

xor 电路采用 4 种方式去实现，下面分别对 4 种实现方式进行简单介绍。

● 方式 1 nmos 传输管实现异或

电路由两个 nmos 传输管组成。当 A 是高电平时， M_1 导通，传送 \bar{B} ；当 A 是低电平时， M_2 导通，传送 B。

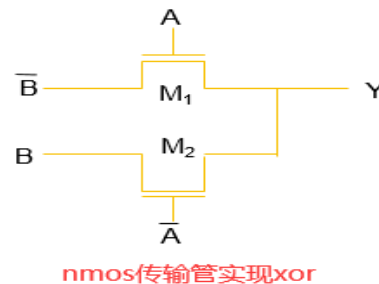


图 3

下面对网表进行分析。由于暂时没有学到子电路的封装，在使用到一个信号取反后的信号时，采用将原信号延迟半个周期得到的新信号作为取反得到的信号的方法。连接电路部分，定义两个 nmos，A 接 M_1 的栅极， \bar{A} 接 M_2 的栅极，B 和 \bar{B} 分别接 M_1 和 M_2 的输入，输出均接 v_o 。

```
lab3 > xor.sp
1  .TEMP    25.0000
2
3  .option abstol=1e-6 reltol=1e-6 post ingold
4
5  .model nmos nmos level=1 ld=0.15u tox=200e-10 vto=0.74 kp=8e-5
6  +nsub=5.37e15 gamma=0.54 phi=0.6 u0=656 uexp=0.157 ucirt=31444
7  +delta=2.34 vmax=55261 xj=0.25u lambda=0.037 nfs=1e12 neff=1.001
8  +nss=1e11 tpg=1 rsh=70 pb=0.58 cgdo=4.3e-10 cgso=4.3e-10 cj=0.0003 mj=0.66
9  +cjsw=8e-10 mjsw=0.24
10
11 .model pmos pmos level=1 ld=0.15u tox=200e-10 vto=-0.74 kp=2.7e-5
12 +nsub=4.33e15 gamma=0.58 phi=0.6 u0=262 uexp=0.324 ucirt=65720
13 +delta=1.79 vmax=25694 xj=0.25u lambda=0.061 nfs=1e12 neff=1.001
14 +nss=1e11 tpg=-1 rsh=121 pb=0.64 cgdo=4.3e-10 cgso=4.3e-10 cj=0.0005 mj=0.51
15 +cjsw=1.35e-10 mjsw=0.24
16
17 *VDD
18 V1 1 0 dc=1.8 设置高电平
19
20 *Input A
21 VA A 0 pulse(0 1.8 0 10ns 10ns 20ms 40ms)
22 VAF AF 0 pulse(0 1.8 20ms 10ns 10ns 20ms 40ms) *看作A的取反
23                                     这里再定义一个AF，将原信号延迟
24                                     半个周期作为A的取反
25
26 *Input B
27 VB B 0 pulse(0 1.8 0 10ns 10ns 10ms 20ms)
28 VBF BF 0 pulse(0 1.8 10ms 10ns 10ns 10ms 20ms) *看作B的取反
29                                     这里再定义一个BF，将原信号延迟
30                                     半个周期作为B的取反
31
32 M1 BF A vo 0 nmos W=2u L=1u 连接电路
33 M2 B AF vo 0 nmos W=2u L=1u
34
35 .trans 1ms 100ms
36 .op
37 .end
```

- 方式2 cmos 传输门实现异或

电路由两个 cmos 传输门组成。cmos 传输门可以避免 nmos 传输高电平和 pmos 传输低电平过程中的阈值损失。当 B 为高电平时，下方的 TG 导通，传输 \bar{A} ；当 B 为低电平时，上方的 TG 导通，传输 A。

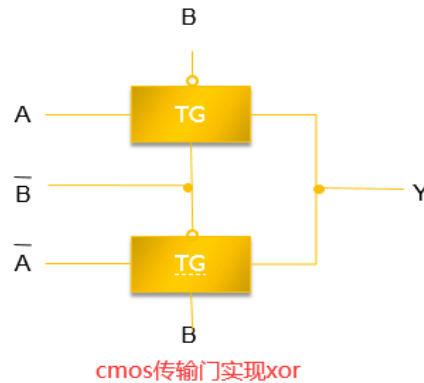


图 4

下面对网表进行分析。将两个 cmos 传输门连接好，27，28 行定义了 cmos 传输门 1 的连接，输入接 A，输出接 vo, B 和 \bar{B} 分别接传输门 1 的上端和下端；30，31 行定义了 cmos 传输门 2 的连接，输入接 \bar{A} , 输出接 vo, B 和 \bar{B} 分别接传输门 2 的下端和上端。

```
lab3 > xor4-2-9.sp
1 .TEMP 25.0000
2 .option abstol=1e-6 reltol=1e-6 post ingold
3
4 .model nmos nmos level=1 ld=0.15u tox=200e-10 vto=0.74 kp=8e-5
5 +nsub=5.37e15 gamma=0.54 phi=0.6 u0=656 uexp=0.157 ucirt=31444
6 +delta=2.34 vmax=55261 xj=0.25u lambda=0.037 nfs=1e12 neff=1.001
7 +nss=1e11 tpg=1 rsh=70 pb=0.58 cgdo=4.3e-10 cgso=4.3e-10 cj=0.0003 mj=0.66
8 +cjsw=8e-10 mjsw=0.24
9
10 .model pmos pmos level=1 ld=0.15u tox=200e-10 vto=-0.74 kp=2.7e-5
11 +nsub=4.33e15 gamma=0.58 phi=0.6 u0=262 uexp=0.324 ucirt=65720
12 +delta=1.79 vmax=25694 xj=0.25u lambda=0.061 nfs=1e12 neff=1.001
13 +nss=1e11 tpg=-1 rsh=121 pb=0.64 cgdo=4.3e-10 cgso=4.3e-10 cj=0.0005 mj=0.51
14 +cjsw=1.35e-10 mjsw=0.24
15
16 *VDD
17 V1 1 0 dc=1.8
18
19 *Input A
20 VA A 0 pulse(0 1.8 0 10ns 10ns 20ms 40ms)
21 VAF AF 0 pulse(0 1.8 20ms 10ns 10ns 20ms 40ms) *看作A的取反
22
23 *Input B
24 VB B 0 pulse(0 1.8 0 10ns 10ns 10ms 20ms)
25 VBF BF 0 pulse(0 1.8 10ms 10ns 10ns 10ms 20ms) *看作B的取反
26
27 Mp1 A B vo 1 pmos W=5u L=1u cmos传输门1
28 Mn1 A BF vo 0 nmos W=2u L=1u
29
30 Mp2 AF BF vo 1 pmos W=5u L=1u cmos传输门2
31 Mn2 AF B vo 0 nmos W=2u L=1u
32
33 .trans 1ms 100ms 设置仿真起始时间
34 .op
35 .end
36
```

- 方式3 cmos 传输门和 inv 实现异或

电路中由两个反相器和一个 cmos 传输门组成。当 A 为高电平时，cmos 传输门截止，第 2 级反相器正常工作，把 B 信号反向输出，即实现 $v_o = A\bar{B}$ 。当 A 是低电平时，cmos 传输门导通，第 2 级反相器不能正常工作，B 信号经过传输门直接传输到输出端，即实现 $v_o = \bar{A}B$ 。由于 cmos 传输门和第 2 级反相器不会同时起作用，也不会同时不起作用，它们的输出可以直接并联在一起实现“或”逻辑，因此该电路可以实现 xor 的功能。

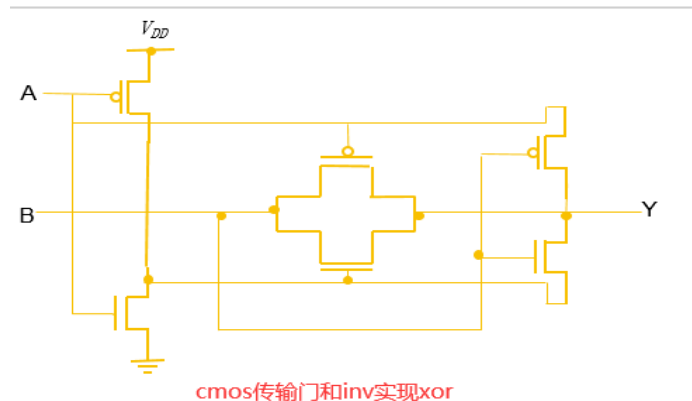


图 5

下面对网表中的关键部分进行分析。31, 32 行定义了第 1 级反相器，反相器中 nmos 和 pmos 的栅极接输入 A, 输出接 nvo, pmos 的源极和衬底均接高电平，nmos 的源极和衬底均接低电平。35, 36 行定义了一个传输门，传输门的输入接 B, 上端接 A, 下端接第 1 级反相器的输出，39, 40 行定义了第 2 级反相器，反相器中 nmos 和 pmos 的栅极接 B, 漏极接输出 vo, pmos 的源极接 A, nmos 的源极接第 1 级反相器的输出 nvo。

```

19  *VDD
20  V1 1 0 dc=1.8
21
22  *Input A
23  VA A 0 pulse(0 1.8 0 10ns 10ns 20ms 40ms)
24  VAF AF 0 pulse(0 1.8 20ms 10ns 10ns 20ms 40ms)  *看作A的取反
25
26  *Input B
27  VB B 0 pulse(0 1.8 0 10ns 10ns 10ms 20ms)
28  VBF BF 0 pulse(0 1.8 10ms 10ns 10ns 10ms 20ms)  *看作B的取反
29
30  *反相器0
31  Mp0 nvo A 1 1 pmos W=5u L=1u
32  Mn0 nvo A 0 0 nmos W=2u L=1u
33
34  *传输门
35  Mp1 B A vo 1 pmos W=5u L=1u
36  Mn1 B nvo vo 0 nmos W=2u L=1u
37
38  *反相器1
39  Mp2 vo B A 1 pmos W=5u L=1u
40  Mn2 vo B nvo 0 nmos W=2u L=1u
41
42  .trans 1ms 100ms 设置仿真起始时间
43  .op
44  .end

```

● 方式4 传输管实现异或

当 A, B 均为高电平时, 上方的两个 pmos 传输管均截止, 下方的 nmos 导通, 输出低电平, 当 A, B 均为低电平时, 下方的 nmos 均截止, 上方的 pmos 均导通 传送低电平信号到输出。当 A 为低电平, B 为高电平时, 上方左侧 pmos 导通, 传输 B 到输出, 当 B 为低电平, A 为高电平时, 上方右侧的 pmos 导通, 传输 A 到输出。

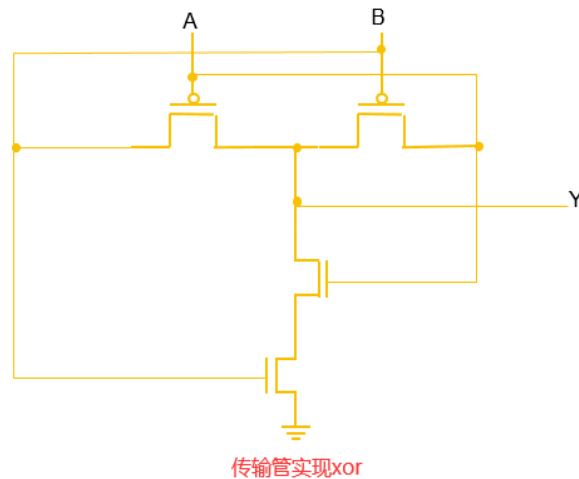


图 6

下面对网表中的关键部分进行分析。30, 31 行定义了上方两个 pmos 的连接。左侧的 pmos 的栅极接 A, 源漏两级分别接输出和 B, 衬底接高电平, 右侧的 pmos 的栅极接 B, 源漏两级分别接输出和 A, 衬底接高电平。33, 34 行定义两个 nmos 串联, 上侧 nmos 的栅极接 A, 漏极接输出 vo, 源极接两个 nmos 的连接点, 衬底接地, 下侧 nmos 的栅极接 B, 漏极接两个 nmos 的连接点, 源极和衬底接地。

```
19 *VDD
20 V1 1 0 dc=1.8
21
22 *Input A
23 VA A 0 pulse(0 1.8 0 10ns 10ns 20ms 40ms)
24 VAF AF 0 pulse(0 1.8 20ms 10ns 10ns 20ms 40ms) *看作A的取反
25
26 *Input B
27 VB B 0 pulse(0 1.8 0 10ns 10ns 10ms 20ms)
28 VBF BF 0 pulse(0 1.8 10ms 10ns 10ns 10ms 20ms) *看作B的取反
29
30 Mp0 vo A B 1 pmos W=5u L=1u pmos传输管
31 Mp1 vo B A 1 pmos W=5u L=1u
32
33 Mn0 vo A tvo 0 nmos W=2u L=1u nmos
34 Mn1 tvo B 0 0 nmos W=2u L=1u
35
36 .trans 1ms 100ms
37 .op
38 .end
~~
```


(4). 4选1多路器的电路结构图和网表

电路由8个nmos传输管组成。当s1s0为11时，D3信号输出，当s1s0为10时，D2信号输出，当s1s0为01时，D1信号输出，当s1s0为00时，D0输出。以此实现4选1输出的功能。

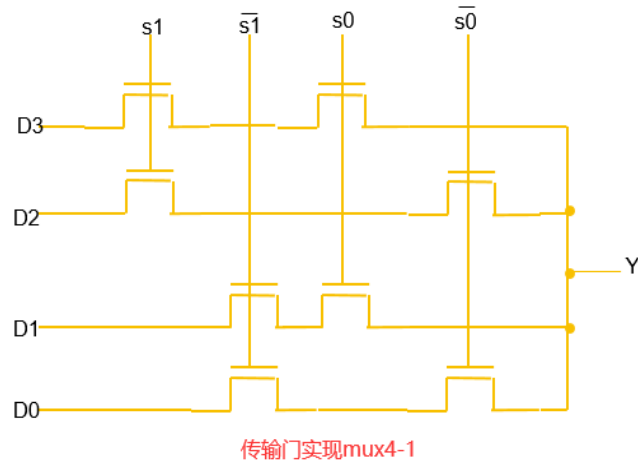


图 7

下面网表中的关键部分进行分析。36, 37行定义了控制d3信号的两个nmos连接。s1,s0连接nmos的栅极，用来控制d3是否输出，输入信号为d3,输出信号为vo，其余3个的定义和36, 37行的类似。

```
21
22 * s0
23 Vs0 s0 0 pulse(0 1.8 0 10ns 10ns 20ms 40ms)
24 Vs0f s0f 0 pulse(0 1.8 20ms 10ns 10ns 20ms 40ms) *看作s0的取反 选择信号
25
26 * s1
27 Vs1 s1 0 pulse(0 1.8 0 10ns 10ns 10ms 20ms)
28 Vs1f s1f 0 pulse(0 1.8 10ms 10ns 10ns 10ms 20ms) *看作s1的取反
29
30 *input d
31 Vd0 d0 0 pulse(0 1.8 0 10ns 10ns 10ms 20ms)
32 Vd1 d1 0 pulse(0 1.8 10ms 10ns 10ns 10ms 20ms) 定义4个脉冲
33 Vd2 d2 0 pulse(0 1.8 0 10ns 10ns 20ms 40ms)
34 Vd3 d3 0 pulse(0 1.8 20ms 10ns 10ns 20ms 40ms)
35
36 Mn0 d3 s1 t0 0 nmos W=2u L=1u
37 Mn1 t0 s0 vo 0 nmos W=2u L=1u
38
39 Mn2 d2 s1 t1 0 nmos W=2u L=1u
40 Mn3 t1 s0f vo 0 nmos W=2u L=1u
41
42 Mn4 d1 s1f t2 0 nmos W=2u L=1u
43 Mn5 t2 s0 vo 0 nmos W=2u L=1u
44
45 Mn6 d0 s1f t3 0 nmos W=2u L=1u
46 Mn7 t3 s0f vo 0 nmos W=2u L=1u
47
48 .trans 1ms 100ms 仿真起始时间设置
49 .op
50 .end
```

2. 电路仿真结果-基础部分

以下是仿真结果和对结果的简单分析。注意仿真结果中标注的1和0分别是指高电平和低电平(例如AB为11，vo为0)

(1). nand 的仿真结果

nand 的真值表如下

A	B	vo
0	0	1
0	1	1
1	0	1
1	1	0

● 交流分析结果

A 信号是黄色曲线, B 信号是红色曲线, 输出信号是蓝色曲线, 其中高电平为 1.8V, 低电平为 0V, 仿真结果如下图所示, 和真值表保持一致, 仿真结果正确。

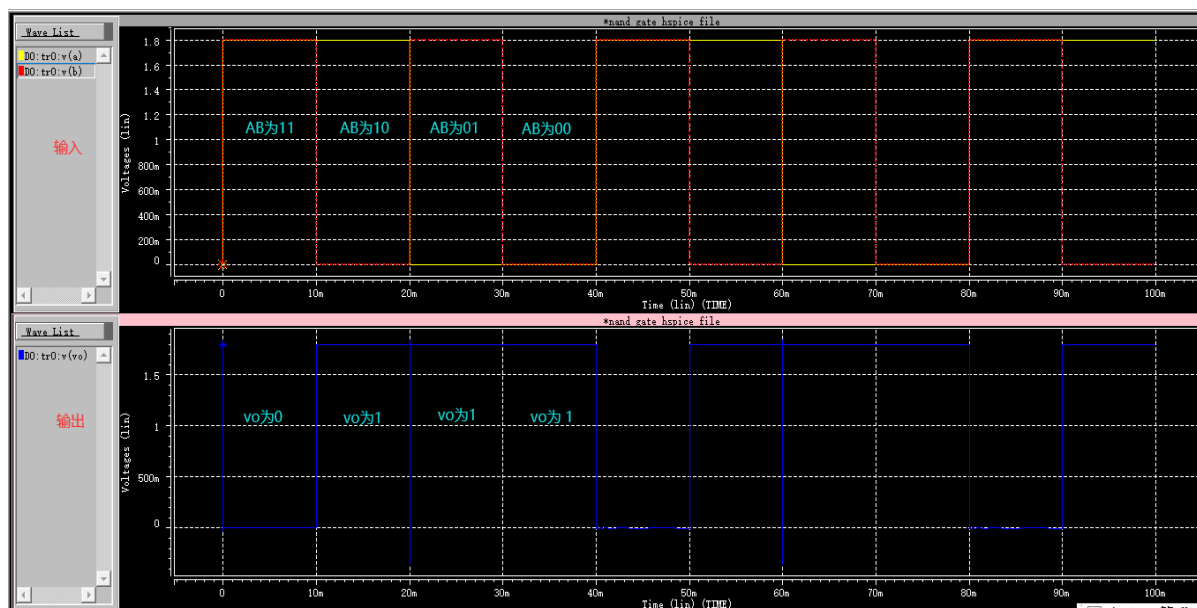


图 8

● 直流分析结果

将输入信号 A 大于 1.2V 看作是高电平, 小于 0.6V 看作是低电平, 输入信号 B 大于 0.9V 看作是高电平。仿真结果如下图所示, 和真值表保持一致。

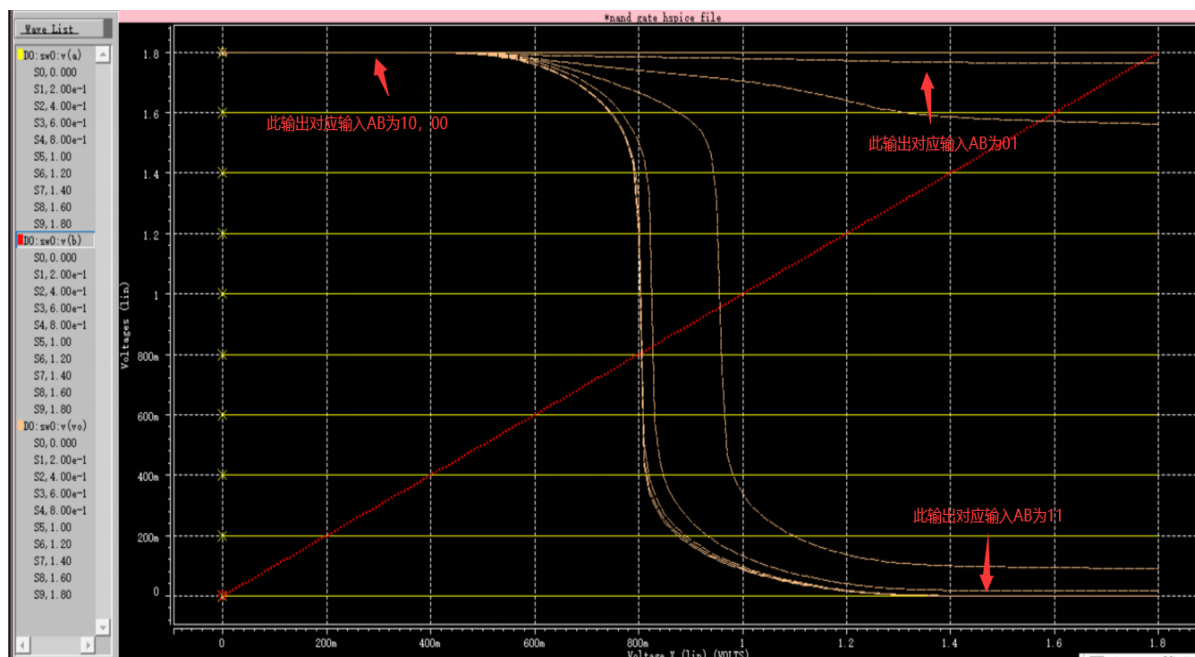


图 9

(2).nor 仿真结果

nor 的真值表如下

A	B	vo
0	0	1
0	1	0
1	0	0
1	1	0

A 信号是绿色曲线，B 信号是蓝色曲线，输出信号是紫色曲线，其中高电平为 1.8V, 低电平为 0V，仿真结果如下图所示，和真值表保持一致，仿真结果正确。

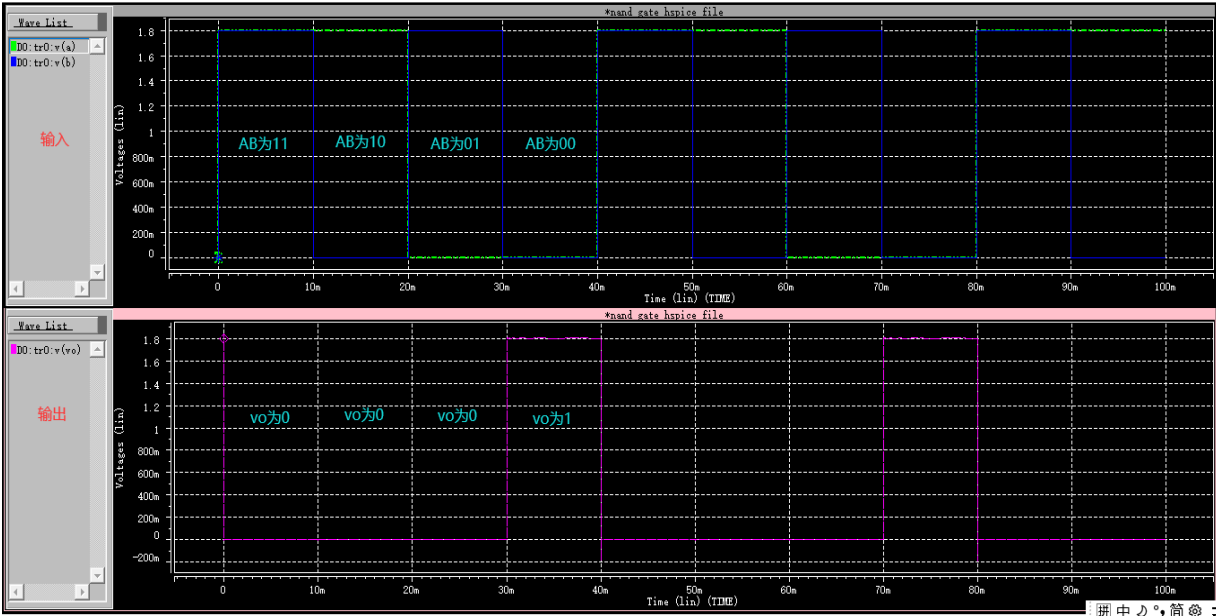


图 10

(3).xor 的仿真结果

xor 的真值表如下

A	B	vo
0	0	0
0	1	1
1	0	1
1	1	0

图 3 的仿真结果如图 11 所示。A 信号是蓝绿色曲线，B 信号是绿色曲线，输出信号是蓝色曲线，其中高电平为 1.8V, 低电平为 0V，当输出为高电平时，理想输出电压应该为 1.8V，实际输出只有 1V 左右，这是由于 nmos 在传输低电平时存在阈值损失，阈值损失也接近实际情况，故仿真结果正确。

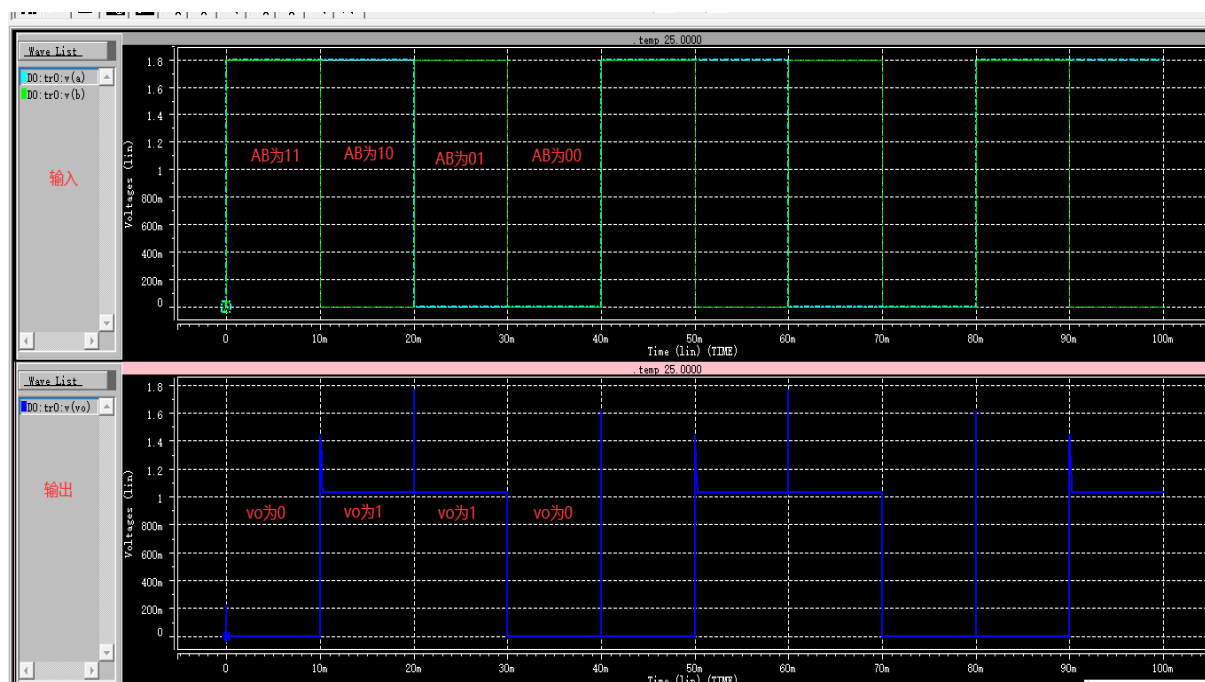


图 11

图 4 的仿真结果如图 12 所示。A 信号是蓝色曲线，B 信号是紫色曲线，输出信号是黄色曲线，其中高电平为 1.8V, 低电平为 0V, 该电路采用 cmos 传输门，不存在阈值损失，和真值表保持一致，仿真结果正确。

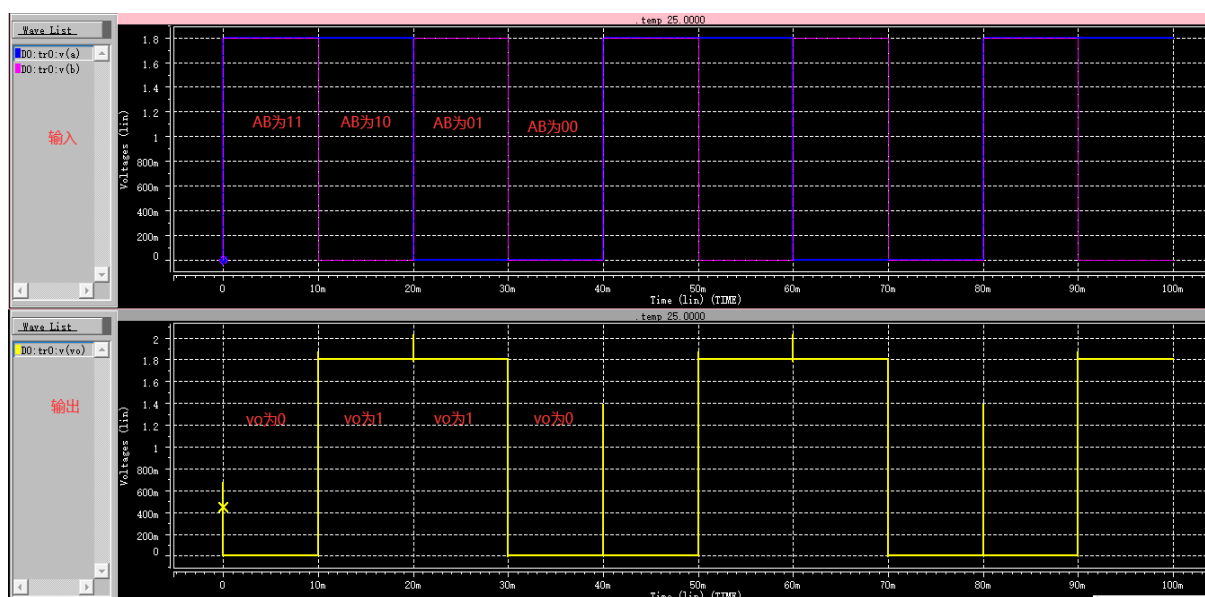


图 12

图 5 的仿真结果如图 13 所示。A 信号是黄色曲线，B 信号是红色曲线，输出信号是蓝色曲线，其中高电平为 1.8V, 低电平为 0V, 该电路采用 cmos 传输门，不存在阈值损失，和真值表保持一致，仿真结果正确。

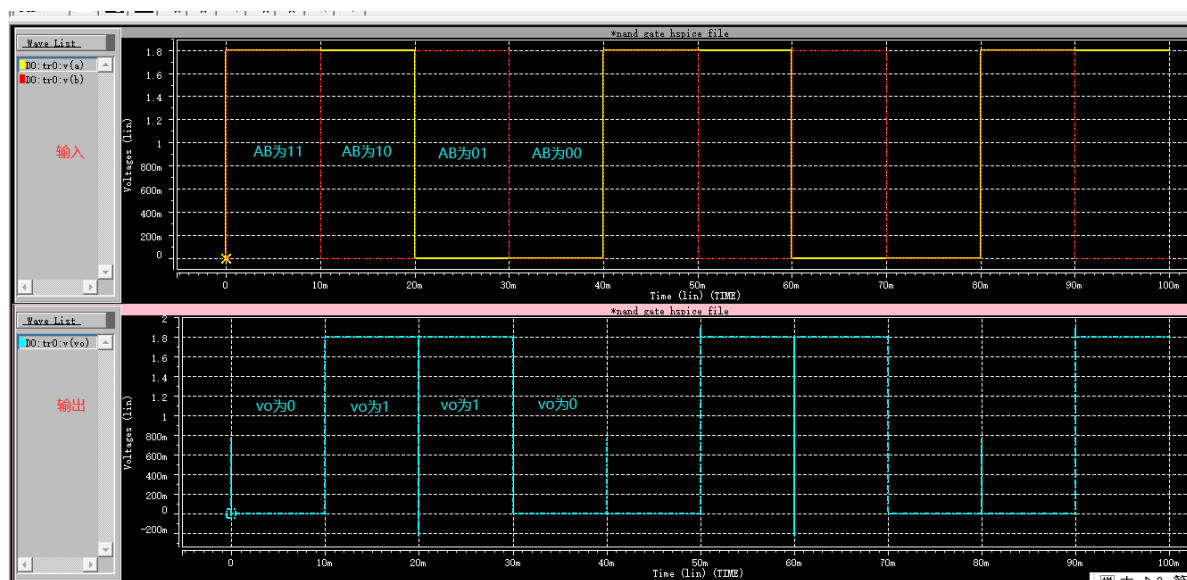


图 13

图 6 的仿真结果如图 14 所示。A 信号是绿色曲线，B 信号是蓝色曲线，输出信号是灰紫色曲线，其中高电平为 1.8V，低电平为 0V，该电路采用 pmos 传输管，在传输低电平时，pmos 存在阈值损失，当 AB 为 00 时，图 6 中时通过上方的 pmos 来传输低电平信号的，会产生阈值损失，故输出会略大于 0，但接近实际情况，因此仿真结果也正确。

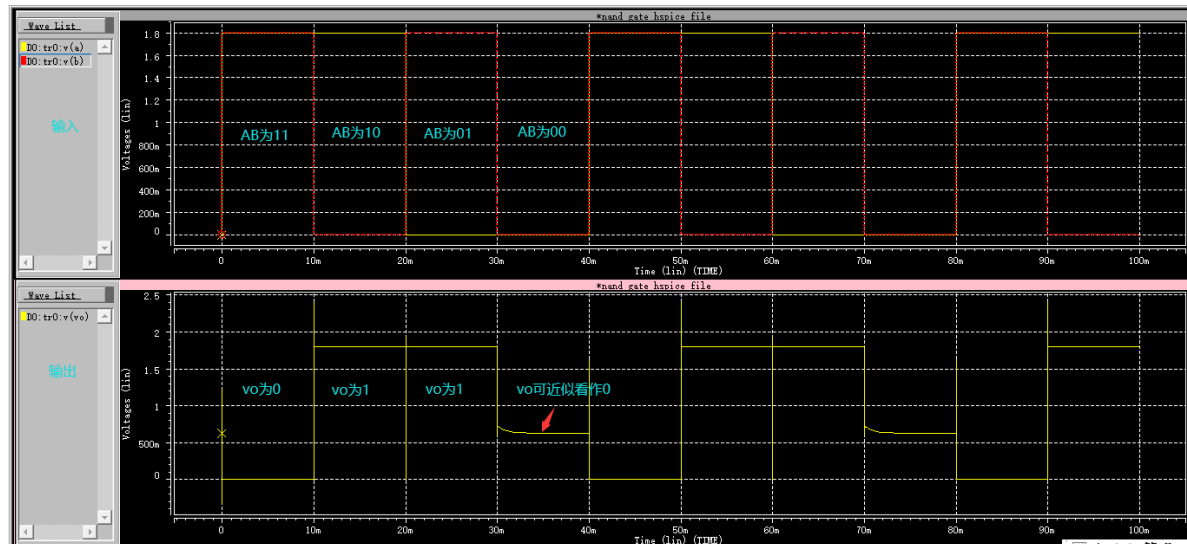


图 14

以上就是对 xor 不同实现方式的仿真结果分析，其中采用 cmos 传输门和 cmos 传输门，inv 结合的两实现方式效果较好，不存在信号电压的损失。cmos 传输门传输过程中 nmos 和 pmos 同时导通，当其中一个截止住时，另外一个 mos 管可以无损地传送电压，相对于单 mos 传送速度也较快。而采用 nmos/pmos 传输管实现的电路在传输某些信号时，会存在信号电压的损失。

(4).4 选 1 多路复用器的仿真结果

选择信号 s1, s0 和选择输出哪个输入信号的关系如下所示

s1s0	输出
00	D0
01	D1
10	D2
11	D3

仿真结果如图 15 所示。当选择信号为 01 时，选择 d1 输出，此时 d1 为高电平，而使用 nmos 传输管传输高电平会存在阈值损失，所以输出高电平的时候电压值不为 1.8V，损失值和实际情况相符，故仿真结果正确。



图 15

3. 电路仿真结果-探索部分

探究 1: 以 nmos 为例，探究如何尽可能大减小 nmos 传输高电平时出现的阈值损失？

猜测: nmos 出现阈值损失的原因是传输高电平时，输出电压达到控制电压-阈值电压的值时，nmos 处于截止状态。因此可以通过减小 nmos 管的阈值电压或者提高 nmos 管栅极上控制信号的电平两种实现减小阈值损失。

验证: 使用图 3 中的电路进行验证，采取两种方案。方案 1：将阈值电压从原来

的 0.5V 降低到 0.1V。方案 2：将控制信号 A 的高电平从 1.8V 提高到 4V，阈值电压保持原来的 0.5V 不变。仿真结果如下：

方案 1 仿真结果

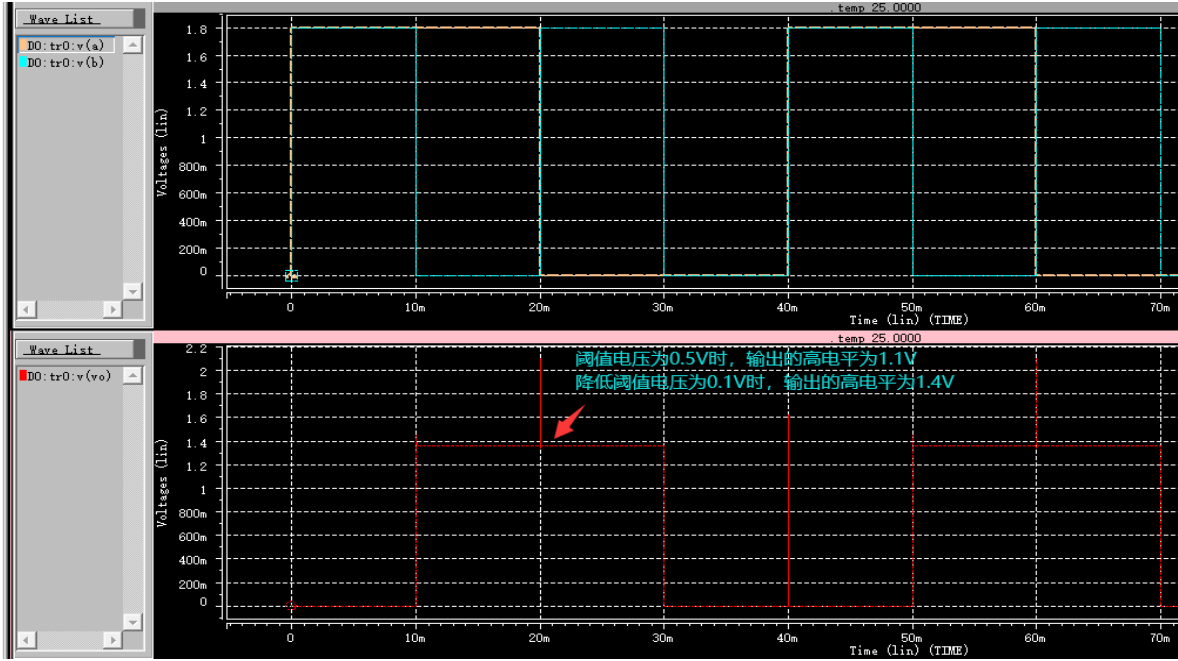


图 16

从图中可以看到降低阈值电压后，输出的高电平的电压有明显提高。

方案 2 仿真结果

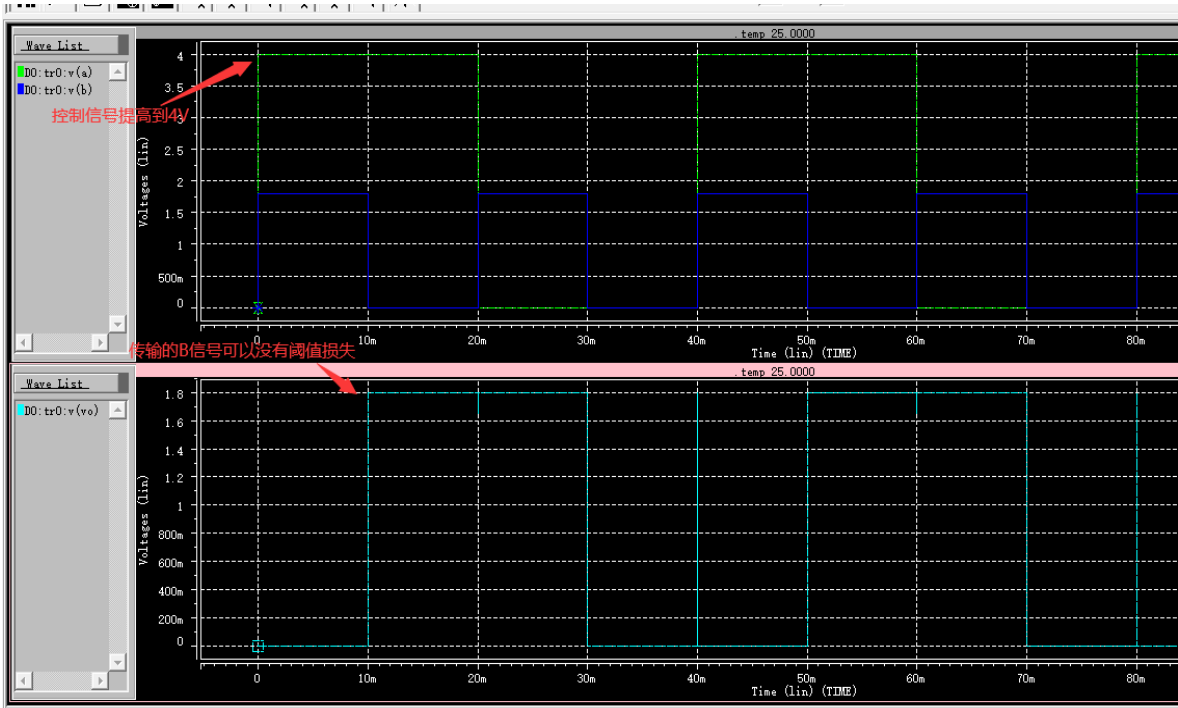


图 17

从图中可以看到提高控制信号 A 后，传输的 B 为高电平的时候，输出电压没有阈值损失。

结论：减小 nmos 管的阈值电压或者提高 nmos 管栅极上控制信号的电平可以减小阈值损失。

探究 2: 在所给出的 nand 网表中, $\frac{(W/L)_P}{(W/L)_N} = 2.5$, 根据经验, 这是一个比较优化的比例, 请用仿真的方式说明这个经验是否可靠?

猜测: 为达到较优的性能, 常采用全对称设计, 因此阈值电压之和为 0, 导电因子相等, 由此可以得到 pmos 和 nmos 的宽长比理论上的比值应该为 2.5 (pmos 的电子迁移率是 nmos 电子迁移率的 40%)。

验证: 改变 pmos 的宽长比, 找到不同宽长比下 V_{it} 为 $V_{dd}/2$ 的曲线对应的宽长比的比值。

A 为高电平时, 仿真结果如下

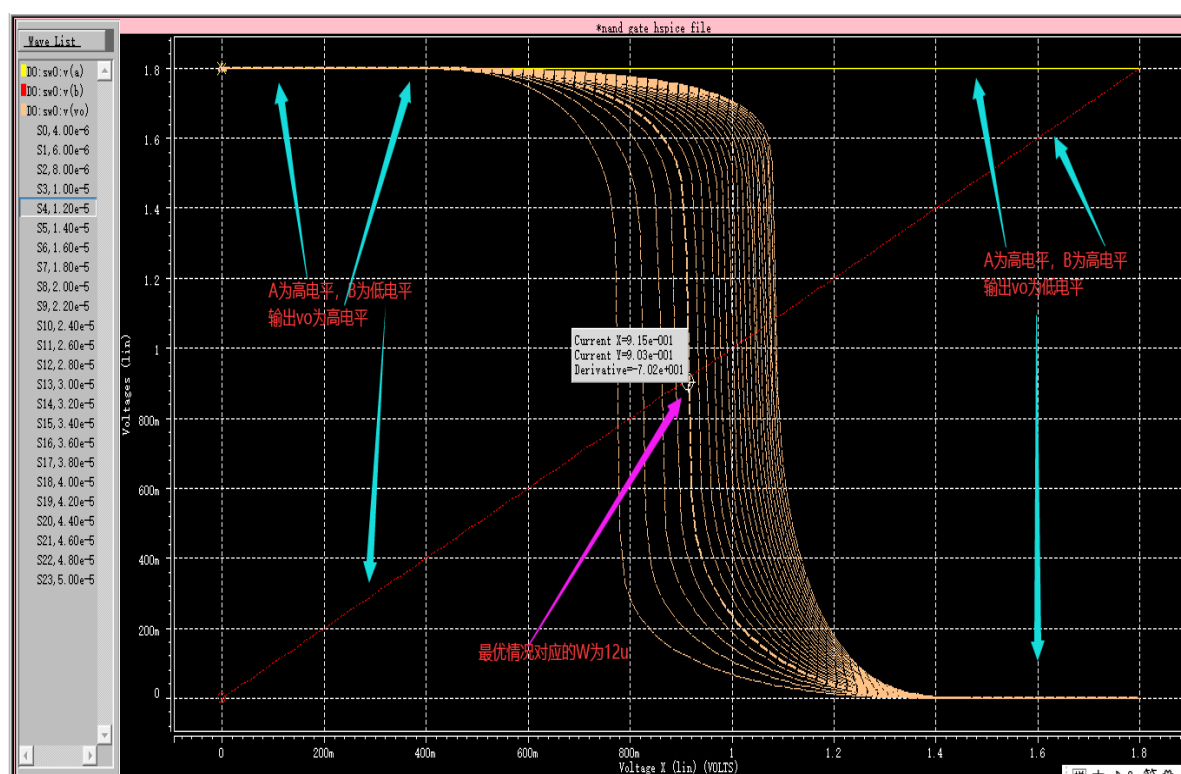


图 18

从图中可以看出获得较优性能时, 对应的 pmos 的宽长比是 12/1, 此时 nmos 的宽长比是 2/1, 因此比值为 6/1, 和经验得到的宽长比相差较大。

结论

①不同工艺下的 nmos 和 pmos 的仿真参数不一样, 考虑到的影响因素也不完全相同, 拓展部分给出的经验比是 2.5, 由于没有给出具体的工艺和仿真参数设置, 无法佐证这个经验比的正确性。

②通过仿真得到, 采用 gd018.1 工艺库下的 NCH 和 PCH 模型, $\frac{(W/L)_P}{(W/L)_N}$ 为 6/1 时可以得到较优性能。

4. 实验结果分析

对基础部分电路仿真图像结果进行分析

本次实验是对 nand, nor,xor 以及 4 选 1 的 mux 进行仿真, 仿真结果对照真值表即可得到验证。对图 8, 图 9(nand), 图 10(nor),图 12(xor 实现 2), 图 13(xor 实现 3)的详细分析在电路仿真结果-基础部分已经详细说明, 下面对图 11, 15 和图 14 中 nmos 和 pmos 的阈值损失进行分析。

● nmos 传输高电平的阈值损失

假定输入端固定在高电平 Vdd,初始时输出端电平为 0, 当栅极控制信号为高电平 Vdd 时, 通过传输管将输入端的高电平传输到输出端, 从电荷变化的角度考虑就是输入端通过 nmos 管对输出端的负载电容充电, 使得输出端上升为高电平。在上述的传输过程中, 输入端是漏极, 输出端是源极。对负载电容充电的电流大小为 $I_{DN} = K_N(V_{DD} - V_{TN} - V_{out})^2$, 当 $V_{out} = V_{DD} - V_{TN}$, nmos 管即将截止, 传输高电平的过程结束。此时尽管输入端和控制信号都处于 Vdd,但是传输到输出端的高电平只有 $V_{DD} - V_{TN}$; 另外在源极电压变化的过程中, 源衬电压差不为 0, 存在体效应, 阈值电压也随着改变, 所以最终输出电压小于 $V_{DD} - V_{TN}$ 。

图 11 中采用 level1 模型下的 nmos, 阈值电压为 0.5V, Vdd 为 1.8V, 此时对应最大的输出电压为 1.3V, 图中的是 1.1V 左右, 相差约 0.2V 是因为体效应对阈值电压的影响。同理图 15 中 nmos 传输高电平也因为阈值损失使得传输高电平时不能达到 1.8V。

● pmos 传输低电平的阈值损失

假设输入端接低电平,初始时输出端电平不为 0, 当栅极控制信号为低电平时, 通过传输管将输入端的低电平传输到输出端, 从电荷变化的角度考虑就是输出端通过 pmos 管对输入端的扇入电容放电, 使得输出端下降为低电平。在上述的传输过程中, 输入端是漏极, 输出端是源极。对扇入电容放电的电流大小为 $I_{DP} = K_P(V_{in} - V_{TP} - V_{out})^2$, 当 $V_{GS} = V_G - V_S = -V_{out} = V_{TP}$ 时, 输出的低电平达到 $V_{out} = -V_{TP}$, 此时 pmos 截止不能继续对扇入电容放电; 另外在源极电压变化的过程中, 源衬电压差不为 0, 存在体效应, 阈值电压也随着改变。所以输出电压不能降到 0, 存在阈值损失。

图 14 中采用 level1 模型下的 pmos, 阈值电压为-0.5V, Vdd 为 1.8V, 此时

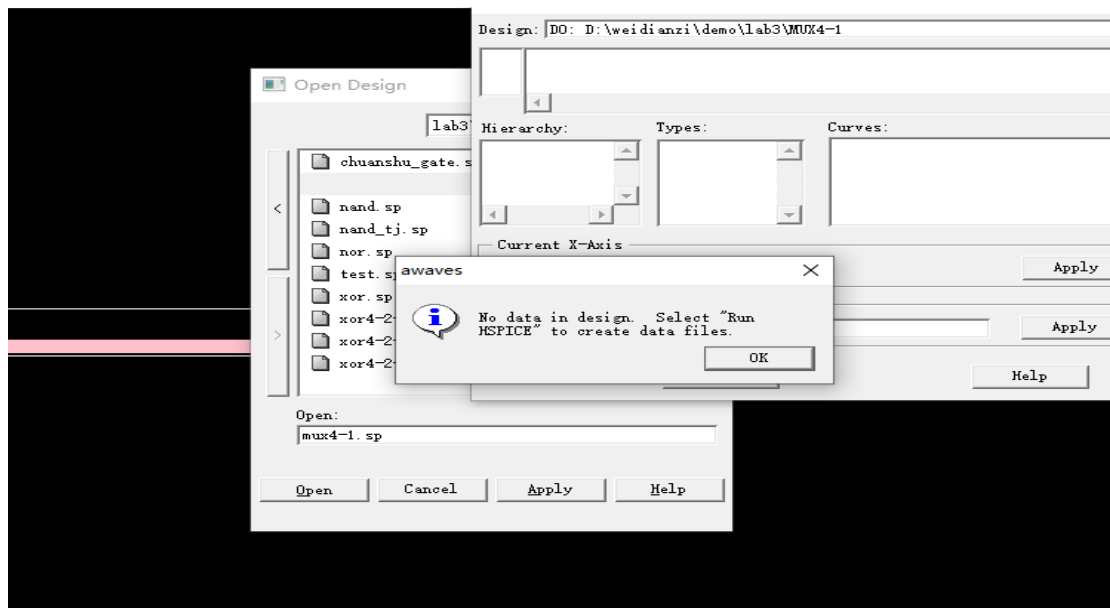
对应的最小的输出电压为 0.5V，图中是 0.63V 左右，相差约 0.13V 因为体效应对阈值电压的影响。

5. 实验总结

5.1 实验中遇到的问题与解决办法

问题 1

在进行仿真的实验过程中，出现了如下的问题。



可能的原因是网表出错，仔细检查输出文件后发现并没有类似 error 的报错信息。经过查阅资料可知，进行瞬态分析，如果没有使用 .trans 确定仿真的起始时间，无法启动仿真。

解决方法：加上 .trans 1ms 100ms 表示仿真时间从 1ms 到 100ms。

问题 2

对自己改写的与非门进行瞬态分析时，仿真结果如下图所示

