

# 《VLSI 设计》SPICE 实验报告

姓名： 黄茂荣

学号： 201808010515

湖南大学信息科学与工程学院计算机工程系

2020 年 11 月 21 日

# 实验二 INV 相关的 SPICE 仿真

实验二主要分为 CMOS 反相器直流特性，CMOS 反相器的瞬态特性和环形振荡器电路的 SPICE 仿真。

第 1 部分分为 4 个实验任务，主要是针对反相器的直流电压传输特性，研究  $V_{out}$  和  $V_{in}$  的关系。

- 用 Level1 和 level2 仿真直流电压传输特性，对比仿真结果并分析产生结果差异的原因。
- 根据给出的 mos 管 level1 模型手动计算 想要达到转换电压为  $V_{DD}/2$ , 所需的 NMOS 和 PMOS 的 W 和 L 各为多少，并仿真验证。
- Level1 模型下分别扫描 NMOS 管和 PMOS 管的宽度，查看  $K_n$  和  $K_p$  对传输特性的影响。
- 改用 gd018 的工艺库尝试做第 2 个任务。

第 2 部分分有 2 个实验任务，输入信号会随时间发生变化，在这一过程中输出信号也会随时间变化，本部分就是通过实验方法去测量这个变化，即上升延迟时间，下降延迟时间以及平均延迟时间以及输出电压的最大最小值。

- 使用 measure 语句测量反相器的最大、最小输出电压。
- 使用 measure 语句测量上升、下降、平均延迟时间

第 3 个部分有 1 个实验任务，主要是针对环形振荡器这种 n 个反相器级联结构，测量其延迟时间。

- 使用 measure 语句测量环形震荡器的周期。

## 1. SPICE 电路结构与网表

(1). 本次实验对 CMOS 反相器相关特性进行了仿真验证。CMOS 的电路结构如图 1 所示，其中  $V_{in}$  为输入电压， $V_{out}$  为输出电压， $V_{DD}$  为 高电平，电路图中上半部分是 pmos，下半部分是 nmos，其中 pmos 的上端是源极，和衬底接高电平  $V_{DD}$ ，nmos 的下端是源极，和衬底接地。当输入为 0 时，上拉电路导通，输出为 1；当输入为 1 时，下拉电路导通，输出为 0。



```

19 * --- Voltage Sources ---
20 vdd VDD 0 dc=2.0 设置高电平为2.0V
21 vin vi 0 dc=0.9
22 .param dwl=36U
23 * --- Inverter Subcircuit ---
24 Mpmos1 vo vi VDD VDD pmos W=36u L=6U
25 Mnmos1 vo vi GND GND nmos W=dwl L=6U 反相器的连接
26 *漏极、栅极、源极、衬底
27
28 * --- Transient Analysis ---
29 .dc vin 0 1.8 0.01 输入电压从0到1.8按照0.01的步长增长
30 *.dc vin 0 1.8 0.01 sweep dwl 36u 18u 6u
31 *.ac 自己增长, 连续的量
32
33 .print dc v(vi) v(vo)
34
35 .end
36

```

### (3). 验证 Level1 模型下到达 $V_{DD}/2$ 时的 $W/L$ 的 SPICE 网表

这部分是根据给出的 mos 管的 Level1 模型手动计算，求解使得转换电平为  $V_{DD}/2$  时的 mos 管的  $W$  和  $L$ 。为了更加贴近实际，并且简化计算，这里假设 nmos 和 pmos 的  $L$  相等。网表文件和第 1 部分的第 1 个任务基本一致，需要修改的地方就是 nmos 和 pmos 的  $W/L$ ，修改部分的网表如下， $W$  设置的计算推导在结果分析部分。

```

22 * --- Inverter Subcircuit ---
23 Mpmos1 vo vi VDD VDD pmos W=30u L=6U L不变, W设置为对应比值
24 Mnmos1 vo vi GND GND nmos W=10u L=6U
25 *漏极、栅极、源极、衬底 网表其余部分不变
26

```

### (4). 探究 Level1 模型下不同 nmos 和 pmos 宽度对传输特性的影响的 SPICE 网表

下面这部分网表在 Level1 模型仿真网表的基础上，使用 sweep 扫描 nmos 管的  $W$ ，探究 nmos 的  $W/L$  变化引起  $K_n$  变化， $K_n$  对直流电压传输特性的影响。22 行定义一个可变参数  $nwl$ ，25 行将这个参数赋值给 nmos 的  $W$ ，29 行扫描  $nwl$ ，即仿真得到每个  $nwl$  下输入电压从 0 到 1.8V 变化的输出电压。

```

18
19 * --- Voltage Sources ---
20 vdd VDD 0 dc=2.0
21 vin vi 0 dc=0.9
22 .param nwl=36U 设置参数nwl,初值为36U
23 * --- Inverter Subcircuit ---
24 Mpmos1 vo vi VDD VDD pmos W=36u L=6U
25 Mnmos1 vo vi GND GND nmos W=nwl L=6U
26 *漏极、栅极、源极、衬底
27
28 * --- Transient Analysis ---
29 .dc vin 0 1.8 0.01 sweep nwl 36u 18u 6u
30 *.ac 自己增长,连续的量 扫描使得nwl从36U开始,按照6U的步长减小
31
32 .print dc v(vi) v(vo)
33
34 .end

```

下面这部分网表在 Level1 模型仿真网表的基础上, 使用 sweep 扫描 pmos 管的 W, 探究 pmos 的 W/L 变化引起  $K_p$  变化,  $K_p$  对直流电压传输特性的影响。22 行定义一个可变参数 pw1, 25 行将这个参数赋值给 pmos 的 W, 29 行扫描 pw1, 即仿真得到每个 pw1 下输入电压从 0 到 1.8V 变化的输出电压。

```

19 * --- Voltage Sources ---
20 vdd VDD 0 dc=2.0
21 vin vi 0 dc=0.9
22 .param pw1=36u 设置参数初值为36U
23 * --- Inverter Subcircuit ---
24 Mpmos1 vo vi VDD VDD pmos W=pw1 L=6U
25 Mnmos1 vo vi GND GND nmos W=36u L=6U
26 *漏极、栅极、源极、衬底
27
28 * --- Transient Analysis ---
29 .dc vin 0 1.8 0.01 sweep pw1 36u 18u 6U
30 *.ac 自己增长,连续的量 扫描pw1从36U开始,按照6U的步长减小
31
32 .print dc v(vi) v(vo)
33
34

```

#### (5). 使用 gd018 重做第 1 部分第 2 个任务的 SPICE 网表

这部分网表将第 1 部分第 2 个任务的工艺库改为 gd018。由于是使用 gd018 工艺库中, 无法利用现有的公式求解得到转换电平为  $V_{DD}/2$  时的 W, L。这里采用一种简便的方式来粗略计算, 固定 pmos 的 W/L, nmos 的 L, 修改 nmos 的 W 使其从 30U 扫描到 3U, 找到其中转换电平为  $V_{DD}/2$  时对应的 W。下面对网表的关键部分进行分析: 第 7 行规定使用的工艺库, 第 12 行定义了可变的 W, 第 19 行扫

描 W。

```
invdc.sp
1  *INV DC Analysis
2
3  .TEMP      25.0000
4
5  .option abstol=1e-6 reltol=1e-6 post ingold
6
7  .lib 'gd018.1' TT 使用gd018工艺库中的NCH和PCH
8
9  * --- Voltage Sources ---
10 vdd  VDD  0 dc=2
11 vin  vi  0 dc=0.9
12 .param dwl=30u
13 * --- Inverter Subcircuit ---
14 Mpmos1 vo vi VDD VDD PCH W=36u L=6U
15 Mnmos1 vo vi GND GND NCH W=dwl L=6U
16 *漏极、栅极、源极、衬底 修改nmos的W来找到使得转换电
17                               平为VDD/2时的宽长比
18 * --- Transient Analysis ---
19 .dc vin 0 1.8 0.01 sweep dwl 30u 3u 6u
20 *.ac 自己增长，连续的量
21
22 .print dc v(vi) v(vo)
23
24 .end
25
```

(6). 使用 measure 语句测量反相器的最大、最小输出电压, 以及上升、下降、平均延迟时间的 SPCIE 网表

这部分网表使用 measure 语句测量反相器的相关量。下面对网表中的关键部分分析：第 11 行定义了一个高电平为 1.8V，低电平为 0V，上升延迟 0.5ns，下降延迟 0.5ns 的脉冲输入信号。第 20 行说明是进行瞬态分析，从 0.01ns 开始到 100ns 结束。第 21, 22 行使用 measure 语句测量从 0ns 到 20ns 的输出电压的最大值和最小值，结果分别存放在 vmax 和 vmin。第 23 行表示测量从输入电压 vi 的电压值为  $0.5 \times (v_{\max} - v_{\min}) + v_{\min}$  的第 1 个上升沿到输出电压 vo 的电压值为  $0.5 \times (v_{\max} - v_{\min}) + v_{\min}$  的第 1 个下降沿的时间，这个时间就是下降延迟时间，第 24 行表示测量从输入电压 vi 的电压值为  $0.5 \times (v_{\max} - v_{\min}) + v_{\min}$  的第 1 个下降沿到输出电压 vo 的电压值为  $0.5 \times (v_{\max} - v_{\min}) + v_{\min}$  的第 1 个上升沿的时间，这个时间就是上升延迟时间。第 25 行计算平均传输延迟，将上升延迟时间加上下降延迟时间，求平均值得到平均传输延迟。

```

≡ invac.sp
1  *AC Analysis for INV
2
3  .TEMP    25.0000
4
5  .option abstol=1e-6 reltol=1e-6 post ingold
6
7  .lib 'gd018.1' TT
8
9  * --- Voltage Sources ---
10 vdd  VDD  0  dc=1.8
11 vin  vi  0  PULSE(0 1.8 0ns 0.5ns 0.5ns 5ns 10ns) 定义一个脉冲
12 *输入高电平为1.8V, 低电平为0V, 0延迟, 上升延迟0.5ns, 下降延迟0.5ns, 脉冲宽度, 周期
13
14 * --- Inverter Subcircuit ---
15 Mpmos vo vi VDD VDD PCH W=30U L=6U
16 Mnmos vo vi GND GND NCH W=30U L=6U
17
18 * --- Transient Analysis ---
19 .OPTIONS  POST
20 .tran      0.01ns 100ns
21 .measure tran vmax max v(vo) from 0ns to 20ns 测量输出电压的最大值
22 .measure tran vmin min v(vo) from 0ns to 20ns 测量输出电压的最小值
23 .measure tran tphi trig v(vi) val='0.5*(vmax-vmin)+vmin' rise=1 targ v(vo) val='0.5*(vmax-vmin)+vmin' fall=1 测量下降延迟时间
24 .measure tran tphi trig v(vi) val='0.5*(vmax-vmin)+vmin' fall=1 targ v(vo) val='0.5*(vmax-vmin)+vmin' rise=1 测量上升延迟时间
25 .measure tran tp param='0.5*(tphi+tphi)' 测量平均传输延迟
26
27 .end
28

```

#### (7). 使用 measure 语句测量环形震荡器的周期的 SPICE 网表

这部分网表使用 3 个反相器搭建了一个环形振荡器, 并分别将三个反相器的传输延迟计算出来, 最终得到振荡器的周期。下面对代码的关键部分进行分析: 第 12-13 行定义了反相器 1, 输入为 vi1, 输出为 vo1, 第 14-15 行定义了反相器 2, 反相器 2 的输入为反相器 1 的输出 vo1, 输出为 vo2, 第 16-17 行定义了反相器 3, 反相器 3 的输入为反相器 2 的输出 vo2, 输出为反相器 1 的输入, 呈一个环形的结构。结构如图 2 所示。第 21 行初始化反相器 1 的输入电压为 0。第 23 行测量从反相器 1 输入的第 1 个上升沿到反相器 2 输出的第 1 个下降沿的时间, 即反相器 2 的下降延迟; 第 24 行测量从反相器 1 输入的第 1 个下降沿到反相器 2 输出的第 1 个上升沿的时间, 即反相器 2 的上升延迟。第 25 行测量从反相器 2 输入的第 1 个上升沿到反相器 3 输出的第 1 个下降沿的时间, 即反相器 3 的下降延迟; 第 26 行测量从反相器 2 输入的第 1 个下降沿到反相器 3 输出的第 1 个上升沿的时间, 即反相器 3 的上升延迟。第 27 行测量从反相器 3 输入的第 1 个上升沿到反相器 1 输出的第 1 个下降沿的时间, 即反相器 1 的下降延迟; 第 28 行测量从反相器 3 输入的第 1 个下降沿到反相器 1 输出的第 1 个上升沿的时间, 即反相器 1 的上升延迟。

```

≡ invac_zdq.sp
1  *AC Analysis for INV
2  .TEMP 25.0000
3  .option abstol=1e-6 reltol=1e-6 post ingold
4
5  .lib 'gd018.1' TT
6
7  * --- Voltage Sources ---
8  vdd VDD 0 dc=1.8
9  *vin vi1 0 PULSE(0 1.8 0ns 0.5ns 0.5ns 5ns 10ns)
10 *输入高电平为1.8V，低电平为0V，0延迟，上升延迟0.5ns，下降延迟0.5ns，脉冲宽度，周期
11 * --- Inverter Subcircuit ---
12 Mpmos1 vo1 vi1 VDD VDD PCH W=30U L=6U ① 反相器1
13 Mnmos1 vo1 vi1 GND GND NCH W=30U L=6U
14 Mpmos2 vo2 vo1 VDD VDD PCH W=30U L=6U ② 反相器2
15 Mnmos2 vo2 vo1 GND GND NCH W=30U L=6U
16 Mpmos3 vi1 vo2 VDD VDD PCH W=30U L=6U ③ 反相器3
17 Mnmos3 vi1 vo2 GND GND NCH W=30U L=6U
18
19 * --- Transient Analysis ---
20 .OPTIONS POST
21 .ic v(vi1)=0 vi初值设为0
22 .tran 0.01ns 500ns
23 .measure tran tphl2 trig v(vi1) val=0.9 rise=1 targ v(vo1) val=0.9 fall=1 ④ 测量第2个反相器的下降延迟和上升延迟
24 .measure tran tphi2 trig v(vi1) val=0.9 fall=1 targ v(vo1) val=0.9 rise=1
25 .measure tran tphi3 trig v(vo1) val=0.9 rise=1 targ v(vo2) val=0.9 fall=1 ⑤ 测量第3个反相器的下降延迟和上升延迟
26 .measure tran tphi3 trig v(vo1) val=0.9 fall=1 targ v(vo2) val=0.9 rise=1
27 .measure tran tphi1 trig v(vo2) val=0.9 rise=1 targ v(vi1) val=0.9 fall=2 ⑥ 测量第1个反相器的下降延迟和上升延迟
28 .measure tran tphi1 trig v(vo2) val=0.9 fall=1 targ v(vi1) val=0.9 rise=2
29 .measure tran tp param='(tphi2+tphi3+tphi1+tphi2+tphi3+tphi1)/6' ⑦ 计算振荡器的周期
30
31 .end
32

```

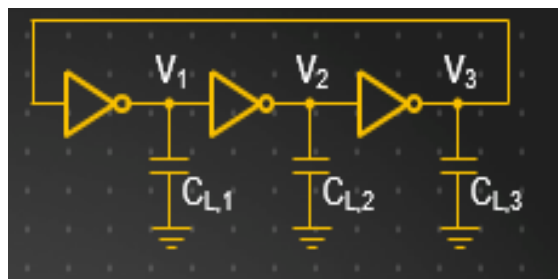


图 2 环形振荡器的结构

## 2. 电路仿真结果-基础部分

以下是仿真结果和对结果的简单分析，具体分析在实验结果分析部分。

(1). 探究 Level1 和 Level2 模型仿真直流电压传输特性

Level1 和 Level2 模型的模型仿真结果如图 3



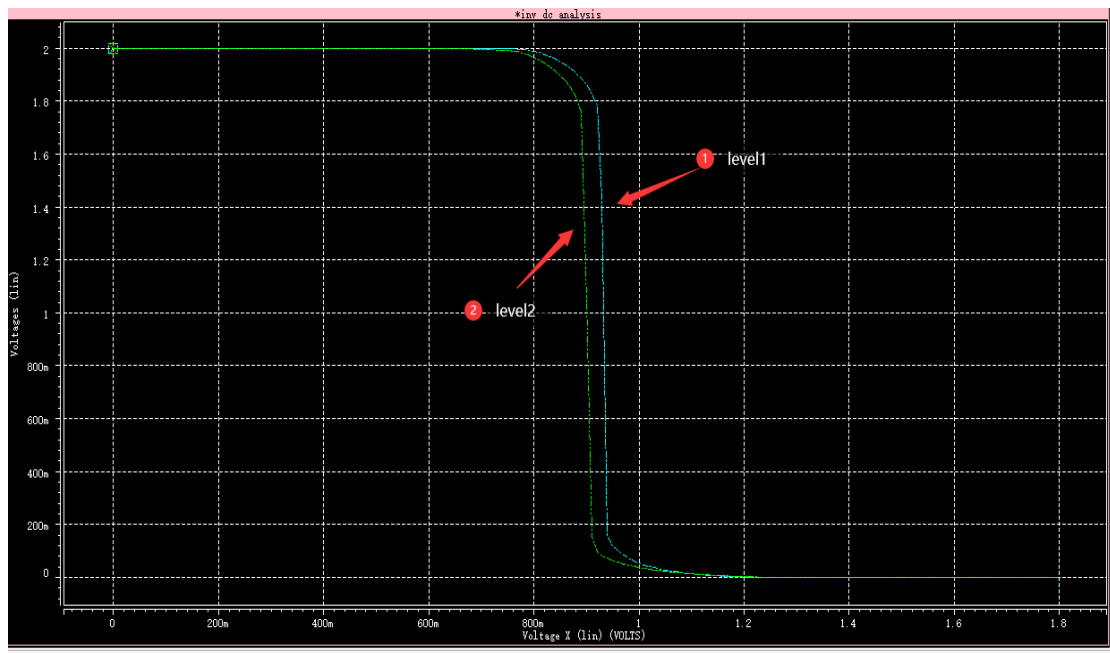


图 3

Level1 和 Level2 模型下,  $V_{out}$  的输出首先保持不变, 当输入为 800mV 时, 输出开始逐渐下降, 在  $V_{it}$  处时垂直下降, 最后缓缓下降, 最后随着输入电压的继续增大, 输出电压下降为 0。和 Level1 模型相比, Level2 模型考虑更多影响因素后, 转换电平  $V_{it}$  有所减小。

(2). 验证 Level1 模型下到达  $V_{DD}/2$  时的 W/L

仿真结果如图 4

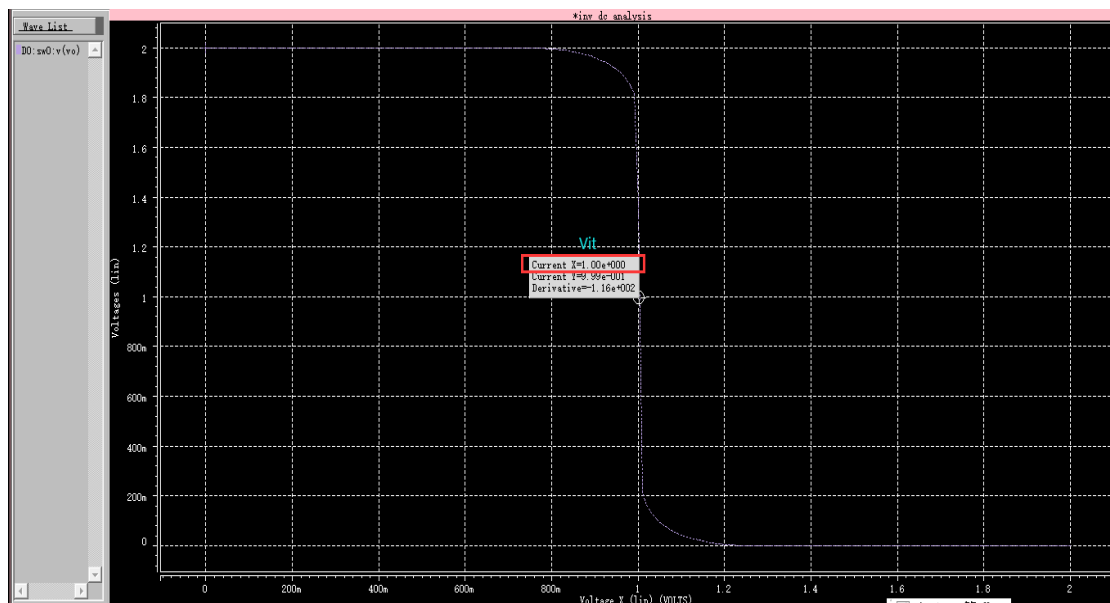


图 4

网表中设置 VDD 为 2V，从图中可以看到在输入电压为 1V 时，输出电压垂直下降。此时转换电平  $V_{it}=VDD/2$ 。

(3). 探究 Level1 模型下不同 nmos 和 pmos 宽度对传输特性的影响

仿真结果如图 5, 图 6

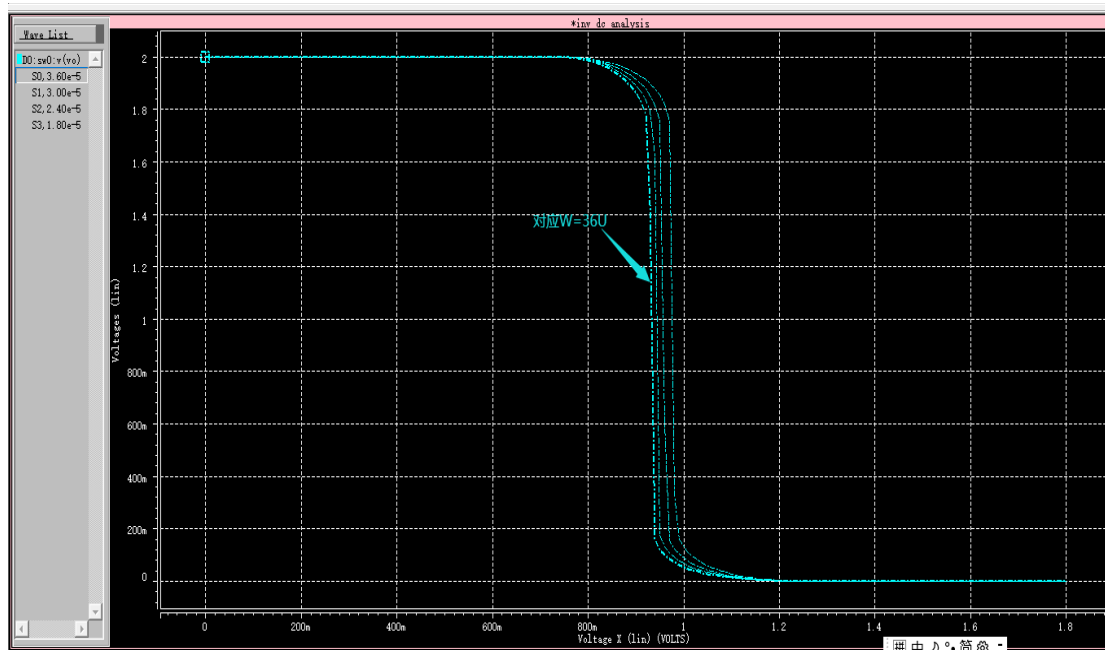


图 5

当 nmos 的 W 减小时,  $K_n$  减小, CMOS 的直流电压传输特性曲线往右移动。

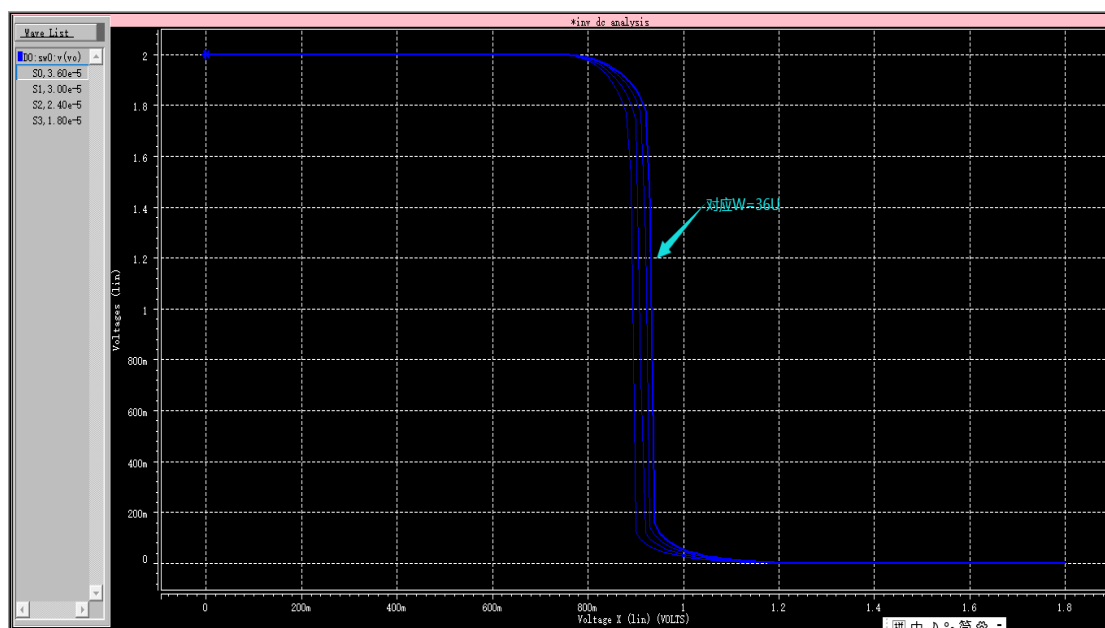


图 6

当 pmos 的 W 减小时,  $K_p$  减小, CMOS 的直流电压传输特性曲线往左移动。

(4). 使用 gd018 重做第 1 部分第 2 个任务的 SPICE 网表  
仿真结果如图 7

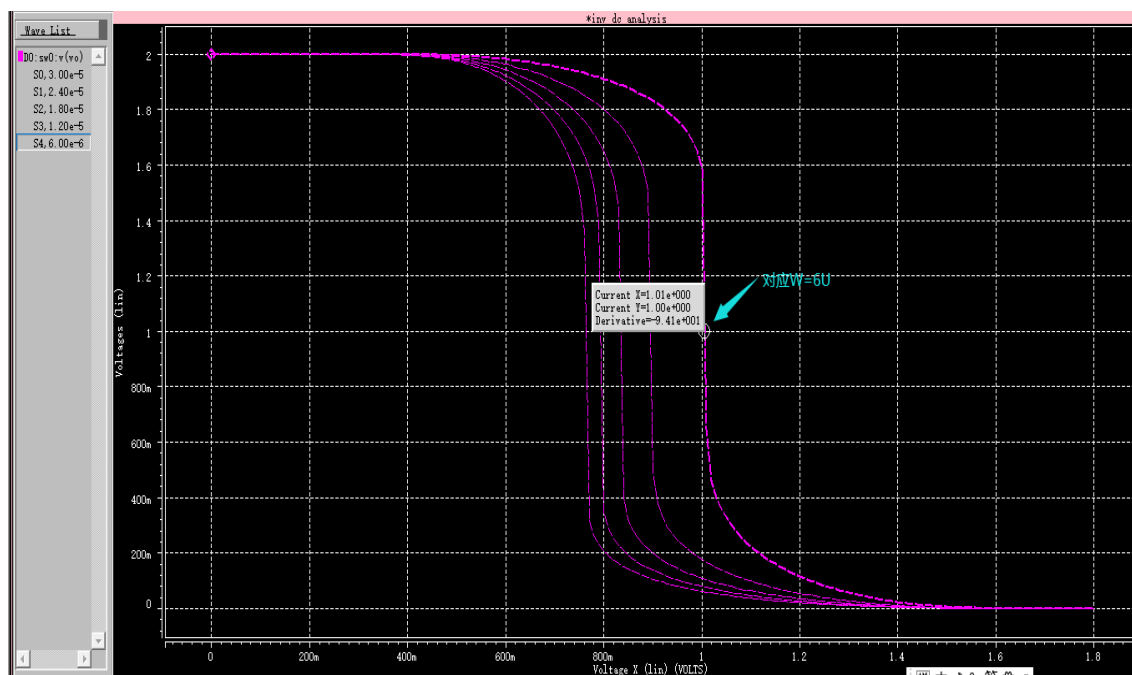


图 7

从图中可以看出在 gd018 工艺下,当 nmos 的 W 为 6U 时,转换电平为  $V_{DD}/2$ ,此时 pmos 与 nmos 的宽长比的比值为 6/1。

(5). 使用 measure 语句测量反相器的最大、最小输出电压,以及上升、下降、平均延迟时间。

打开仿真数据,得到的结果如下

输出电压在  $2.63 \times 10^{-10}$ s 时取到最大值 2.63V,在  $5.79 \times 10^{-9}$ s 时取到最小值 -0.83V。上升延迟时间位  $1.89 \times 10^{-9}$ s,下降延迟时间为  $6.96 \times 10^{-10}$ s,平均传输延迟为  $1.29 \times 10^{-9}$ s。

```

***** transient analysis tnom= 25.000 temp= 25.000 *****
vmax= 2.6305 at= 2.6346e-10
      from= 0. to= 2.0000e-08
vmin= -0.82744 at= 5.7876e-09
      from= 0. to= 2.0000e-08
tphl= 6.9563e-10 targ= 9.4605e-10 trig= 2.5042e-10
tplh= 1.8923e-09 targ= 7.6419e-09 trig= 5.7496e-09
tp= 1.2940e-09

```

(6). 使用 measure 语句测量环形振荡器的周期

打开仿真数据，得到结果如下

最终得到测量的环形振荡器的周期为  $2.27\text{e-}08\text{s}=22.7\text{ns}$ 。

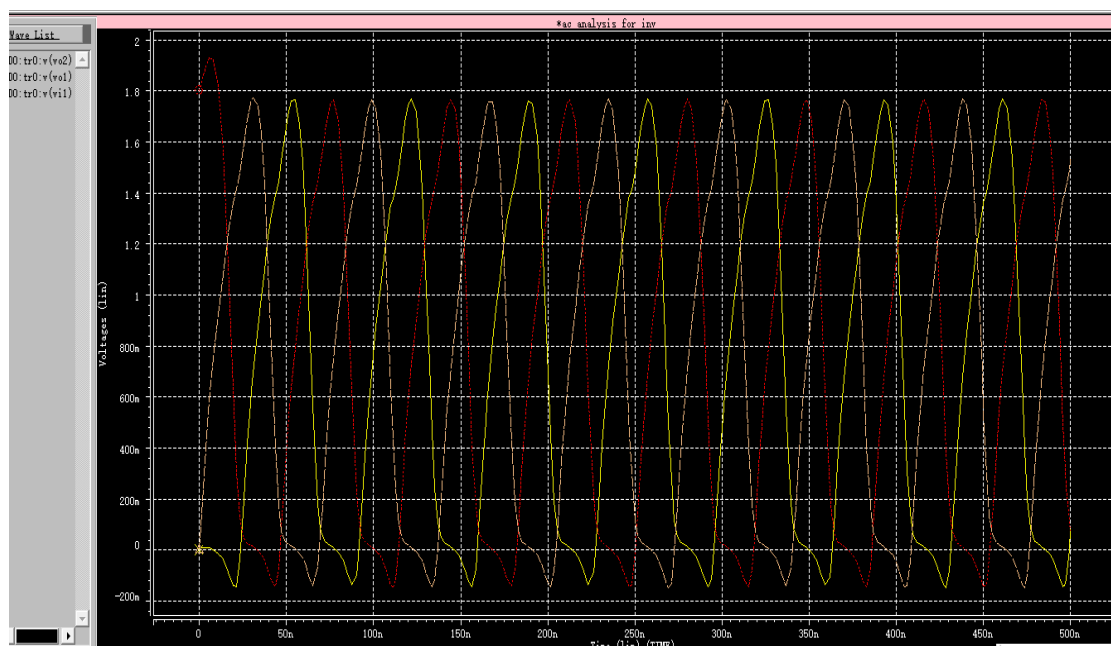
```
*ac analysis for inv
```

```

***** transient analysis tnom= 25.000 temp= 25.000 *****
tphl2= 7.5006e-09 targ= 1.7904e-08 trig= 1.0403e-08
tplh2= 1.6012e-08 targ= 5.6622e-08 trig= 4.0610e-08
tphl3= 6.6647e-09 targ= 6.3287e-08 trig= 5.6622e-08
tplh3= 1.5996e-08 targ= 3.3900e-08 trig= 1.7904e-08
tphl1= 7.4528e-08 targ= 1.0843e-07 trig= 3.3900e-08
tplh1= 1.5925e-08 targ= 7.9212e-08 trig= 6.3287e-08
tp= 2.2771e-08

```

仿真得到的波形图如图 8



### 3. 电路仿真结果-探索部分

**探究：**不同宽长比下的延迟时间

**猜测：**不同的宽长比下存在一个最小的延迟时间，在实际的对延迟要求比较高的设计中可以采用最小延迟时间的宽长比设计。

**验证：**

实现网表如下，下面对增加的部分进行说明。

第 16 行定义一个可变的参数，作为改变 pmos 的宽长比的参数，初值设置为 4u。第 19 行将宽度从 4u 开始扫描到 100u 结束，步长为 0.5u，其余部分和之前测量延迟时间的网表一致。

```
invdc_chuanxin.sp
1  *AC Analysis for INV
2  .TEMP 25.0000
3  .option abstol=1e-6 reltol=1e-6 post ingold
4
5  .lib 'gd018.1' TT
6
7  * --- Voltage Sources ---
8  vdd VDD 0 dc=1.8
9  vin vi 0 PULSE(0 1.8 0ns 0.5ns 0.5ns 5ns 10ns)
10 *输入高电平为1.8V，低电平为0V，0延迟，上升延迟0.5ns，下降延迟0.5ns，脉冲宽度，周期
11
12 * --- Inverter Subcircuit ---
13 Mpmos vo vi VDD VDD PCH W=width L=6U 修改pmos的W
14 Mnmos vo vi GND GND NCH W=30U L=6U
15
16 .param width=4u 定义初始宽度为4u
17 * --- Transient Analysis ---
18 .OPTIONS POST
19 .tran 0.01n 100ns sweep width 4u 100u 0.5u *扫描宽度，在4u到100u之间以0.5u为步长变化
20 .measure tran vmax max v(vo) from 0ns to 20ns
21 .measure tran vmin min v(vo) from 0ns to 20ns
22 .measure tran tphi trig v(vi) val='0.5*(vmax-vmin)+vmin' rise=1 targ v(vo) val='0.5*(vmax-vmin)+vmin' fall=1
23 .measure tran tphi trig v(vi) val='0.5*(vmax-vmin)+vmin' fall=1 targ v(vo) val='0.5*(vmax-vmin)+vmin' rise=1
24 .measure tran tp param='0.5*(vmax+vmin)' 测量平均传输延迟
25
26
27 .end
```

输出结果一共有  $(100\mu - 4\mu) / 0.5\mu = 192$  组，每组有一个平均延迟时间，依次去对比所有组的延迟时间，可以找到最小的延迟时间为  $1.20\text{e-}09\text{s} = 1.20\text{ns}$ ，截取部分结果如下，此时 pmos 的宽度为  $8.6\text{e-}05 = 86\mu$ ，此时 pmos 的 W/L 为 43/2，nmos 的 W/L 为 5/1。

```

*** parameter width = 8.600E-05 ***

*****
*ac analysis for inv

***** transient analysis tnom= 25.000 temp= 25.000 *****
vmax= 2.6199 at= 1.0353e-08
      from= 0. to= 2.0000e-08
vmin= -0.84253 at= 1.5719e-08
      from= 0. to= 2.0000e-08
tphl= 1.2946e-09 targ= 1.5414e-09 trig= 2.4687e-10
tplt= 1.0957e-09 targ= 6.8489e-09 trig= 5.7531e-09
tp= 1.1952e-09

```

## 4. 实验结果分析

对基础部分电路仿真图像结果进行分析

(1). Level1 和 Level2 模型仿真直流电压传输特性

使用 MOSFET 简单一维电流模型对其分析, 假设 nmos 的阈值电压  $V_{TN}$ , pmos 的阈值电压  $V_{TP}$ , 输入电压为  $V_{in}$ , 输出电压为  $V_{out}$ 。对仿真结果进行分区如图 8

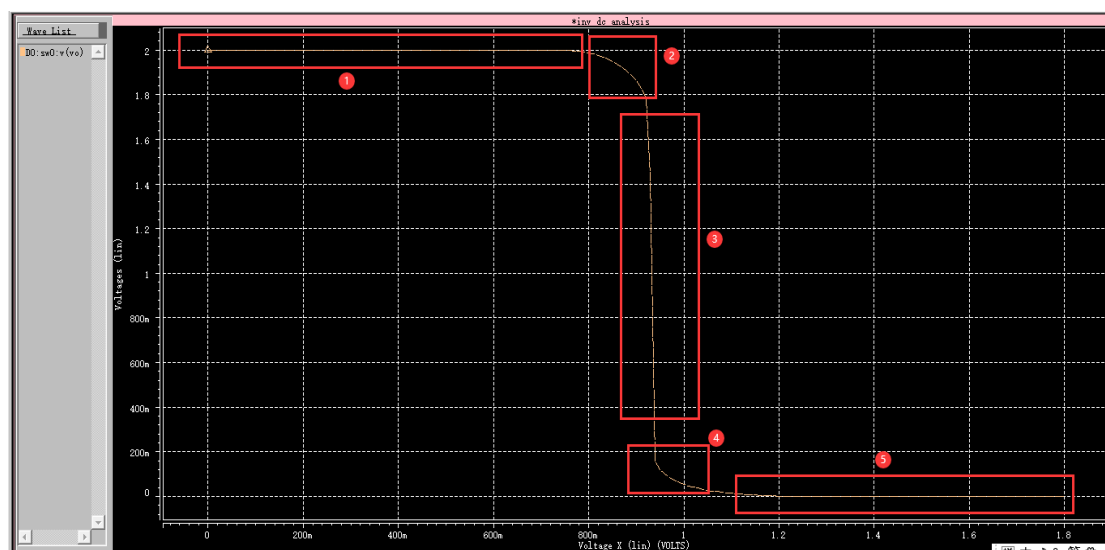


图 9

a.  $0 \leq V_{in} \leq V_{TN}$ , nmos 截止, pmos 处于线性区, 此时  $V_{in}$  在  $0 \sim V_{TN}$  范围内变化,  $V_{out}$  始终保持 VDD。对应曲线中①区。

b.  $V_{TN} \leq V_{in} \leq V_{out} + V_{TP}$ , nmos 处于饱和区, pmos 处于线性区, 此时  $V_{out}$  随  $V_{in}$  的增加而下降。对应曲线中②区。

c.  $V_{out} + V_{TP} \leq V_{in} \leq V_{out} + V_{TN}$ , nmos 处于饱和区, pmos 处于饱和区, 此时输入

电压为  $V_{it} = \frac{\sqrt{K_r} V_{TN} + (V_{DD} + V_{TP})}{1 + \sqrt{K_r}}$ , VTC 垂直下降。对应曲线中③区。

d.  $V_{out} + V_{TN} \leq V_{in} \leq V_{DD} + V_{TP}$ , nmos 处于线性区, pmos 处于饱和区, 此时  $V_{out}$  随  $V_{in}$  的增加而非线性下降。对应曲线中④区。

e.  $V_{DD} + V_{TP} \leq V_{in} \leq V_{DD}$ , nmos 处于线性区, pmos 截止, 此时  $V_{in}$  在  $V_{DD} + V_{TP} \sim V_{DD}$  范围内变化,  $V_{out}$  始终保持 0。对应曲线中⑤区。

(2). 验证 Level1 模型下到达  $V_{DD}/2$  时的 W/L

VTC 曲线中垂直下降时, 对应的输入电压为  $V_{it}$ , 让其等于  $V_{DD}/2$ , 求解方程得到  $K_r=1$ , 而  $K_r=K_n/K_p$ , 因此  $K_n=K_p$ , 此时 nmos 的 W/L 和 pmos 的 W/L 等于导电因子的反比, 从 Level1 的工艺中查到 nmos 的导电因子为  $8e-5$ , pmos 的导电因子为  $2.7e-5$ , 故宽长比的比值为  $27/80$ , 设置 pmos 的  $W=30u, L=6u$ , nmos 的  $L=6u$ , 根据比例可以得到 nmos 的 W 为  $10u$ , 按照这个比例仿真结果如图 4, 转换电平刚好为  $V_{DD}/2=1V$ 。

(3). Level1 模型下不同 nmos 和 pmos 宽度对传输特性的影响

根据公式  $K_n = \frac{W}{L} K'_n, K_p = \frac{W}{L} K'_p$  知道,  $K_n, K_p$  和 W/L 成正比关系, 改变 W/L 就会改变  $K_n, K_p$ 。当反相器  $V_{TN}=V_{TP}$  时,  $K_n > K_p$ , nmos 的驱动能力强, 转换区小于  $V_{DD}/2$ , 曲线向左移动 (输出电压为 0 的时间变长), 对应图 6,  $K_n < K_p$ , pmos 的驱动能力强, 转换区大于  $V_{DD}/2$ , 曲线向右移动 (输出电压为 1 的时间变长), 对应图 5。

(4). 使用 gd018 重做第 1 部分第 2 个任务

这个任务是通过改变 nmos 的 W 得到转换电平为  $V_{DD}/2$  时的, 通过图 7 的结果分析可知  $\frac{W}{L_N} / \frac{W}{L_P} = \frac{6}{1}$ 。

## 5. 实验总结

### 5.1 实验中遇到的问题与解决办法

暂无

### 5.2 实验收获与不足

本次实验使用了 2 周的时间对 CMOS 反相器的相关特性进行了仿真。随着实验的深入进行，掌握了 `measure` 这类测量语句的使用，`measure` 可以对 CMOS 反相器的瞬态特性进行测量，相较于图像分析结果是比较精确的。这两次实验相对来说是比较容易的，只要理解了实验原理和 `SPICE` 的语法就能做出实验。

不足：实验前没有进行充足的准备，对环形振荡器的原理不熟悉，仿真过程中时测量时间一直不对，后面反复对比后才发现是测量某个反相器的延迟时间 `rise` 和 `fall` 写错了。不过经过了这 2 次实验课，也对 CMOS 反相器的直流传输特性和瞬态特性更加熟悉，对环形振荡器结构和环形波形的周期有了更深一步的理解。

### 5.3 其它感想（欢迎吐槽）

暂无