

# 《VLSI 设计》SPICE 实验报告

姓名： 黄茂荣

学号： 201808010515

湖南大学信息科学与工程学院计算机工程系

2020 年 12 月 19 日

# 实验四 锁存器和 6T-SRAM 的 SPICE 仿真分析

实验四分为两次实验，第 1 次是使用 subckt 包装功能模块，对常见的双稳态电路，即 RS 锁存器，基于 RS 锁存器的 D 锁存器，基于 RS 锁存器的 JK 锁存器进行了仿真验证；第 2 次实验对 6T-SRAM 的读写操作进行瞬态分析。

## 1. SPICE 电路结构与网表

### (1). RS 锁存器的电路结构和网表

实验中采用的电路结构如图 1 所示，其中 R,S 为与非门的两个输入，clk 为控制时钟信号，输入端为 Q 和  $\bar{Q}$ 。该双稳态电路由两个或非门相互耦合而成。当时钟信号有效时，R 端为 1，会将 Q 端清零，S 端为 1，会将 Q 端置 1，R,S 同时为 0，则 RS 锁存器处于保持状态，R,S 同时为 1 时，电路输出处于一种不确定的状态。

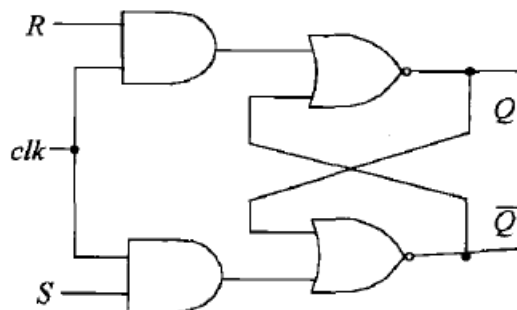


图 1

下面是实验中用到的 SPICE 网表，使用 subckt 模块将 nand,nor,inv 封装起来供电路连接使用。语法格式为.subckt 模块名称 输入信号 输出信号，以.end 结尾，中间是模块内部的连接方式。

```

lab4 > RS.sp
1 .TEMP 25.0000
2 .option abstol=1e-6 reltol=1e-6 post ingold
3 .lib 'gd018.1' TT
4 *VDD
5 .global 1
6 V1 1 0 dc=1.8
7
8 .subckt nand in1 in2 out
9 *nand
10 Mp1 out in1 1 1 PCH W=5u L=1u
11 Mp2 out in2 1 1 PCH W=5u L=1u 与非门模块
12 Mn1 out in1 vn 0 NCH W=2u L=1u
13 Mn2 vn in2 0 0 NCH W=2u L=1u
14 .ends
15
16 .subckt nor in1 in2 out
17 *nor
18 Mp1 vn in1 1 1 PCH W=5u L=1u
19 Mp2 out in2 vn 1 PCH W=5u L=1u 或非门模块
20 Mn1 out in1 0 0 NCH W=2u L=1u
21 Mn2 out in2 0 0 NCH W=2u L=1u
22 .ends
23
24 .subckt inv in out
25 *inv
26 Mp1 out in 1 1 PCH W=5u L=1u 反相器模块
27 Mn1 out in 0 0 NCH W=2u L=1u
28 .ends
29

```

接下来这部分是调用定义的模块，连接 RS 锁存器电路。

```

30
31 Vclk clk 0 pulse(0 1.8 0 10ns 10ns 40ms 80ms)
32 Vin1 S 0 pulse(0 1.8 5ms 10ns 10ns 10ms 40ms) 定义输入R,S和时钟信号
33 Vin2 R 0 pulse(0 1.8 35ms 10ns 10ns 20ms 50ms)
34
35 *RS锁存器 调用格式为Xi 输入信号 输出信号 模块名称
36 X1 R clk out1 nand 36行表示将R和clk通过nand连接，输出为out1
37 X2 out1 temp1 inv 37行表示将out1取反后得到temp1
38 X3 temp1 QF Q nor 这两个部分就相当于实现了R和clk的与操作
39 X4 S clk out2 nand
40 X5 out2 temp2 inv 38行表示将temp1和QF通过nor连接，输出为Q
41 X6 temp2 Q QF nor
42
43 .trans 1m 100m 39行表示将S和clk通过nand连接，输出为out2
44 40行表示将out2取反后得到temp2
45 .op 这两个部分就相当于实现了S和clk的与操作
46 .end
47 41行表示将temp2和Q通过nor连接，输出为QF

```

## (2). 基于 RS 锁存器的 D 锁存器的电路结构和网表

实验中采用的电路结构如图 2 所示，在 RS 锁存器的基础上构成了 D 锁存器结构，在高电平时钟信号器件，输出端 Q 随输入端 D 变化，在时钟信号低电平期间，锁存器保持高电平期间的电路状态。但是这样的电路结构一定的问题，在高电平期间，输入和输出是透明的，输入的任何变化都会导致输出的变化，可能造成一个时钟周期内锁存器的输出状态多次翻转，造成功耗的浪费。

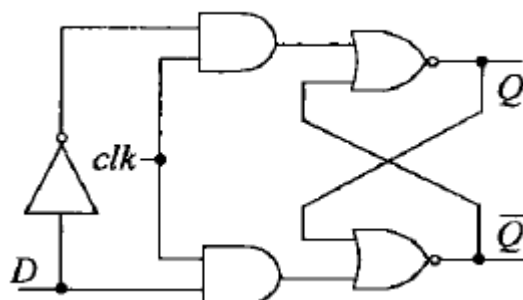


图 2

下面对该 D 锁存器的网表进行分析。模块部分和 RS 锁存器一致，不再列举。

```

30
31 Vclk clk 0 pulse(0 1.8 0 10ns 10ns 40ms 80ms) 定义两个输入时钟脉
32 Vin D 0 pulse(0 1.8 15ms 10ns 10ns 10ms 40ms)
33
34 *基于RS锁存器的D触发器 35行将输入信号D取反得到DF
35 X0 D DF inv
36 X1 DF clk out1 nand 36,37行表示将DF和clk通过nand连接后得到out1,
37 X2 out1 temp1 inv 将其取反得到的就是DF和clk与的结果temp1
38 X3 temp1 QF Q nor
39 X4 D clk out2 nand 39, 40行表示将D和clk相与得到temp2的结果
40 X5 out2 temp2 inv
41 X6 temp2 QF QF nor 38, 41行表示D锁存器的连接
42
43 .trans 1m 100m
44
45 .op
46 .end
47

```

### (3). 基于 RS 锁存器的 JK 锁存器

实验中采用的电路结构如图 3 所示，这是基于与非 RS 锁存器的时钟同步 JK 锁存器，其中  $F_3$  和  $F_4$  两个与非门构成 RS 锁存器， $F_1$  和  $F_2$  两个三输入与非门实现输入转换控制，输出端  $Q$  和  $\bar{Q}$  反馈连接到三输入与非门的输入端。时钟高电平期间锁存器采样数据，如果  $J=K=0$ ，锁存器保持输出不变。如果  $J=0, K=1$ ，锁存器复位。如果  $J=1, K=0$ ，锁存器置位。如果  $J=K=1$ ，且原来存“0”，即  $Q=0$ ，则与非门  $F_1$  输出低电平， $F_2$  输出高电平，锁存器被置位；同理，如果  $J=K=1$ ，而锁存器原来存“1”，锁存器将被复位。因此 JK 同时有效时锁存器的状态一定发生翻转，避免了 RS 锁存器的不定态问题。

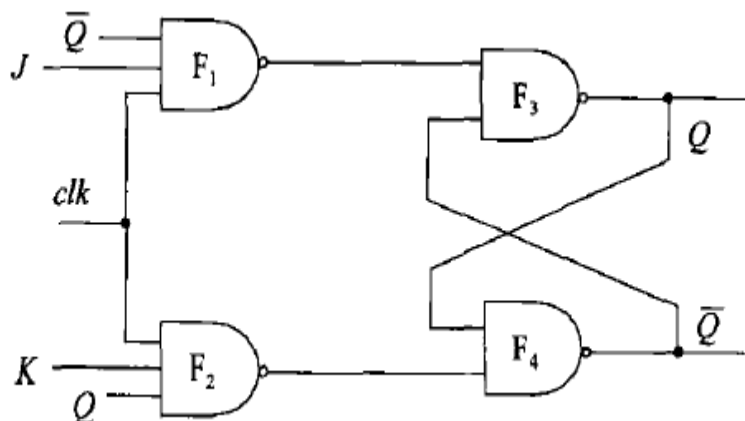


图 3

下面对 JK 锁存器的网表进行分析，首先需要添加一个三输入与非门模块，用做 JK 锁存器的输入连接。

```

16 .subckt nand3 in1 in2 in3 out
17 *nand3 pmos并联 nmos串联
18 Mp1 out in1 1 1 PCH W=5u L=1u
19 Mp2 out in2 1 1 PCH W=5u L=1u
20 Mp3 out in3 1 1 PCH W=5u L=1u
21 Mn1 out in1 vn1 0 NCH W=2u L=1u
22 Mn2 vn1 in2 vn2 0 NCH W=2u L=1u
23 Mn3 vn2 in2 0 0 NCH W=2u L=1u
24 .ends
25
26
27 Vclk clk 0 pulse(0 1.8 0 10ns 10ns 40ms 80ms)
28 Vin1 J 0 pulse(0 1.8 5ms 10ns 10ns 10ms 40ms) 输入信号J, K和clk信号
29 Vin2 K 0 pulse(0 1.8 25ms 10ns 10ns 20ms 50ms)
30
31 *基于RS锁存器的JK锁存器
32 X1 QF J clk out1 nand3 32行表示QF,J,clk通过与非门连接, 输出为out1
33 X2 out1 QF Q nand2 34行表示Q,J,clk通过与非门连接, 输出为out2
34 X3 clk K Q out2 nand3 33, 34行表示JK锁存器的结构
35 X4 out2 Q QF nand2
36
37 .trans 1m 100m
38
39 .op
40 .end

```

#### (4). 6T-SRAM 的电路结构和网表

实验中采用如图 4 所示的电路结构，这是由两个反相器（4 个 MOS 管），和两个 NMOS 传输门开关组成。

该电路进行读操作的过程。预充阶段：位线  $BL$ ,  $\overline{BL}$  由敏感放大器电路充电至  $1/2V_{DD}$ ，字线  $WL=0$ ，传输开关  $M5$ ,  $M6$  截至。读操作：传输开关打开， $M5$  导通，电流  $i_1$  从  $BL$  流进， $M6$  导通，电流  $i_2$  流出到  $\overline{BL}$ ，敏感放大器迅速呈现和存储数据一样的状态。稳定后，位线  $BL$  上读出存储的数值  $D$ 。

该电路进行写操作的过程。位线首先被写入单元中的数据初始化， $BL=data0$ ,  $\overline{BL}=data1$ ，接着  $WL$  变为高电平， $M5$ ,  $M6$  开关导通，当写入数据和原数据相同时， $M5, M6$  无电流流过，数据不同时，左侧通过放电写入数据  $data0$ ，右侧通过充电写入数据  $data1$ 。

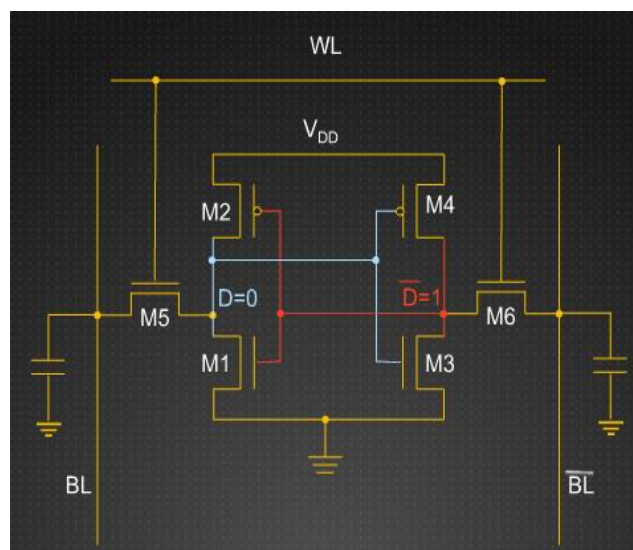


图 4

下面对网表结构进行分析。这部分网表是对初始的参数进行初始化，以及对 6T-SRAM 进行连接。

```

4  .lib 'gd018.1' TT
5
6  .GLOBAL VDD!
7  .PARAM VDD = 2.5
8  .PARAM L = 300n
9  .PARAM WN = 750n
10 .PARAM WP = '3*WN'
11 .PARAM WNA = 450n
12 .PARAM VNOISE = 0
13 .PARAM BITCAP = 1e-12
14 .OPTION POST
15
16 CBL BLB 0 BITCAP
17 CBLB BL 0 BITCAP
18
19 * one inverter
20 MPL Q QBN VDD! VDD! PCH L='L' W='WP'
21 MNL Q QBN 0 0 NCH L='L' W='WN'
22
23 * one inverter
24 MPR QB QN VDD! VDD! PCH L='L' W='WP'
25 MNR QB QN 0 0 NCH L='L' W='WN'
26
27 * access transistors
28 MNAL BLB WL QB 0 NCH L='L' W='WNA'
29 MNAR BL WL Q 0 NCH L='L' W='WNA'
30
31 VVDD! VDD! 0 DC=VDD
32 VWL WL 0 DC=VDD
33
34 VNOISEL QBN QB DC=VNOISE
35 VNOISER Q QN DC=VNOISE

```

全局变量VDD!

设置MOS管的宽

设置电压源初始电压

6T-SRAM中反相器耦合的连接部分

传输门部分

设置高电平

设置位线电压

设置电压源的电压

这部分网表是对写数据进行功能验证，首先设置 SRAM 中存储的数据，再写入相反的数据，使用瞬态分析观测波形结果。

```

37 * logic 1 is stored in the cell initially
38 .IC V(Q) = 0
39 .IC V(QB) = VDD
40
41 * writing logic 0 in cell
42 .IC V(BL) = VDD
43 .IC V(BLB) = 0
44
45 .TRAN 0.1n 10n UIC
46 .PRINT TRAN V(QB) V(Q) V(BLB) V(BL)
47
48 .END

```

设置SRAM中存储的数据

将位线上的数据写入

进行瞬态分析

## 2. 电路仿真结果-基础部分

以下是仿真结果和对结果的简单分析。注意仿真结果中标注的 1 和 0 分别是指高电平和低电平。

### (1). RS 锁存器仿真结果

C1k 信号有效时，RS 锁存器的真值表如下

S	R	Q	Q 非	工作状态
0	0	Q	Q 非	保持
0	1	0	1	复位
1	0	1	0	置位
1	1	0	0	禁止

Clk 是淡蓝色曲线，R 是绿色曲线，S 是蓝色曲线，仿真结果和真值表保持一致，仿真结果正确。

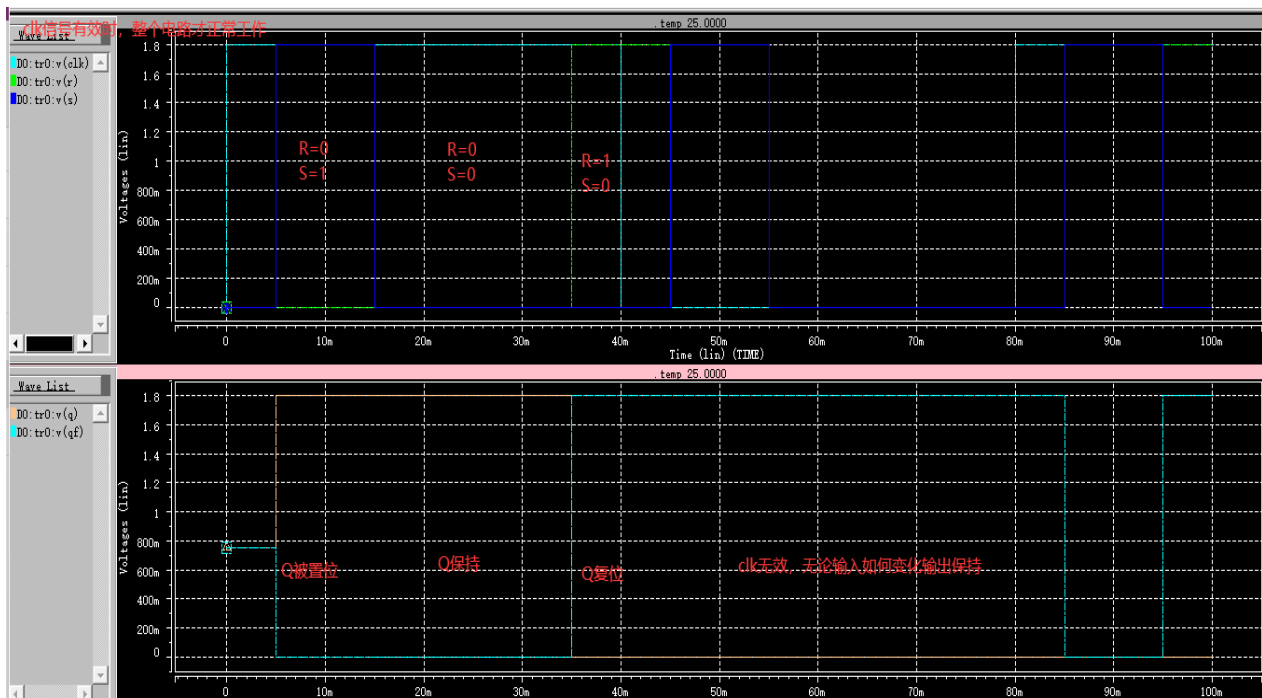


图 5

## (2). 基于 RS 锁存器的 D 锁存器仿真结果

D 锁存器的真值表如下

Clk	D	Q	Q 非	工作状态
1	0	0	1	复位
1	1	1	0	置位
0	0	Q	Q 非	保持
0	1	Q	Q 非	保持

Clk 是淡紫色曲线，D 是紫色曲线，Q 是绿色曲线，仿真结果和真值表保持一致，仿真结果正确。

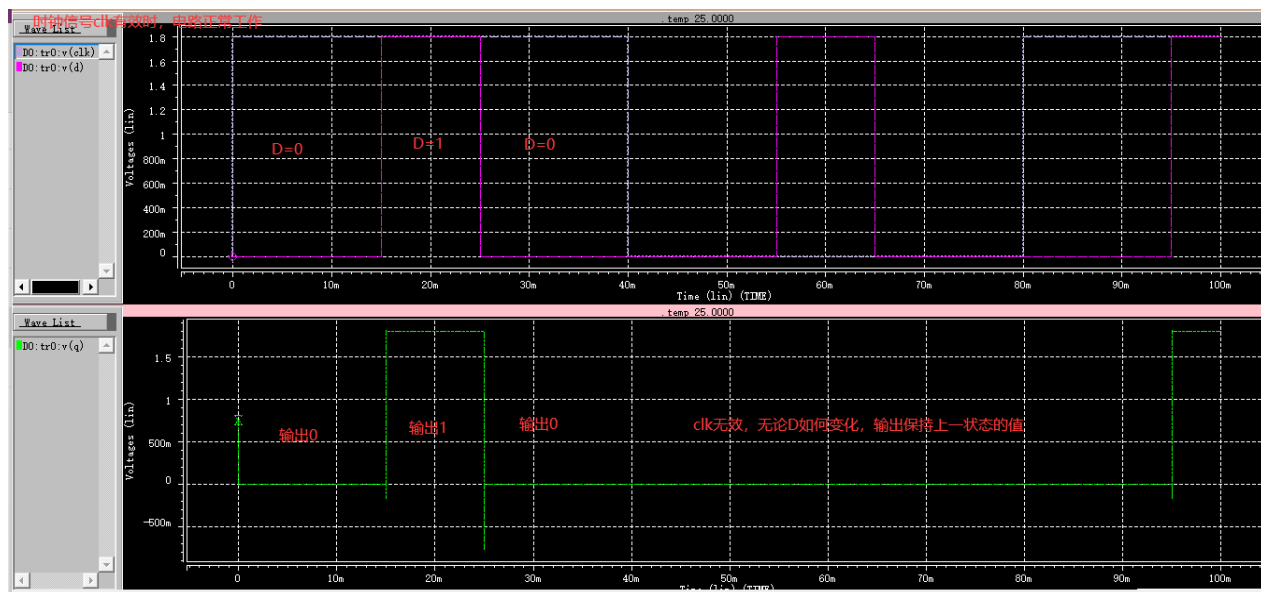


图 6

### (3). 基于 RS 锁存器的 JK 锁存器的仿真结果

C1k 信号有效时，JK 锁存器的真值表如下

J	K	Q	Q 非	工作状态
0	0	Q	Q 非	保持
0	1	0	1	复位
1	0	1	0	置位
1	1	原来锁存 0, Q 为 1	0	置位
1	1	原来锁存 1, Q 为 0	1	复位

C1k 是红色曲线，J 是淡红色曲线，K 是蓝色曲线，输出是紫色曲线，仿真结果和真值表保持一致，仿真结果正确。

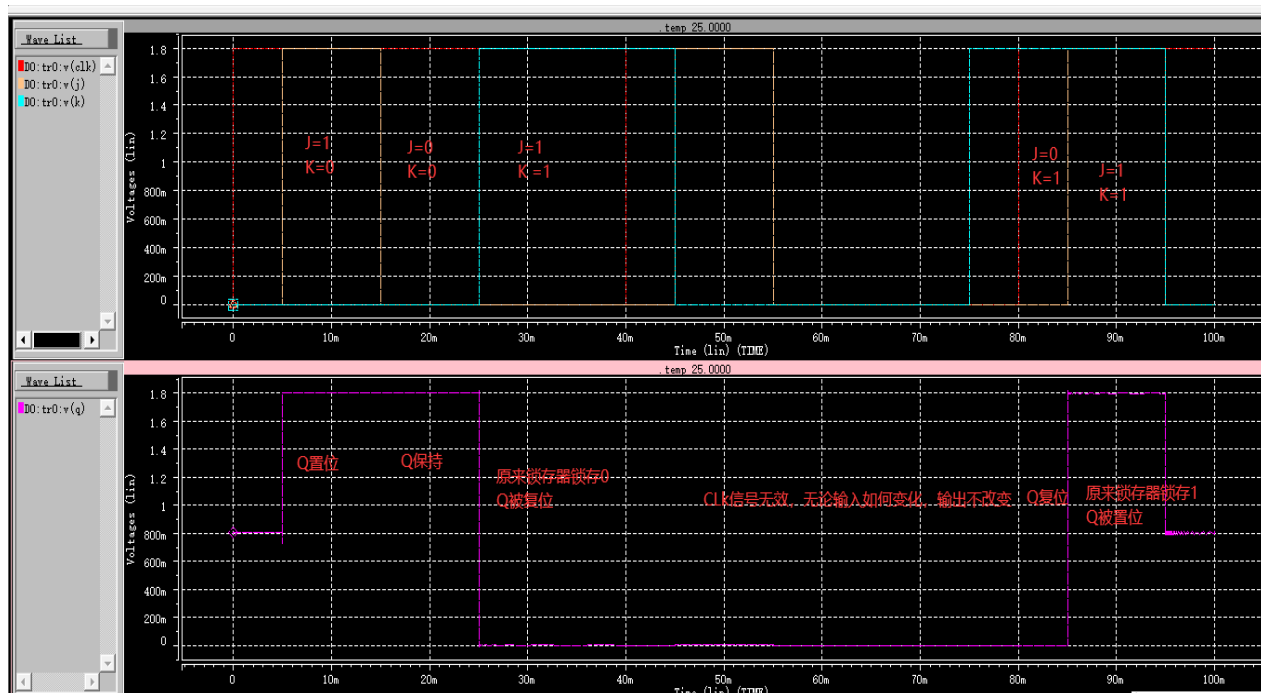




图 7

#### (4). 6T-SRAM 仿真结果

写入数据：最初设置 6T-SRAM 中 QB 存储逻辑 1，Q 存储逻辑 0，将位线 BL 初始化为逻辑 0，BLB 初始化为逻辑 1，在字线有效时，将位线上的数据分别写入 QB 和 Q，从图中可以看到 QB，Q 存储的数值也按照预期发生了改变，写入数据验证正确。

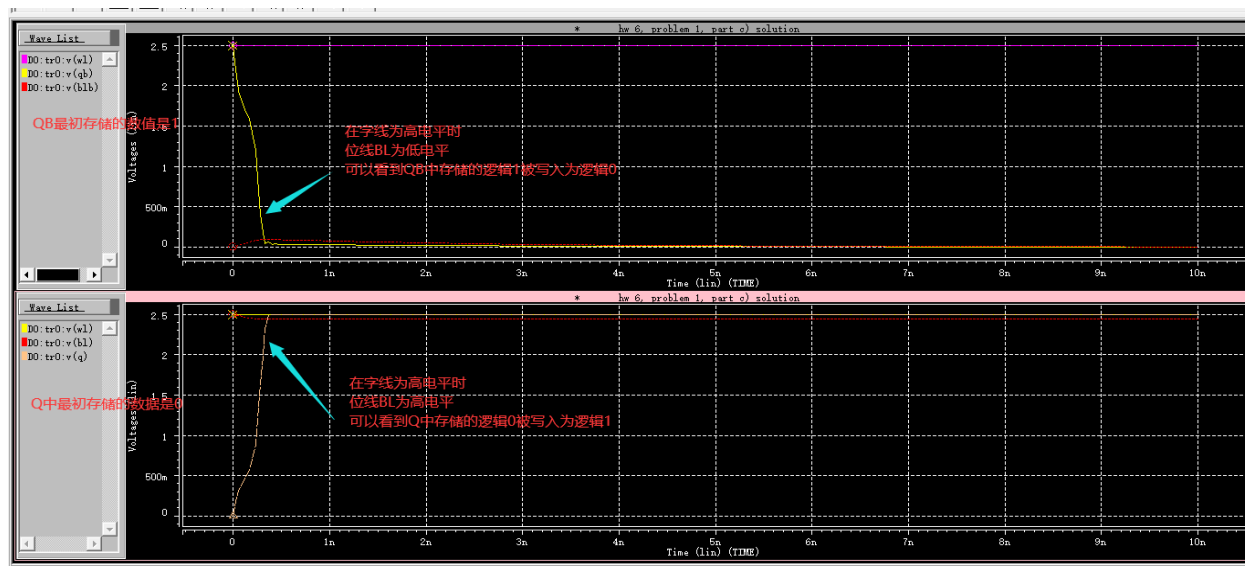


图 8

读取数据：设置初始 Q 中存储逻辑 0，QB 中存储逻辑 1，待读取数据稳定后，从下图可以看到无损的读出数据，读取数据正确。

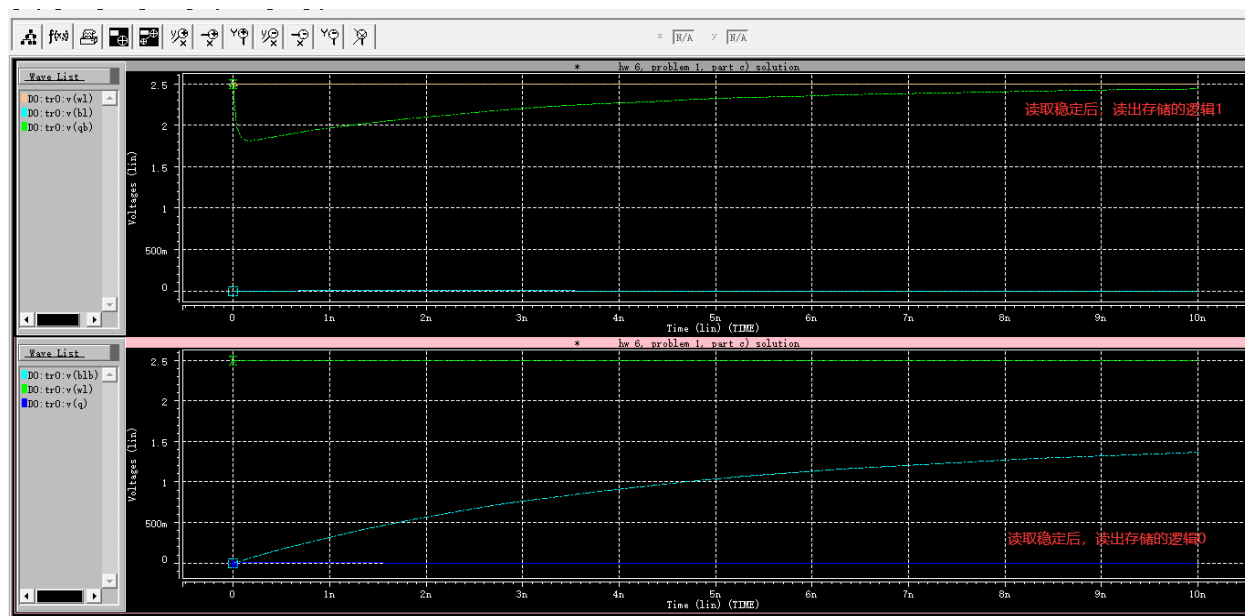


图 9

### 3. 电路仿真结果-探索部分

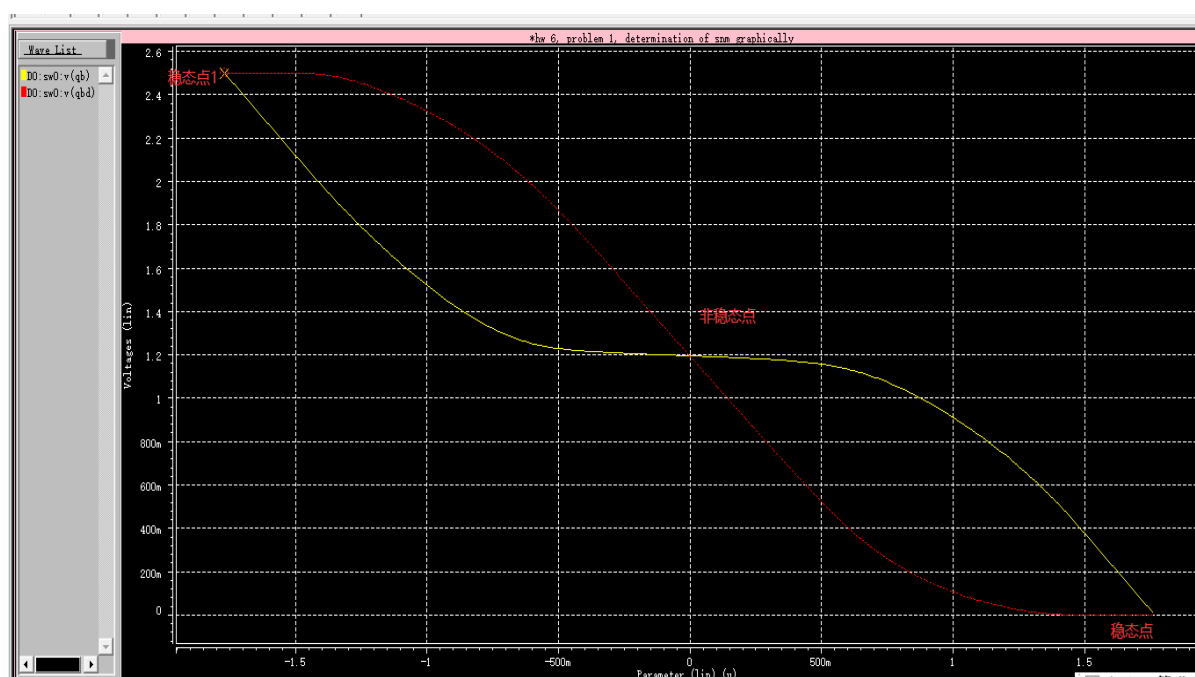
**探索：**对 SRAM 进行直流电压传输特性曲线进行分析

**猜测：**由于 SRAM 本质上也是一个双稳态电路，其内部结构可以看作是两个反相器的耦合，其中一个反相器的输入接另外一个反相器的输出。故传输特性曲线应该是一个类似 8 字形的曲线。曲线的交汇在坐标轴上的两个点是其稳定状态，中间点是非稳定点。

**实验验证：**在 6T-SRAM 的网表中加入两个反相器的输出。

```
.PRINT DC V(QD) V(QBD) V(V1) V(V2)
```

实验结果如下



### 4. 实验结果分析

对基础部分电路仿真图像结果进行分析

本次实验是对 RS 锁存器，D 锁存器，JK 锁存器和 6T-SRAM 进行仿真，结果对比真值表即可得到验证。其中 RS 锁存器，D 锁存器，JK 锁存器将仿真结果和真值表对照即可验证功能。图中已用文字进行了分析说明。

#### ● 6T-SRAM 读取数据时的曲线分析

读取数据是通过充放电实现数据读取的，当充电时，存储端的电压会逐渐变大，当放电时，存储端的电压会逐渐变小，图 9 中的情况。但是在读过程中，敏感放大器在非稳态点，充放电改变位线电压时，敏感放大器会很快使得 BL 等于

QB 的电压, BLB 等于 Q 的电压, 当没有电压差时, 读取为稳定状态, 此时没有电流流过。

## 5. 实验总结

### 5.1 实验中遇到的问题与解决办法

暂无

### 5.2 实验收获与不足

本次实验是锁存器和存储器进行仿真实验。在这次实验中使用到了一种新的语法规则——模块化 `subckt`, 使用这个语句可以将一些常用的元件连接方式封装成现成的模块, 在需要使用的时候, 直接调用即可, 这也体现出了设计过程中模块化的思想。

实验中存在的不足: 没有提前对 **SRAM** 进行预习, 在进行实验的时候, 在网上花费了较多的时间, 简单对 **SRAM** 的读写进行了瞬态仿真验证, 但没有对曲线出现偏离的情况进行分析。

### 5.3 其它感想 (欢迎吐槽)

本次是微电子电路最后一次实验, 最一开始对 **SRAM** 进行仿真的时候是比较不知所措的, 可能是因为刚开始接触这个存储器底层的硬件实现, 不太熟悉。熟悉后也对 **SRAM** 的读写进行瞬态分析, 按时完成了实验。在这门课上学习到了芯片的底层实现原理, 同时也通过实验对其进行验证, 在数字电路的基础上也加深了理解和认识, 收获了很多。