

# 《VLSI 设计》SPICE 实验报告

姓名： 黄茂荣

学号： 201808010515

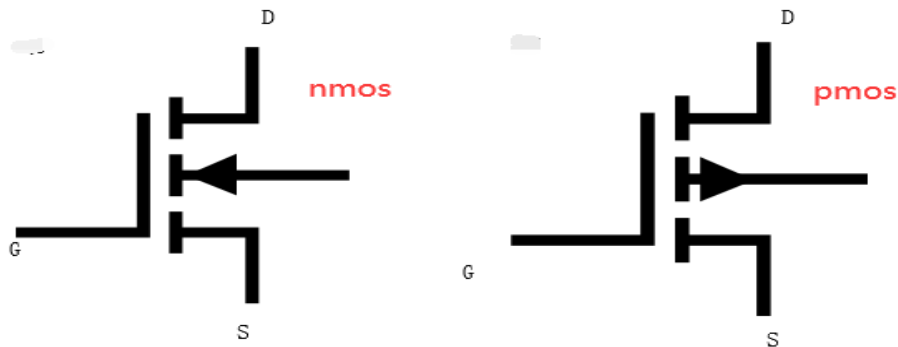
湖南大学信息科学与工程学院计算机工程系

2020 年 11 月 12 日

# 实验一 NMOS 和 PMOS 电路 SPICE 实验

## 1. SPICE 电路结构与网表

(1). 本次实验对 nmos 和 pmos 电路进行了仿真, 实验中两者使用的电路结构图如下, 其中 G 表示栅极, D 表示漏极, S 表示源极。



(2). nmos 的 SPICE 网表

```
nmos.sp
1  *Sample netlist for GSMC
2
3  .TEMP 25.0000
4
5  .option abstol=1e-6 reltol=1e-6 post ingold
6
7  .lib 'gd018.1' TT *库
8
9  * --- Voltage Sources ---
10 vdd VDD 0 dc=1.8
11 vgs g 0 0 * 栅极一端接g 栅极另外一端接0
12 vds d 0 dc=0.9 *漏极和0相连, 电压值为0.9
13 vbs b 0 dc=0 *衬底和0相连, 电压值为0
14
15 * --- Inverter Subcircuit ---
16 Mnmos d g 0 b NCH W=30U L=6U
17 *漏极、栅极、源极、衬底
18 * --- Transient Analysis ---
19 .dc vds 0 1.8 0.01 SWEEP vgs 0 1.8 0.2
20 *直流分析 分析对象 下限 上限 步长 后面的表示给Vgs加电压
21
22 .print dc v(d) i(Mnmos)
23
24 .end
```

第 7 行引用 gb018.1 库中的 NCH 工艺, 设置宽长比为 30U/6U。

第 10-13 行定义了 3 个连接点, 其中第 10 行将 VDD 和地相连, 电压差为 1.8V, 即 VDD 为 1.8V。第 11 行将栅极 (g) 和 0 相连, 电压值设为 0, 第 12 行将漏极和 0 相连, 电压值设为 0.9, 第 13 行将衬底和 0 相连, 电压值设为 0。

第 16 行表示电路连接关系, 漏极和 d 连接, 栅极和 g 相连, 源极和 0 相连 (相当于接地), 衬底和 b 相连, NCH 表示工艺, W 是沟道长度, L 是沟道宽度。

第 19 行表示在连接点  $V_{DS}$  上施加直流电压, 从 0 开始到 1.8 以 0.01 的步长变化, 每次扫描  $V_{DS}$  的同时使用 SWEEP 对  $V_{GS}$  从 0 到 1.8 以 0.2 的步长变化进行扫

描。

第 22 句表示打印漏极 d 的电压和 nmos 管的电流。

### (3).pmos 的 SPICE 网表

```
pmos.sp
1  *Sample netlist for GSMC
2
3  .TEMP      25.0000
4
5  .option abstol=1e-6 reltol=1e-6 post ingold
6
7  .lib 'gd018.1' TT      *库
8
9  * --- Voltage Sources ---
10 vdd  VDD  0 dc=1.8
11 vgs  g   0 0 * 栅极一端接g 栅极另外一端接0
12 vds  d   0 dc=-0.9
13 vbs  b   0 dc=0
14
15 * --- Inverter Subcircuit ---
16 Mpmos d g VDD b PCH W=30U L=6U
17
18 * --- Transient Analysis ---
19 .dc vds -1.8 0 0.01 SWEEP vgs -1.8 0 0.2
20 *直流分析 分析对象 下限 上限 步长 后面的表示给Vgs加电压
21
22 .print dc v(d) i(Mpmos)
23
24 .end
```

pmos 管的网表和 nmos 管类似，只需要改动部分代码即可。

第 12 行的 d 的电压设为-0.9（pmos 管中形成强反型层需要在两端加反偏电压）。

第 16 行的源极改为接 VDD。

第 19 行中的工艺改为 pmos 管对应的 PCH。

### (4).nmos 的 level 和 level2 的仿真网表

```
noms_l1.sp
1  *Sample netlist for GSMC
2
3  .TEMP      25.0000
4
5  .option abstol=1e-6 reltol=1e-6 post ingold
6
7  .MODEL NFET NMOS (LEVEL=1 VTO=0.4 KP=8.64E-6
8  + NSUB=1E17 TOX=20n)
9
10 * --- Voltage Sources ---
11 vdd  VDD  0 dc=1.8
12 vgs  g   0 2 * 栅极一端接g 栅极另外一端接0 这里是栅极电压值
13 vds  d   0 dc=2
14 vbs  b   0 dc=0
15
16 * --- Inverter Subcircuit ---
17 Mnmos d g 0 b nfet W=30u L=6U
18
19 * --- Transient Analysis ---
20 .dc vds 0 10 0.1 SWEEP vgs 0 5 1
21 *直流分析 分析对象 下限 上限 步长 后面的表示给Vgs加电压
22
23 .print dc v(d) i(Mnmos)
24
25 .end
```

不同 Level1 代表了不同的仿真精度。对 level1 和 level2 模型仿真只需要修改对应的 Level 即可。这里提供的 Level2 的模型参数包括阈值电压  $V_{TO}$ ，电子迁移率  $K_p$ （在 pmos 中是空穴迁移率），栅氧化层厚度  $T_{OX}$ 。第 17 行的工艺需要修改为 nfet，原因是在第 7 行中定义了 nmos 的模型 nfet。

Level1 模型是基于 Shichman Hodges 提出的简单模型，是针对长沟道 MOSFET 的，除了饱和区沟道长度调制，没有考虑其他二级效应。模型简单，参数少，节省运算时间是该模型的优点。Level2 模型中考虑了小尺寸器件的一些二级效应，例如短沟和窄沟效应对阈值电压的影响，亚阈值区特性等。该模型相比于 Level1 模型更加接近实际情况。

(5).Level1 和 Level2 下不同 W/L 对 nmos 和 pmos 的影响。

```
nmos_l1_wl.sp X
nmos_l1_wl.sp
1  *Sample netlist for GSWC
2
3  .TEMP 25.0000
4
5  .option abstol=1e-6 reltol=1e-6 post ingold
6
7  .MODEL NFET NMOS (LEVEL=1 VTO=0.4 KP=8.64E-6
8  + NSUB=1E17 TOX=20n)
9
10 * --- Voltage Sources ---
11 vdd VDD 0 dc=1.8
12 vgs g 0 2 * 栅极一端接g 栅极另外一端接0 这里是栅极电压值
13 vds d 0 dc=2
14 vbs b 0 dc=0
15
16 * --- Inverter Subcircuit ---
17 Mnmos1 d g 0 b nfet W=6U L=6U
18 Mnmos2 d g 0 b nfet W=12u L=6U
19 Mnmos3 d g 0 b nfet W=18u L=6U
20 Mnmos4 d g 0 b nfet W=24u L=6U
21
22 * --- Transient Analysis ---
23 .dc vds 0 10 0.1 SWEEP vgs 0 5 2 *为了直观比较不同W/L下的电流曲线，这里将步长设为2
24 *直流分析 分析对象 下限 上限 步长 后面的表示给Vgs加电压
25
26 .print i(Mnmos1) i(Mnmos2) i(Mnmos3) i(Mnmos4)
27
28 .end
```

这里以 nmos 为例，在 Level1 模型下增加不同的 W/L，定义多个 nmos 管，观察不同 W/L 下流过 nmos 管的电流大小变化。修改模型在 Level2 的模型下仿真观察。同理，使用 pmos 的网表再次进行仿真。由于 Level1 和 Level2 下对 nmos 和 pmos 的不同 W/L 的网表很相似，这里只列举出 nmos 的仿真网表。

## 2. 电路仿真结果-基础部分

以下是仿真结果和对结果的简单分析，导通原理在实验结果分析部分。

(1). nmos 仿真结果

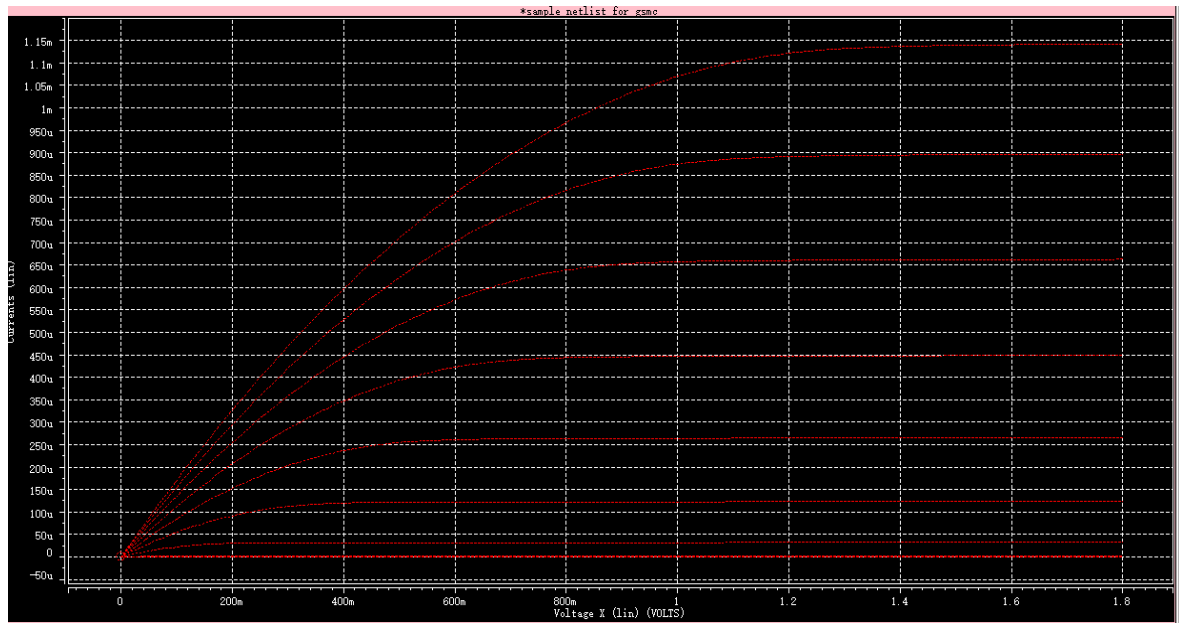


图 1 nmos 仿真结果

nmos 仿真结果中得到 10 条曲线，从下往上每条曲线对应不同的  $V_{GS}$  下的电流变化，曲线自变量为  $V_D$ ，因变量为导通电流的变化情况。当栅极电压 ( $V_{GS}$ ) 很小时，没有达到阈值电压，nmos 管不导通，超过阈值电压后，先是线性增长，接着是进入饱和区，电流基本不变。栅极电压越大时，对应导通电流也较大。

## (2). pmos 仿真结果

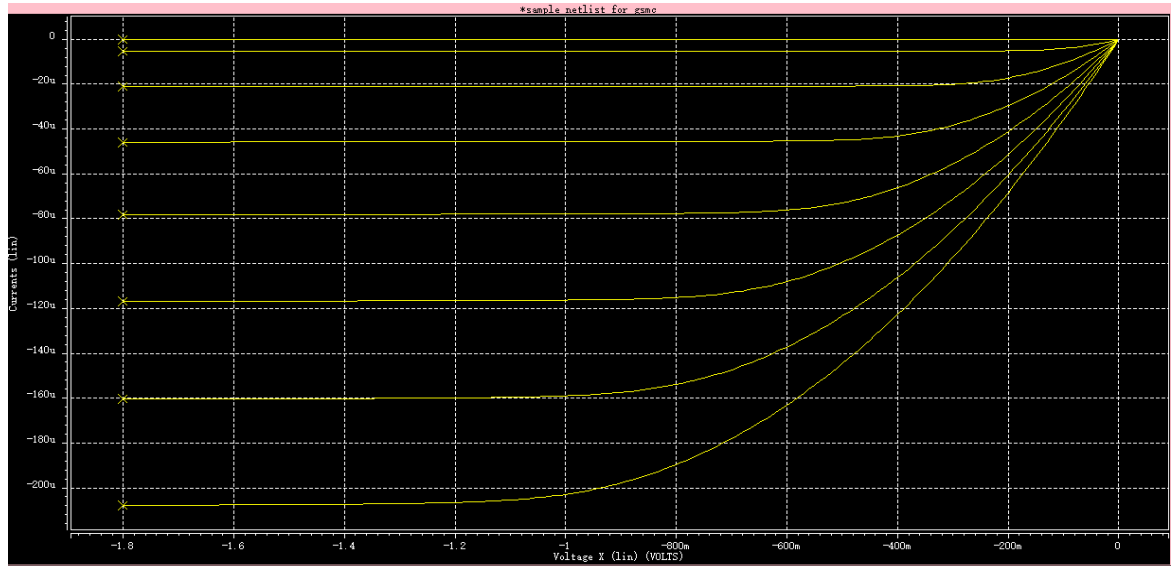


图 2 pmos 仿真结果

pmos 仿真结果中也得到 10 条曲线，从上往下每条曲线对应不同的  $V_{GS}$  下的电流变化，曲线自变量为  $V_D$ ，因变量为导通电流的变化情况。当栅极电压 ( $V_{GS}$ ) 很小时，没有达到阈值电压，pmos 管不导通，超过阈值电压后，先是线性增长，接着是进入饱和区，电流基本不变。栅极电压越大时，对应导通电流也较大。pmos 管是加反向电压才能形成导通条件，故曲线的电压和电流是负向变化的。

## (3). 不同精度下的 nmos 模型，对 level1 和 level2 的仿真结果

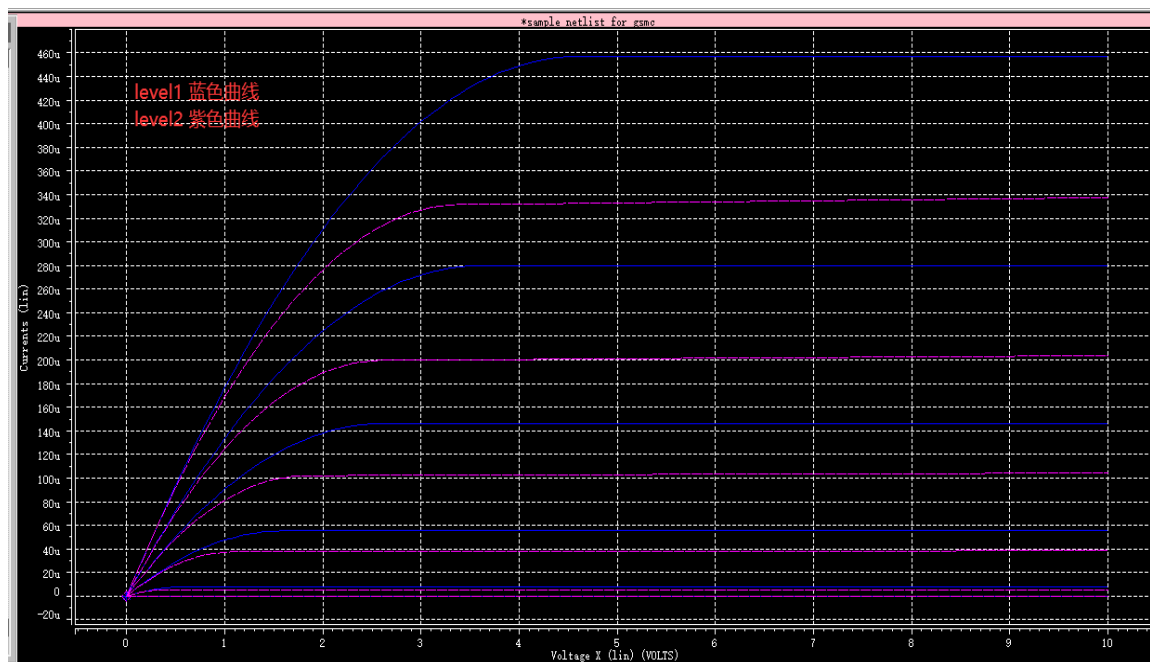


图 3 不同精度下的 nmos 仿真结果

Level1 的仿真电流比 Level2 更大, Level2 模型下通过 mos 管的电流会更早到达饱和状态。由于 Level2 模型考虑了短沟道效应等二级效应, 在饱和区的电流存在略微上升的现象。

#### (4). Level1 和 Level2 下不同 W/L 的 nmos 和 pmos 仿真结果

nmos: 不同 W/L 下的 level1 仿真

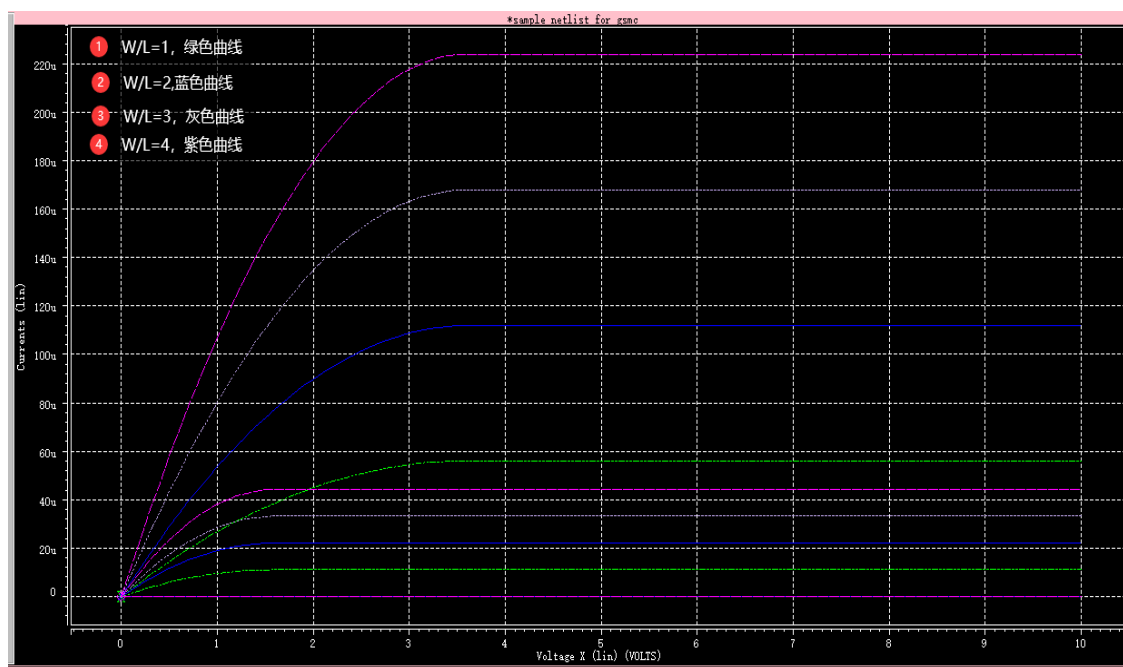


图 4 不同 W/L 下的 level1 仿真

从图中可以看出不同的 W/L 比对通过 mos 管最大的影响就是饱和区的电流大小。当 W/L 增大时, MOSFET 的增益因子和其成正比关系, 故通过电流也会增大。

nmos: 不同 W/L 下 level2 仿真

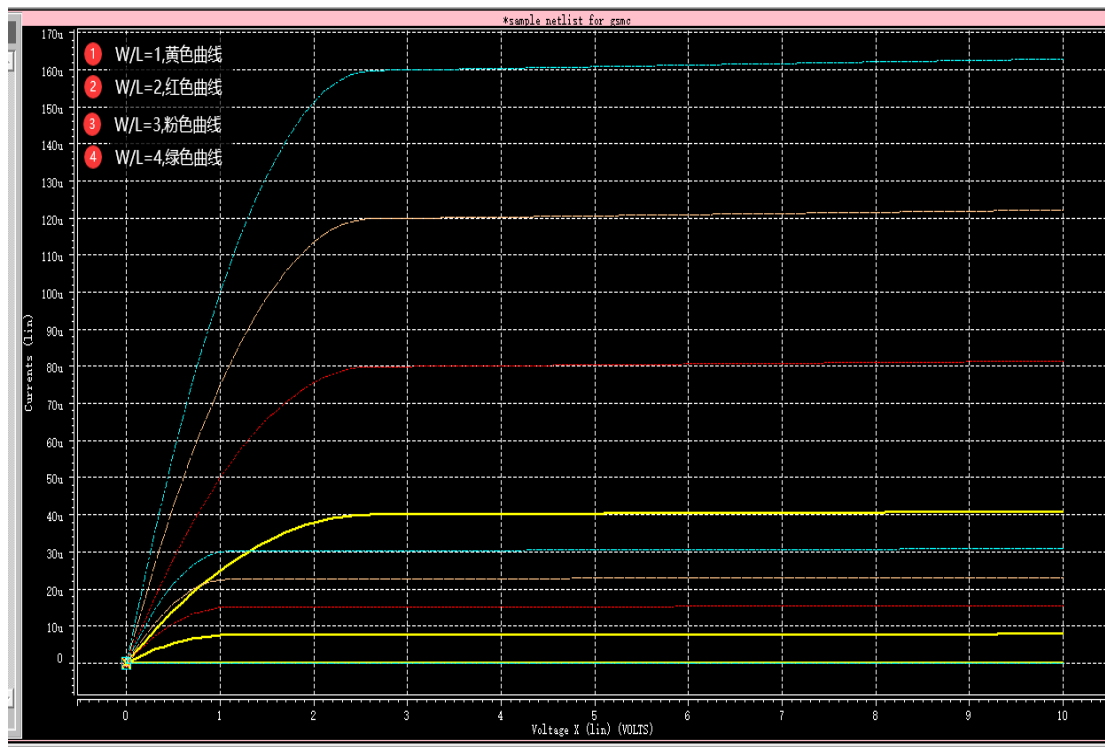


图 5 不同 W/L 下的 level2 仿真

从图中可以看出不同的 W/L 比对通过 mos 管最大的影响就是饱和区的电流大小。当 W/L 增大时，MOSFET 的增益因子 K 和其成正比关系，故通过电流也会增大。相对于 Level1 模型，可以看出通过的电流明显小于 Level1 模型下的通过电流。

pmos:不同 W/L 下的 level1 仿真

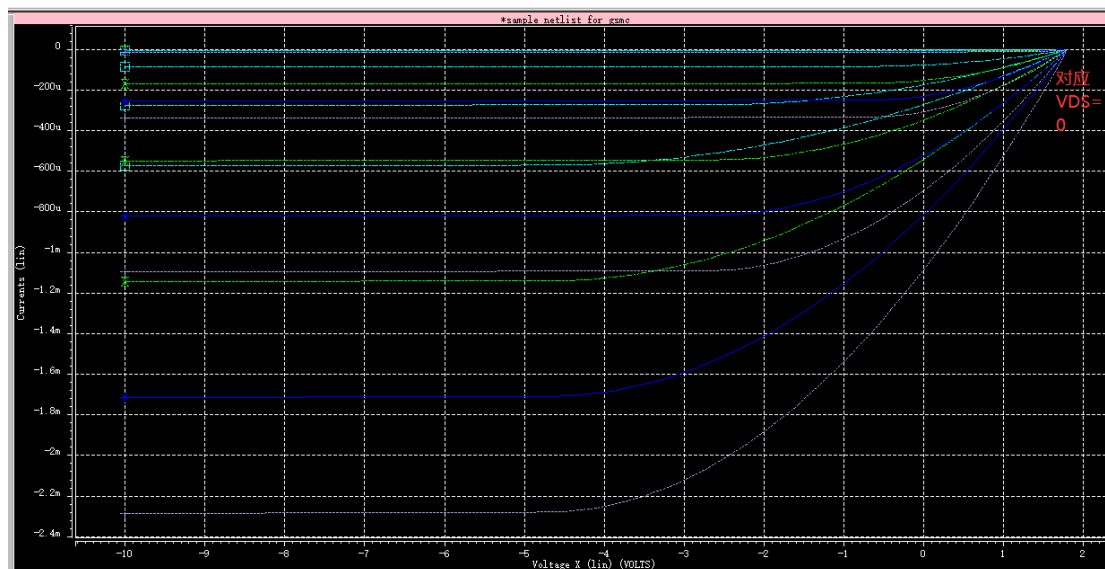


图 6 不同 W/L 下的 level1 仿真

曲线按照灰色,紫色,黄色,红色的顺序 W/L 依次增大。当 W/L 增大时，MOSFET 的增益因子和其成正比关系，故通过电流也会增大。从图中可以发现在 0 之后，还存在部分电流，这是因为源极接 VDD，VDD 为 1.8V，此时对应  $V_{DS}$  仍然小于 0 的，故还有部分电流。

pmos:不同 W/L 下 level2 仿真

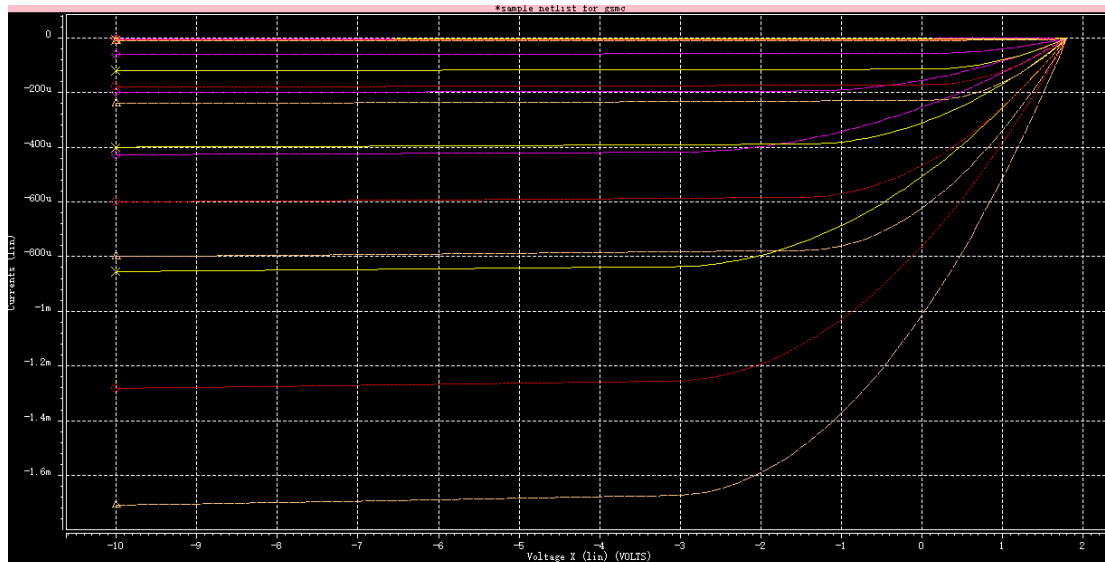


图 7 不同 W/L 下的 level2 仿真

曲线按照橙色，灰绿色，绿色，蓝色的顺序 W/L 依次增大。当 W/L 增大时，MOSFET 的增益因子和其成正比关系，故通过电流也会增大。相对于 Level1 模型，可以看出通过的电流明显小于 Level1 模型下的通过电流。

### 3. 电路仿真结果-探索部分

探索 探究在饱和区的漏极和源极电压差的最大值(击穿电压的值)?

**猜测：**nmos 管的击穿电压之和制作工艺有管（如掺杂杂质离子的浓度），与所加电压的大小无关。

**验证：**

当达到饱和区后，如果漏极电压一直增大，漏-源 pn 结耗尽区中的电场增强会引起雪崩倍增效应。nmos 将进入击穿区，在该区域，随着  $V_{DS}$  的增加  $I_D$  迅速增大。从以下 a,b,c 三点实验结果可以验证猜测。

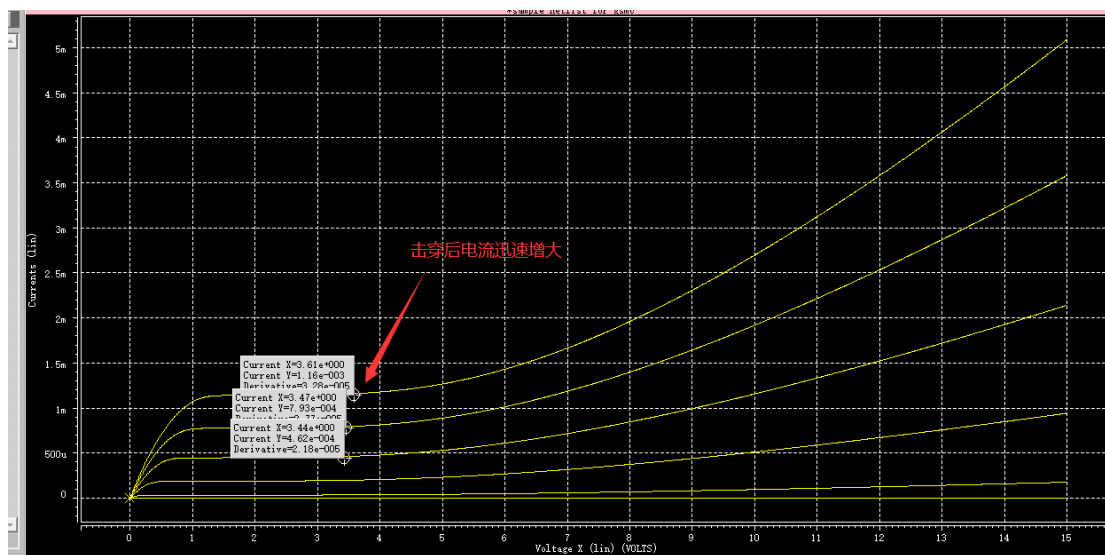




图 8 nmos 通过电流-电压关系曲线

a.从图 8 中看到, 当  $V_{DS}$  增加到某个值后, 电流  $I_D$  迅速增大, gd018.1 库下的 NCH 工艺下击穿电压约为 3.61V。

b.图 9 是设置不同 W/L 下 nmos 的击穿电压大小的探究, 从图中可以看出不同 W/L 下击穿电压基本都是一致的, 故击穿电压和 W/L 无关。

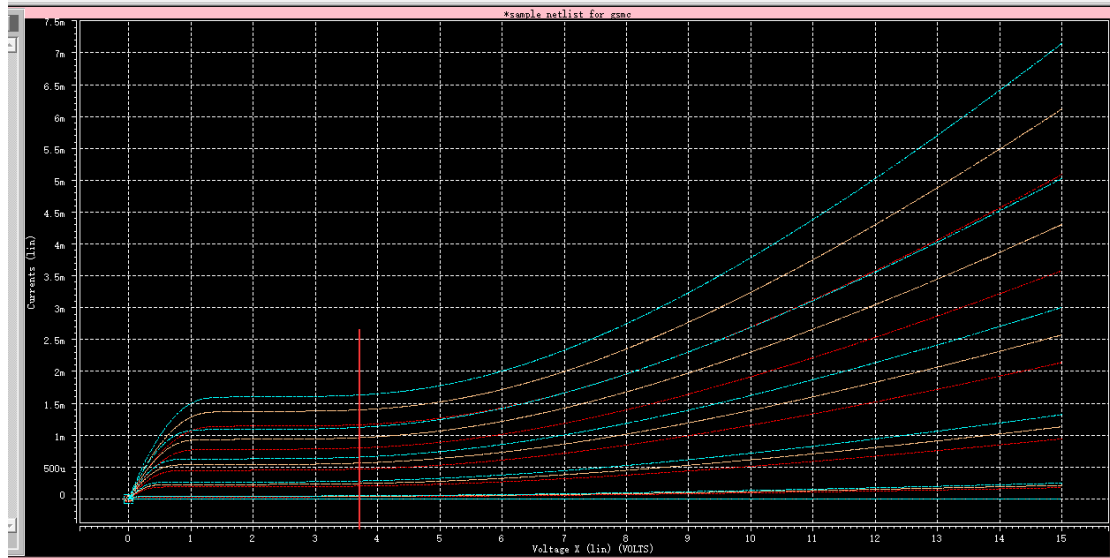


图 9 不同 W/L 下的通过 nmos 的电流-电压关系曲线

c. 设置在其他工艺下对其进行仿真, 发现当  $V_{DS}$  增大到 1-2V 附近时, nmos 管已经被击穿, 如图 10 所示, 说明该工艺下的击穿电压和 gd018.1 库的 NCH 工艺的击穿电压不一样。

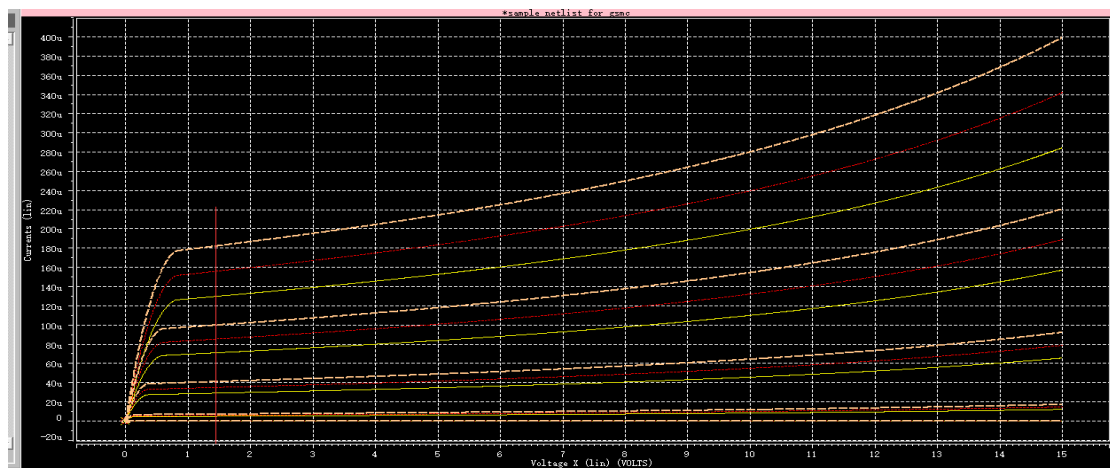


图 10 不同 W/L 下的通过 nmos 的电流-电压关系曲线

## 4. 实验结果分析

对基础部分电路仿真结果的分析

(1).nmos 的导通原理及结果分析

导通原理

正常工作条件下，nmos 的漏极电压使源-衬和漏-衬的两个 pn 结反向偏置。对 n 沟道 MOS 器件，通常源和衬底均接地，漏极接正电压，漏源电压  $V_{DS} > 0$ 。随着栅源电压  $V_{GS}$  和漏源电压  $V_{DS}$  的增大，nmos 依次经过截至区，线性区，饱和区和击穿区。

截至区：  $0 < V_{GS} < V_T$ ，无法形成导电沟道，源漏之间只有很小的 pn 结反向电流。

线性区：  $V_{GS} \geq V_T, 0 \leq V_{DS} < V_{GS} - V_T$ ，p 衬底形成强反型层，形成导电沟道，此时增大  $V_{DS}$ ，漏电流  $I_D$  随着  $V_{DS}$  的变化近似为线性变化。对于长沟道 nmos，采用较为简单的一维模型计算 nmos 的电流，公式的推导需要做出如下假设：只有半导体表面只有达到强反型后，才有足够的反型载流子导电；在强反型层后，忽略少数载流子的扩散运动，只计算漂流电流；近似认为反型载流子的迁移率是常数。

推导得到的电流计算公式为  $I_D = \beta[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2]$ ,  $\beta = \frac{W}{L} \mu_{eff} C_{ox}$ 。

饱和区：  $V_{GS} \geq V_T, V_{DS} \geq V_{GS} - V_T$ ，漏端沟道夹断，nmos 处于临界饱和区，此时电流不再随电压的增大而增大。此时  $I_D = \frac{\beta}{2}(V_{GS} - V_T)^2$ ,  $\beta = \frac{W}{L} \mu_{eff} C_{ox}$ 。

击穿区：当达到饱和区后，如果漏极电压一直增大，漏-源 pn 结耗尽区中的电场增强会引起雪崩倍增效应。nmos 将进入击穿区，在该区域，随着  $V_{DS}$  的增加  $I_D$  迅速增大。

## 结果分析

nmos 管导通时在半导体表面形成一条电子导通沟道，电荷的移动形成电流。在图 1 中，最下面 3 条曲线的  $V_{GS}$  小于阈值电压，没有导通，电流趋于 0，随着  $V_{GS}$  的增大，nmos 管导通，一开始处于线性区，电流随电压呈线性变化，即  $I_D = \beta[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2]$ 。到达饱和区后由于电流趋于不变，电流最大值为  $\frac{\beta}{2}(V_{GS} - V_T)^2$ 。

## (2).pmos 的导通原理及结果分析

### 导通原理

正常工作条件下，pmos 的漏极电压使源-衬和漏-衬的两个 pn 结正向偏置。对 p 沟道 MOS 器件，通常源和衬底均接 VDD，漏极接负电压，漏源电压  $V_{DS} < 0$ 。随着栅源电压  $V_{GS}$  和漏源电压  $V_{DS}$  的减小（负向增大），pmos 依次经过截至区，线性区，饱和区和击穿区。其变化规律和 nmos 保持一致，对应的电压加上绝对值

即可。

## 结果分析

pmos 管导通时在半导体表面形成一条空穴导通沟道，电荷的移动形成电流。在图 2 中，最上面 4 条曲线的  $V_{GS}$  的绝对值小于阈值电压的绝对值，没有导通，电流趋于 0，随着  $V_{GS}$  的负向增大，pmos 管导通，一开始处于线性区，电流随电压呈线性变化，即  $I_D = -\beta[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2]$ 。到达饱和区后由于电流趋于不变，电流最大值为  $-\frac{\beta}{2}(V_{GS} - V_T)^2$ 。

对比图 1 和图 2 可以发现，pmos 的导通电流始终小于对等条件下的 nmos 的导通电流，这是因为一般情况下，电子的迁移率大于空穴的迁移率，而电流计算时的  $\beta = \frac{W}{L} \mu_{eff} C_{ox}$  和迁移率有关，所以造成了 nmos 的导通电流大于 pmos 的导通电流。

### (3). 不同精度下 nmos 仿真结果的差异

实验中使用了 Level1 和 Level2 对 nmos 进行了仿真。仿真结果如图 3 所示，从图中可以看出，Level2 模型下的导通电流明显小于 Level1 模型下的导通电流。结论：当考虑 MOS 管的影响因素越多时，模型得到的仿真电流值更加接近于真实值，模型的差别也可能很大。

分析：Level1 模型考虑的因素比较少，只考虑了饱和区沟道调制，而 Level2 模型还考虑了迁移率退化以及速度饱和效应对导通电流的影响，查阅资料得知在高电场的条件下，迁移率会随着电场的增强而下降，而漂移速度随电场的增强的上升速度变慢，综合这些因素得到导通电流的计算公式为

$$I_D = \frac{1}{1 + \frac{V_{DS}}{L \cdot E_{sat}}} \beta \left[ (V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2 \right]$$

由于速度饱和效应的影响，使电流随着电压的增大而上升的速度变得平缓，饱和电流也随着减小。这就是仿真图 3 中 Level2 模型的电流始终小于在 Level1 模型的原因。

### (4). Level1 和 Level2 下不同 W/L 的 nmos 和 pmos 仿真结果

实验的基础部分探究了不同 W/L 下 nmos 的仿真结果，得到如下的结论：W/L 影响 MOS 管的导通电流以及饱和区的最大电流值，当 W/L 增大时，电流增大，反之电流减小。

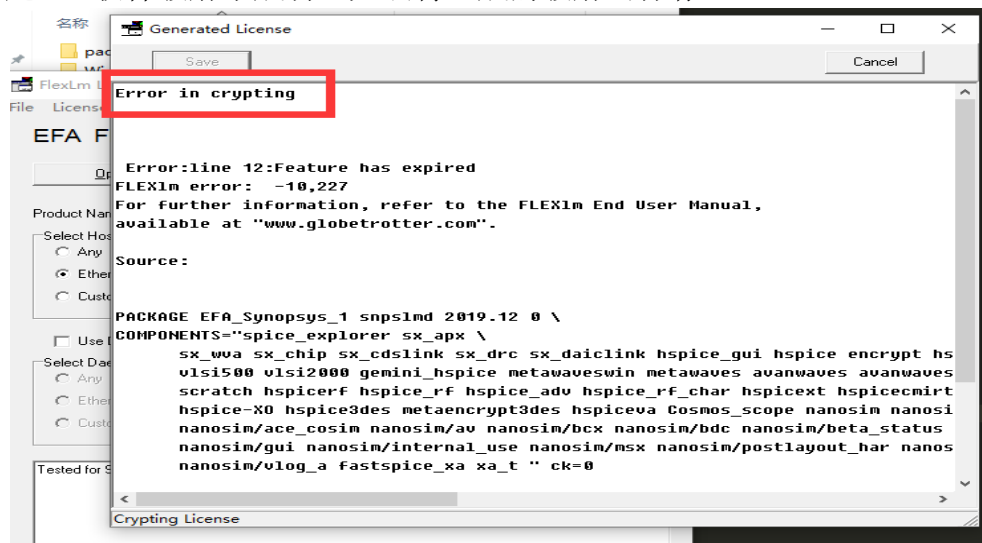
分析：MOS 管导通后，电流在线性区呈线性变化，

$I_D = \beta[(V_{GS} - V_T)V_{DS} - \frac{1}{2}V_{DS}^2], \beta = \frac{W}{L}\mu_{eff}C_{ox}$ ，此时  $W/L$  影响  $\beta$ ， $\beta$  对电流的计算有着直接的关系，故当改变  $W/L$  时，最直接的变化就是改变了电流的大小。同理在饱和区， $I_D = \frac{\beta}{2}[(V_{GS} - V_T)^2], \beta = \frac{W}{L}\mu_{eff}C_{ox}$ ， $W/L$  的变化也会间接影响饱和区的最大电流值。

## 5. 实验总结

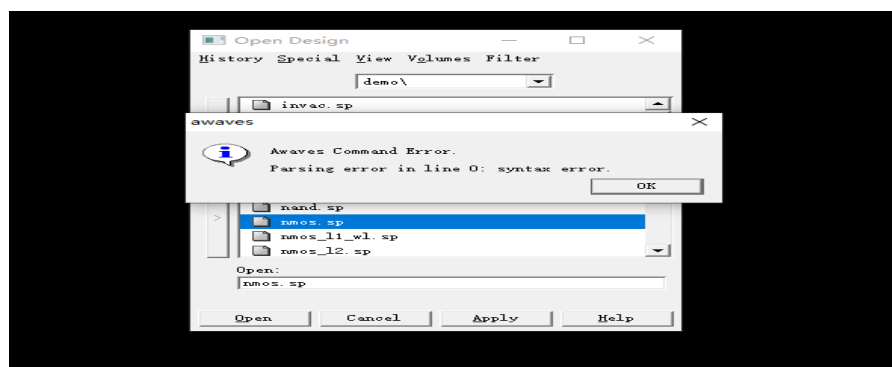
### 5.1 实验中遇到的问题与解决办法

1. 问题 1：软件破解不成功，无法将生成的破解码保存。



解决方案：同学发现了是破解的时间区间有限制，故在破解时将时间修改在时间范围内，我选择的是 2008 年，其余按照安装步骤一步步破解即可。需要注意的是，每次使用这个软件都需要修改时间。

2. 问题 2：使用 Hspui 对网表仿真后，无法打开 AvansWaves 软件对结果进行曲线绘制，报错如下：



解决方案：存放网表文件的目录下不能出现中文，将网表所在路径修改为英文即可绘制曲线。

### 5.2 实验收获与不足

本次实验用了两次实验课的时间，第一次实验课主要是安装软件，说实话在安装软件上花费了较多的时间，先是在自己的电脑上安装，由于无法破解，又重新在虚拟机中装了 win7 的系统，再次安装，还是失败了。课堂上，发现了是时

间的问题，修改后前前后后安装了几次终于装好了。安装这次也启示自己，有时候需要有耐心，遇到问题时先仔细去寻找原因，而不是放弃不做。第二次实验课，开始学习 HSPICE 的语法知识，参考 NMOS 的实现网表，修改网表对 PMOS 进行仿真，也做了不同精度下的仿真对比，对 MOS 管的导通原理有了进一步的理解，同时对一些内容做了探究性的学习验证。

不足：实验前没有进行充足的准备，对 HSPICE 语法知识不熟悉，仿真过程中经常出错。但经过了 2 次实验课，也逐渐熟悉了网表的编写规则，掌握了基本的仿真流程。

### 5.3 其它感想（欢迎吐槽）

无。