

# 반도체 기억장치

### 2 반도체 기억 장치

- 반도체 메모리는 다양한 관점으로 분류할 수 있으나 대표적으로 쓰기 기능, 휘발성/비휘발성, 재사용 여부, 기억 방식 등에 따라 분류한다.
- 읽기와 쓰기를 모두 수행할 수 있는 메모리를 RWM(Read and Write Memory), 읽기만 가능한 메모리를 ROM이라고 한다. 일반적으로 RAM은 RWM 메모리를 가리킨다.

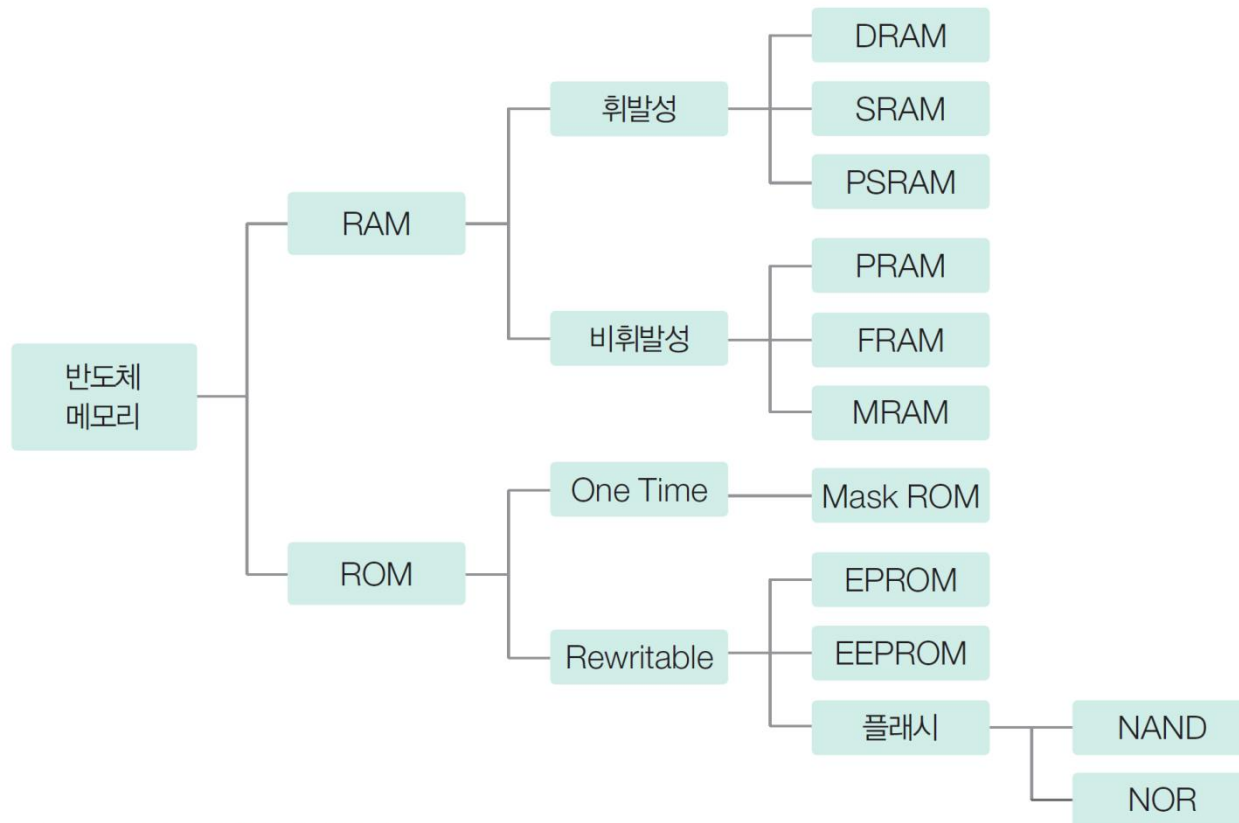


그림 6-7 반도체 메모리의 분류

## 02 반도체 기억 장치

### ❖ RAM

- 전원이 꺼지면 저장 내용이 지워지는 휘발성 메모리

표 6-2 DRAM, SRAM, PSRAM의 특성

구분	특성
DRAM	2진 정보를 커패시터에 공급되는 전하 형태로 보관한다. 커패시터에 사용되는 전하는 시간이 경과하면 방전되므로 일정한 시간 안에 재충전 <sub>refresh</sub> 해야 한다.
SRAM	2진 정보를 저장하는 플립플롭으로 구성되며, 저장된 정보는 전원이 공급되는 동안 보존된다.
PSRAM	DRAM과 SRAM의 장점을 취한 SRAM처럼 보이는 DRAM이다. 하드웨어적으로 충전하는 회로가 DRAM에 포함되어 있으므로 사용자는 SRAM처럼 사용할 수 있다. Pseudo SRAM

### ❖ 차세대 메모리

- 비휘발성이고 고속으로 데이터를 액세스 가능

표 6-3 PRAM, FRAM, MRAM의 특성

구분	특성
PRAM	상 <sub>phase</sub> 변화를 일으키는 물질을 이용한다. 고속이고 고집적화가 가능하지만 쓰기 시간이 길다.
FRAM	강유전체의 분극 특성을 이용한다. 고속이고 저전력으로 구성할 수 있으나 내구성이 취약하다.
MRAM	자성체를 이용한다. 고속이고 내구성이 좋으나 제조 비용이 상대적으로 높다.

### □ ROM(Read Only Memory)

- 저장된 데이터를 읽을 수는 있으나, 별도의 장치 없이는 변경할 수 없다.
- 변경할 필요가 없는 프로그램이나 데이터를 저장하는 데 사용된다.
- 컴퓨터 시스템에서는 RAM과 함께 주기억 장치의 일부분으로 ROM을 사용하고 있다.

- 시스템 초기화 프로그램 및 진단 프로그램
- 빈번히 사용되는 함수 및 서브루틴
- 제어 장치의 마이크로 프로그램

### ❖ ROM의 기본 구조

- ROM은 AND 게이트와 OR 게이트로 구성된 조합 논리 회로다.
- AND 게이트는 디코더를 구성하고 OR 게이트는 디코더의 출력인 최소항을 합하므로 OR 게이트의 수는 ROM의 출력선의 수와 같다.

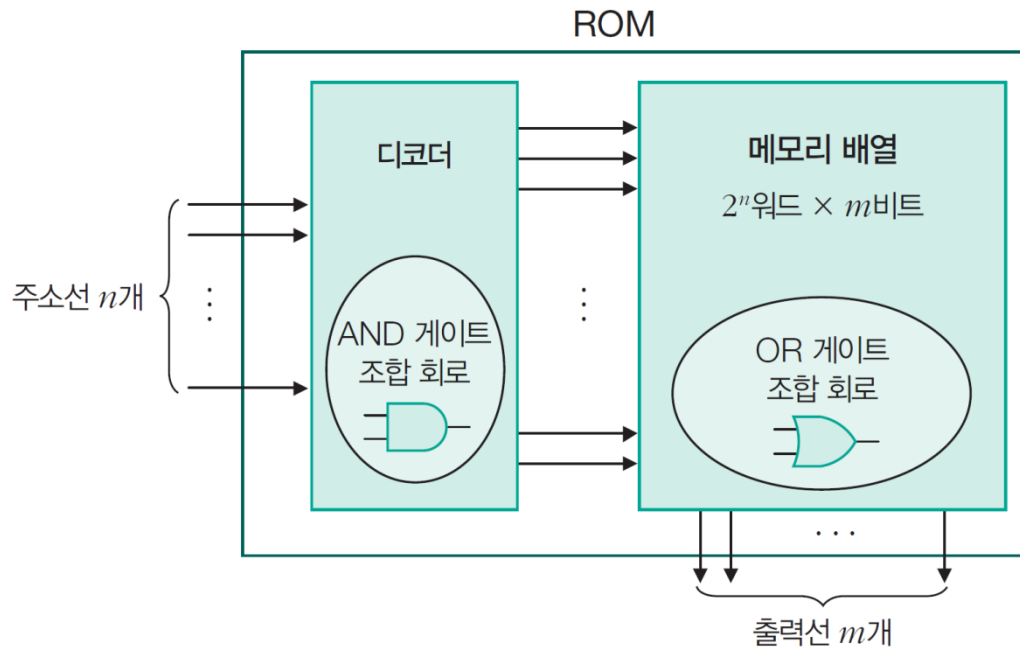


그림 6-8 ROM의 기본 구조

## 02 반도체 기억 장치

### ❖ 32×4 ROM의 내부 논리 구조

- 5비트 주소가 입력되어 출력 32개 중 하나만 활성화된다.
- 디코더의 출력 32개가 각각 퓨즈로 연결되어 OR 게이트에 입력되므로 내부 퓨즈는  $32 \times 4 = 128$ 개다.
- 퓨즈를 통해 연결된 입력은 프로그램으로 절단할 수 있다.

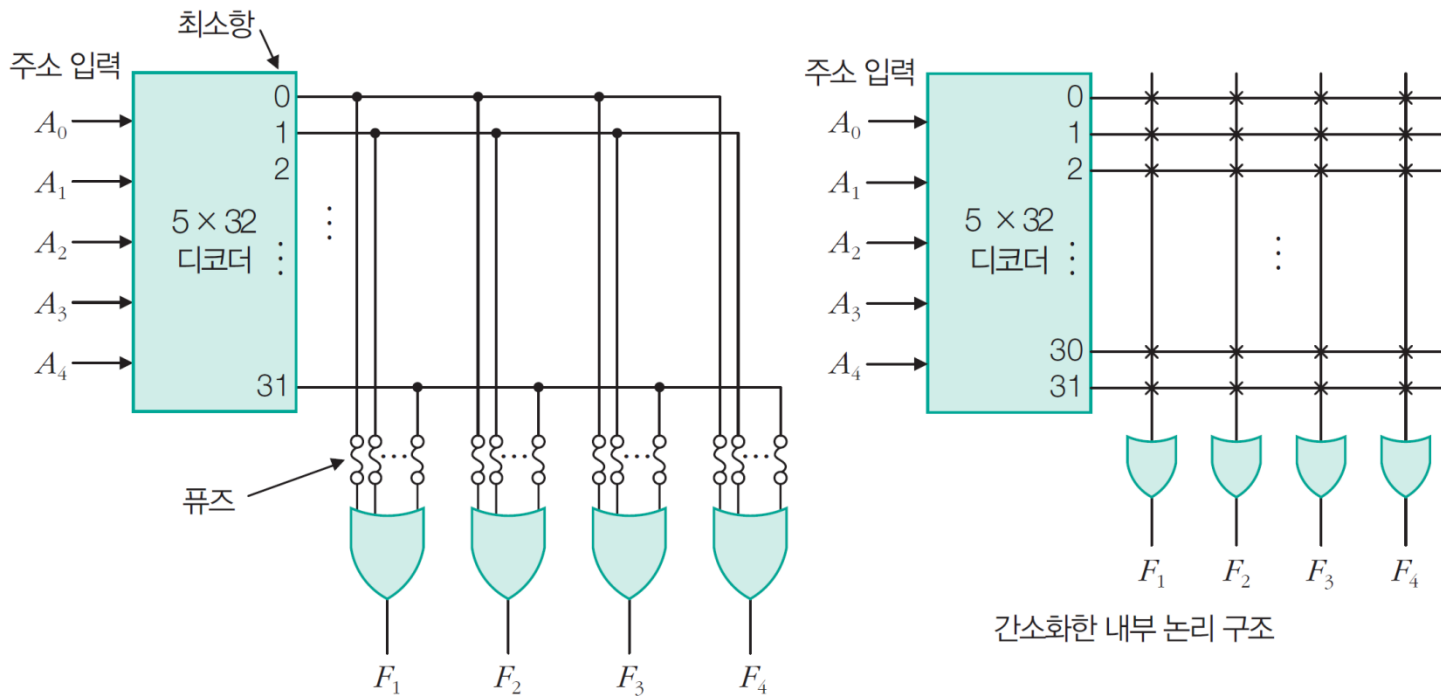


그림 6-9 32×4 ROM의 내부 논리 구조

### ❖ 1Kbyte ROM 블록도

- 8비트로 구성된 기억 장소들이  $1024(=2^{10})$ 개가 배열된 경우이므로 주소선이 10개 필요
- $\overline{RD}$ 는 읽기 신호로, ROM은 읽기만 가능하기 때문에  $\overline{RD}$  신호만 있으면 된다.
- 칩 여러 개로 구성된 기억 장치에서는 칩 선택 신호  $\overline{CS}$ 로 칩이 선택된다.
- $\overline{CS}$ 와  $\overline{RD}$  신호가 활성화되면 주소가 지정하는 기억 장소에서 데이터를 읽어 데이터 버스에 실는다.
- 대부분의 ROM은 데이터 출력선이 8개인 구조를 사용하며, 용량도 바이트 단위로 표시한다.
- $\overline{CS}$ 와  $\overline{RD}$  신호는 0일 때 활성화되는 active-low 신호를 가정했다.

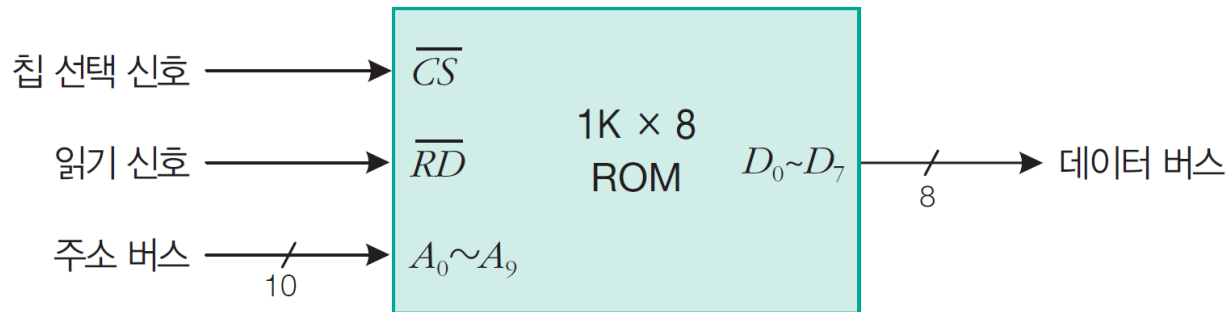
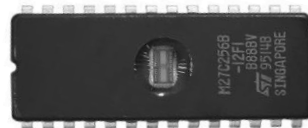


그림 6-10 1Kbyte ROM의 블록도

### ❖ ROM의 종류

마스크 ROM (mask ROM)	<ul style="list-style-type: none"><li>• 제조 과정에서 데이터를 영구적으로 저장하며, 저장된 것은 절대 변경할 수 없다.</li><li>• 동일한 형태가 대량으로 필요할 때는 Mask ROM이 경제적이다.</li></ul>
PROM (programmable ROM)	<ul style="list-style-type: none"><li>• 사용자가 ROM 라이터를 이용하여 프로그램을 할 수 있다.</li><li>• 일단 프로그램을 하면 퓨즈의 연결 형태가 그대로 유지되며, 변경할 수 없다.</li></ul>
EPROM (erasable PROM)	<ul style="list-style-type: none"><li>• 퓨즈가 절단되어도 모든 퓨즈들이 절단되지 않은 초기 상태로 복원할 수 있는 ROM이다.</li><li>• 복원하는 과정은 일정 시간 자외선을 쬔이면 된다.</li></ul>
EEPROM (electrically EPROM)	<ul style="list-style-type: none"><li>• EPROM과 같으나, 복원 과정에서 자외선 대신에 전기 신호를 사용하여 지우는 PROM이다.</li></ul>



EPROM(UVEPROM)

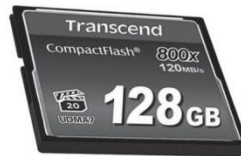


### ❖ 플래시메모리(flash memory)

- 플래시메모리는 블록 단위로 읽기 · 쓰기 · 지우기가 가능한 EEPROM의 한 종류
- 비휘발성 ROM의 장점과 정보의 입출력이 자유로운 RAM의 장점을 동시에 지닌 반도체 메모리
- 속도가 빠르며 전력소모가 적고, CD나 DVD처럼 드라이브를 장착해야 하는 번거로움이 없다.
- 2001년부터 USB 드라이브, thumb 드라이브라는 이름으로 소개되었으며, 이후 디지털 캠코더, 휴대폰, 디지털 카메라 등의 휴대용 디지털 기기에 사용되면서 사용량이 급격히 증가하였다.
- 반도체 칩 내부의 전자회로 형태에 따라 **NAND 플래시**와 **NOR 플래시**로 나뉜다.
- NAND 플래시는 대용량화에 유리하고 쓰기 및 지우기 속도가 빠르다.
- NOR 플래시는 읽기 속도가 빠른 장점을 갖고 있다.



(a) USB 메모리



(b) CF 카드



(c) SMC



(d) XD 픽처 카드



(e) MMC



(f) SD 카드



(g) MSMemory Stick

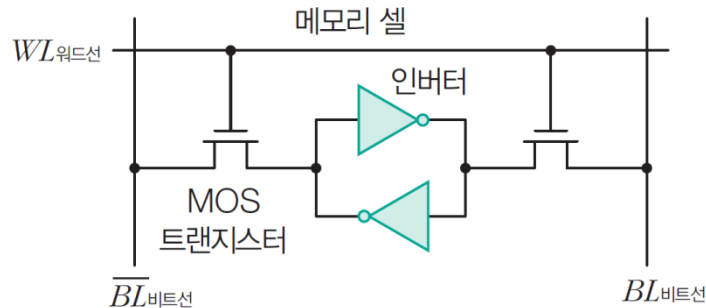
그림 6-11 플래시 메모리를 응용한 제품군

### □ RAM(random access memory)

- RAM은 휘발성이어서 사용하려면 전원을 계속 공급해야 하므로 일시적인 저장 장치로만 활용된다.
- RAM은 데이터의 읽기와 쓰기가 모두 가능하다.
- 임의 액세스 방식을 사용해 CPU가 지정하는 주소에 있는 정보를 직접 액세스할 수 있어 메모리의 위치에 관계없이 액세스 시간이 동일하다.
- **SRAM**은 플립플롭을 사용해 정보를 저장하지만, **DRAM**은 커패시터에 전하를 충전하는 방식으로 정보를 저장한다.

### ❖ SRAM의 메모리 셀 구조 및 동작

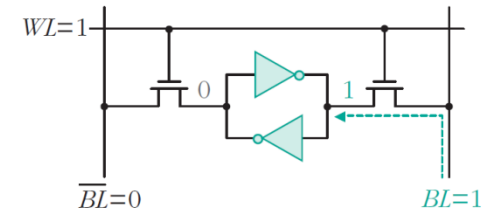
- 주소선으로 메모리 셀이 선택되면 해당 메모리 셀의 워드선(WL)에는 논리 1이 입력된다.
- 읽기와 쓰기는 비트선(BL)을 통해 이루어지므로  $WL=1$ 로 하면 MOS 트랜지스터 2개가 on이 되고,  $BL=1, \overline{BL}=0$ 으로 하면 비트선  $BL=1$ 이 플립플롭으로 전송되어 비트 1이 저장된다.
- 또  $BL=0, \overline{BL}=1$ 하면 비트선  $BL=0$ 이 플립플롭으로 전송되어 비트 0이 저장된다.



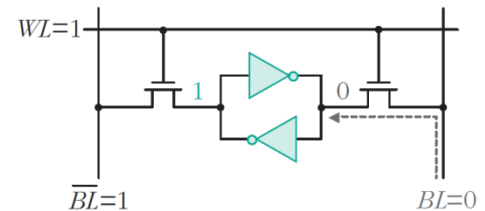
(a) SRAM

그림 6-12 RAM의 메모리 셀 구조

SRAM 셀의 쓰기 동작



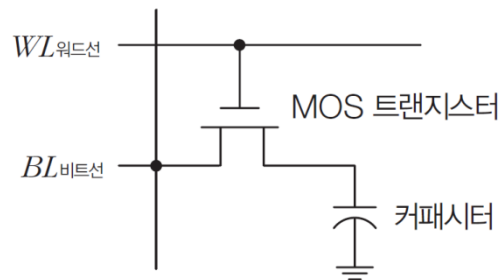
(a) 1을 저장



(b) 0을 저장

### ❖ DRAM의 메모리 셀 구조 및 동작

- MOS 트랜지스터는 스위치로 동작하며, 커패시터에 저장된 전하의 유무에 따라 정보를 저장한다.
- 워드선은 주소선에 연결되고, 비트선은 데이터선에 연결된다.
- $WL=1$ 이면 MOS 트랜지스터는 on되는데, 이때  $BL=1$ 이면 커패시터에는 전하가 충전되어 논리 1이 저장된다. 반면  $BL=0$ 이면 커패시터에는 충전되지 않으므로 논리 0이 저장된다.
- 커패시터는 방전되므로 DRAM은 데이터의 저장 상태를 유지하기 위해 주기적으로 재충전(refresh)해야 한다.



(b) DRAM

그림 6-12 RAM의 메모리 셀 구조

### ❖ SRAM과 DRAM의 특징 비교

표 6-4 SRAM과 DRAM의 특징 비교

구분	SRAM	DRAM
구성 소자	플립플롭	커패시터
집적도	낮음	높음
전력 소모	많음	적음
동작 속도	빠름	느림
가격	고가	저가
재충전 여부	필요 없음	필요함
용도	캐시	주기억 장치

### 예제 6-2

내부적으로  $1K \times 1K$  정방향 배열로 구성된  $1M \times 1$  DRAM에서 충전으로 발생하는 대역폭 손실은 얼마인가? 단, 행 하나를 충전하는 데  $100ns$ 가 소요되며, 데이터 유실을 막기 위해 최소한  $10ms$ 마다 재충전해야 한다.

### 풀이

$1K \times 1K$  정방향 배열이므로  $1K$ 비트로 구성된 열이  $1K$ 개 존재한다. 한 번에 하나의 행을 재충전할 수 있으므로 전체 메모리 배열을 충전하는 데  $1K \times 100ns = 0.1ms$ 가 걸린다. 따라서  $10ms$ 마다 재충전하기 위해  $0.1ms$ 를 사용해야 하므로 전체 대역폭의  $1\% (=0.1/10)$ 만큼 손실이 발생한다. 행의 수가 많아지면 대역폭 손실은 커질 것이다.

---

End of Example

## 02 반도체 기억 장치

### ❖ SRAM의 내부 구조와 원리(4×4 SRAM)

- 4비트로 이루어진 4개의 기억 장소들로 구성 (실재 존재하지 않으며, 설명의 편의상 사용)
- 주소 비트 수 = 2, 데이터 데이터 입출력 선의 수 = 4
- $\overline{CS} = 0$ 이면 주소 입력  $A_1, A_0$  값에 따라 워드 4개 중 하나가 선택된다.
- $R/\overline{W}=1$ 이면 읽기, 0이면 쓰기

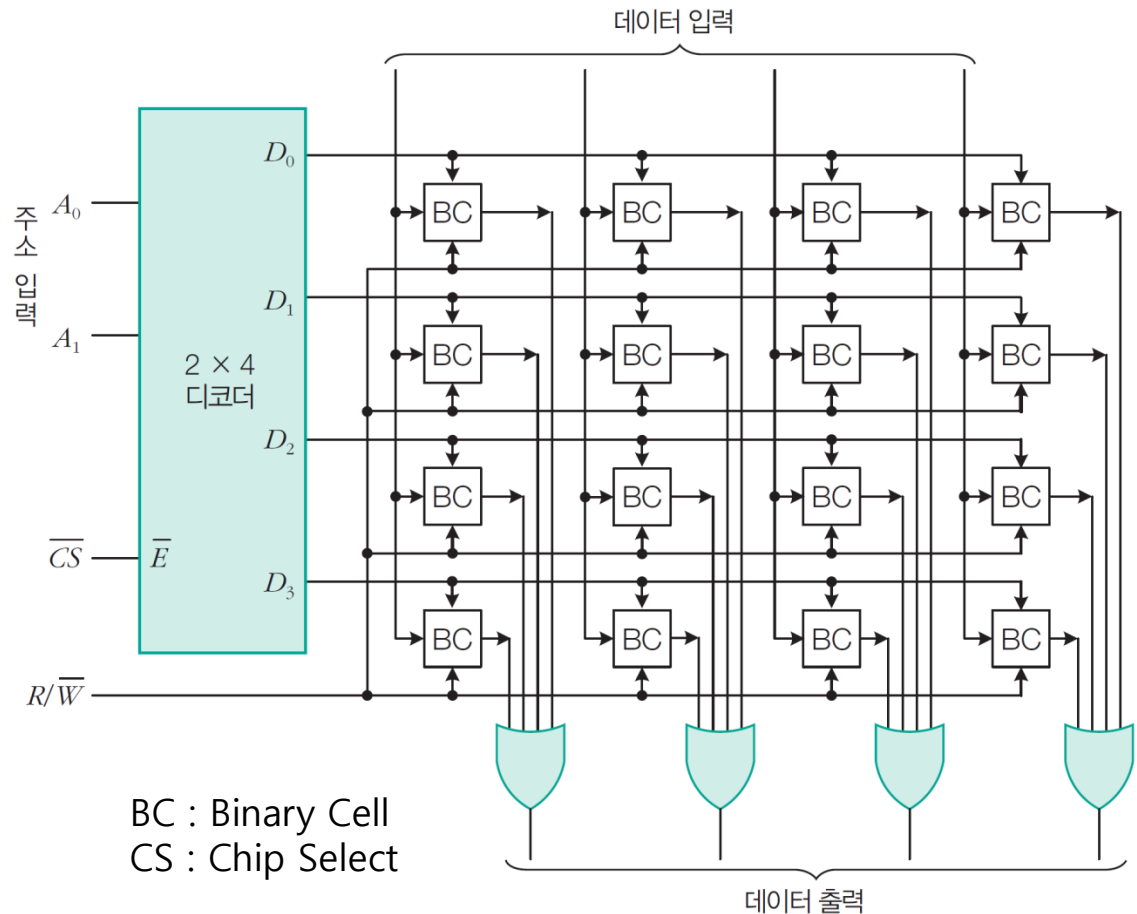
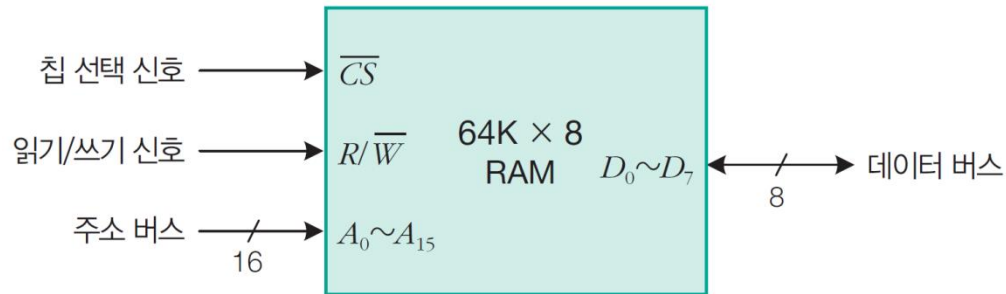


그림 6-13 4×4 SRAM의 기본 구조

## 02 반도체 기억 장치

### ❖ 64Kbyte RAM의 블록도

- 64K×8bit는 8비트로 된 기억 장소들이 64K( $=2^{16}$ )개 배열된 경우이므로 주소선은 16개 필요하다.
- 데이터 선은 8개 필요하다.
- $\overline{CS}=1$ 이면 제어 신호선들이나 입출력선들은 하이임피던스 상태가 된다.



(a) RAM의 블록도

$\overline{CS}$	$R/\overline{W}$	동작
1	×	선택되지 않음
0	1	읽기 동작
0	0	쓰기 동작

(b) 제어 신호에 따른 RAM의 동작

그림 6-14 64Kbyte RAM의 블록도



### 3 기억 장치 모듈의 설계

#### □ 워드 길이 확장

- 기억장치 칩의 데이터 I/O 비트 수가 워드 길이보다 적은 경우  
→ 여러 개의 칩들을 병렬로 접속하여 기억장치 모듈을 구성
- 각 칩의 주소 수는 기억 장치의 주소 수와 같은  $16(=2^4)$ 개이므로 전체 주소 공간은 0000~1111번지가 된다.

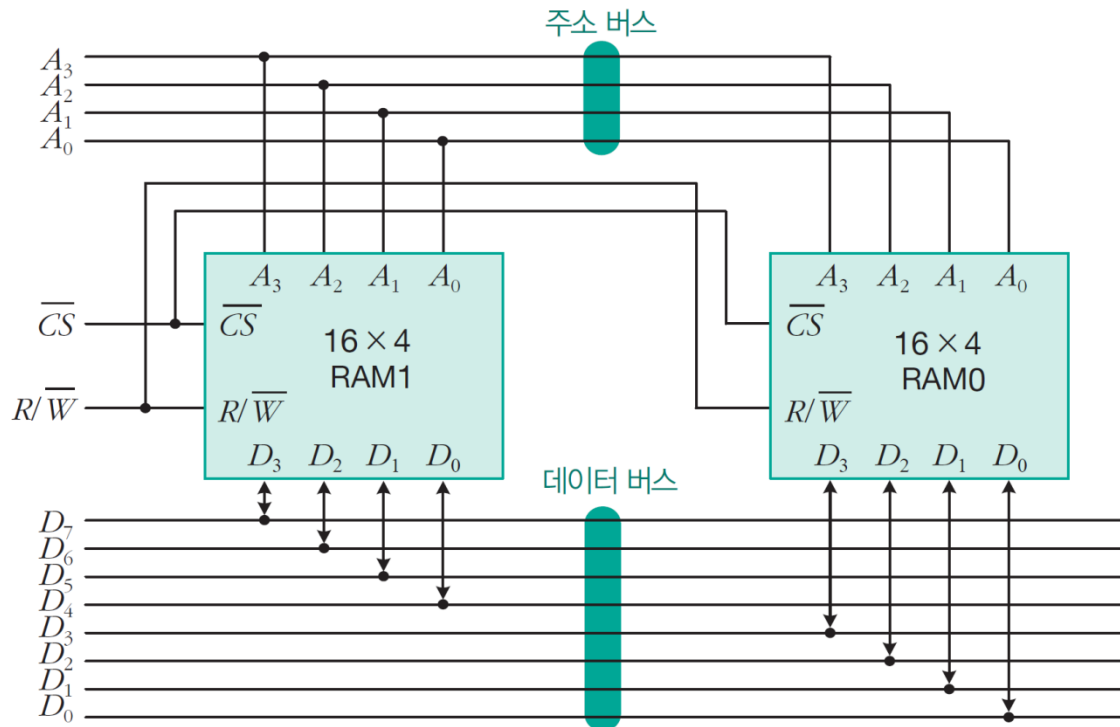
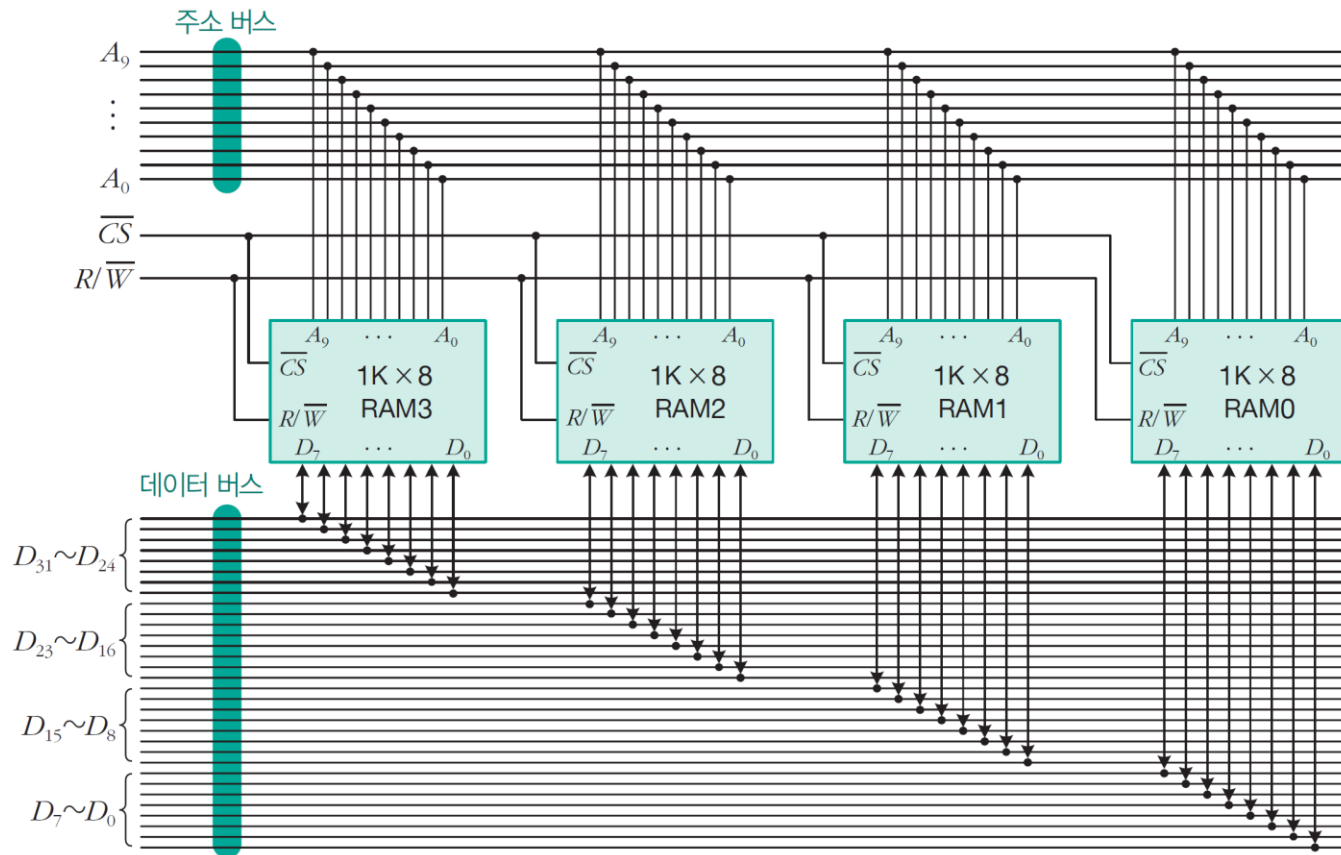


그림 6-15 워드 길이 확장( $16 \times 4$  RAM 2개를 이용해  $16 \times 8$  RAM으로 확장)

## 예제 6-3 1K×8 RAM 4개를 사용해 1K×32 RAM을 구성하여라.

### 풀이

- 주소선 10개가 사용되므로 주소 공간은 000H~3FFH( $0000000000_2 \sim 1111111111_2$ )번지다.



### □ 워드 용량 확장

- 필요한 기억장소의 수가 각 기억장치 칩의 기억장소 수보다 많은 경우  
→ 여러 개의 칩들을 직렬 접속하여 기억장치 모듈을 구성
- RAM0의 주소 공간 범위 :  $A_4A_3A_2A_1A_0 = 00000 \sim 01111$
- RAM1의 주소 공간 범위 :  $A_4A_3A_2A_1A_0 = 10000 \sim 11111$

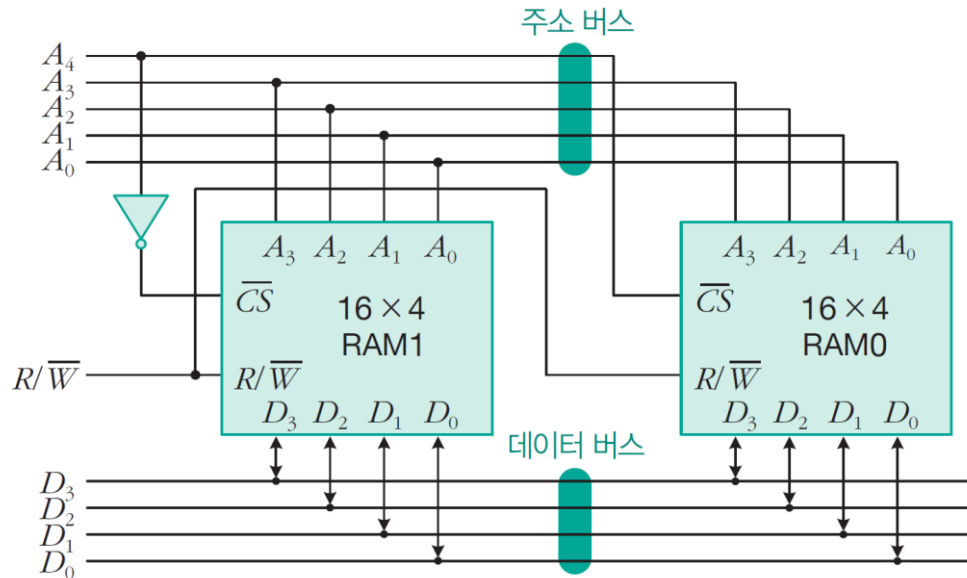


그림 6-16 워드 용량 확장(16x4 RAM 2개를 사용해 32x4 RAM으로 확장)

## 예제 6-4 1K×8 RAM 4개를 사용해 4K×8 RAM을 구성하여라.

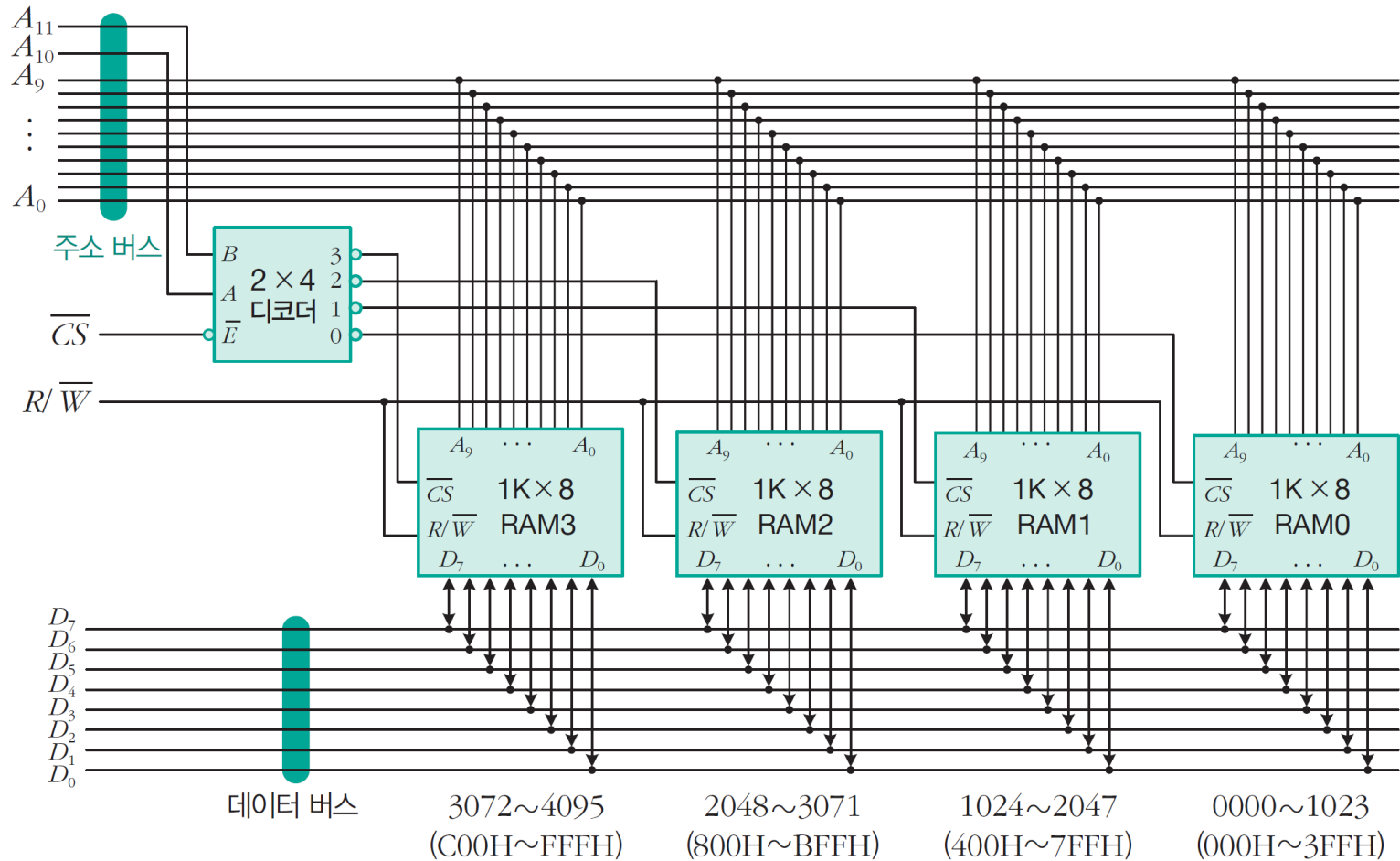
### 풀이

- 주소 비트(12개: A11~A0) 접속 방법
  - 상위 2비트(A11,A10) : 주소 해독기를 이용하여 4개의 칩 선택(chip select) 신호 발생
  - 하위 10비트 (A9~A0) : 모든 칩들에 공통으로 접속
- 전체 주소 영역 : 000H ~ FFFH
- 데이터 버스 : 모든 기억장치 칩에 공통 접속 → 한 번에 8비트씩 액세스

메모리 칩	주소 공간(16진수)	주소 비트											
		$A_{11} A_{10} A_9 A_8$				$A_7 A_6 A_5 A_4$				$A_3 A_2 A_1 A_0$			
RAM0	000H~3FFH	0	0	0	0	0	0	0	0	0	0	0	0
		0	0	1	1	1	1	1	1	1	1	1	1
RAM1	400H~7FFH	0	1	0	0	0	0	0	0	0	0	0	0
		0	1	1	1	1	1	1	1	1	1	1	1
RAM2	800H~BFFH	1	0	0	0	0	0	0	0	0	0	0	0
		1	0	1	1	1	1	1	1	1	1	1	1
RAM3	C00H~FFFH	1	1	0	0	0	0	0	0	0	0	0	0
		1	1	1	1	1	1	1	1	1	1	1	1

각 RAM에 지정되는 주소 영역

## 02 반도체 기억 장치



End of Example

## □ 8비트 CPU의 주기억 장치 설계

### ❖ 기억장치 모듈의 설계 순서

- ① 컴퓨터시스템에 필요한 기억장치 용량 결정
- ② 사용할 칩들을 결정하고, 주소 표(address map)를 작성
- ③ 세부 회로 설계

### ❖ 8-비트 CPU를 위한 기억장치의 설계

- 용량 : 1Kbyte ROM, 1Kbyte RAM
- 주소 영역 : ROM = 0번지부터, RAM = 400H 번지부터
- 사용 가능한 칩들 : 1K×8bit ROM, 256×8bit RAMs

표 6-5 간단한 주기억 장치의 메모리 맵

메모리 칩	주요 공간(16진수)	주소 비트											
		A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
ROM	000H~3FFH	0	0	×	×	×	×	×	×	×	×	×	×
RAM0	400H~4FFH	0	1	0	0	×	×	×	×	×	×	×	×
RAM1	500H~5FFH	0	1	0	1	×	×	×	×	×	×	×	×
RAM2	600H~6FFH	0	1	1	0	×	×	×	×	×	×	×	×
RAM3	700H~7FFH	0	1	1	1	×	×	×	×	×	×	×	×

# 02 반도체 기억 장치

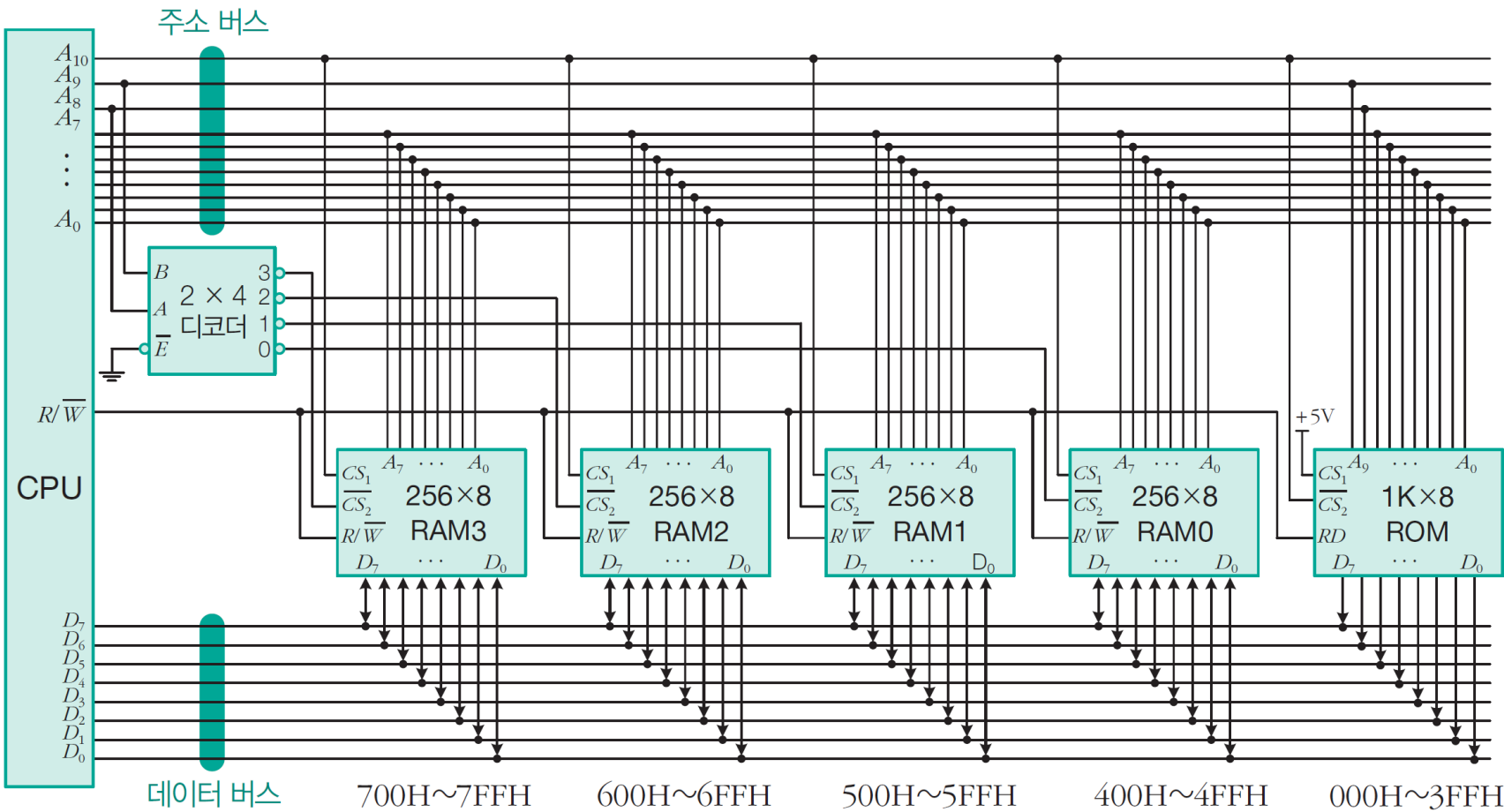


그림 6-17 8비트 CPU의 주기억 장치 설계

표 6-5 간단한 주기억 장치의 메모리 맵

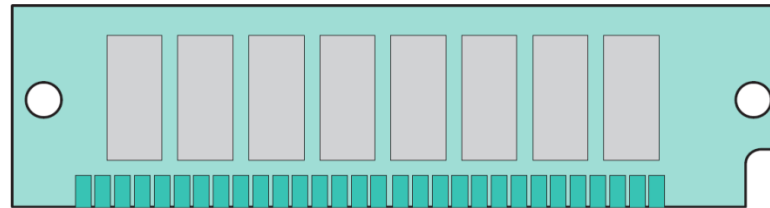
메모리 칩	주요 공간(16진수)	주소 비트											
		A <sub>11</sub>	A <sub>10</sub>	A <sub>9</sub>	A <sub>8</sub>	A <sub>7</sub>	A <sub>6</sub>	A <sub>5</sub>	A <sub>4</sub>	A <sub>3</sub>	A <sub>2</sub>	A <sub>1</sub>	A <sub>0</sub>
ROM	000H~3FFH	0	0	x	x	x	x	x	x	x	x	x	x
RAM0	400H~4FFH	0	1	0	0	x	x	x	x	x	x	x	x
RAM1	500H~5FFH	0	1	0	1	x	x	x	x	x	x	x	x
RAM2	600H~6FFH	0	1	1	0	x	x	x	x	x	x	x	x
RAM3	700H~7FFH	0	1	1	1	x	x	x	x	x	x	x	x

### □ SIMM과 DIMM

#### ❖ SIMM(Single-In-line Memory Module)

- SIMM은 30핀과 72핀 두 종류가 있다. 주요 차이점은 데이터 경로의 크기에 있다.
- SIMM의 메모리 용량은 256Kbyte에서 32Mbyte까지 다양하다.
- 일반적으로 30핀 SIMM은 8비트 데이터 버스용으로 설계되었다.
- 72핀 SIMM은 32비트 데이터 버스를 수용할 수 있으며, 64비트 데이터 버스의 경우에는 SIMM 2개가 필요하다.

(a) 30핀 SIMM



(b) 72핀 SIMM

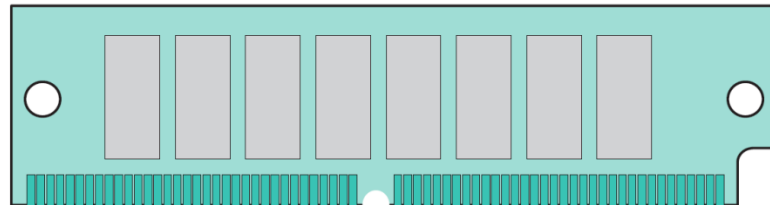


그림 6-18 30핀과 72핀 SIMM



## 02 반도체 기억 장치

### ❖ DIMM(Dual-In-line Module Memory)

- DIMM은 입력핀과 출력핀을 보드 양면에 분산시켰다.
- DIMM은 보통 72핀, 100핀, 144핀, 168핀을 가지고 있으며, 32비트와 64비트 데이터 경로를 모두 수용할 수 있다.
- 일반적으로 DIMM의 메모리 용량은 4Mbyte에서 512Mbyte이다.
- SIMM용 소켓과 DIMM용 소켓은 물론 다르며, 바꾸어서 사용할 수 없다.

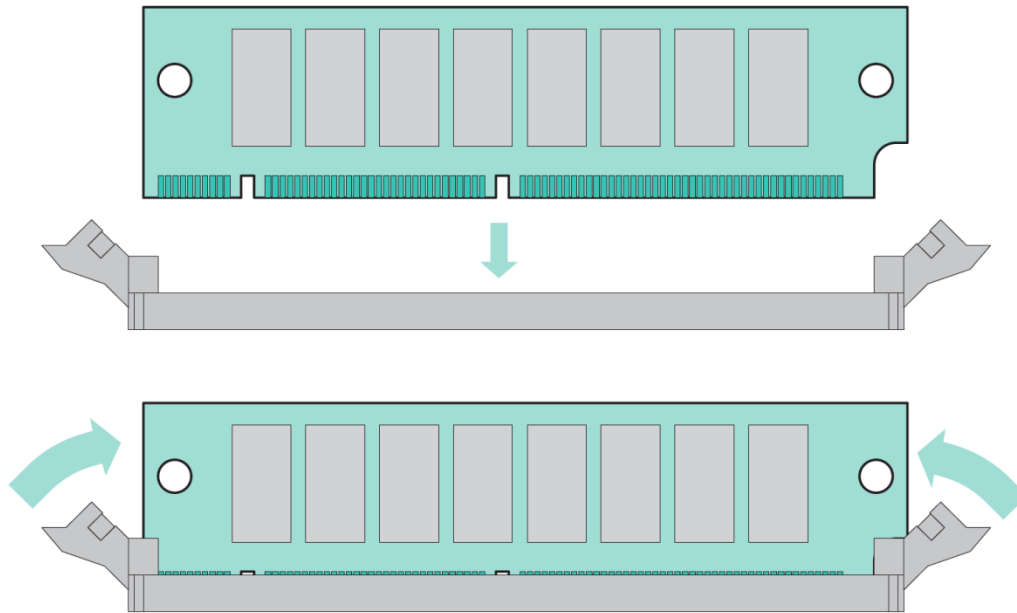
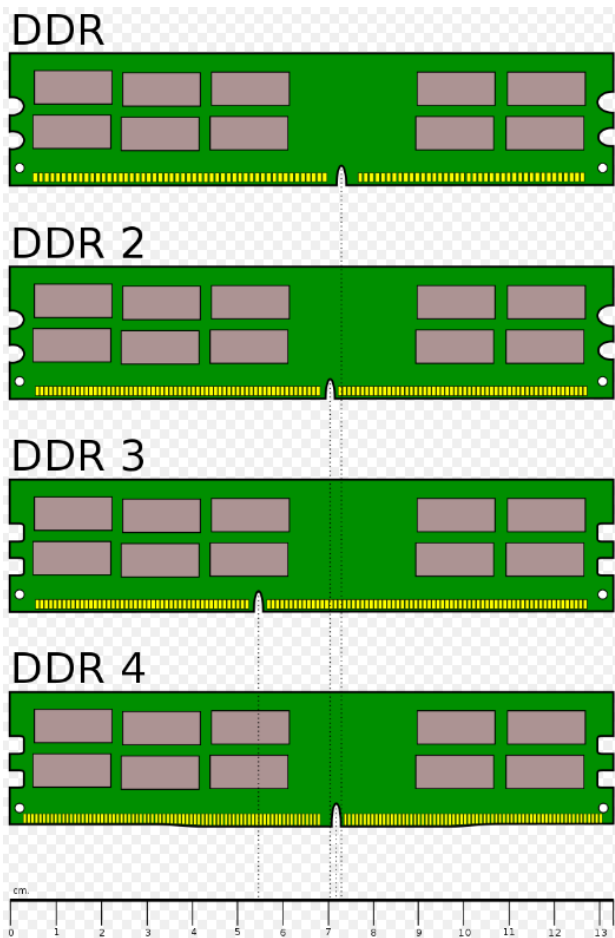


그림 6-19 DIMM의 시스템 보드 장착

# DIMM or dual in-line memory module

## Double Data Rate 3 Synchronous Dynamic Random-Access Memory



**DDR2 SDRAM DIMMs**

Chip	Module	Memory Clock	I/O Bus Clock	Transfer rate	Voltage
DDR2-400	PC2-3200	200 MHz	200 MHz	400 MT/s	1.8 V
DDR2-533	PC2-4200	266 MHz	266 MHz	533 MT/s	1.8 V
DDR2-667	PC2-5300	333 MHz	333 MHz	667 MT/s	1.8 V
DDR2-800	PC2-6400	400 MHz	400 MHz	800 MT/s	1.8 V
DDR2-1066	PC2-8500	533 MHz	533 MHz	1066 MT/s	1.8 V

**DDR3 SDRAM DIMMs**

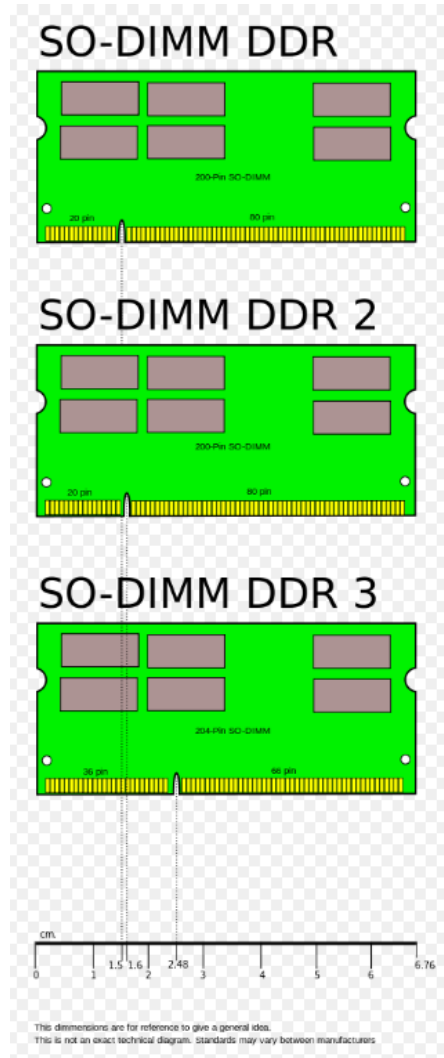
Chip	Module	Memory Clock	I/O Bus Clock	Transfer rate	Voltage
DDR3-800	PC3-6400	400 MHz	400 MHz	800 MT/s	1.5 V
DDR3-1066	PC3-8500	533 MHz	533 MHz	1066 MT/s	1.5 V
DDR3-1333	PC3-10600	667 MHz	667 MHz	1333 MT/s	1.5 V
DDR3-1600	PC3-12800	800 MHz	800 MHz	1600 MT/s	1.5 V
DDR3-1866	PC3-14900	933 MHz	933 MHz	1866 MT/s	1.5 V
DDR3-2133	PC3-17000	1066 MHz	1066 MHz	2133 MT/s	1.5 V
DDR3-2400	PC3-19200	1200 MHz	1200 MHz	2400 MT/s	1.5 V

**DDR4 SDRAM DIMMs**

Chip	Module	Memory Clock	I/O Bus Clock	Transfer rate	Voltage
DDR4-1600	PC4-12800	800 MHz	800 MHz	1600 MT/s	1.2 V
DDR4-1866	PC4-14900	933 MHz	933 MHz	1866 MT/s	1.2 V
DDR4-2133	PC4-17000	1066 MHz	1066 MHz	2133 MT/s	1.2 V
DDR4-2400	PC4-19200	1200 MHz	1200 MHz	2400 MT/s	1.2 V
DDR4-2666	PC4-21300	1333 MHz	1333 MHz	2666 MT/s	1.2 V
DDR4-3200	PC4-25600	1600 MHz	1600 MHz	3200 MT/s	1.2 V

MT/S : Mega Transfer/Sec

SO-DIMM, SODIMM, or small outline dual in-line memory module





Thank You

---