

순서논리회로

(Sequential logic circuit)

1 순서 논리 회로의 개요

- 조합 논리 회로(combinational logic circuit) : 이전 입력 값에 관계없이 현재 입력 값에 따라 출력이 결정
- 순서 논리 회로(sequential logic circuit) : 현재의 입력 값과 이전 출력 상태에 따라 출력 값이 결정

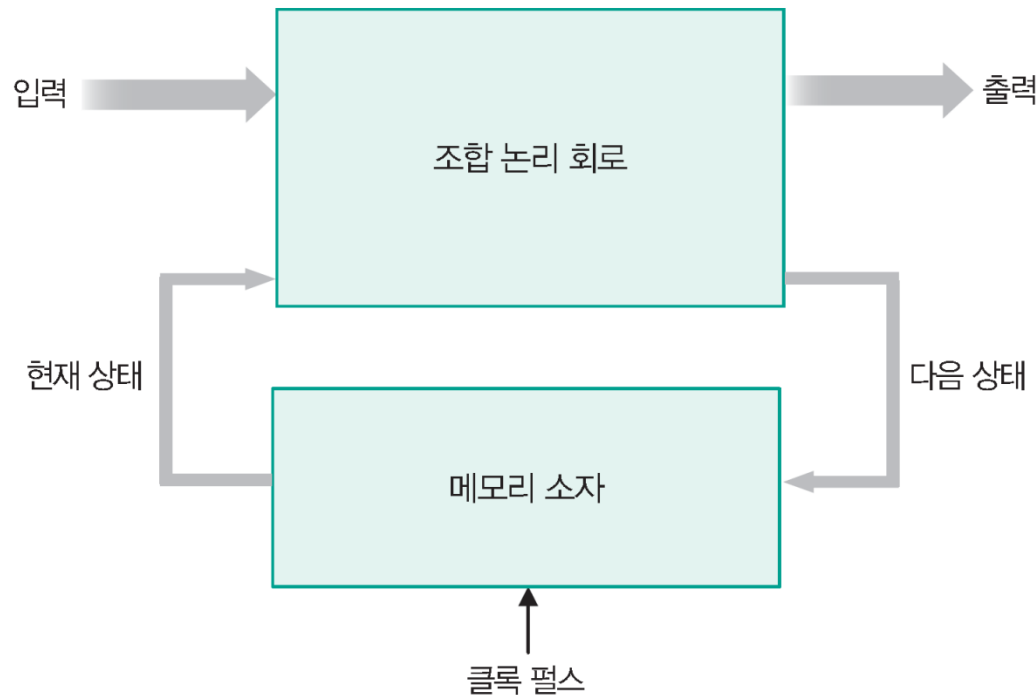


그림 3-62 순서 논리 회로의 구성

04 순서 논리 회로

❖ 순서 논리 회로의 특징

- 순서 논리 회로의 출력은 외부에서 들어온 입력과 이전 출력 상태에 따라 결정된다. 이러한 동작은 클록 펄스가 들어올 때마다 반복해서 일어난다.
- 순서 논리 회로는 기억 기능(플립플롭)이 있다.
- 대표적인 순서 논리 회로에는 플립플롭, 카운터, 레지스터 등이 있다.

□ 클록 펄스

- 플립플롭(flip-flop)은 클록 펄스(Clock Pulse, CP)라는 제어 입력을 가지며, 출력은 클록 펄스에 동기되어 변하고 이러한 변화를 트리거(trigger)되었다고 한다.
- 상승에지(positive edge), 하강에지(negative edge)

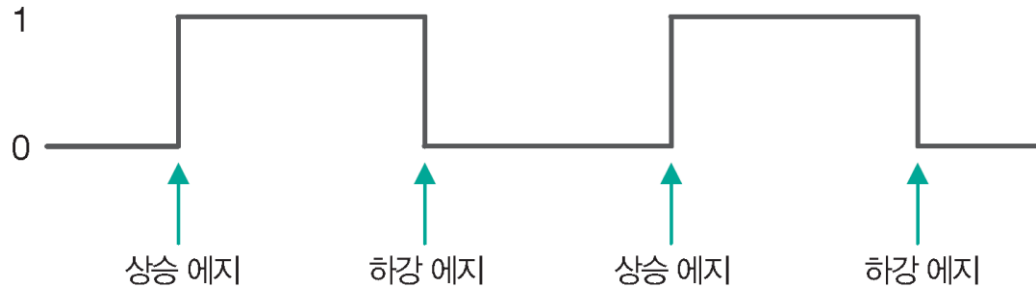
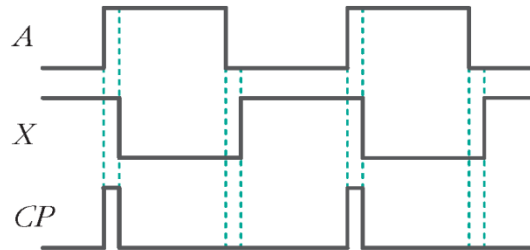
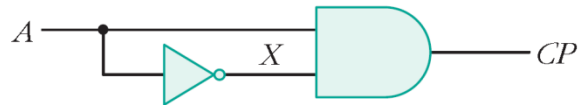


그림 3-63 클록 펄스의 형태

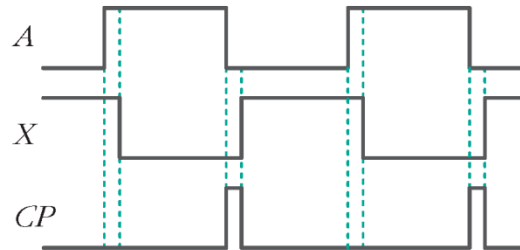
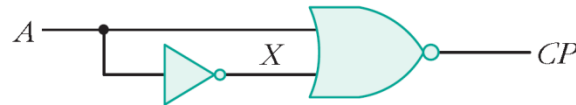
04 순서 논리 회로

❖ 펄스 전이 검출기

- 실제 회로에서 클록 펄스는 상승 에지나 하강 에지에서 순간적으로 1이 되는 날카로운 파형을 만들어 플립플롭을 동작시키는데, 이 파형을 에지 트리거(edge trigger)라고 한다.
- 클록 펄스(구형파)로 에지 트리거를 만들려면 **펄스 전이 검출기**가 필요하다



(a) 상승 에지 트리거



(b) 하강 에지 트리거

그림 3-64 펄스 전이 검출기 구조

□ 플립플롭의 종류

❖ 플립플롭의 특징

- 플립플롭은 1비트의 정보를 기억할 수 있는 기억 소자다.
- 플립플롭은 제어 입력인 클록 펄스가 있으며 다음 클록 펄스가 들어올 때까지 현재 상태를 유지한다.
- 플립플롭은 Q 와 \bar{Q} 로 표시된 출력이 2개 있으며 Q 와 \bar{Q} 의 상태는 서로 보수가 되어야 정상 상태가 된다.
- 플립플롭은 RAM의 구성 요소로도 사용된다.
- 플립플롭에는 SR 플립플롭, JK 플립플롭, D 플립플롭, T 플립플롭이 있다.

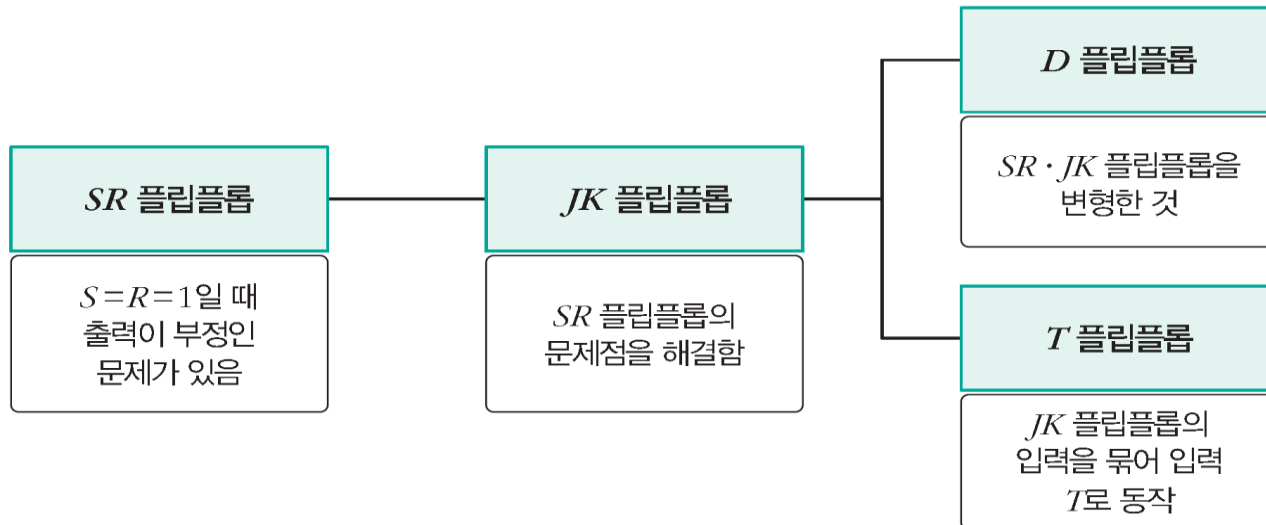
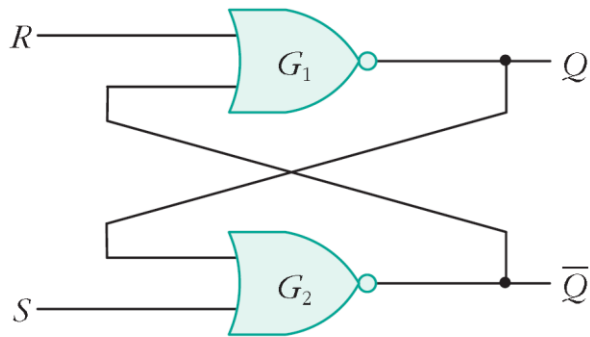


그림 3-65 플립플롭의 종류

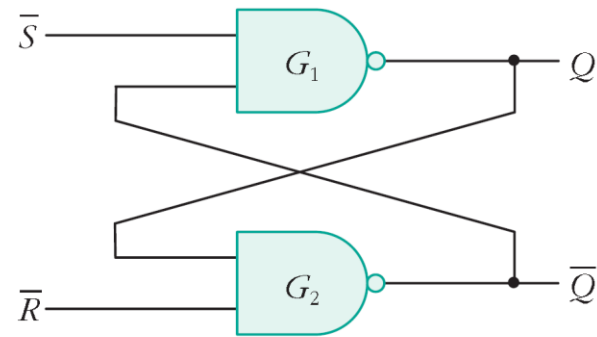
2 플립플롭

□ SR 래치



S	R	$Q(t+1)$
0	0	$Q(t)$ (불변)
0	1	0
1	0	1
1	1	부정

(a) NOR 게이트로 구성



\bar{S}	\bar{R}	$Q(t+1)$
0	0	부정
0	1	1
1	0	0
1	1	$Q(t)$ (불변)

(b) NAND 게이트로 구성

그림 3-66 SR 래치의 논리 회로와 진리표

SR Latch with NOR gates

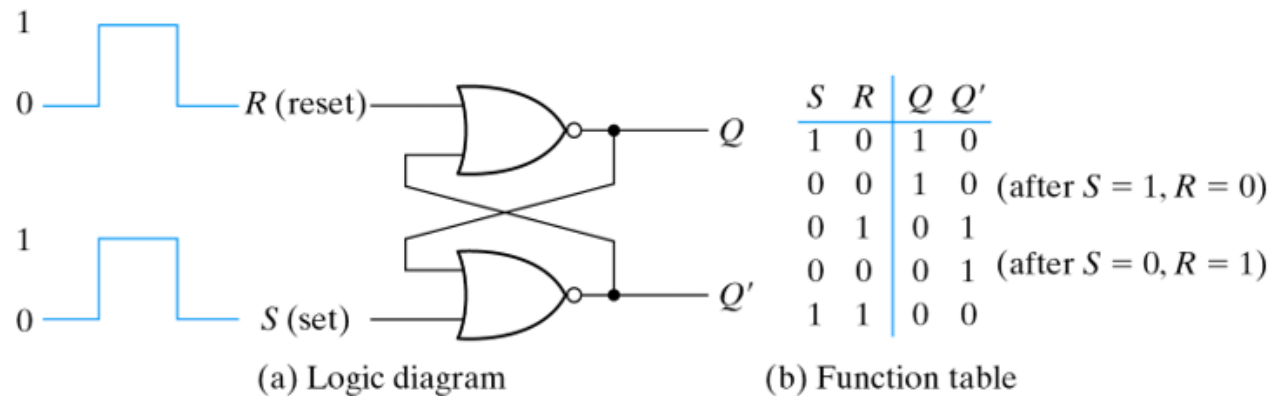
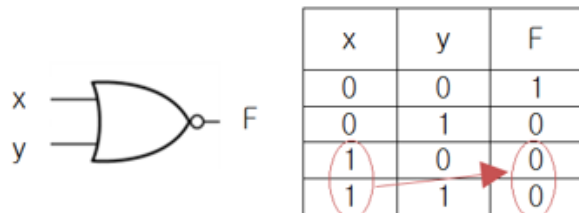


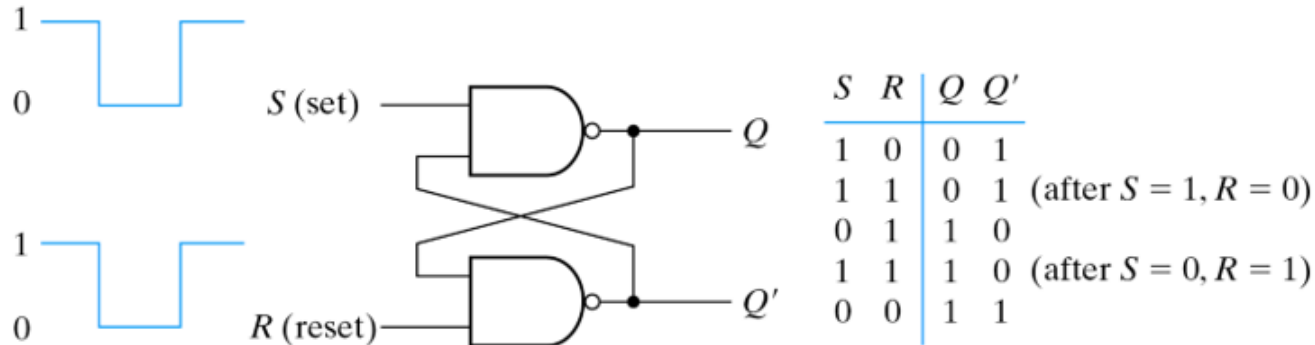
Fig. 5-3 SR Latch with NOR Gates

undefined



NOR Gate는 한쪽 입력(x)이 1이면 다른 입력 값(y)에 관계없이 출력(F)이 0이 된다. 이것을 이용하여 S(Set)가 1이라 가정하고 위의 그림의 해석을 시작한다.

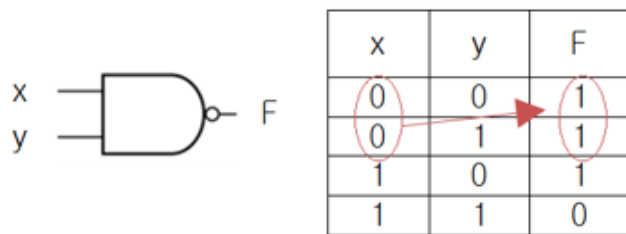
SR Latch with NAND gates



(a) Logic diagram

(b) Function table undefined

Fig. 5-4 SR Latch with NAND Gates



NAND Gate는 한쪽 입력(x)이 0이면 다른 입력 값(y)에 관계없이 출력(F)이 1이 된다. 이것을 이용하여 R(Reset)이 0이라 가정하고 위의 그림의 해석을 시작한다.

□ SR 플립플롭

- SR 플립플롭 : 클록 펄스가 있을 때만 동작하는 SR 래치를 의미
- 클록 펄스는 **상승 에지 트리거 신호**가 입력된 경우다.

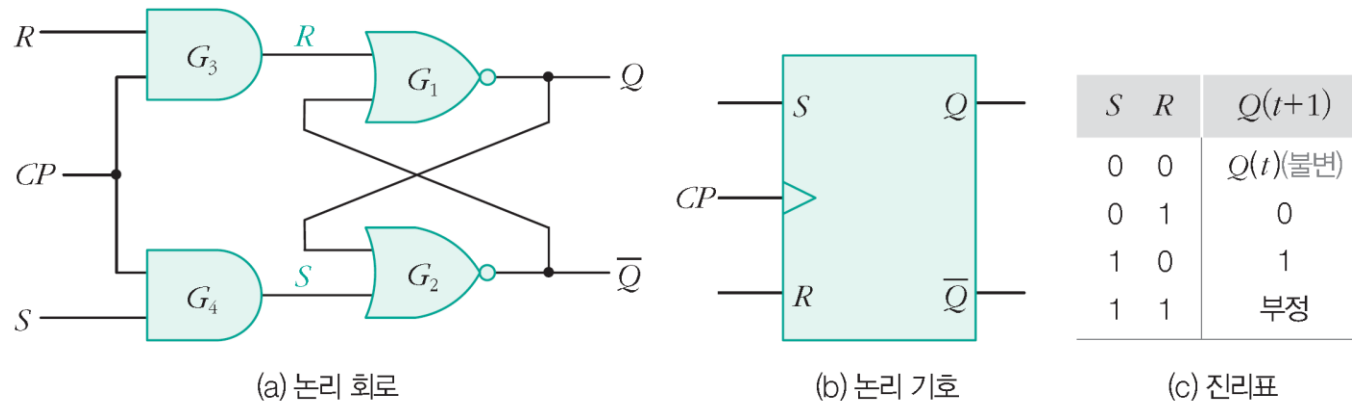


그림 3-67 SR 플립플롭의 구조

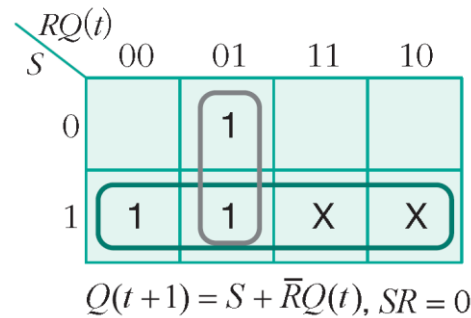
$CP=0$ 인 경우	S 와 R 의 입력에 관계없이 앞단의 AND 게이트 G_3 과 G_4 의 출력이 항상 0이므로 플립플롭의 출력은 불변
$CP=1$ 인 경우	S 와 R 의 입력이 회로 후단의 NOR 게이트 G_1 과 G_2 의 입력으로 전달되어 SR 래치와 같은 동작을 수행

04 순서 논리 회로

❖ SR 플립플롭의 특성표 및 특성 방정식

S	R	$Q(t)$	$Q(t+1)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	부정
1	1	1	부정

(a) 특성표



(b) 특성 방정식

SR=0을 포함한 이유 :
S=R=1인 경우는 허용될 수 없음을
나타냄

그림 3-68 SR 플립플롭의 특성표와 특성 방정식

□ D 플립플롭

- SR 플립플롭에서 원하지 않는 상태($S=R=1$)를 제거하는 한 가지 방법
- SR 플립플롭을 변형한 것
- 입력신호 D 가 CP 에 동기되어 그대로 출력에 전달되는 특성을 가지고 있음
- D 플립플롭이라는 이름은 데이터(Data)를 전달하는 것과 지연(Delay)하는 역할에서 유래

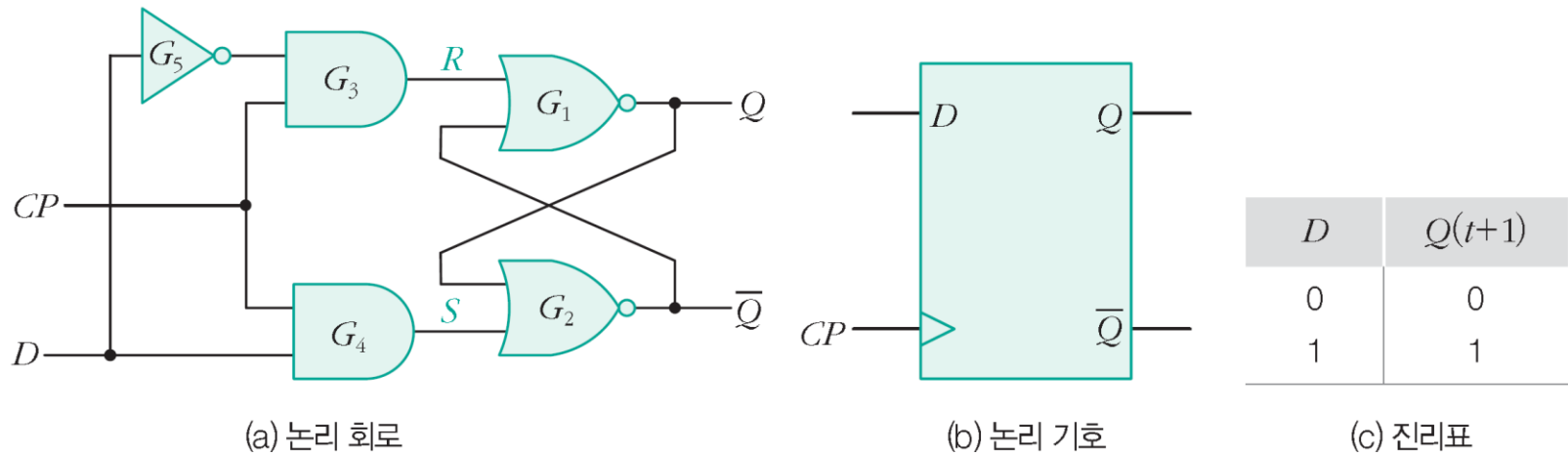


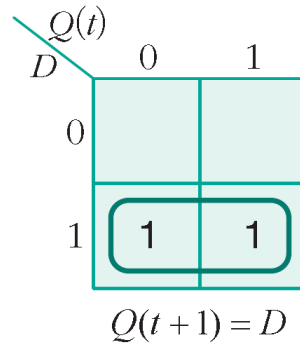
그림 3-69 D 플립플롭의 구조

$CP=1, D=1$	G_3 의 출력은 0, G_4 의 출력은 1이 된다. 따라서 SR 래치의 입력은 $S=0, R=1$ 이 되므로 결과적으로 $Q=1$ 을 얻는다.
$CP=1, D=0$	G_3 의 출력은 1, G_4 의 출력은 0이 된다. 따라서 SR 래치의 입력은 $S=1, R=0$ 이 되므로 결과적으로 $Q=0$ 을 얻는다.

❖ D 플립플롭의 특성표 및 특성 방정식

D	$Q(t)$	$Q(t+1)$
0	0	0
0	1	0
1	0	1
1	1	1

(a) 특성표



(b) 특성 방정식

그림 3-70 D 플립플롭의 특성표와 특성 방정식

□ JK 플립플롭

- JK 플립플롭은 SR 플립플롭에서 $S=1, R=1$ 인 경우 출력이 불안정한 상태가 되는 문제점을 개선하여 $S=1, R=1$ 에서도 동작하도록 개선한 회로
- JK 플립플롭의 J 는 $S(\text{set})$ 에, K 는 $R(\text{reset})$ 에 대응하는 입력
- $J=1, K=1$ 인 경우 JK 플립플롭의 출력은 이전 출력의 보수 상태로 변화
- JK 플립플롭은 플립플롭 중에서 가장 많이 사용되는 플립플롭이다.

JK 플립플롭

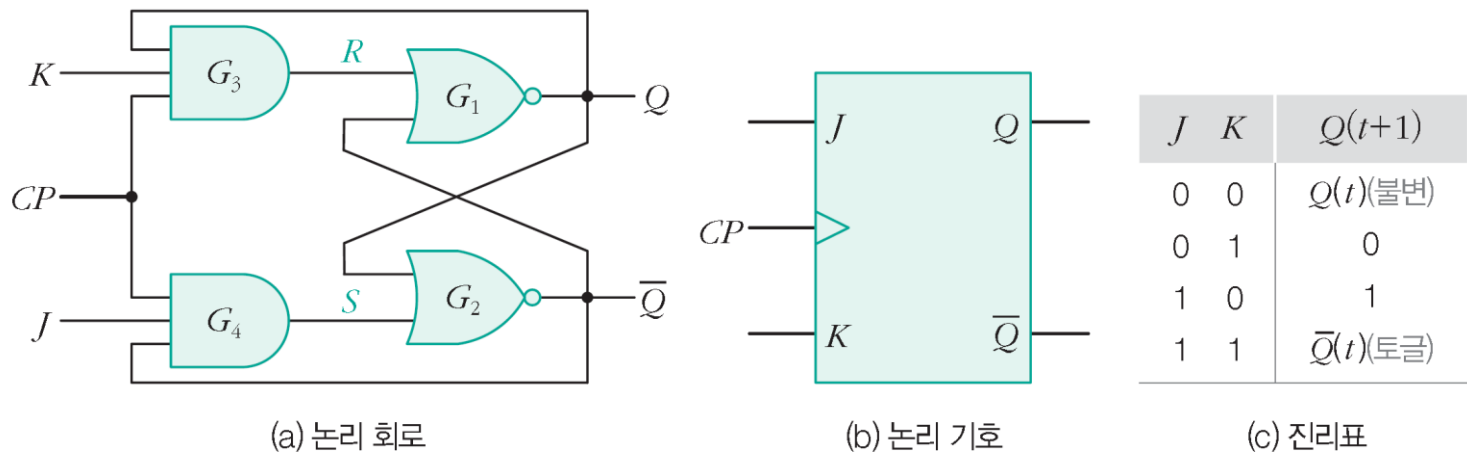


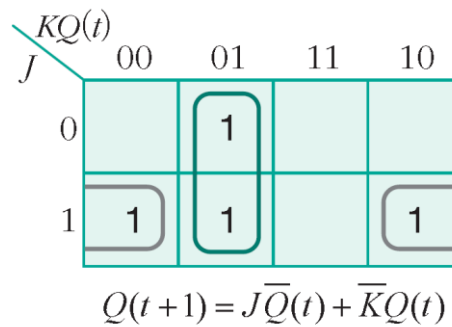
그림 3-71 JK 플립플롭의 구조

$J=0, K=0$	G_3 과 G_4 의 출력이 모두 0이므로 G_1 과 G_2 로 구성된 SR 래치는 출력이 변하지 않는다.
$J=0, K=1$	G_4 의 출력은 0이 되고 G_3 의 출력은 $Q(t) \cdot K \cdot CP$ 인데 $K=1, CP=1$ 이므로 $Q(t)$ 가 된다.
$J=1, K=0$	G_3 의 출력은 0이 되고 G_4 의 출력은 $\bar{Q}(t) \cdot J \cdot CP$ 인데 $J=1, CP=1$ 이므로 $\bar{Q}(t)$ 가 된다.
$J=1, K=1$	G_3 의 출력은 $Q(t) \cdot K \cdot CP$ 인데 $K=1, CP=1$ 이므로 $Q(t)$ 가 된다. 또한 G_4 의 출력은 $\bar{Q}(t) \cdot J \cdot CP$ 인데 $J=1, CP=1$ 이므로 $\bar{Q}(t)$ 가 된다. $Q(t)=0$ 인 경우 SR 래치의 $S=1, R=0$ 인 경우와 같으므로 출력은 $Q(t+1)=1$ 이 된다. 마찬가지로 $Q(t)=1$ 인 경우 SR 래치의 $S=0, R=1$ 인 경우와 같으므로 출력은 $Q(t+1)=0$ 이 된다. 따라서 출력은 보수가 된다.

❖ JK 플립플롭의 특성표 및 특성 방정식

J	K	$Q(t)$	$Q(t+1)$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

(a) 특성표

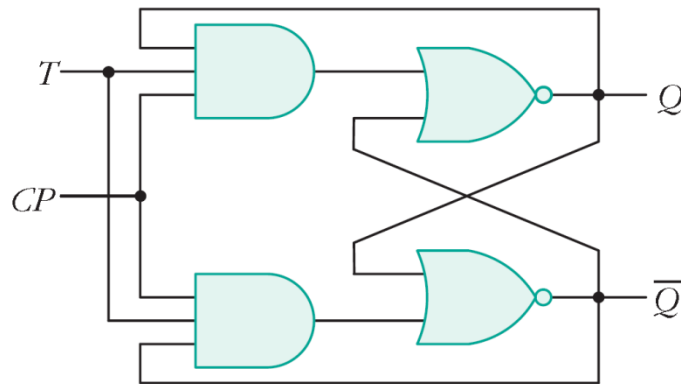


(b) 특성 방정식

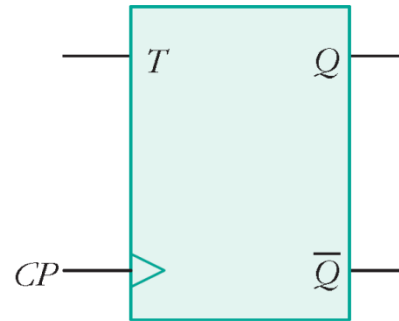
그림 3-72 JK 플립플롭의 특성표와 특성 방정식

□ T 플립플롭

- JK 플립플롭의 J 와 K 입력을 묶어서 하나의 입력신호 T 로 동작시키는 플립플롭
- T 플립플롭의 입력 $T=0$ 이면, T 플립플롭은 $J=0, K=0$ 인 JK 플립플롭과 같이 동작하므로 출력은 변하지 않는다. $T=1$ 이면, $J=1, K=1$ 인 JK 플립플롭과 같이 동작하므로 출력은 보수가 된다.



(a) 논리 회로



(b) 논리 기호

T	$Q(t+1)$
0	$Q(t)$
1	$\bar{Q}(t)$

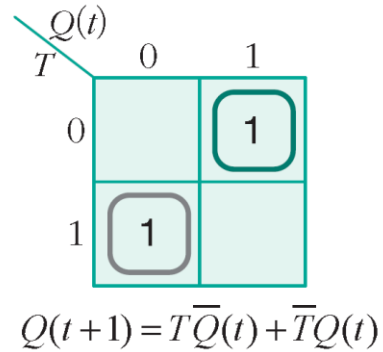
(c) 진리표

그림 3-73 T 플립플롭

❖ T 플립플롭의 특성표 및 특성 방정식

T	$Q(t)$	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

(a) 특성표



(b) 특성 방정식

그림 3-74 T 플립플롭의 특성표와 특성 방정식

□ 주종형 JK 플립플롭

- 레이스 현상 문제(racing problem) : JK 플립플롭은 $J = K = 1$ 인 경우 클록 펄스가 길어지면 출력이 계속 반전되는 현상
- 이를 해결하는 방법은 에지 트리거를 이용하거나 주종형 JK 플립플롭(master-slave JK flip-flop)을 사용하는 것이다.

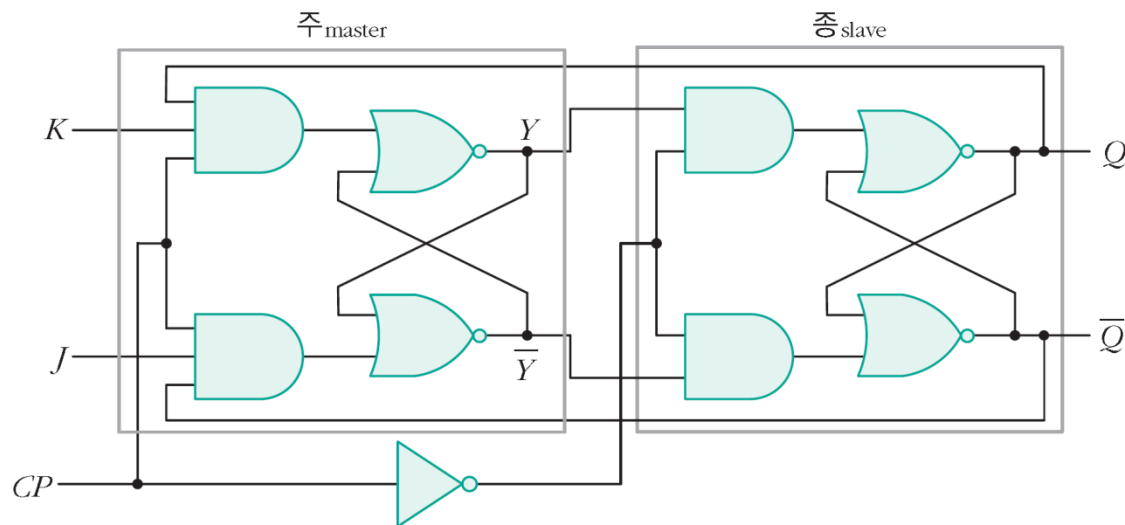
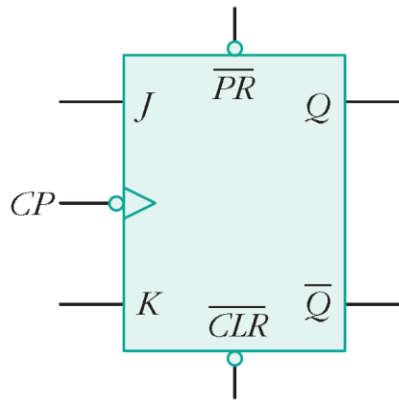


그림 3-75 주종형 JK 플립플롭

$CP=1$	외부의 J 와 K 의 입력이 Master 플립플롭에 전달 Slave 플립플롭은 $CP=0$ 이므로 동작하지 않음
$CP=0$	Slave 플립플롭이 동작하여 $Q = Y, \bar{Q} = \bar{Y}$ Master 플립플롭은 $CP=0$ 이므로 동작하지 않음

□ 비동기 입력

- 대부분의 플립플롭은 클록펄스에 의해서 플립플롭의 상태를 변화시킬 수 있는 동기입력이 있고, 클록펄스와 관계없이 비동기적으로 변화시킬 수 있는 비동기 입력인 \overline{PR} 입력과 \overline{CLR} 입력이 있다.
- 비동기 입력들은 플립플롭의 초기조건을 결정하는 등 다방면으로 유용하게 사용



(a) 논리 기호

\overline{PR}	\overline{CLR}	CP	J	K	$Q(t+1)$
0	1	×	×	×	1
1	0	×	×	×	0
1	1	↓	0	0	변화 없음
1	1	↓	0	1	0
1	1	↓	1	0	1
1	1	↓	1	1	토글

(b) 진리표

그림 3-76 비동기 입력을 가진 JK 플립플롭의 논리 기호와 진리표

\overline{PR} 과 \overline{CLR} 은 0일 때 active



Thank You
