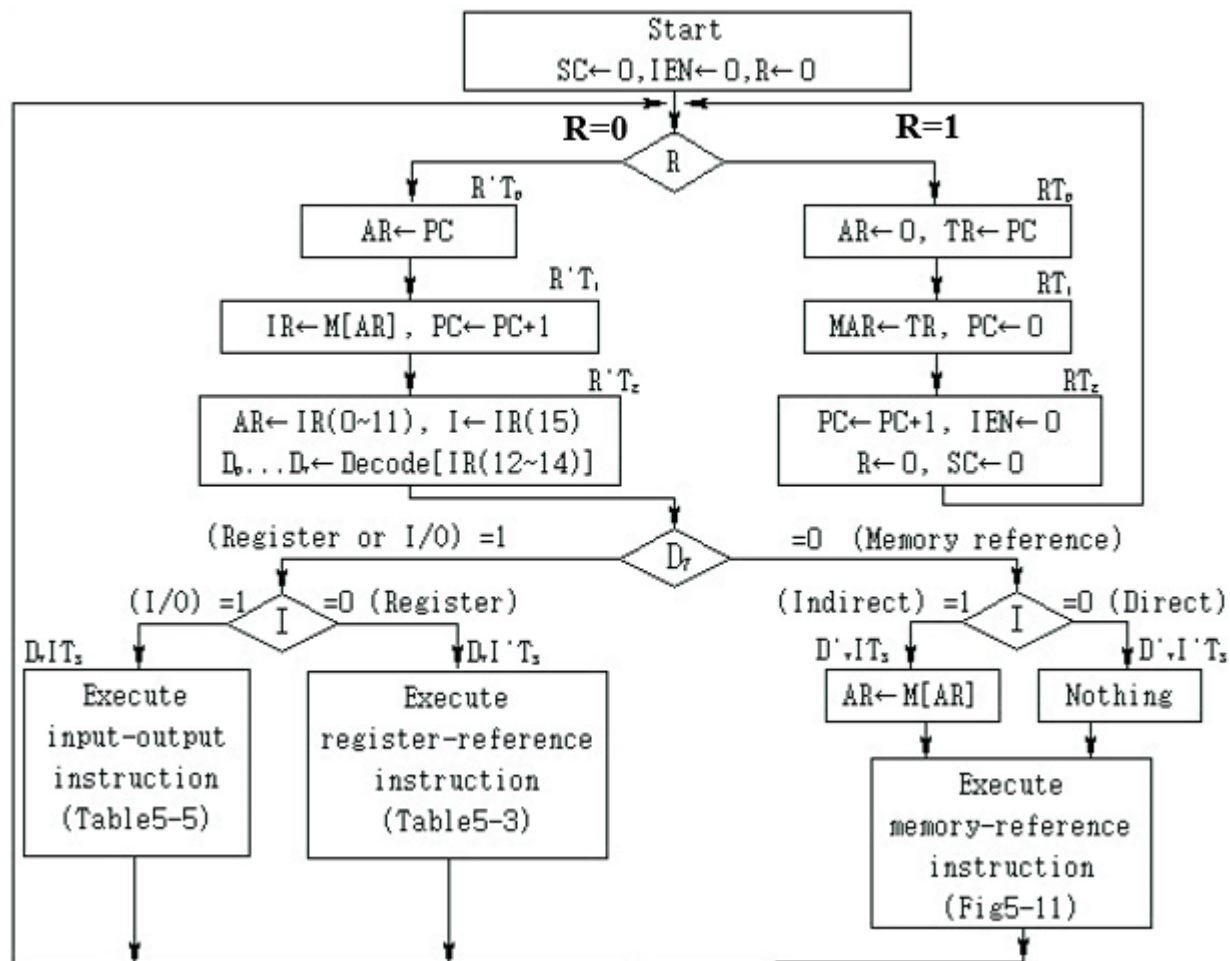


기본 컴퓨터 설계

5.8 컴퓨터에 대한 완전한 기술

- 인터럽트 사이클과 명령어 사이클을 포함한 흐름도



5.9 기본 컴퓨터의 설계

- 1. 16비트의 4096 워드를 갖는 메모리 장치
- 2. 9개의 레지스터 : AR, PC, DR, AC, IR, TR, OUTR, INPR, SC
- 3. 7개의 플립플롭 : I, S, E, R, IEN, FGI, FGO
- 4. 2개의 디코더 : 3x8 동작 디코더와 4x16 타이밍 디코더
- 5. 16비트 공통버스(common bus)
- 6. 제어논리 게이트
- 7. AC의 입력에 연결된 가산 논리 회로

제어 논리 게이트

- 제어 논리 회로의 출력
 - 9개 레지스터의 입력을 제어하는 신호
 - 메모리의 쓰기 및 읽기 입력을 제어하는 신호
 - 플립플롭을 세트, 클리어, 보수화 시키는 신호
 - 버스선택선 S_2, S_1, S_0 에 대한 신호
 - AC에 대해 가산 논리 회로를 제어하는 신호

제어함수

Fetch	$R' T_0 :$	$AR \leftarrow PC$
	$R' T_1 :$	$IR \leftarrow M[AR], PC \leftarrow PC + 1$
Decode	$R' T_2 :$	$D_0, \dots, D_7 \leftarrow \text{Decode } IR(12-14),$ $AR \leftarrow IR(0-11), I \leftarrow IR(15)$
Indirect	$D_7 I T_3 :$	$AR \leftarrow M[AR]$
Interrupt		
	$T_0' T_1' T_2' (IEN) (FGI + FGO) :$	$R \leftarrow 1$
	$RT_0 :$	$AR \leftarrow 0, TR \leftarrow PC$
	$RT_1 :$	$M[AR] \leftarrow TR, PC \leftarrow 0$
	$RT_2 :$	$PC \leftarrow PC + 1, IEN \leftarrow 0, R \leftarrow 0, SC \leftarrow 0$
Memory-reference:		
AND	$D_0 T_4 :$	$DR \leftarrow M[AR]$
	$D_0 T_5 :$	$AC \leftarrow AC \wedge DR, SC \leftarrow 0$
ADD	$D_1 T_4 :$	$DR \leftarrow M[AR]$
	$D_1 T_5 :$	$AC \leftarrow AC + DR, E \leftarrow C_{out}, SC \leftarrow 0$
LDA	$D_2 T_4 :$	$DR \leftarrow M[AR]$
	$D_2 T_5 :$	$AC \leftarrow DR, SC \leftarrow 0$
STA	$D_3 T_4 :$	$M[AR] \leftarrow AC, SC \leftarrow 0$
BUN	$D_4 T_4 :$	$PC \leftarrow AR, SC \leftarrow 0$
BSA	$D_5 T_4 :$	$M[AR] \leftarrow PC, AR \leftarrow AR + 1$
	$D_5 T_5 :$	$PC \leftarrow AR, SC \leftarrow 0$
ISZ	$D_6 T_4 :$	$DR \leftarrow M[AR]$
	$D_6 T_5 :$	$DR \leftarrow DR + 1$
	$D_6 T_6 :$	$M[AR] \leftarrow DR, \text{ if } (DR = 0) \text{ then } (PC \leftarrow PC + 1), SC \leftarrow 0$

Register-reference:		
	$D_7 I' T_3 = r$	(common to all register-reference instruction)
	$IR(i) = B_i$	($i = 0, 1, 2, \dots, 11$)
	$r :$	$SC \leftarrow 0$
CLA	$rB_{11} :$	$AC \leftarrow 0$
CLE	$rB_{10} :$	$E \leftarrow 0$
CMA	$rB_9 :$	$AC \leftarrow \overline{AC}$
CME	$rB_8 :$	$E \leftarrow \overline{E}$
CIR	$rB_7 :$	$AC \leftarrow shr AC, AC(15) \leftarrow E, E \leftarrow AC(0)$
CIL	$rB_6 :$	$AC \leftarrow shl AC, AC(0) \leftarrow E, E \leftarrow AC(15)$
INC	$rB_5 :$	$AC \leftarrow AC + 1$
SPA	$rB_4 :$	if $(AC(15) = 0)$ then $(PC \leftarrow PC + 1)$
SNA	$rB_3 :$	if $(AC(15) = 1)$ then $(PC \leftarrow PC + 1)$
SZA	$rB_2 :$	if $(AC = 0)$ then $(PC \leftarrow PC + 1)$
SZE	$rB_1 :$	if $(E = 0)$ then $(PC \leftarrow PC + 1)$
HLT	$rB_0 :$	$S \leftarrow 0$ (S is a start-stop flip-flop)
Input-output:		
	$D_7 I T_3 = p$	(common to all input-output instruction)
	$IR(i) = B_i$	($i = 6, 7, 8, 9, 10, 11$)
	$p :$	$SC \leftarrow 0$
INP	$pB_{11} :$	$AC(0-7) \leftarrow INPR, FGI \leftarrow 0$
OUT	$pB_{10} :$	$OUTR \leftarrow AC(0-7), FGO \leftarrow 0$
SKI	$pB_9 :$	If $(FGI = 1)$ then $(PC \leftarrow PC + 1)$
SNO	$pB_8 :$	If $(FGO = 1)$ then $(PC \leftarrow PC + 1)$
ION	$pB_7 :$	$IEN \leftarrow 1$
IOF	$pB_6 :$	$IEN \leftarrow 0$

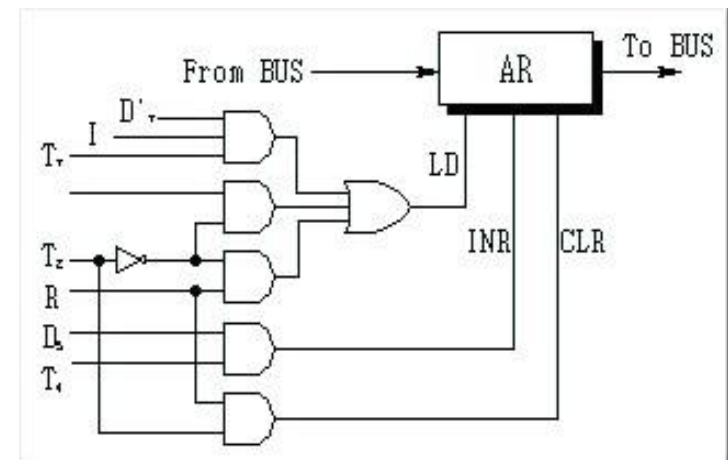
레지스터와 메모리에 대한 제어

$R T_0: AR \leftarrow PC$
 $R T_2: AR \leftarrow IR(0-11)$
 $D_7' I T_3: AR \leftarrow M[AR]$
 $R T_0: AR \leftarrow 0$
 $D_5 T_4: AR \leftarrow AR + 1$

처음 세개의 문장 : LD 제어 입력을 인에이블하여 메모리나 다른
레지스터의 내용을 AR로 전송

위의 제어 함수를 세 개의 부울식으로 변경하면

$LD(AR) = R T_0 + R T_2 + D_7' I T_3$
 $CLR(AR) = R T_0$
 $INR(AR) = D_5 T_4$



Fetch	$R' T_0 :$	$AR \leftarrow PC$
	$R' T_1 :$	$IR \leftarrow M[AR], PC \leftarrow PC + 1$
Decode	$R' T_2 :$	$D_0, \dots, D_7 \leftarrow \text{Decode } IR(12-14),$ $AR \leftarrow IR(0-11), I \leftarrow IR(15)$
Indirect	$D_7' I T_3 :$	$AR \leftarrow M[AR]$
Interrupt		
	$T_0' T_1' T_2' (IEN^*)(FGI + FGO) :$	$R \leftarrow 1$
	$RT_0 :$	$AR \leftarrow 0, TR \leftarrow PC$
	$RT_1 :$	$M[AR] \leftarrow TR, PC \leftarrow 0$
	$RT_2 :$	$PC \leftarrow PC + 1, IEN \leftarrow 0, R \leftarrow 0, SC \leftarrow 0$
Memory-reference:		
AND	$D_0 T_4 :$	$DR \leftarrow M[AR]$
	$D_0 T_5 :$	$AC \leftarrow AC \wedge DR, SC \leftarrow 0$
ADD	$D_1 T_4 :$	$DR \leftarrow M[AR]$
	$D_1 T_5 :$	$AC \leftarrow AC + DR, E \leftarrow C_{out}, SC \leftarrow 0$
LDA	$D_2 T_4 :$	$DR \leftarrow M[AR]$
	$D_2 T_5 :$	$AC \leftarrow DR, SC \leftarrow 0$
STA	$D_3 T_4 :$	$M[AR] \leftarrow AC, SC \leftarrow 0$
BUN	$D_4 T_4 :$	$PC \leftarrow AR, SC \leftarrow 0$
BSA	$D_5 T_4 :$	$M[AR] \leftarrow PC, AR \leftarrow AR + 1$
	$D_5 T_5 :$	$PC \leftarrow AR, SC \leftarrow 0$
ISZ	$D_6 T_4 :$	$DR \leftarrow M[AR]$
	$D_6 T_5 :$	$DR \leftarrow DR + 1$
	$D_6 T_6 :$	$M[AR] \leftarrow DR, \text{ if } (DR = 0) \text{ then } (PC \leftarrow PC + 1), SC \leftarrow 0$

메모리 읽기 제어입력($\leftarrow M[AR]$)

$R' T_1: IR \leftarrow M[AR]$

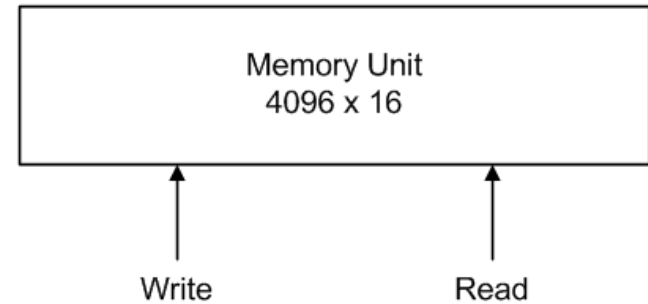
$D_7' I T_3: AR \leftarrow M[AR]$

$D_0 T_4: DR \leftarrow M[AR]$

$D_1 T_4: DR \leftarrow M[AR]$

$D_2 T_4: DR \leftarrow M[AR]$

$D_6 T_4: DR \leftarrow M[AR]$



$$Read = R' T_1 + D_7' I T_3 + (D_0 + D_1 + D_2 + D_6) T_4$$

메모리 쓰기 제어입력($M[AR] \leftarrow$)

$RT_1: M[AR] \leftarrow TR$

$D_3 T_4: M[AR] \leftarrow AC$

$D_5 T_4: M[AR] \leftarrow PC$

$D_6 T_6: M[AR] \leftarrow DR$

$$Write = RT_1 + D_3 T_4 + D_5 T_4 + D_6 T_6$$

PC(Program Counter)

$Z_{DR} = 1$ if $DR = 0$, $Z_{AC} = 1$ if $AC = 0$

$R'T_1: PC \leftarrow PC + 1$

$RT_1: PC \leftarrow 0$

$RT_2: PC \leftarrow PC + 1$

$D_4T_4: PC \leftarrow AR$

$D_5T_5: PC \leftarrow AR$

$D_6T_6: \text{if}(DR = 0) \text{ then } PC \leftarrow PC + 1$

$rB_4: \text{if} (AC(15) = 0) \text{ then } PC \leftarrow PC + 1$

$rB_3: \text{if} (AC(15) = 1) \text{ then } PC \leftarrow PC + 1$

$rB_1: \text{if} (E = 0) \text{ then } PC \leftarrow PC + 1$

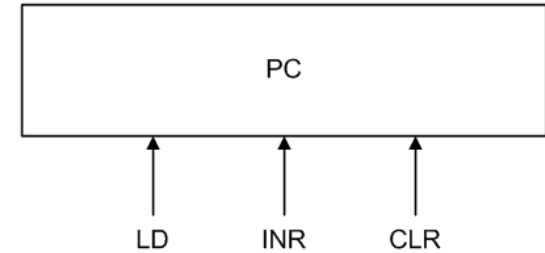
$pB_9: \text{if} (FGI = 1) \text{ then } PC \leftarrow PC + 1$

$pB_8: \text{if} (FGO = 1) \text{ then } PC \leftarrow PC + 1$

$$INR(PC) = R'T_0 + RT_2 + D_6T_6Z_{DR} + pB_9(FGI) + pB_8(FGO) \\ + rB_4(AC_{15})' + rB_3(AC_{15}) + rB_2Z_{AC} + rB_1E'$$

$$LD(PC) = D_4T_4 + D_5T_5$$

$$CLR(PC) = RT_1$$



단일 플립플롭에 대한 제어(IEN의 예)

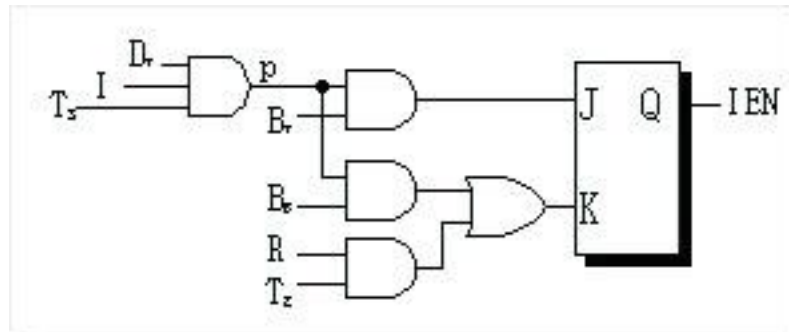
: IEN은 ION과 IOF의 결과로 그 값이 변하며 인터럽트 사이클의
마지막에서 0으로 클리어된다 .

$pB_7: IEN \leftarrow 1$

$pB_6: IEN \leftarrow 0$

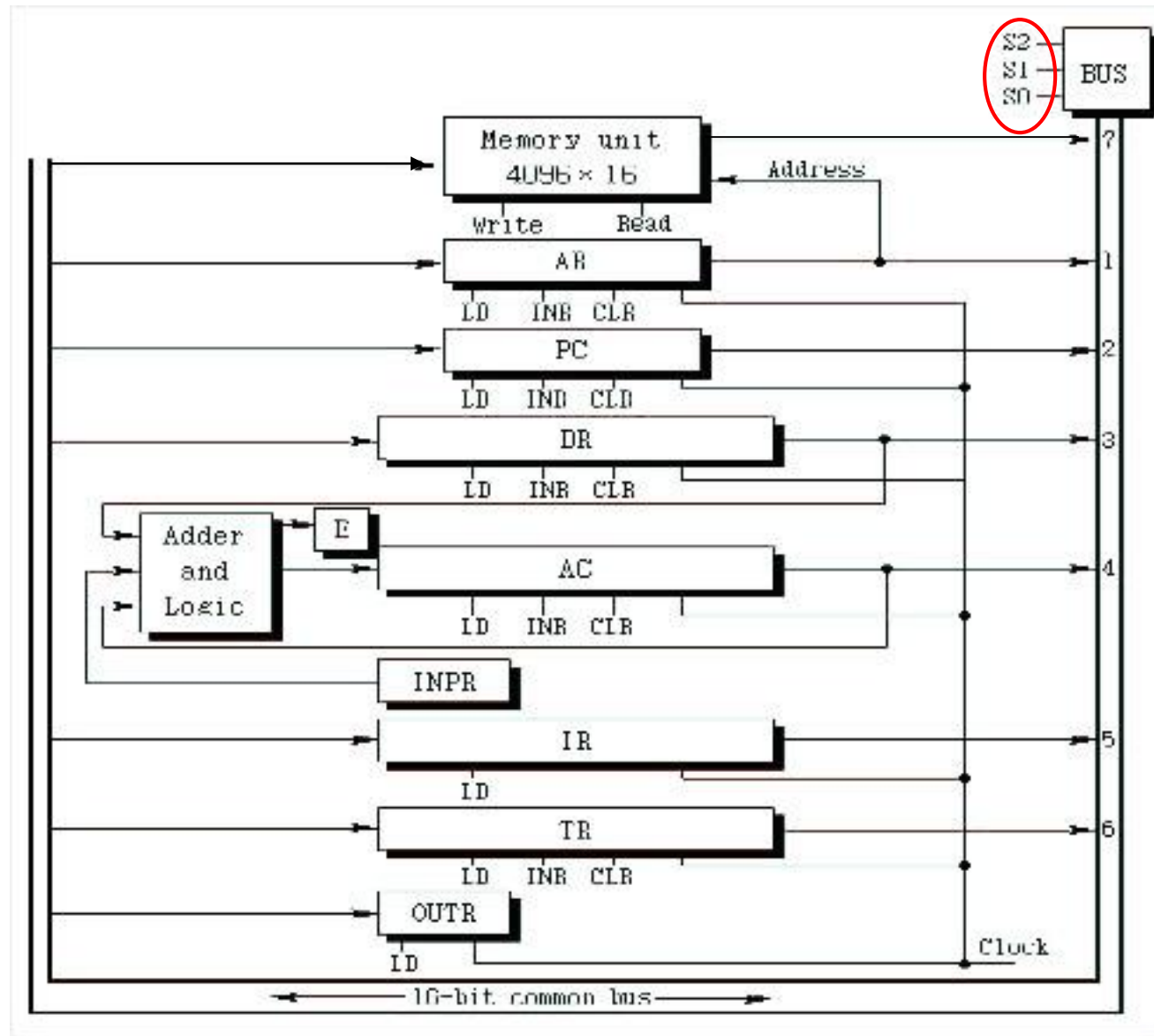
$RT_2: IEN \leftarrow 0$

여기에서 $p = D_7IT_3$ 을 나타내고 B_7, B_6 는 IR의 비트 7과 6이다.



J	K	Q(t+1)	
0	0	Q(t)	No change
0	1	0	Clear to 0
1	0	1	Set to 1
1	1	Q'(t)	Complement

Common bus system



공통 버스에 대한 제어

Inputs							Outputs			Register Selected for bus
x_1	x_2	x_3	x_4	x_5	x_6	x_7	S_2	S_1	S_0	
0	0	0	0	0	0	0	0	0	0	None
1	0	0	0	0	0	0	0	0	1	AR
0	1	0	0	0	0	0	0	1	0	PC
0	0	1	0	0	0	0	0	1	1	DR
0	0	0	1	0	0	0	1	0	0	AC
0	0	0	0	1	0	0	1	0	1	IR
0	0	0	0	0	1	0	1	1	0	TR
0	0	0	0	0	0	1	1	1	1	Memory

$$S_0 = x_1 + x_3 + x_5 + x_7$$

$$S_1 = x_2 + x_3 + x_6 + x_7$$

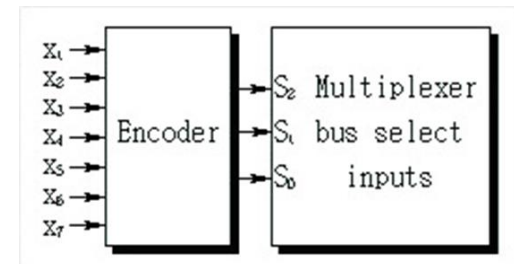
$$S_2 = x_4 + x_5 + x_6 + x_7$$

x_1 은 AR(Address Register)의 데이터를 공통 버스를 통해 다른 레지스터에 전송하고자 하는 것이므로 표 5-6에서 소스(source)가 AR인 레지스터 전송문을 찾는다.

$$D_4T_4 : PC \leftarrow AR ;$$

$$D_5T_5 : PC \leftarrow AR$$

$$x_1 = D_4T_4 + D_5T_5$$



x_2 는 PC(Program Counter)의 데이터를 공통 버스를 통해 다른 레지스터에 전송하고자 하는 것이므로 표 5-6에서 소스(source)가 PC인 레지스터 전송문을 찾는다.

$$R' T_0: AR \leftarrow PC$$

$$R T_0: TR \leftarrow PC$$

$$D_5 T_4: M[AR] \leftarrow PC$$

$$x_2 = R' T_0 + R T_0 + D_5 T_4$$

동일한 방법으로 x_3, x_4, x_5, x_6, x_7 을 찾는다.

x_7 의 경우는 메모리의 내용을 공통 버스를 통해 다른 레지스터에 전송하고자 하는 것이므로 표 5-6에서 소스(source)가 메모리인 즉 $M[AR]$ 인 레지스터 전송문을 찾는다.

$$R' T_1: IR \leftarrow M[AR]$$

$$D_7' I T_3: AR \leftarrow M[AR]$$

$$D_0 T_4: DR \leftarrow M[AR]$$

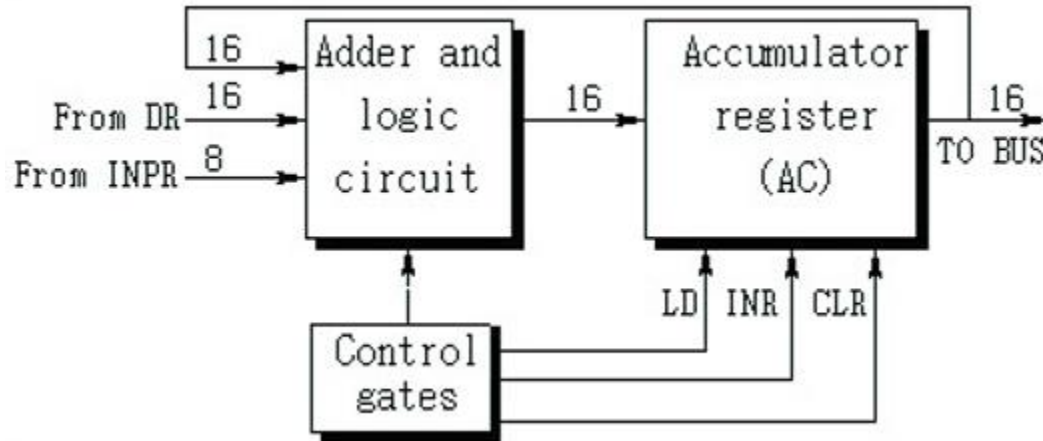
$$D_1 T_4: DR \leftarrow M[AR]$$

$$D_2 T_4: DR \leftarrow M[AR]$$

$$D_6 T_4: DR \leftarrow M[AR]$$

$$x_7 = R' T_1 + D_7' I T_3 + (D_0 + D_1 + D_2 + D_6) T_4$$

5.10 누산기(AC) 논리의 설계



마이크로 연산에서
목적지 레지스터가 AC 인
레지스터 전송문 : 이 문장들의
구현은 곧 AC의 LD 제어입력을
액티브 시키는 것이다.

$$D_0T_5: AC \leftarrow AC \wedge DR$$

$$D_1T_5: AC \leftarrow AC + DR$$

$$D_2T_5: AC \leftarrow DR$$

$$pB_{11}: AC(0-7) \leftarrow INPR$$

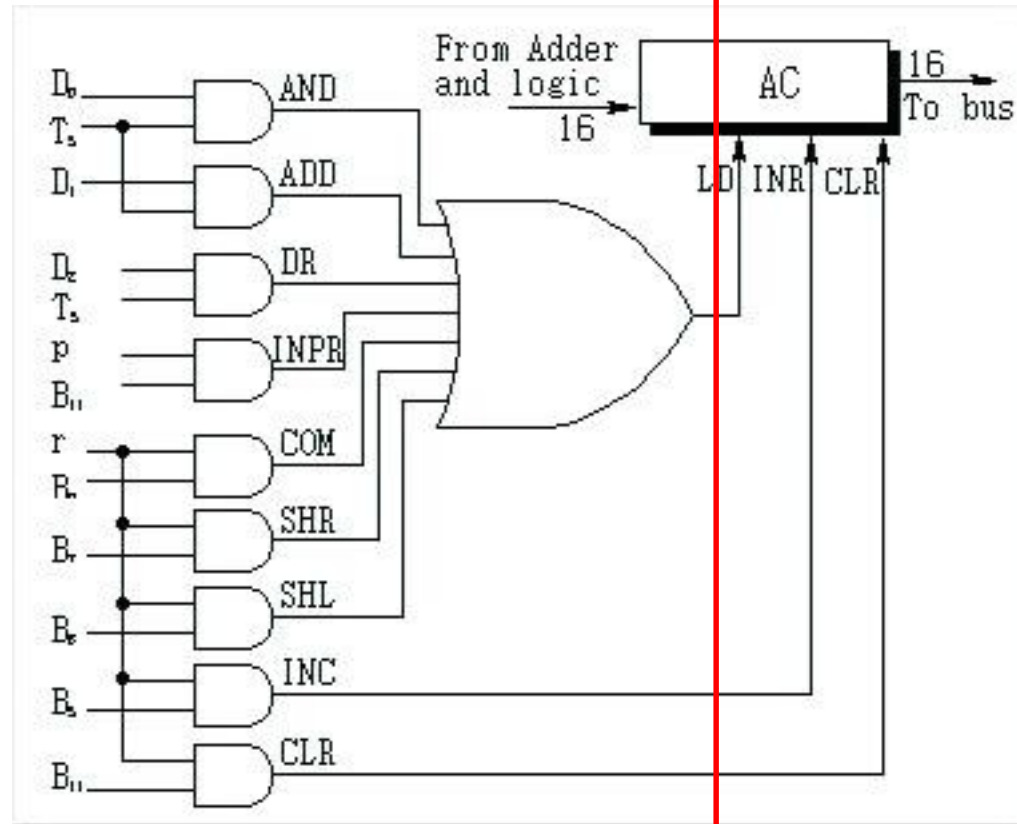
$$rB_9: AC \leftarrow \overline{AC}$$

$$rB_7: AC \leftarrow shrAC, AC(15) \leftarrow E$$

$$rB_6: AC \leftarrow shlAC, AC(0) \leftarrow E$$

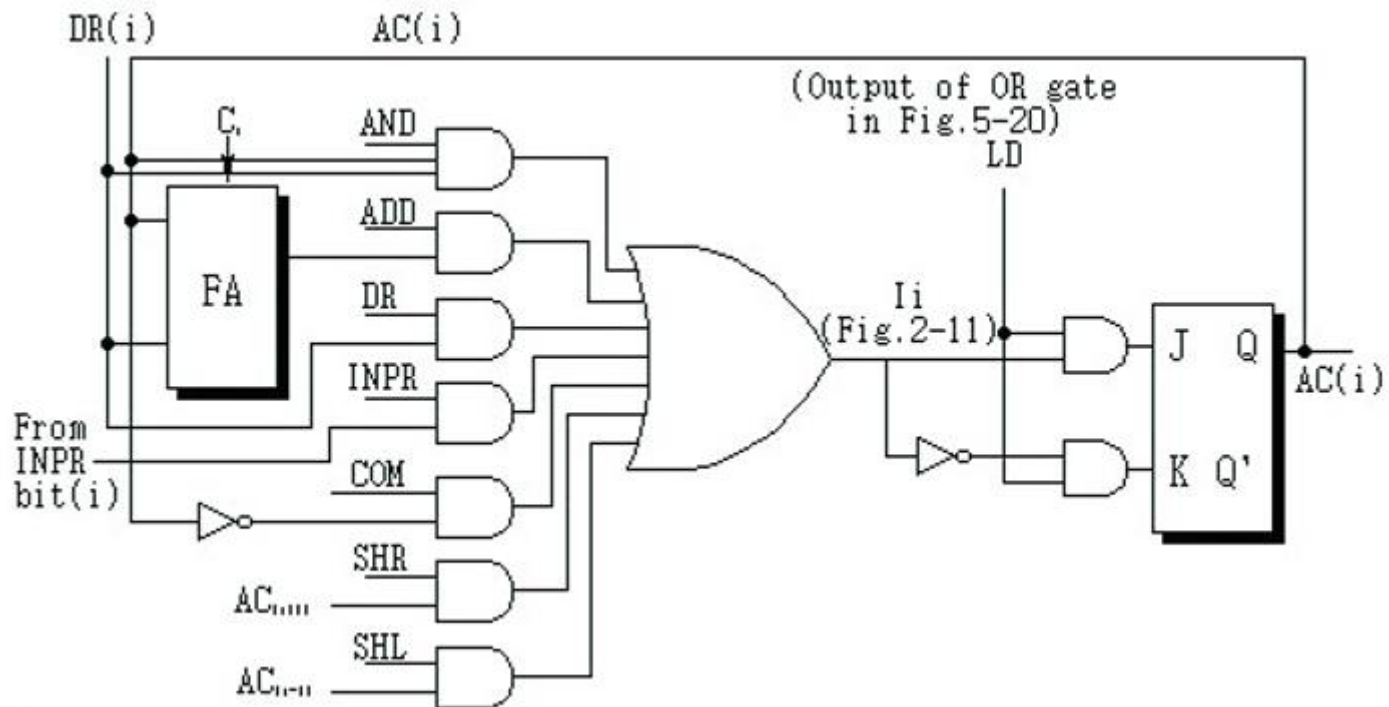
$$rB_{11}: AC \leftarrow 0$$

$$rB_5: AC \leftarrow AC + 1$$



앞 그림의 control gate

가산 논리 회로



Adder and Logic 회로의 1단을 표시

수고하셨습니다!