

카운터, 레지스터 설계

4 카운터의 설계

- JK 플립플롭을 사용해 3비트 동기식 카운터를 순서 논리 회로 방식으로 설계해 보자.

JK 플립플롭의 여기표

$Q(t)$	$Q(t+1)$	J	K
0	0	0	×
0	1	1	×
1	0	×	1
1	1	×	0

상태도와 상태표 작성

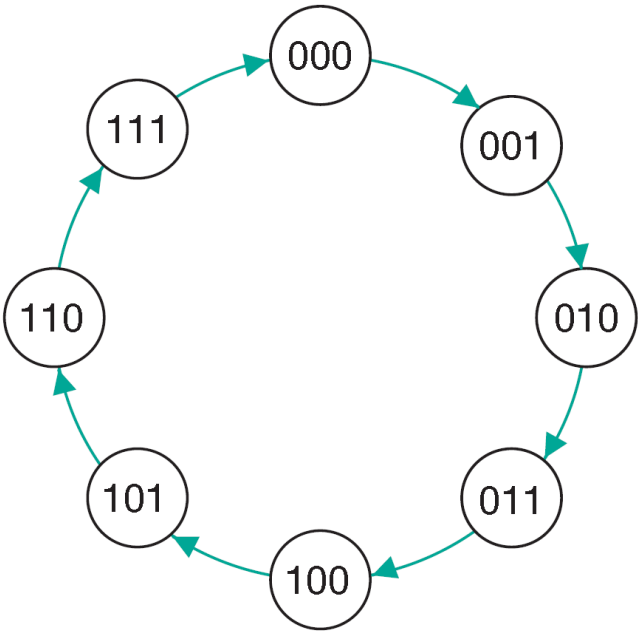


그림 3-84 3비트 동기식 2진 카운터의 상태도

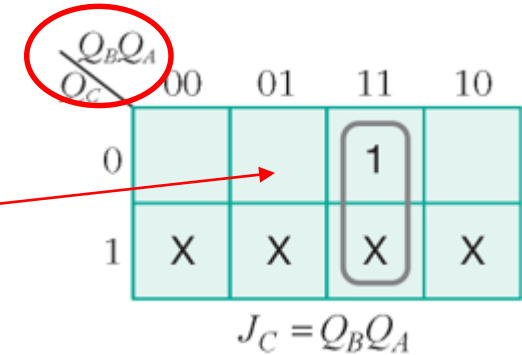
상태표를 이용해 회로의 상태 여기표 작성

표 3-10 3비트 동기식 2진 카운터의 상태 여기표

현재 상태			다음 상태			플립플롭 입력					
Q_C	Q_B	Q_A	Q_C	Q_B	Q_A	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	1	0	×	0	×	1	×
0	0	1	0	1	0	0	×	1	×	×	1
0	1	0	0	1	1	0	×	×	0	1	×
0	1	1	1	0	0	1	×	×	1	×	1
1	0	0	1	0	1	×	0	0	×	1	×
1	0	1	1	1	0	×	0	1	×	×	1
1	1	0	1	1	1	×	0	×	0	1	×
1	1	1	0	0	0	×	1	×	1	×	1

표 3-10 3비트 동기식 2진 카운터의 상태 여기표

현재 상태			다음 상태			플립플롭 입력					
Q_C	Q_B	Q_A	Q_C	Q_B	Q_A	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	1	0	x	0	x	1	x
0	0	1	0	1	0	0	x	1	x	x	1
0	1	0	0	1	1	0	x	x	0	1	x
0	1	1	1	0	0	1	x	x	1	x	1
1	0	0	1	0	1	x	0	0	x	1	x
1	0	1	1	1	0	x	0	1	x	x	1
1	1	0	1	1	1	x	0	x	0	1	x
1	1	1	0	0	0	x	1	x	1	x	1



04 순서 논리 회로

간소화 방법을 이용해 플립플롭의 입력 함수 유도

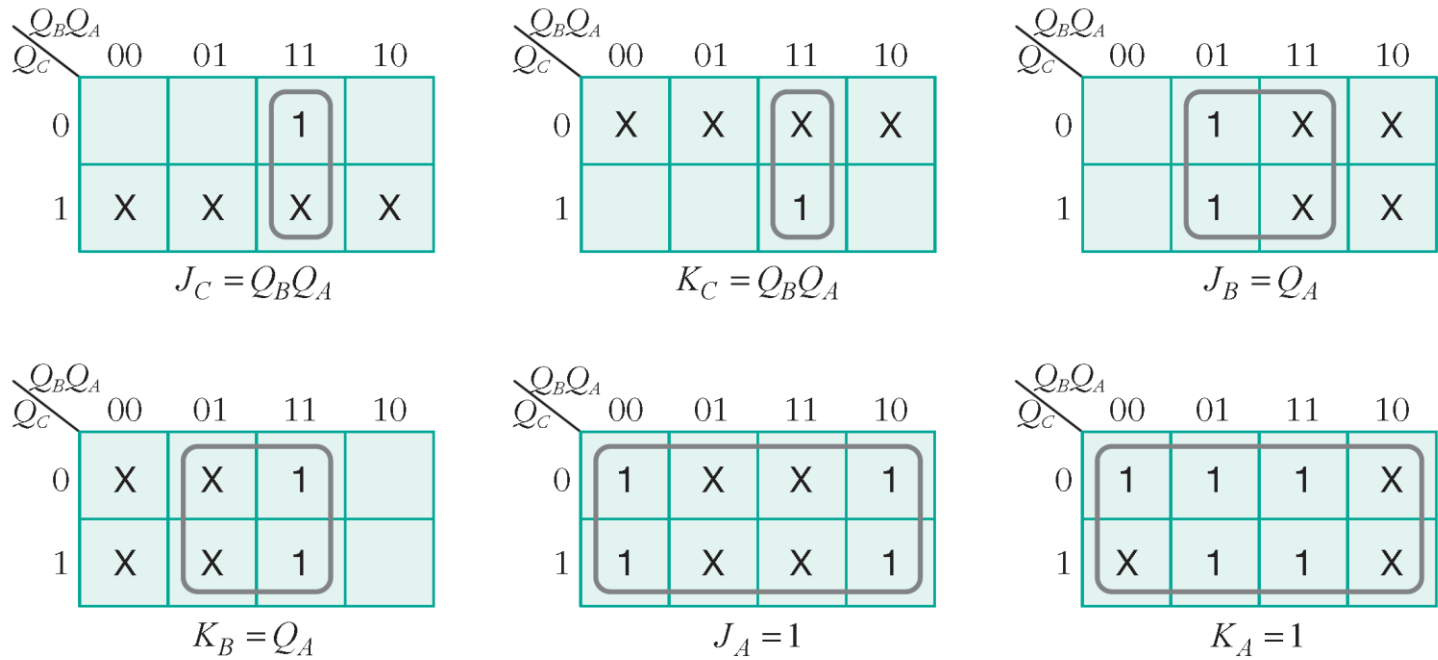


그림 3-85 3비트 동기식 2진 카운터의 카르노 맵을 이용한 간소화 과정

표 3-10 3비트 동기식 2진 카운터의 상태 여기표

현재 상태			다음 상태			플립플롭 입력					
Q_C	Q_B	Q_A	Q_C	Q_B	Q_A	J_C	K_C	J_B	K_B	J_A	K_A
0	0	0	0	0	1	0	x	0	x	1	x
0	0	1	0	1	0	0	x	1	x	x	1
0	1	0	0	1	1	0	x	x	0	1	x
0	1	1	1	0	0	1	x	x	1	x	1
1	0	0	1	0	1	x	0	0	x	1	x
1	0	1	1	1	0	x	0	1	x	x	1
1	1	0	1	1	1	x	0	x	0	1	x
1	1	1	0	0	0	x	1	x	1	x	1

04 순서 논리 회로

순서 논리 회로도 작성

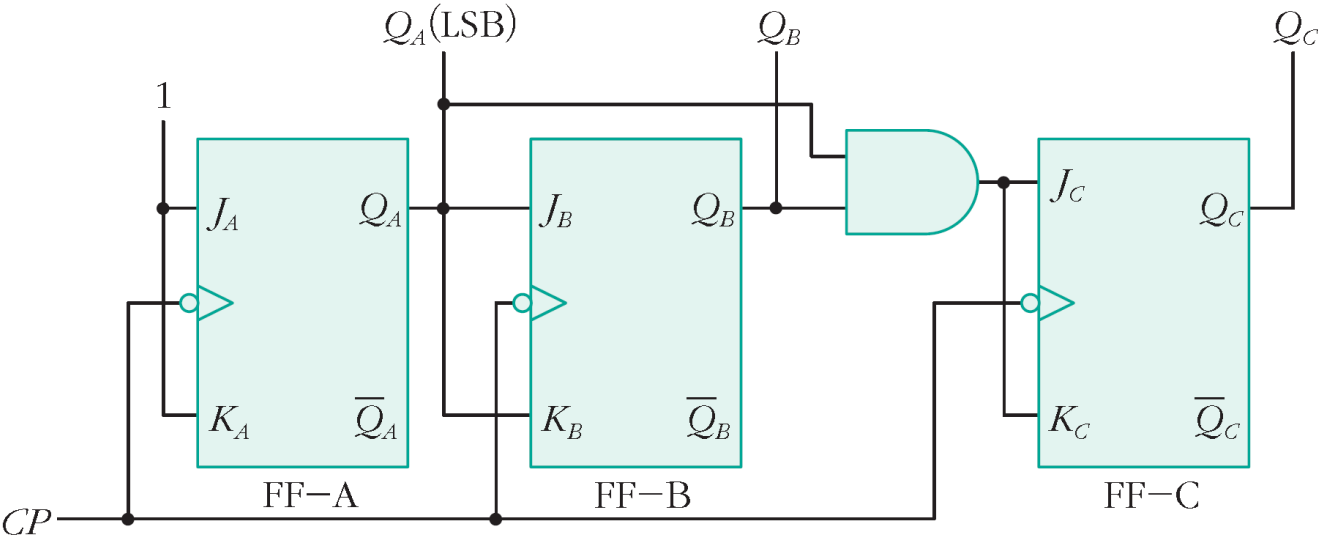


그림 3-86 3비트 동기식 2진 카운터 회로도

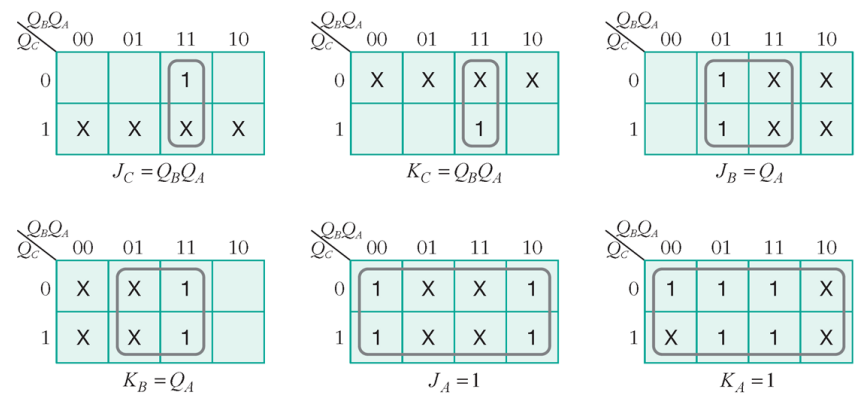


그림 3-85 3비트 동기식 2진 카운터의 카르노 맵을 이용한 간소화 과정

5 레지스터

- 레지스터(register)는 기본적으로 데이터 비트를 저장하는 소자
- 대부분의 레지스터에서는 D 플립플롭이 사용되며 각 D 플립플롭에 한 비트씩 저장
- 따라서 n 비트 레지스터는 플립플롭 n 개로 구성되며, n 비트의 2진 정보를 저장할 수 있다.

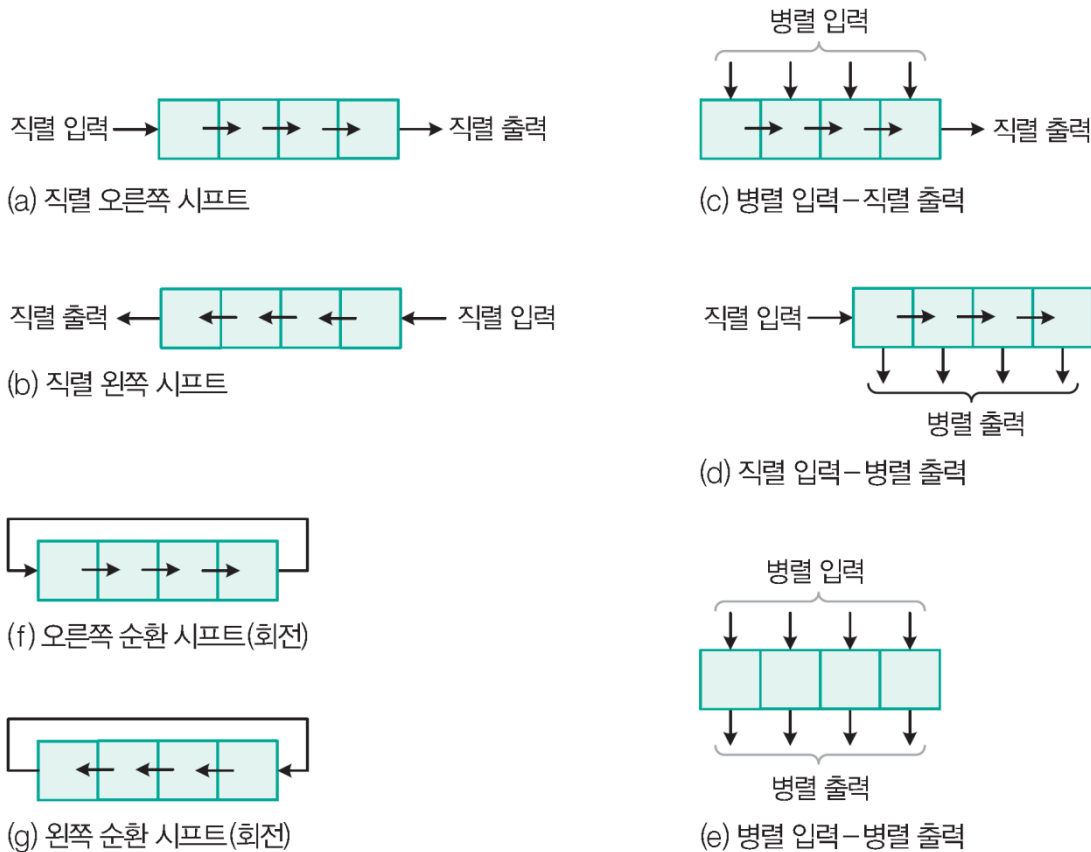


그림 3-87 레지스터 내에서 데이터 이동(4비트인 경우)

□ 4비트 레지스터

- 공통 클록 신호의 상승 에지에서 입력 데이터(I_A, I_B, I_C, I_D)가 D 플립플롭 4개에 동시에 저장되며, 출력(O_A, O_B, O_C, O_D)에서는 언제든지 저장된 데이터를 출력할 수 있다.
- $\overline{CLR} = 0$ 이면 클록에 관계없이 언제든지 모든 플립플롭의 출력을 0으로 만들 수 있다.

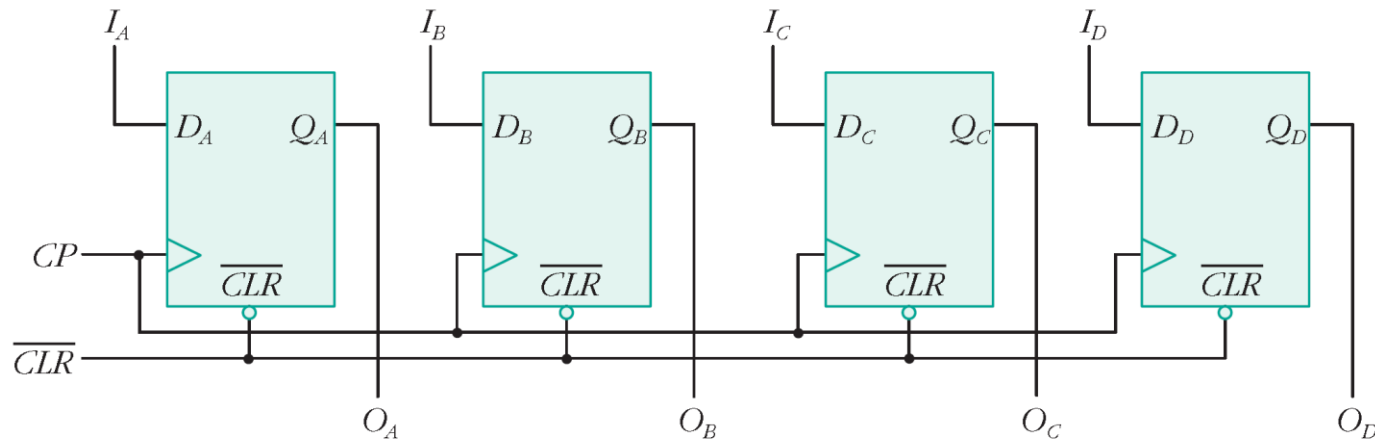


그림 3-88 4비트 레지스터 (병렬입력, 병렬출력)

□ 시프트 레지스터

- 클록 펄스가 입력될 때마다 클록 펄스의 상승 에지에서 입력 데이터가 한 비트씩 오른쪽으로 시프트하면서 저장($I \rightarrow Q_A, Q_A \rightarrow Q_B, Q_B \rightarrow Q_C, Q_C \rightarrow Q_D$)
- 이 과정은 새로운 클록 펄스의 상승 에지마다 반복되므로 네 번째 클록 펄스의 상승 에지에서 처음에 입력된 데이터 비트가 Q_D 에 나타난다.

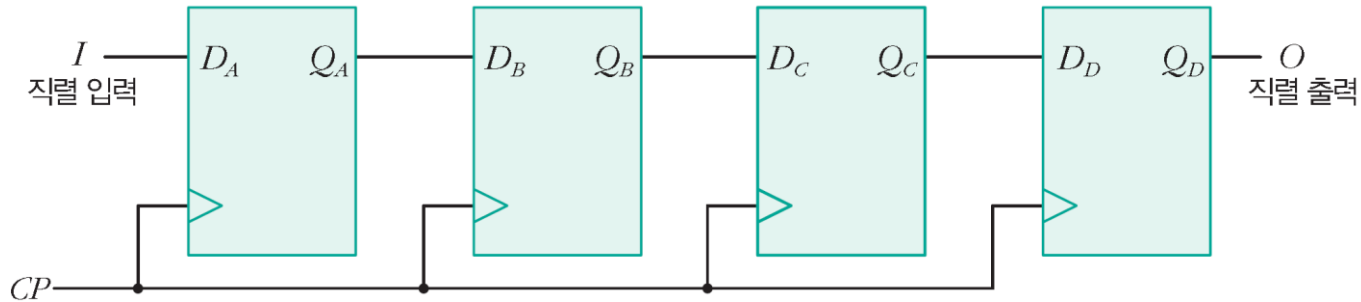


그림 3-89 4비트 시프트 레지스터(직렬 입력 - 직렬 출력)

□ 병렬 로드를 가지는 양방향 시프트 레지스터

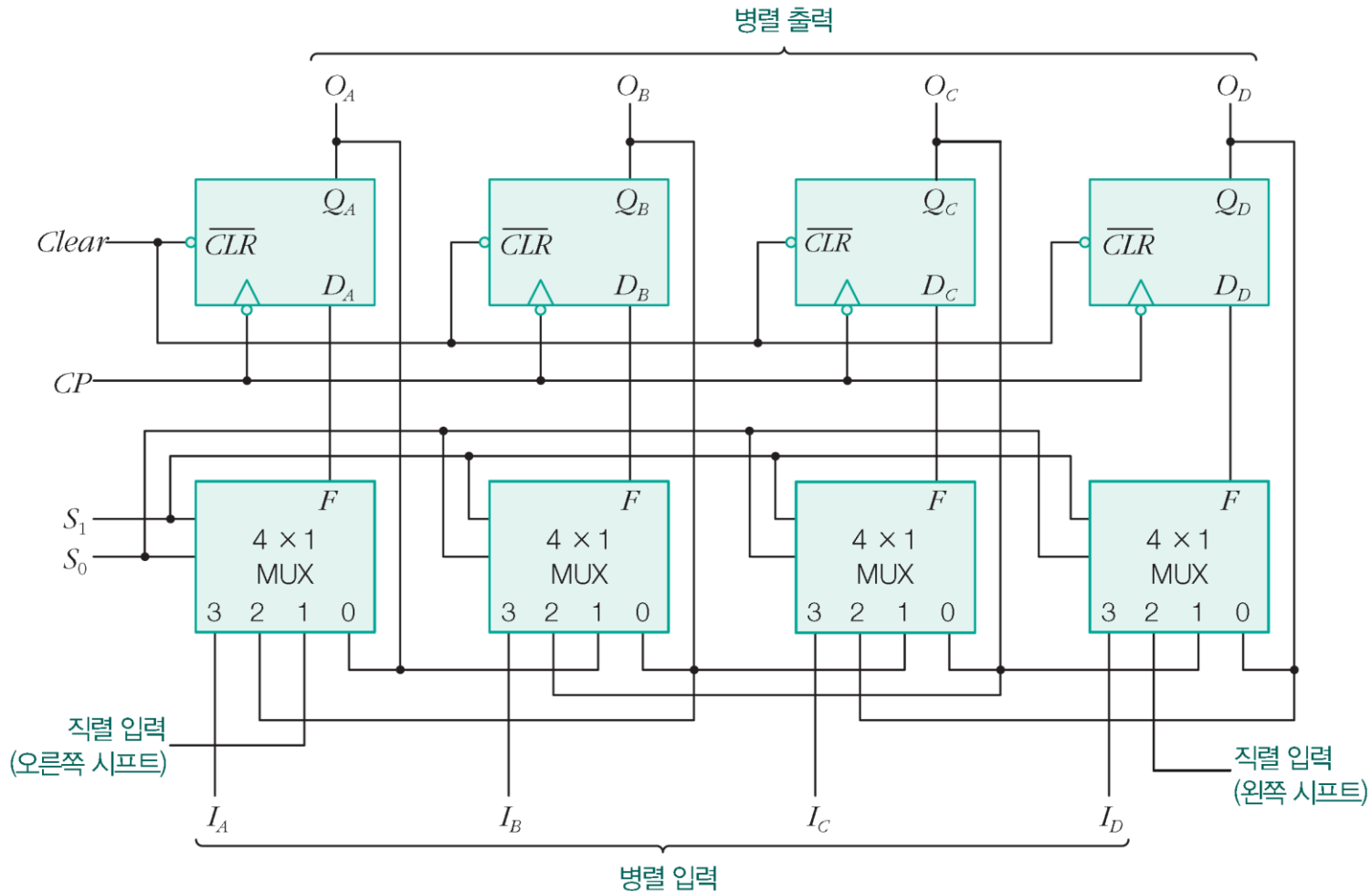


그림 3-90 병렬 로드를 가지는 4비트 양방향 시프트 레지스터 $S_1S_0 = 00$ 인 경우(불변)

04 순서 논리 회로

□ 병렬 로드를 가지는 양방향 시프트 레지스터

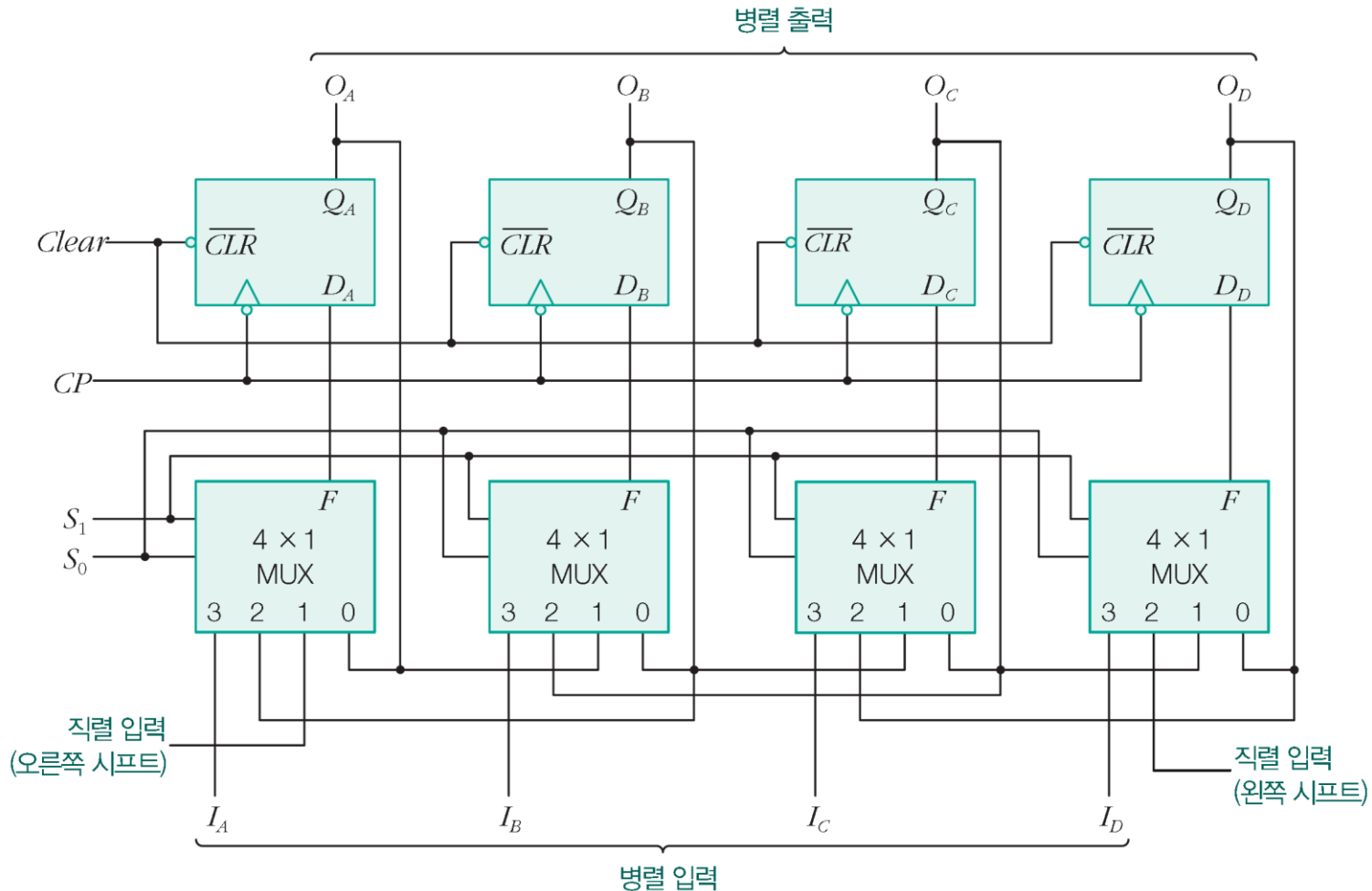


그림 3-90 병렬 로드를 가지는 4비트 양방향 시프트 레지스터 $S_1 S_0 = 01$ 인 경우(오른쪽 시프트)

04 순서 논리 회로

□ 병렬 로드를 가지는 양방향 시프트 레지스터

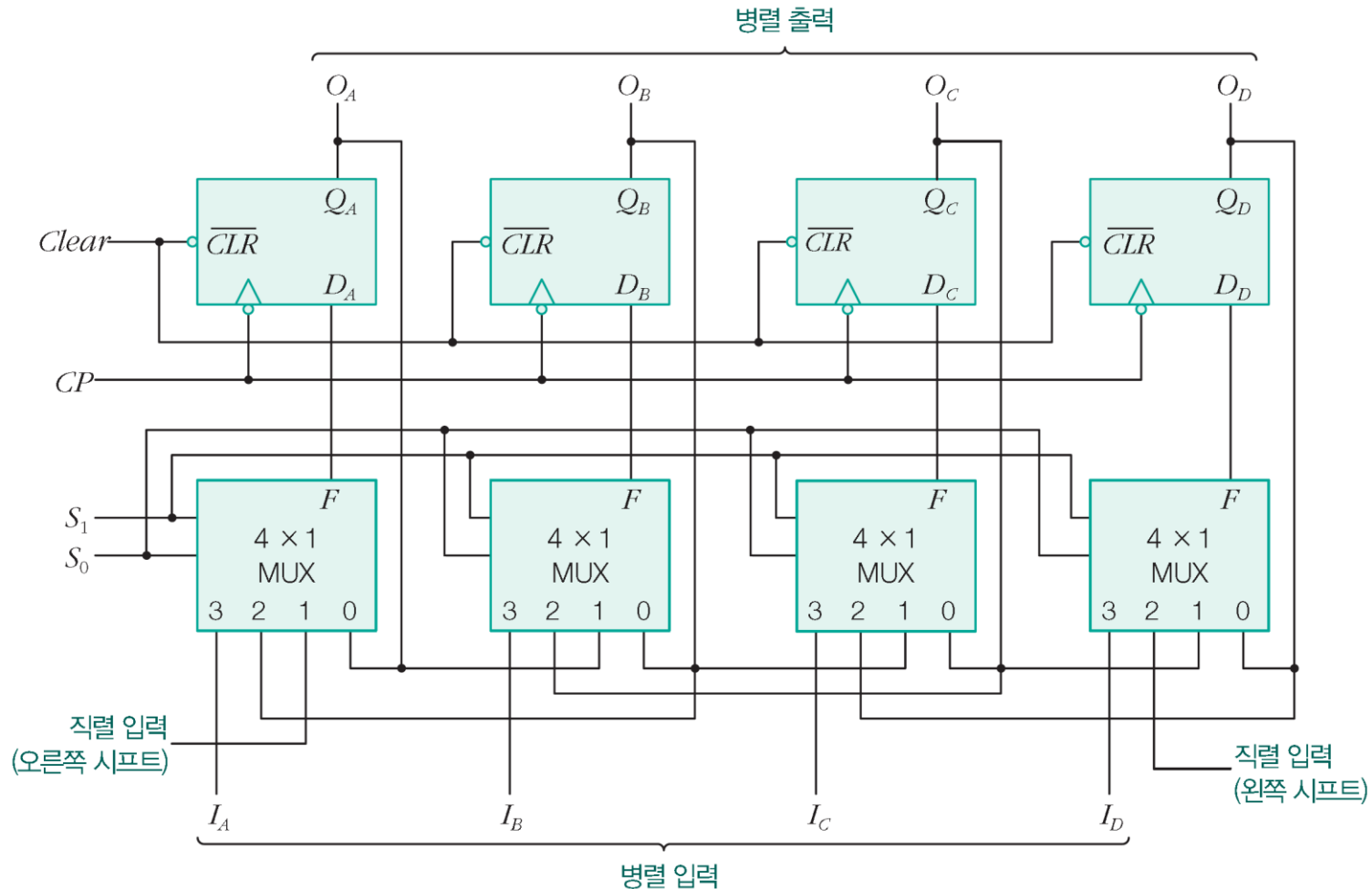


그림 3-90 병렬 로드를 가지는 4비트 양방향 시프트 레지스터 $S_1S_0 = 10$ 인 경우(왼쪽 쉬프트)

04 순서 논리 회로

□ 병렬 로드를 가지는 양방향 시프트 레지스터

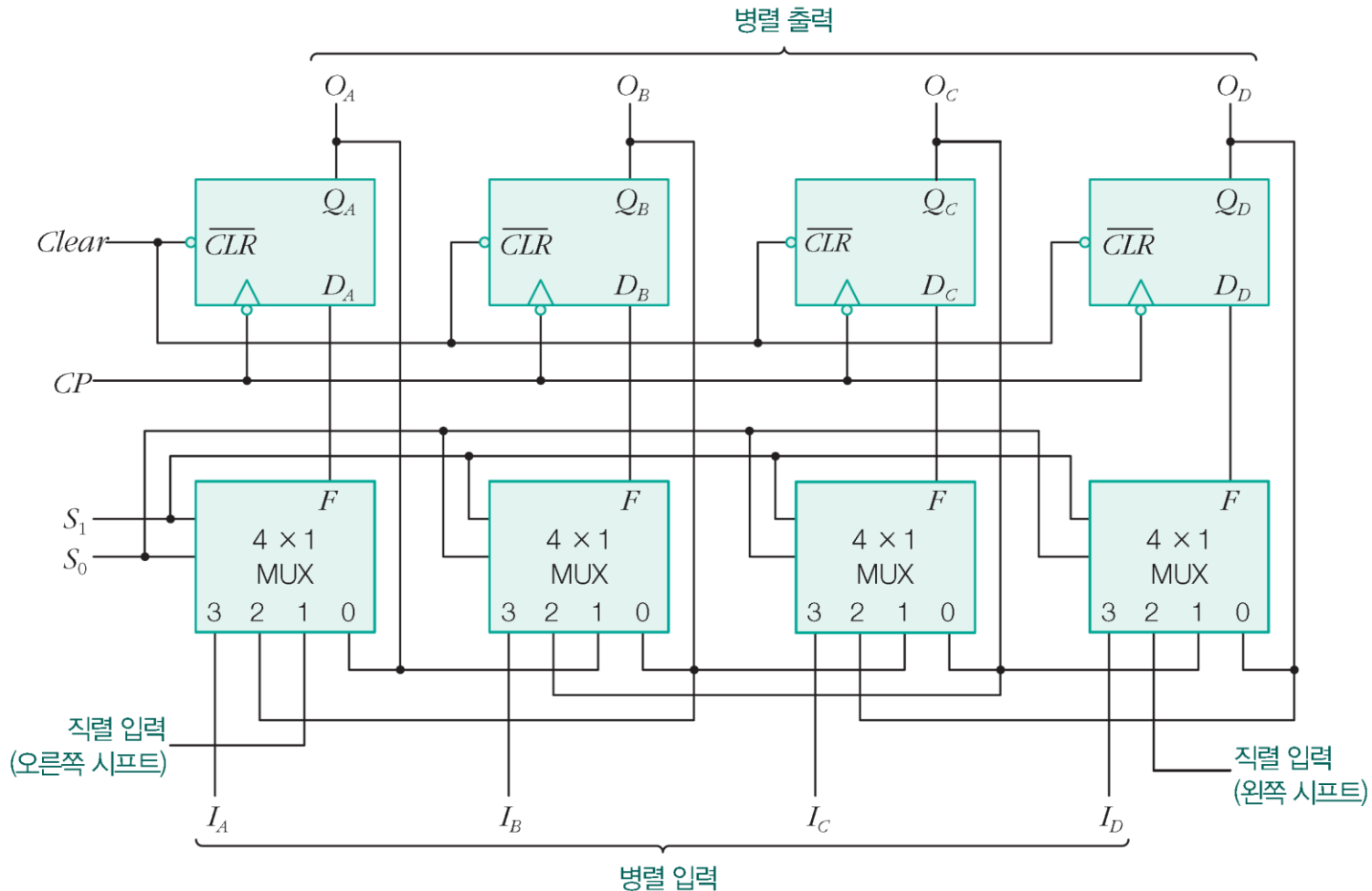


그림 3-90 병렬 로드를 가지는 4비트 양방향 시프트 레지스터 $S_1 S_0 = 11$ 인 경우(병렬입력)

□ 병렬 로드를 가지는 양방향 시프트 레지스터(계속)

표 3-11 양방향 시프트 레지스터의 제어표

모드 제어		레지스터 동작	설명
S_1	S_0		
0	0	불변 상태가 된다.	각 멀티플렉서의 입력 채널 0이 선택되어 레지스터는 현재 출력 값이 다시 플립플롭 D 입력에 공급되어 클록 펄스가 입력되어도 현재 상태를 유지한다.
0	1	오른쪽 시프트가 수행된다.	각 멀티플렉서의 입력 채널 1이 선택되어 각 플립플롭의 출력 Q 는 오른쪽 플립플롭의 D 입력에 연결되어 오른쪽 시프트를 수행하며, 맨 왼쪽 플립플롭의 D 입력에는 직렬 데이터가 입력된다.
1	0	왼쪽 시프트가 수행된다	각 멀티플렉서 입력 채널 2가 선택되어 각 플립플롭의 출력 Q 는 왼쪽 플립플롭의 D 입력에 연결되어 왼쪽 시프트를 수행하며, 맨 오른쪽 플립플롭의 D 입력에는 직렬 데이터가 입력된다.
1	1	병렬 입력이 수행된다.	각 멀티플렉서 입력 채널 3이 선택되어 병렬 입력($I_D \sim I_A$)의 2진 데이터는 클록 펄스가 입력될 때 레지스터에 로드된다.

집적회로

(Integrated Circuit)

05 집적 회로

- **집적 회로**(Integrated Circuit, IC)는 작은 실리콘 칩에 저항, 커패시터, 다이오드, 트랜지스터 등 전자 부품을 여러 공정을 거쳐 내부적으로 상호 연결한 것
- 칩(chip)은 실리콘 반도체로 세라믹 또는 플라스틱 기판에 부착하여 외부 핀에 연결한다.

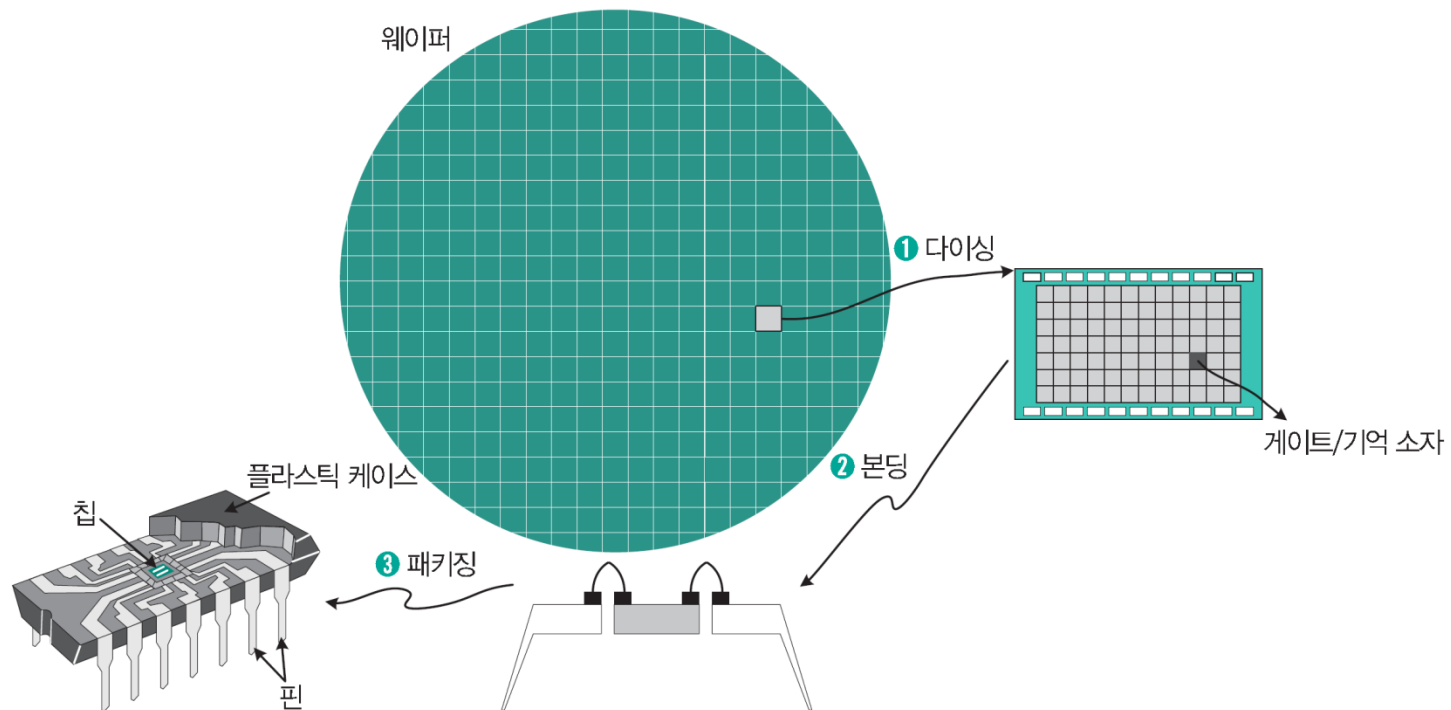


그림 3-91 IC 칩의 간략한 제작 과정

□ 디지털 논리군

TTL	<p>Transistor-Transistor Logic</p> <ul style="list-style-type: none">• 최근까지 가장 많이 사용되었다. 표준 TTL 외에도 고속 TTL, 저전력 TTL, 저전력 쇼트키 schottky TTL, 고성능 쇼트키 TTL 등이 있다.• TTL 회로의 전원은 +5V고, 0과 1의 두 논리 레벨은 각각 0V와 +3.5V다.• 기본 회로는 NAND 게이트다.
ECL	<p>Emitter-Coupled Logic</p> <ul style="list-style-type: none">• 슈퍼 컴퓨터 신호 처리기 같은 고속 회로에 사용된다.• ECL 게이트의 트랜지스터는 불포화 상태에서 동작하기 때문에 1~2ns의 전달 지연 시간만 갖는다.• 기본 회로는 NOR 게이트다.
MOS	<p>Metal-Oxide Semiconductor</p> <ul style="list-style-type: none">• 부품의 밀도가 높은 집적 회로에서 주로 사용되는 것으로 금속 산화물 반도체라고 한다.• 단상 트랜지스터인 NMOS가 사용된다.
CMOS	<p>Complementary Metal-Oxide Semiconductor</p> <ul style="list-style-type: none">• NMOS와 PMOS를 서로 연결하여 제작하기 때문에 회로의 밀도가 높고 제조 공정이 단순하며, 전력 소비가 적어 경제적이다.• 4000B 시리즈, HC 시리즈, HCT 시리즈가 있다.

❖ 디지털 논리군의 전기적 특성

전파지연시간	<p>gate propagation delay</p> <ul style="list-style-type: none">신호가 입력되어서 출력될 때까지의 시간을 말하며, 게이트의 동작 속도이다.
전력소모	<p>power dissipation</p> <ul style="list-style-type: none">게이트가 동작할 때 소모되는 전력량
잡음여유도	<p>noise margin</p> <ul style="list-style-type: none">최대로 허용된 잡음 마진
팬-아웃	<p>fan-out</p> <ul style="list-style-type: none">하나의 게이트의 출력으로부터 다른 여러 개의 입력들로 공급되는 전류정상적인 동작으로 하나의 출력이 최대 몇 개의 입력으로 연결되는가를 나타낸다.

□ 집적 회로의 분류

표 3-12 소자 수에 따른 집적 회로의 분류

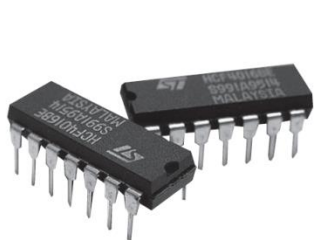
종류	소자 수
소규모 집적 회로(SSl Small Scale Ic)	100개 이하
중규모 집적 회로(MSl Medium Scale Ic)	100 ~ 1,000개
대규모 집적 회로(LSl Large Scale Ic)	1,000 ~ 1만 개
초대규모 집적 회로(VLSl Very Large Scale Ic)	1만 ~ 100만 개
극초대규모 집적 회로(ULSl Ultra Large Scale Ic)	100만 개 이상

❖ 디지털 시스템의 장점

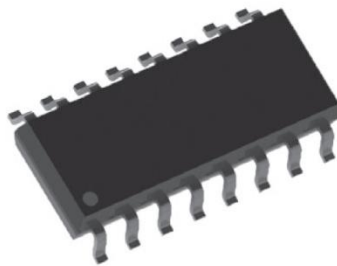
- 디지털 시스템의 소형화 및 경량화
- 생산 가격의 저렴화
- 소비 전력의 감소
- 동작 속도의 고속화
- 디지털 시스템의 신뢰도 향상

□ IC 패키지

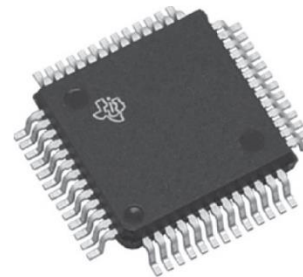
- PCB에 장착하는 방법에 따라 **삽입 장착형**(through-hole mounted)과 **표면 실장형**(Surface-Mounted Device, SMD)으로 구분
- 삽입 장착형 IC는 **DIP**(Dual-In-line Package) 형태
- 표면 실장형 IC로는 **SOIC**(Small Outline Integrated Circuit), **QFP**(Quad Flat Package), **PLCC**(Plastic Leaded Chip Carrier) 등이 있다.



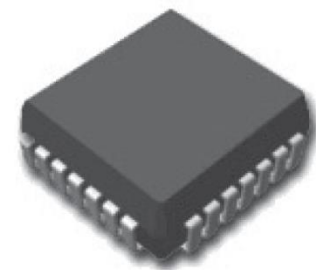
(a) DIP



(b) SOIC



(c) QFP



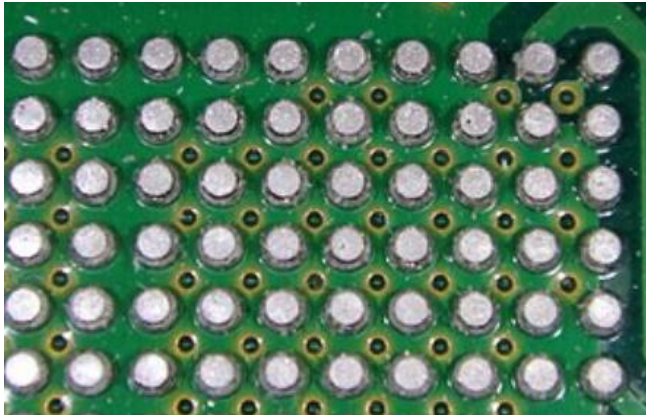
(d) PLCC

그림 3-92 제작 형태에 따른 IC 패키지의 종류

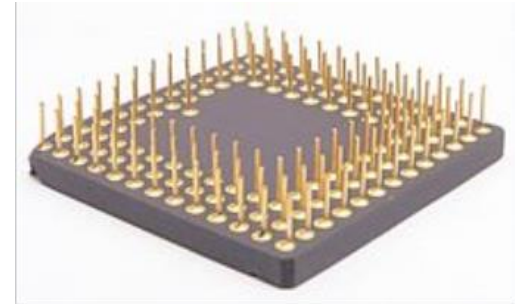


PCB(Printed Circuit Board)

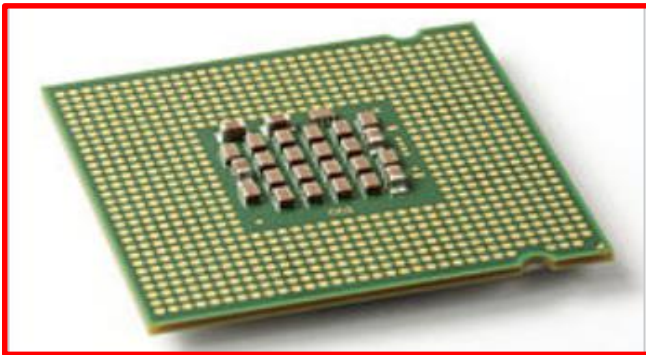
BGA, LGA, PGA



Ball Grid Array

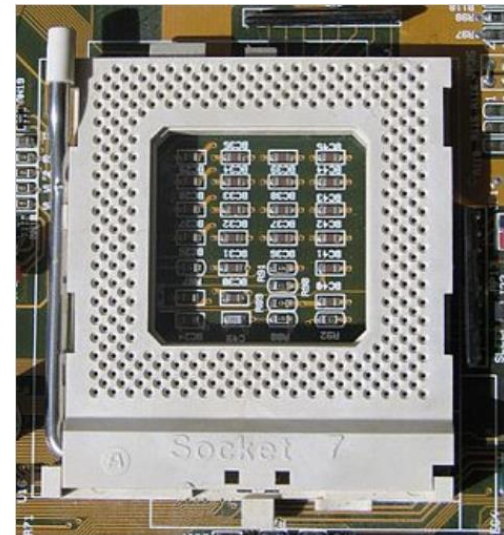


The pin grid array at the bottom of a XC68020, a prototype of the [Motorola 68020](#) microprocessor



The LGA 775 package of a [Pentium 4 Prescott CPU](#).

Land Grid Array



Pin Grid Array Socket

인텔 CPU 패키지 예

모델명	소켓	스테핑	CPU		L3 캐시 (MB)	GPU		PCIe 레인 (규격) (개수)	메모리 컨트롤러 (규격) (MHz)	TDP (W)	MSRP (\$)
			코어 (스레드)	클럭 (터보 부스트) (GHz)		모델명	클럭 (MHz)				
일반 데스크톱 제품군											
Core i9-9900KS	LGA 1151 (소켓 H4)	R0	8(16)	4.0 (~5.0~5.0)	16	UHD Graphics 630	1200	PCIe 3.0 16	DDR4 2666 (듀얼채널) 128GB	127	513
Core i9-9900K		P0, R0	8(16)	3.6 (~4.7~5.0)	16		1200			95	488
Core i9-9900		R0	8(16)	3.1 (~4.5~5.0)	16		1200			65	439
고성능 모바일 제품군											
Core i9-9980HK	BGA 1440	R0	8(16)	2.4(~?~5.0)	16	UHD Graphics 630	1250	PCIe 3.0 16	DDR4 2666 (듀얼채널) LPDDR3 2133 (듀얼채널) 128GB	45	583
Core i9-9880H		R0	8(16)	2.3(~?~4.8)	16		1200		45	556	

표의 자료는 나무위키 자료를 참고했습니다

수고하셨습니다!