

# Digital System Design Final

## - Single Cycle -

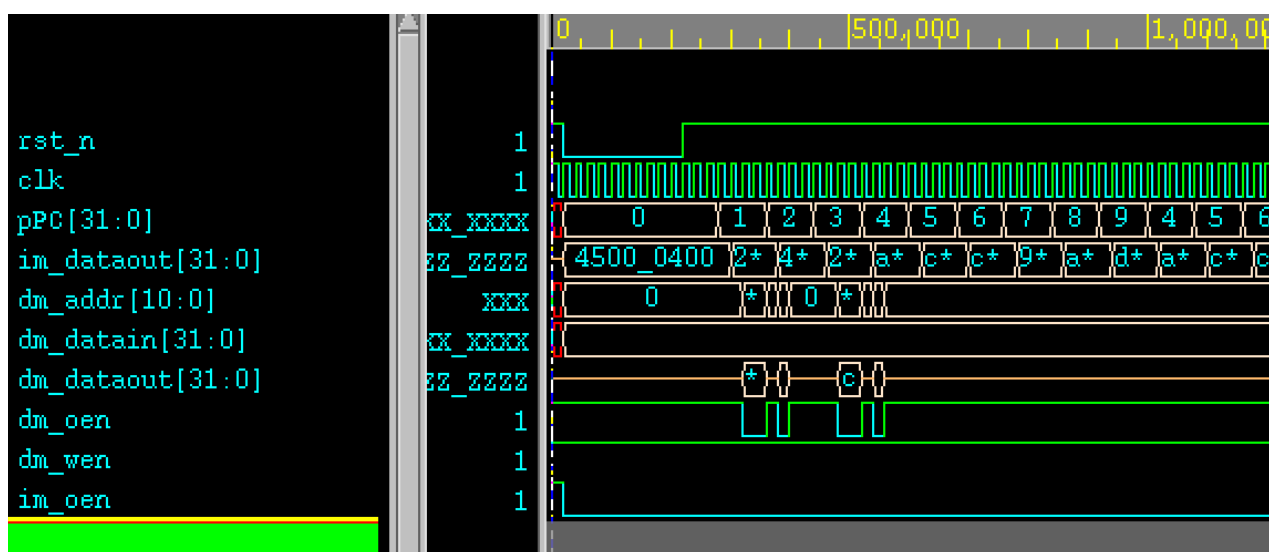
戴宏穎

### A. 緣由

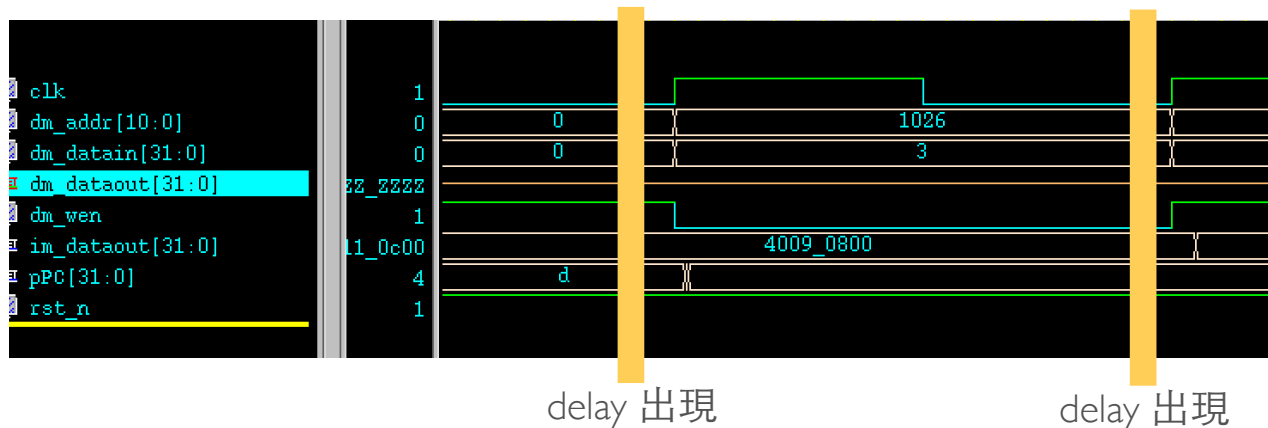
1. 原本的 Pipeline 依據 forwarding 的那張圖下去寫，目前克服了記憶體延遲的問題與 bit 長度的 bugs。
2. 在處理 stage 雖然接上線以後可以 simulation。不過，只能通過簡單的指令，有任何 branch & jump 的時候，都會無法終止，對他做合成以後跑出來的結果都是 X (unknown)，所以簡化整個 spec 回到 single cycle.

### B. Single Cycle 設計

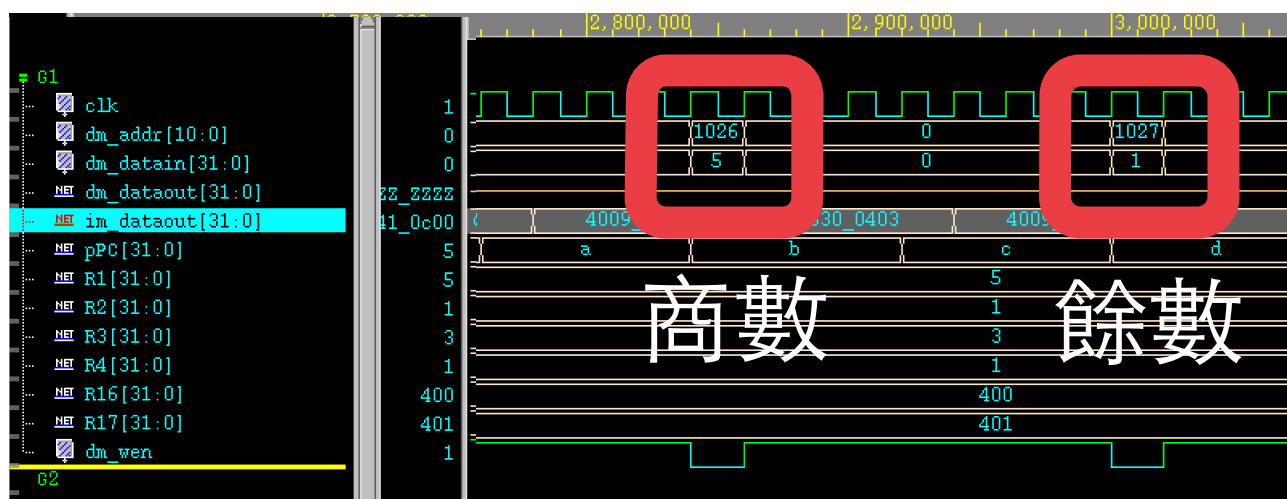
1. 利用四個 clock period 當成一個 cycle，前三個 period 跟 MEM 說要讀取/寫入資料，最後一個 period 才去抓 MEM 的值，確定能拿到正確的值。
2. 以下是圖形的部分：
  1. GCD(RTL)：



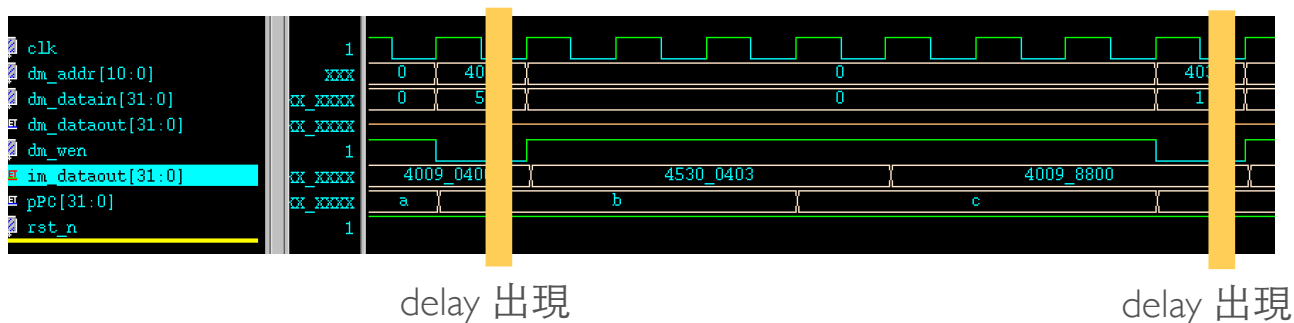
2. GCD(syn) :



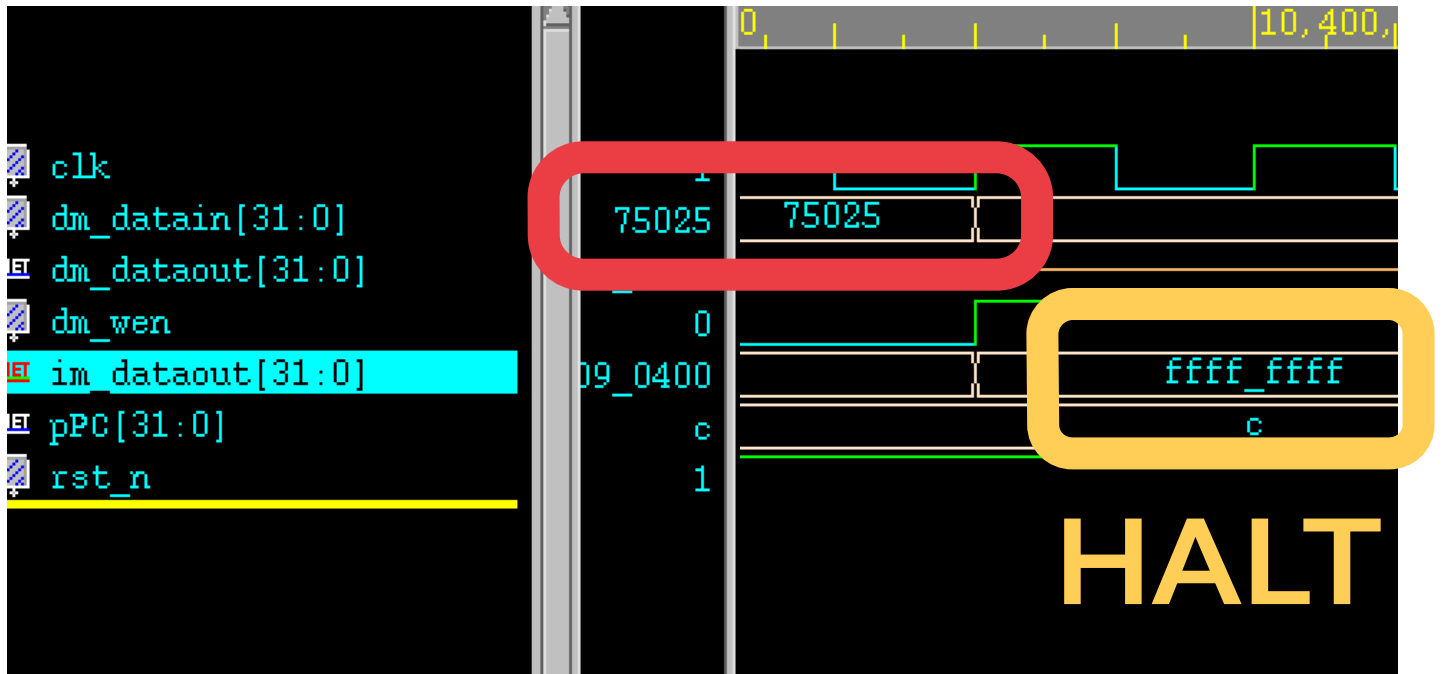
3. div(RTL) :



4. div(syn) :



## 1. Fib(25) &amp; HALT :



2. 在跑 Fib 的時候我有把它開的很大，因為我們存的資料是 32-bit 的，所以確定會越界，上面的圖是一筆合法的資料。
3. 另外我定義 ffff\_ffff 為 halt 指令，當我的 PC 去存取 instruction 的時候，發現他是 ffff\_ffff 就離開執行回圈。

## C. 遇到的 bugs

1. 利用 nWave 和從 simulation 印出資料的時候都把輸出格式設定為 16 進位，所以在乘法的時候  $(-16) * (-3) = 48$  的時候，一直印出 30。起初還以為是設計錯誤，因此花了非常多的時間在尋找錯誤上，不料居然原本就是正確的.....
2. 在宣告 bit 的時候，把一個四 bits 的 wire 宣告成三 bits 結果在判斷跟處理上就會略過不少 case 導致錯誤，經過大量的測試資料才發現這個問題，也是花掉太多的時間在這上頭。
3. 前幾次在做合成以後，跑 simulation 時發現所有的值都是 X(unknown) 有些則是出現 Z，好像我的設計跟老師提供的 dm\_write, dm\_read 有衝突？再用自己的接線下去重接以後，跑 syn simulation 才正常。

4. 關於寫失敗的 pipeline，在處理 stage 的時候，或許是對 pipeline 的掌握不夠好，把線照著接上的時候，做模擬的結果卻是很有問題，不符合預定的結果，只要有 branch & jump 都會出錯。

## D. 學到的經驗與知識

1. 其實本學期正在修硬體實驗這門課，所以在這學期以前連 Verilog 是什麼都沒聽過，當初會進來修這門課除了因為是甲組必選以外，也沒有特別的動機。不過在修習的時候，越來越喜歡上這門語言與技術。尤其是把 single cycle 的 process 燒上 FPGA 版，然後用 LCD 和幾個 push button 來驗證設計，也特別有感覺。覺得這個學期真的是成功入門了 Verilog 這門語言，也感謝助教都很耐心的幫忙釐清概念與細心的解說一些巧思的設計。
2. 學到最多的除了 Verilog 的語法外，還有這些合成的技巧。在這堂課教合成以前，在硬體實驗也只是按下 xilinx 的合成按鍵，然後等他跑出來以後就直接塞到 FPGA 版上，其實對細節也不是很了解。不過在學了合成以後才發現，其實有許多的細節可以調整的。光是照著講義做合成的步驟就有許多細節可以調整。這些都是很有趣的部分。
3. 只能說做數位系統設計是門大哉問，魔鬼都藏在細節裡，有很多用得理所當然的部分在語法上或是合成的時候都可以下去做調整。也有助教會在 DEMO 的時候來問我概念的部分，不懂的地方也會再次解釋，讓我學得比較扎實。也比較清楚未來往這方向學習的基礎知識。

## E. 程式碼結構

- |— Makefile
- |— Processor.sdf
- |— Processor.v (RTL codes)
- |— Processor\_syn.v (syn codes)
- |— header.v
- |— myTestcase-bin.dat (my testcase)
- |— myTestcase-data.dat (my testcase)
- |— code.txt (my testcase)

- |— readme.txt
- |— report\_area.txt
- |— report\_power.txt
- |— report\_timing\_path.txt
- |— risc\_t.v
- |— syn.v

## F. 我的測資說明

主要為測試 loop, LD, ST 的功能，做連續讀取與多次回圈寫入

```
1 init:      ADD  R16, R0, R0
2            ADI  R9, R0, #512
3            ADI  R17, R0, #1024
4            ADI  R18, R0, #1
5 ;; Load 512~516 to R1~R5
6            LD   R1, M[R9]
7            ADD  R9, R9, R18
8            LD   R2, M[R9]
9            ADD  R9, R9, R18
10           LD   R3, M[R9]
11           ADD  R9, R9, R18
12           LD   R4, M[R9]
13           ADD  R9, R9, R18
14           LD   R5, M[R9]
15 ;; Let R6 be 512
16           ADD  R6, R0, R0
```

```
17          ADI  R9, R0, #512
18 loop:    ADD  R6, R6, R18
19          SUB  R8, R9, R6
20          BNZ  R8, loop (-2)
21 ;; Load word from 512 to 535
22          ADD  R10, R9, R0
23          ADI  R11, R0, #535
24 loop:    LD   R12, M[R10]
25 ;; Add R1~R5 to it
26          ADD  R12, R12, R1
27          ADD  R12, R12, R2
28          ADD  R12, R12, R3
29          ADD  R12, R12, R4
30          ADD  R12, R12, R5
31 ;; Save it to from 1024~1047
32          ST   M[R17], R12
33          ADD  R17, R17, R18
34 ;; Increment loop counter
35          ADI  R10, R10, #1
36          SUB  R13, R11, R10
37          BNZ  R13, loop2 (-10)
40 NOP
41 NOP
42 NOP
```

43 NOP

44 NOP

45 HALT

46 HALT

47 HALT

48 HALT

49 HALT