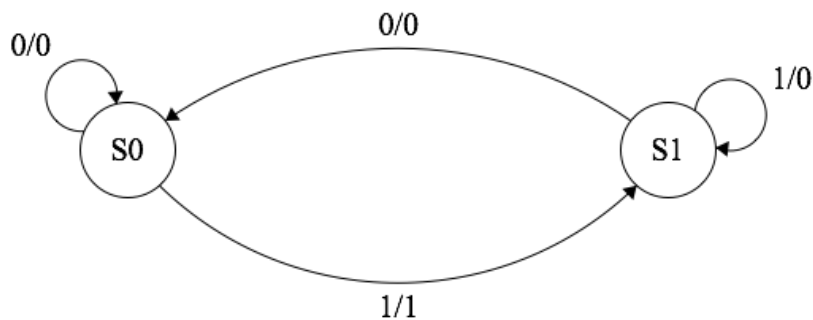


Digital System Design - Homework2

戴宏穎

A. One-Pulse Generator

1. File in hw2_A/hw2_A.v。
2. Test bench in hw2_A/hw2_A_testbench.v。
3. 在 testcase 的部分，直接使用題目給定的測資：
Input Stream: 0 1 0 1 0 0 1 1 1 1 0 0 0 1 0 1 1 1 0 0
4. 我設計的 FSM 圖如下：
 1. S0: 初始狀態 & 前一個輸入為 0 的狀態
 2. S1: 前一個輸入為 1 的狀態

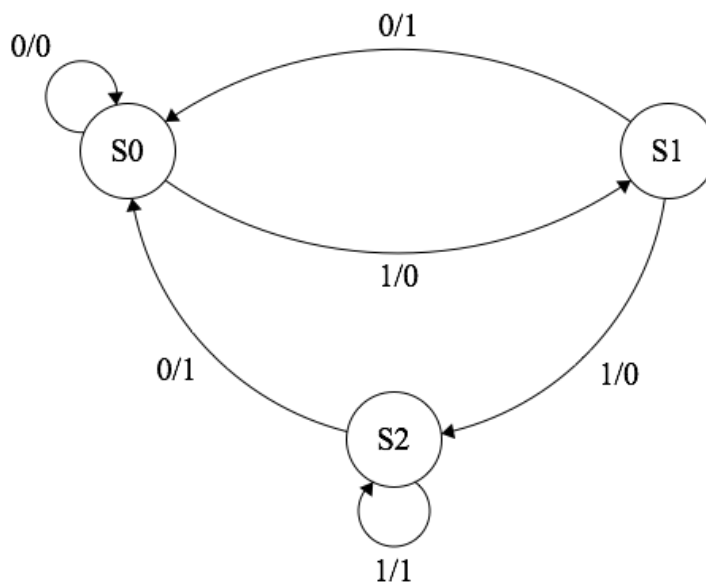


5. 執行完 testbench 的輸出格式如下：
 1. =====
 2. Time x （從開始到這個指令的時間）
 3. rst_n = x in = x out = x （當下的 in 和 out）
 4. =====
6. 執行結果：

我的設計裏頭有加上一個 D-F/F 來控制 Output，所以他會出現一個 Cycle 的 Delay。當輸入變更的時候，會晚一個 Cycle 才會出現效果。

B. Stream Filter

1. File in hw2_B/hw2_B.v。
2. Test bench in hw2_B/hw2_B_testbench.v。
3. 在 testcase 的部分，直接使用題目給定的測資：
Input Stream: 0 1 1 1 0 0 0 1 0 0 1 1 1 1 1 0 0 0
4. 我設計的 FSM 圖如下：
 1. S0: 初始狀態 & 前一個輸入為 0 的狀態
 2. S1: 前兩個輸入為 01 的狀態
 3. S2: 前兩個輸入為 11 的狀態



5. 執行完 testbench 的輸出格式如下：
 1. =====
 2. Time x （從開始到這個指令的時間）
 3. rst_n = x in = x out = x （當下的 in 和 out）
 4. =====
6. 執行結果：

因為這個設計裡需要確認前兩個輸入的狀態，所以本身就會晚一個 Cycle 才有辦法輸出要求。再加上我的設計利用 D-F/F 來控制 Output，所以他又會有一個 Cycle 的 Delay。當輸入變更的時候，會晚兩個 Cycle 才會出現效果。