

多模式交织器实现

1. 实验目的

本实验目的是设计一款阵列交织器，可以按照行写入列读出的方式，支持 904，920，1848，2712，数据长度 8bit 四种模式的交织。

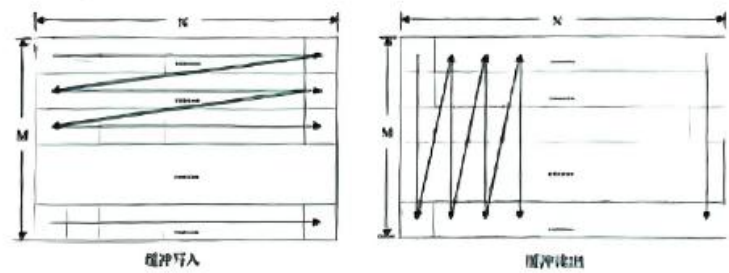


图 1 实验指导图

2. 代码功能介绍

2.1 设计思路

存储单元设计：在本设计中，由于数据块最大为 2712，因此采用 8 位，深度为 2712 的寄存器堆作为存储单元，寻址方式为一维线性寻址。由于四种模式的 最大公约数为 8，因此设计寄存器列宽为 8，行宽依次为对应块大小除以 8。

读写逻辑：写入时，按照线性寻址的方式写指针逐渐加 1 写入。读出时，由于行宽为 8，因此需要先从 0 开始每次加 8 位读取，读到列尾时再重复从 1 开始每次加 8 位读取，直到从 7 开始每次加 8 位读取直到列尾读出所有的数。

2.2 代码分析

输入输出端口分析：

信号	功能
clk	全局时钟
reset	全局复位
data_in	数据输入 8 位
Data_valid	输入有效
length	块长度 12 位（904，920，1848，2712）
Data_out	数据输出 8 位
Data_out_valid	输出有效

关键变量分析：当堆不满时按照写入逻辑输入，堆满后按照读出逻辑输出。

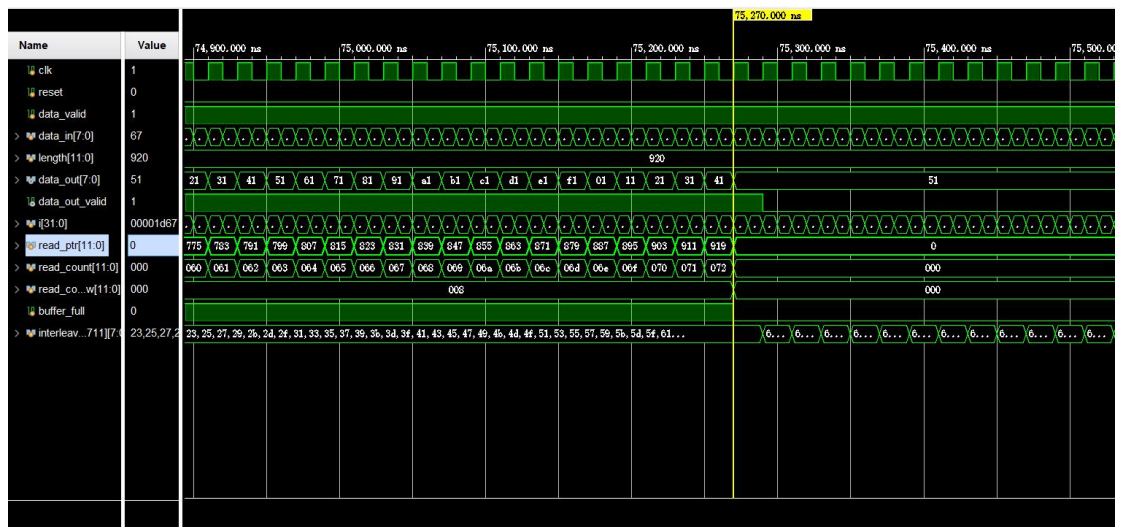


图 4 920 模式下的仿真波形，可以看到读指针最终指向 919，
每个输出相隔 16，符合设计要求。



图 5 1848 模式下的仿真波形，可以看到读指针最终指向 1847，
每个输出相隔 16，符合设计要求。



图 6 2712 模式下的仿真波形，可以看到读指针最终指向 2711，
每个输出相隔 16，符合设计要求。

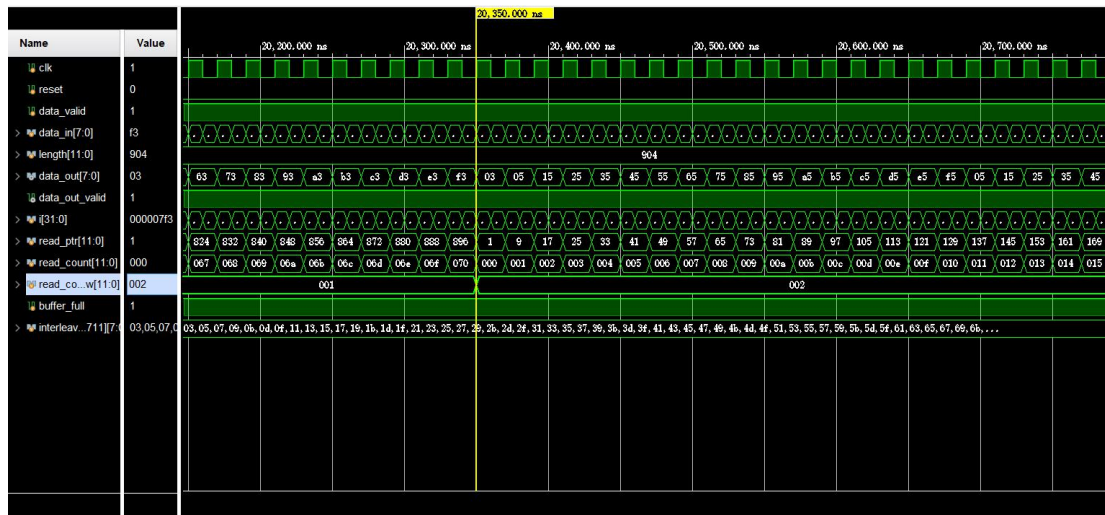


图 7 读完该列后读下一列，列计数加 1，
行计数由从 0 开始加 8 到从 1 开始加 8

3. 电路性能分析

3.1 资源分析

LUT	FF	BRAM	DSP
8931	21873	0	0

由于使用寄存器堆作为存储单元，因此没有消耗 BRAM，消耗了较多的 Flip-Flop。

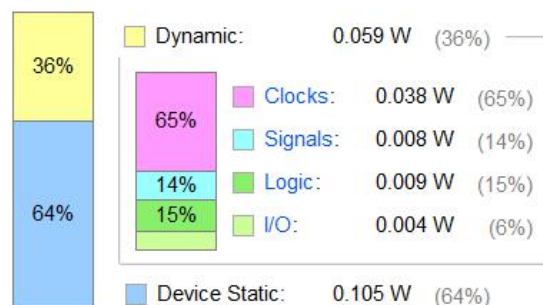
3.2 功耗分析

Summary

Power estimation from Synthesized netlist. Activity derived from constraints files, simulation files or vectorless analysis. Note: these early estimates can change after implementation.

Total On-Chip Power: 0.164 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 26.9°C
 Thermal Margin: 73.1°C (6.0 W)
 Effective θ_{JA} : 11.5°C/W
 Power supplied to off-chip devices: 0 W

On-Chip Power



Vivado 参考功耗较低符合低功耗设计理念。

3.3 时序分析

Design Timing Summary					
Setup		Hold		Pulse Width	
Worst Negative Slack (WNS): 5.431 ns		Worst Hold Slack (WHS): 0.173 ns		Worst Pulse Width Slack (WPWS): 4.500 ns	
Total Negative Slack (TNS): 0.000 ns		Total Hold Slack (THS): 0.000 ns		Total Pulse Width Negative Slack (TPWS): 0.000 ns	
Number of Failing Endpoints: 0		Number of Failing Endpoints: 0		Number of Failing Endpoints: 0	
Total Number of Endpoints: 22049		Total Number of Endpoints: 22049		Total Number of Endpoints: 21874	
All user specified timing constraints are met.					

在 100Mhz 时钟的条件下最糟糕的延迟为 5.431ns，预计频率最高可达到约 184Mhz