**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：实验 03 简单时序逻辑电路

学生姓名：

学生学号：

完成日期：2021.10.30

计算机实验教学中心制

2020年09月

【实验题目】

实验 03 简单时序逻辑电路

【实验目的】

掌握时序逻辑相关器件的原理及底层结构

能够用基本逻辑门搭建各类时序逻辑器件

能够使用 Verilog HDL 设计简单逻辑电路

【实验环境】

PC 一台：Windows 11操作系统

Logisim 仿真工具

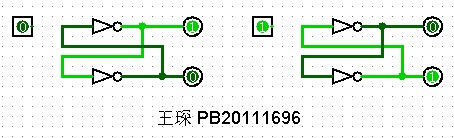
远程虚拟机vlab.ustc.edu.cn   
 客户端 TigerVNC

代码编辑器 VSCode

【实验过程】

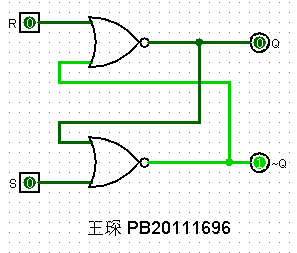
Step1：搭建双稳态电路

用两个非门交差耦合成双稳态电路



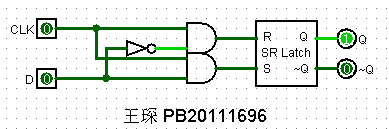
Step2：搭建 SR 锁存器

将双稳态电路中的非门替换成或非门并接入两个输入信号构成SR锁存器



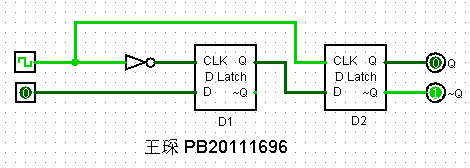
Step3：搭建 D 锁存器

使用step2搭建好的SR锁存器，并在前面添加两个与门和一个非门构成D锁存器

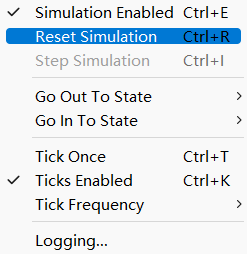


Step4：搭建 D 触发器

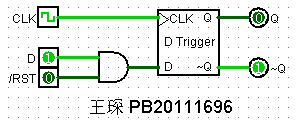
使用step3搭建好的D锁存器，将两个D锁存器级联形成主从结构的D触发器。



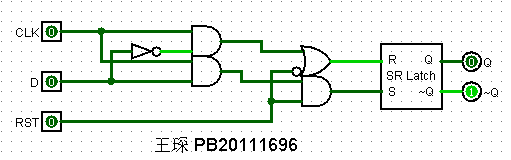
设置仿真和触发功能后即可看到输出在上升沿的变化



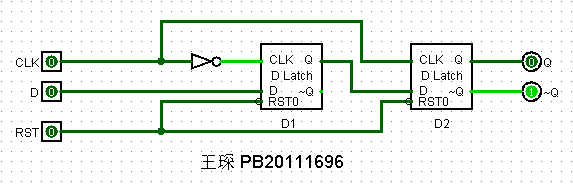
将输入信号D与/RST接入与门后连接到触发器上给触发器添加同步复位信号



首先构建能够复位的D锁存器

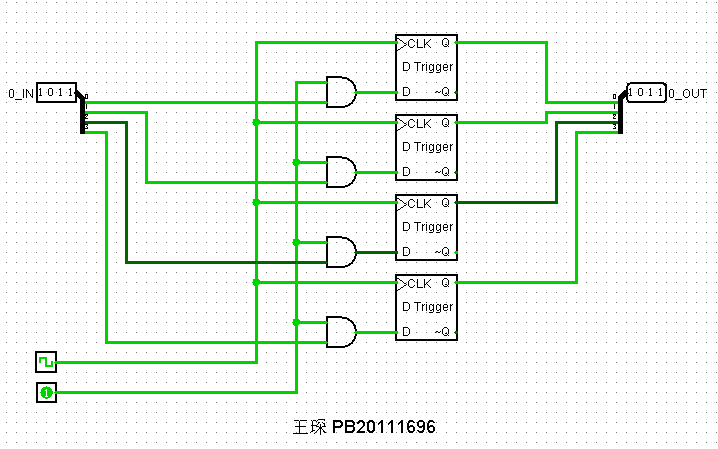


将两个能够复位的D锁存器级联形成主从结构的异步复位D触发器



Step5：搭建寄存器

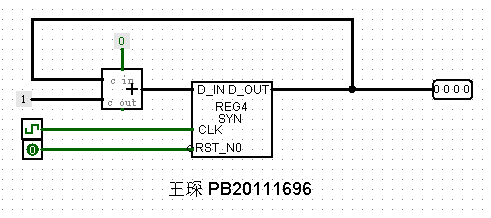
使用4个step4搭建的D触发器构建4bit寄存器，同时通过与门引入低电平有效的同步复位信号



可以先设计具有复位为1信号的D触发器，然后把对应寄存器中的D触发器换成具有复位为1信号的D触发器即可实现对复位结果的设定

Step6：搭建简单时序逻辑电路

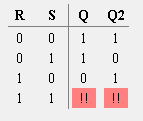
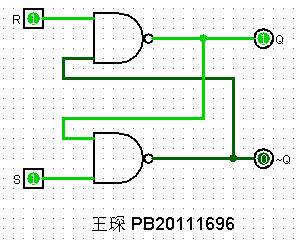
利用Step 5搭建的 4bit 寄存器，搭建一个 4bit 的计数器



【实验练习】

题目 1

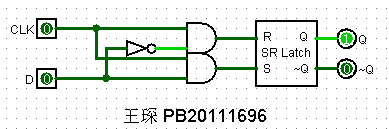
使用与非门搭建SR锁存器



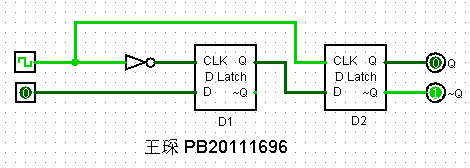
当R=S=1时电路处于锁存状态，R和S分别为低电平有效的置位信号，R置位为0，S置位为1，S与R同时为0是未定义状态

题目 2

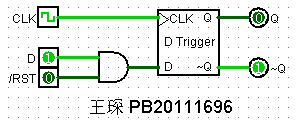
搭建D锁存器



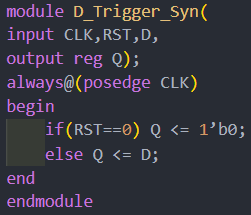
使用封装的D锁存器搭建主从结构的D触发器



使用封装的D触发器并通过与门接入同步置位

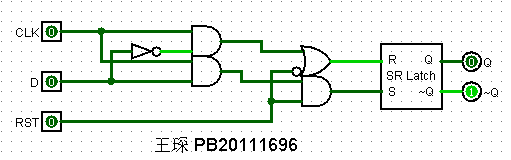


编写对应的Verilog代码

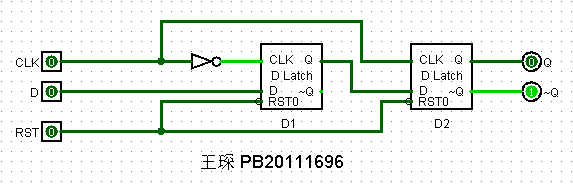


题目 3

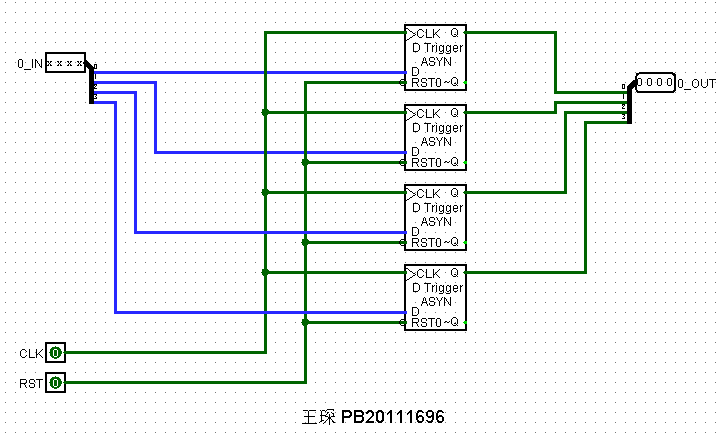
首先构建能够复位的D锁存器



将两个能够复位的D锁存器级联形成主从结构的异步复位D触发器

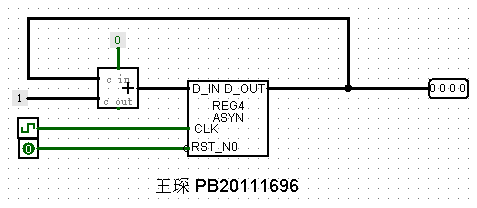


用封装的异步复位D触发器构建4bit异步复位寄存器

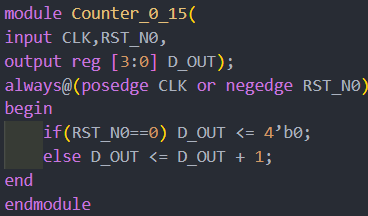


用封装的4bit异步复位寄存器构建从 0~15 循环计数的

4bit 计数器

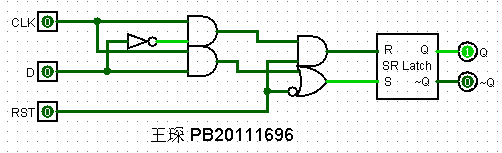


编写对应的Verilog代码

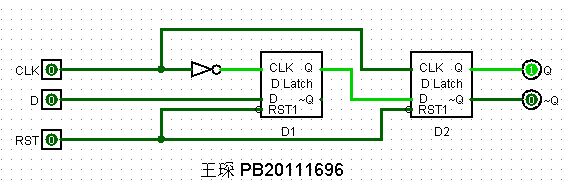


题目 4

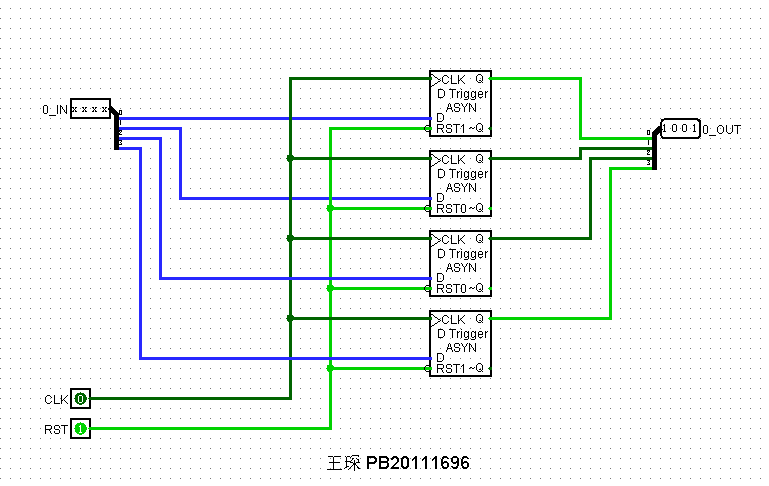
首先构建能够复位为1的D锁存器



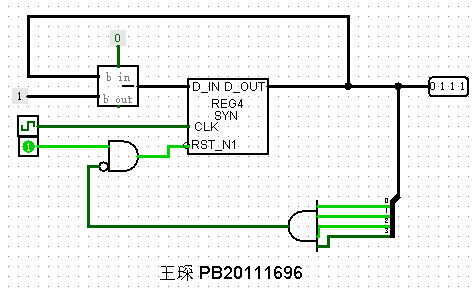
将两个能够复位为1的D锁存器级联形成主从结构的异步复位为1D触发器



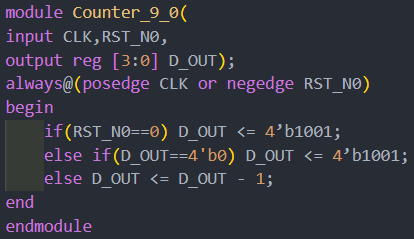
用封装的异步复位D触发器构建4bit异步复位为9的寄存器



用封装的4bit异步复位为9的寄存器构建9~0 循环递减复位值为9的计数器,其中引入一个与门，将输出信号缩位与非后与置位信号接入与门，即实现当计数器减至-1(4b’1111)后自动置位

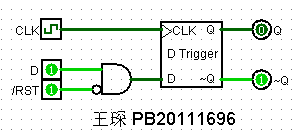


编写对应的Verilog代码

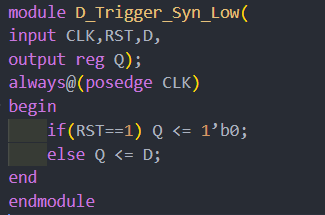


题目5

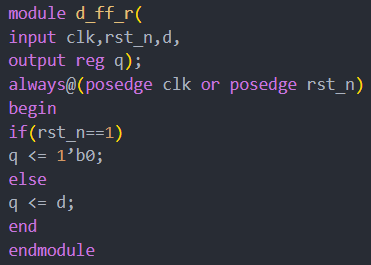
将置位信号取反后即可将低电平有效改为高电平有效，示例电路如下，这是一个高电平有效的同步置位D触发器



对应的Verilog代码中只需将RST\_N0==0修改为RST\_N0==1



若为异步置位，还需将置位信号前的negedge修改为posedge



【总结与思考】

1. 请总结本次实验的收获
   1. 学会了时序逻辑电路的基本原理
   2. 学习了Logisim中搭建各类时序逻辑器件的方法
   3. 了解了Verilog的中设计时序逻辑电路的方法
2. 请评价本次实验的难易程度
   1. 实验一二五较简单
   2. 实验三需要自行设计异步复位D触发器，难度相对较大
   3. 实验四需要自行设计复位为9的寄存器，难度相对较大
3. 请评价本次实验的任务量

本次实验任务量比之前稍大，能够在规定时间内完成

1. 请为本次实验提供改进建议
2. 在实验步骤中就介绍Logisim中提供的加法器，补充Step6的详细说明

（2）修改有错漏的Verilog代码，如Step5中定义的输出为q，但实际为D\_OUT