**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：实验 04 Verilog 硬件描述语言

学生姓名：

学生学号：

完成日期：2021.11.4

计算机实验教学中心制

2020年09月

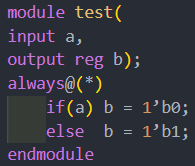
【实验题目】

实验 04 Verilog 硬件描述语言

【实验练习】

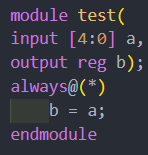
题目 1

if else 语句应放在always中使用，在always中b应为reg型变量，故修改如下



题目 2

b在always中赋值，b应为reg型变量，最后应有endmodle，故补充如下



题目 3

输出各信号的值如下

c=8’b0011\_0000

d=8’b1111\_0011

e=8’b1100\_0011

f=8’b1100\_1100

g=8’b0011\_0000

h=8’b0000\_0110

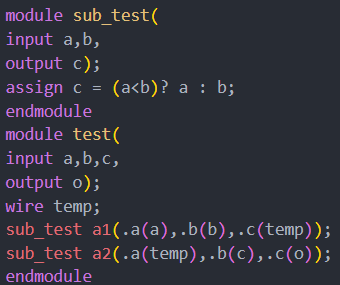
i=8’b0

j=8’b1111\_0000

k=8’b0100\_0011

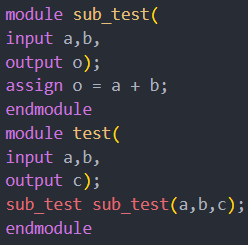
题目 4

c在assign语句中赋值，应为wire型变量，在test中接入c端口的temp也应为wire型，sub\_test不是基本门级元件，调用名不可省略，端口的位置关联和名称关联不能混用，故修改如下。



题目 5

sub\_test模块的端口声明格式不对，test模块中，模块调用不应放在always中，故修改如下



【总结与思考】

1. 请总结本次实验的收获
   1. 学会了Verilog HDL 常用语法
   2. 学习了阅读和理解 Verilog 代码的方法
   3. 了解了Verilog代码中易出错的地方
2. 请评价本次实验的难易程度

本次实验题目较简单

1. 请评价本次实验的任务量

实验练习能够在规定时间内完成

1. 请为本次实验提供改进建议

增加对于阻塞赋值和非阻塞赋值的说明