**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：实验 05 使用 Vivado 进行仿真

学生姓名：

学生学号：

完成日期：2021.11.11

计算机实验教学中心制

2020年09月

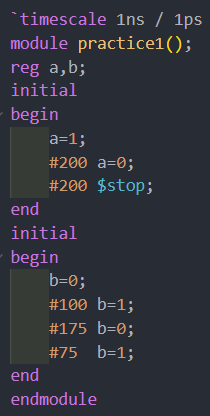
【实验题目】

实验 05 使用 Vivado 进行仿真

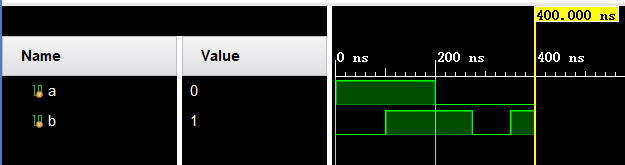
【实验练习】

题目 1

仿真文件如下

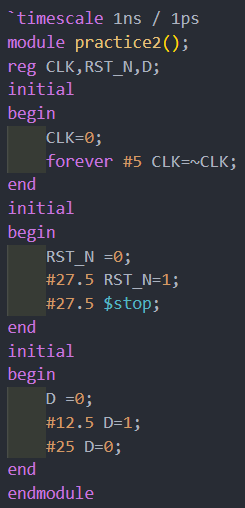


输出波形如下

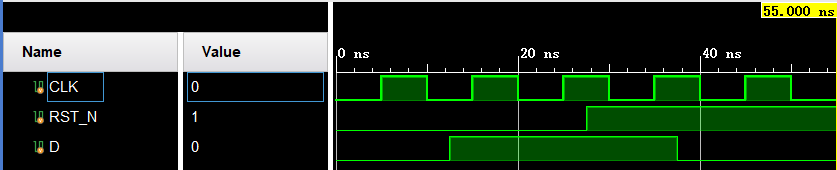


题目 2

仿真文件如下

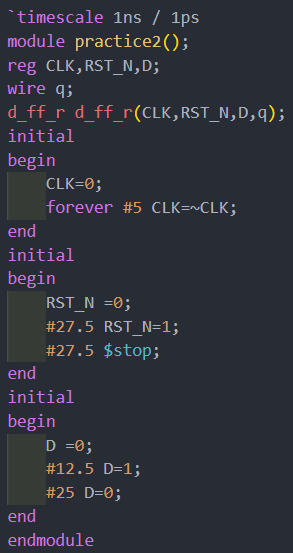


输出波形如下

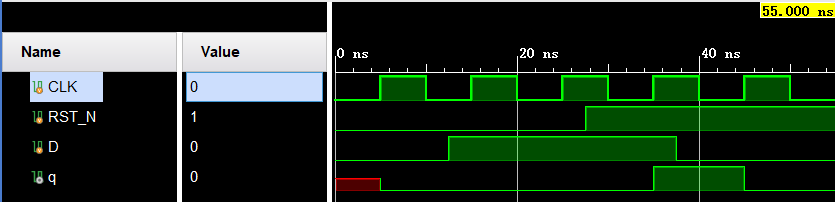


题目 3

将仿真文件修改如下，调用d\_ff\_r模块，并接入相应端口



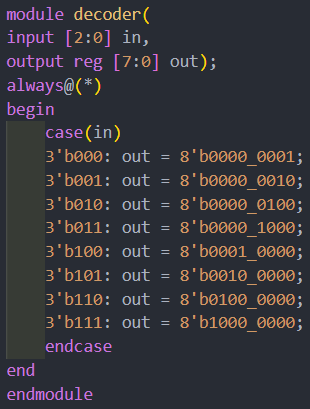
输出波形如下



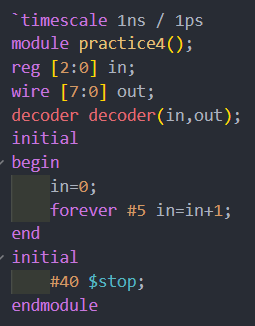
输出q仅在时钟上升沿发生改变，在第一次上升沿到来前，q的状态不确定，在RST\_N为低电平时，q被同步复位为0，当RST\_N为高电平时，q被d非阻塞赋值

题目 4

三八译码器的源代码如下



仿真文件如下



仿真结果如下



【总结与思考】

1. 请总结本次实验的收获
   1. 学会了Vivado 软件的下载、安装及使用
   2. 学习了使用 Verilog 编写仿真文件的方法
   3. 了解了使用 Verilog 进行仿真，查看并分析波形文件的过程
2. 请评价本次实验的难易程度

本次实验题目较简单

1. 请评价本次实验的任务量

实验练习能够在规定时间内完成

1. 请为本次实验提供改进建议

增加对于仿真文件语法的说明