**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：实验 06 FPGA原理及Vivado综合

学生姓名：

学生学号：

完成日期：2021.11.18

计算机实验教学中心制

2020年09月

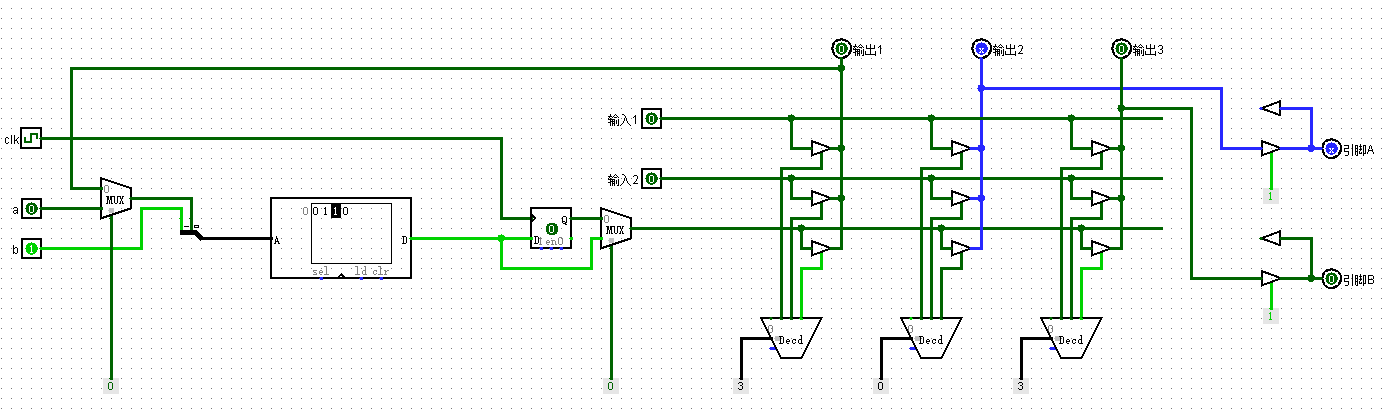
【实验题目】

06 FPGA 原理及 Vivado 综合

【实验练习】

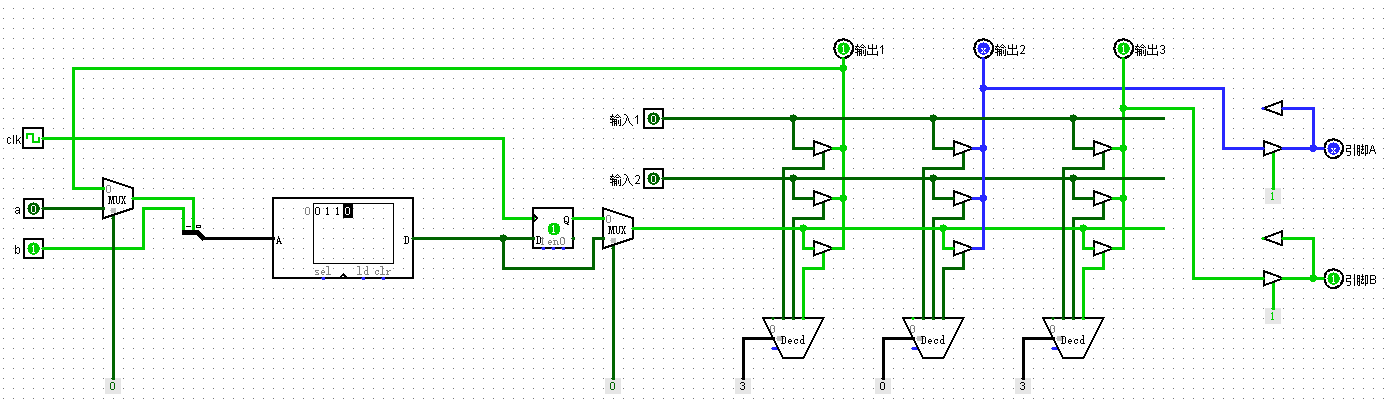
题目 1

电路初始状态和配置数据如下



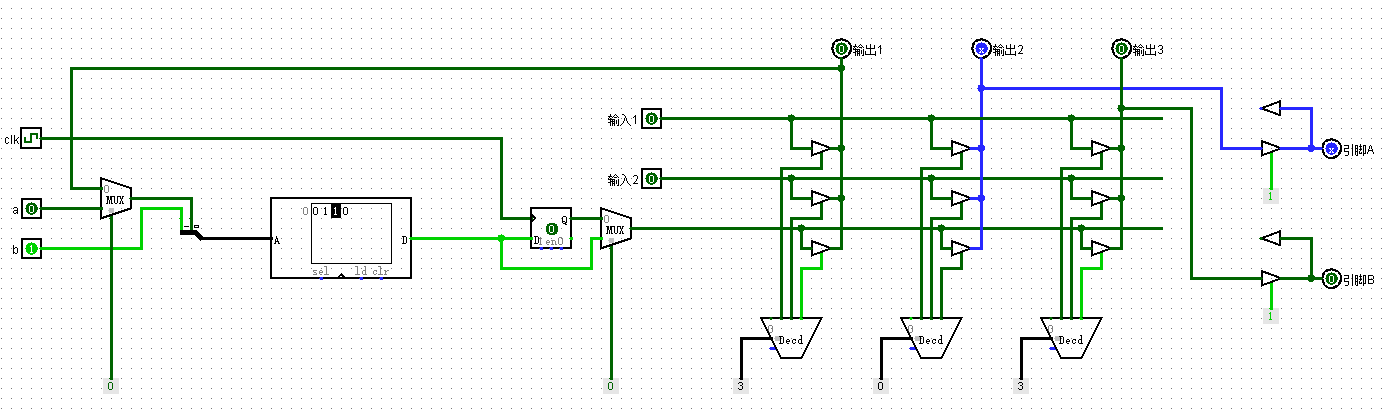
使用LUT实现异或运算，在时钟信号上升沿将触发器内存储的值与1’b1取异或的结果重新存储在触发器中

在时钟上升沿到来后，电路状态更新如下



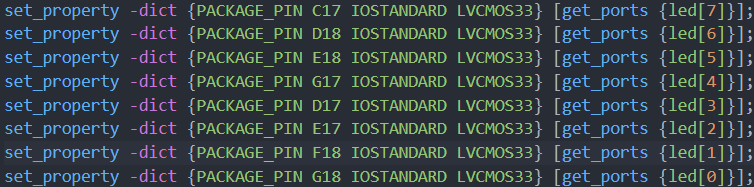
触发器的存储内容同时输出到引脚B

下一次时钟上升沿到来后，电路状态更新如下

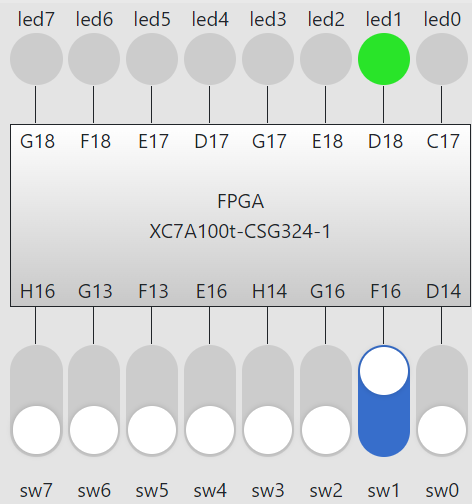
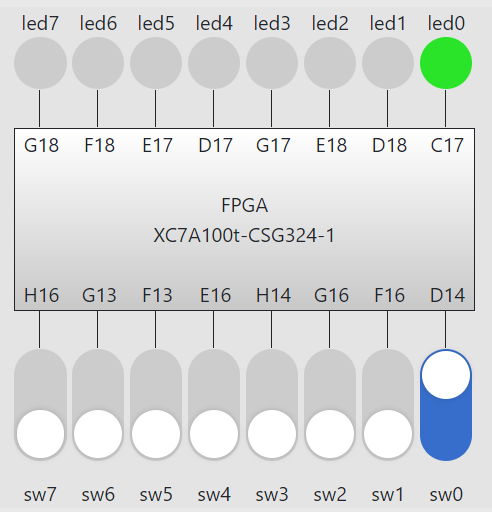
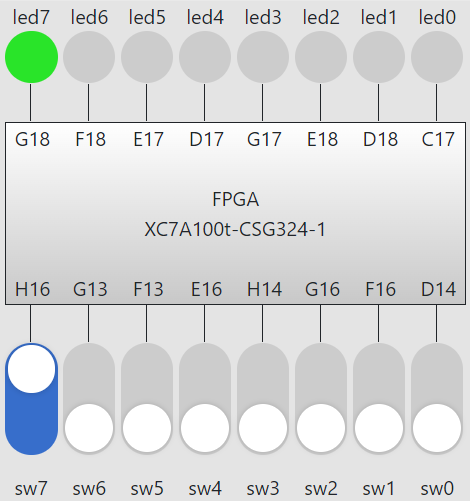
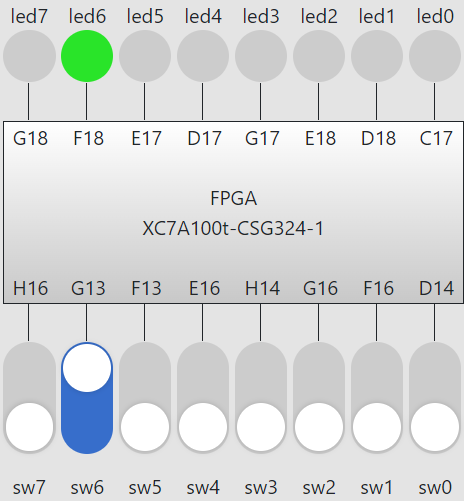
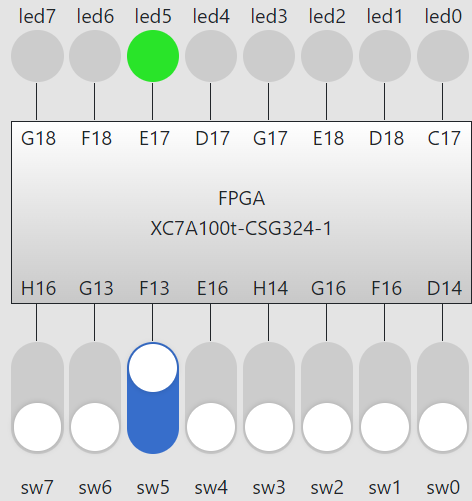
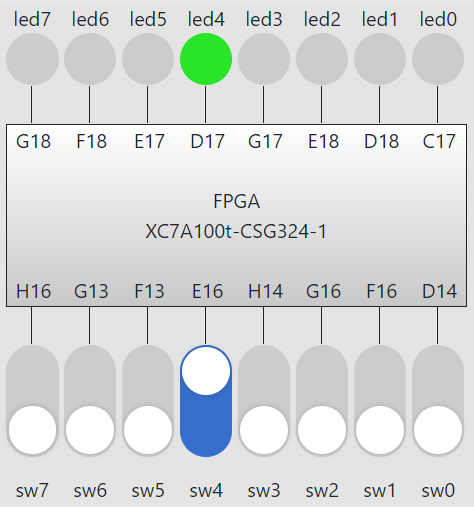
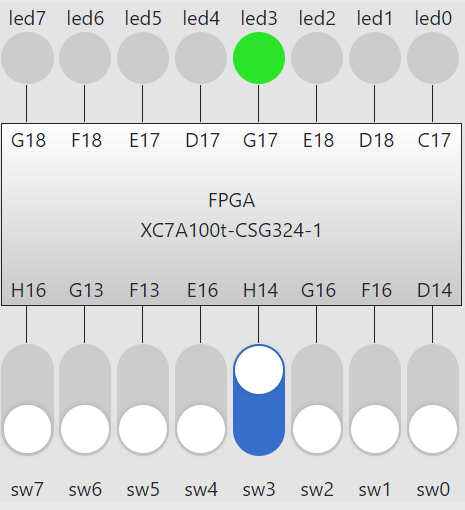
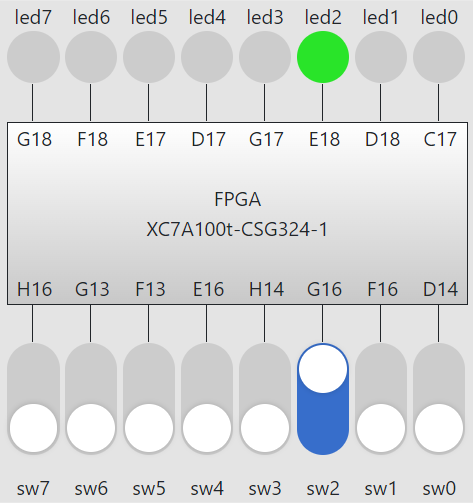


题目 2

修改约束文件中控制led的部分，将其顺序调换

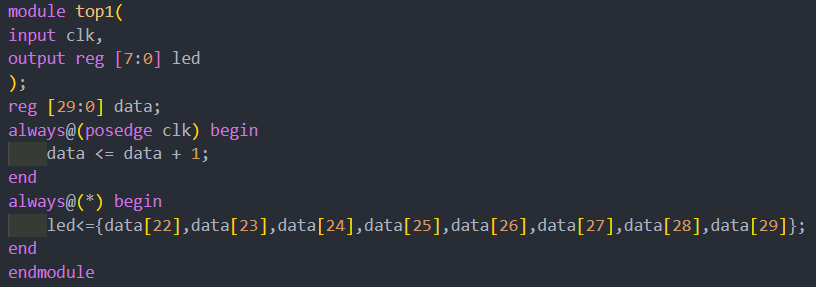


在FPGAOL上测试如下

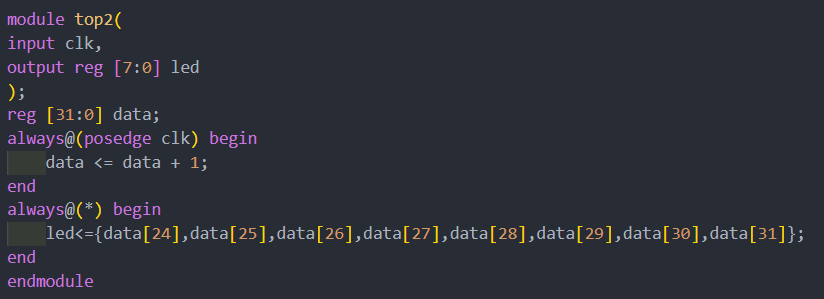
 

题目 3

30 位计数器的设计文件如下



32位计数器的设计文件如下



时钟信号的频率为100MHZ，则在30位计数器对应的8位LED的最低位每2^22/10^8≈0.04s增加1，在32位计数器对应的8位LED的最低位每2^24/10^8≈0.17s增加1

【总结与思考】

1. 请总结本次实验的收获
   1. 学会了FPGA 工作原理
   2. 学习了Verilog 文件和约束文件在 FPGA 开发中的作用
   3. 了解了使用 Vivado 进行 FPGA 开发的完整流程
2. 请评价本次实验的难易程度

本次实验题目较简单

1. 请评价本次实验的任务量

实验练习能够在规定时间内完成

1. 请为本次实验提供改进建议

增加对于约束文件语法的说明