**中国科学技术大学计算机学院**

**《数字电路实验》报告**



实验题目：实验 07 FPGA 实验平台及 IP 核使用

学生姓名：

学生学号：

完成日期：2021.11.25

计算机实验教学中心制

2020年09月

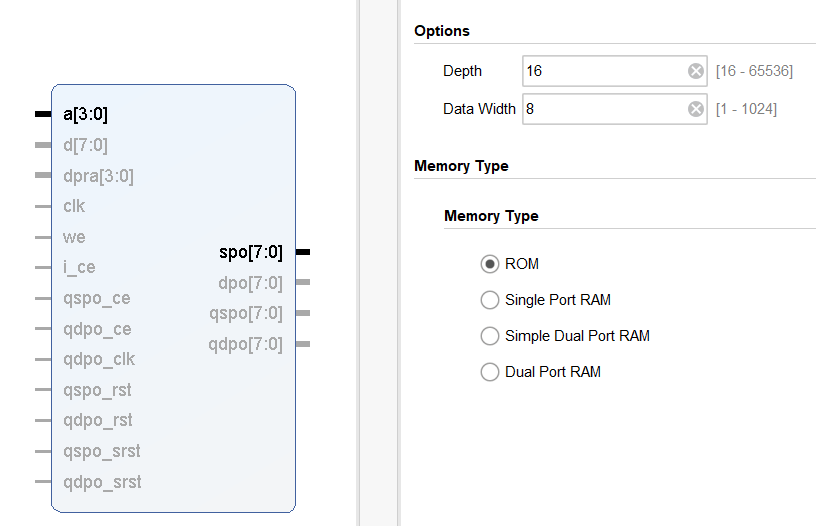
【实验题目】

07 FPGA 实验平台及 IP 核使用

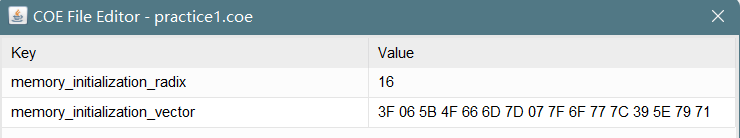
【实验练习】

题目 1

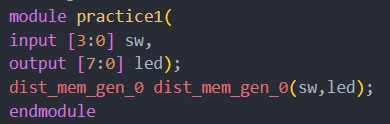
首先例化16\*8bit 的 ROM



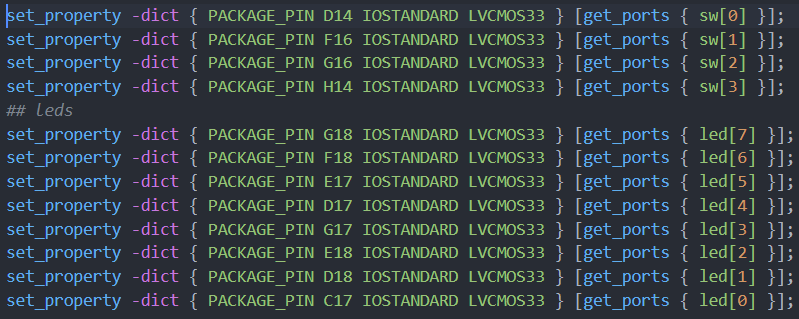
初始化如下



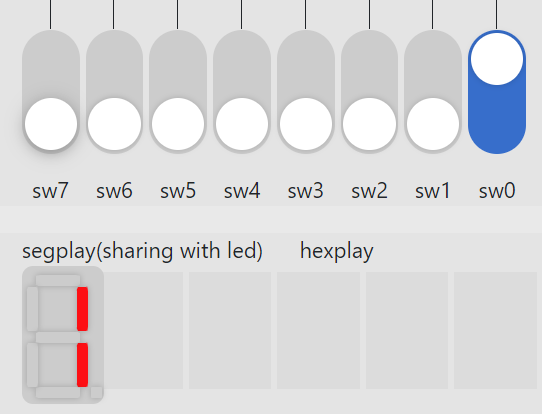
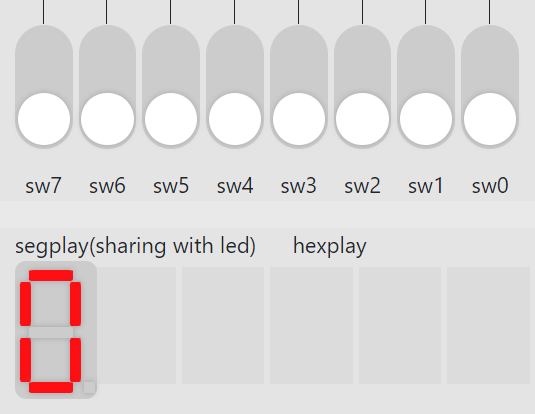
在设计文件中，将开关和led分别接入ROM的输入输出端口

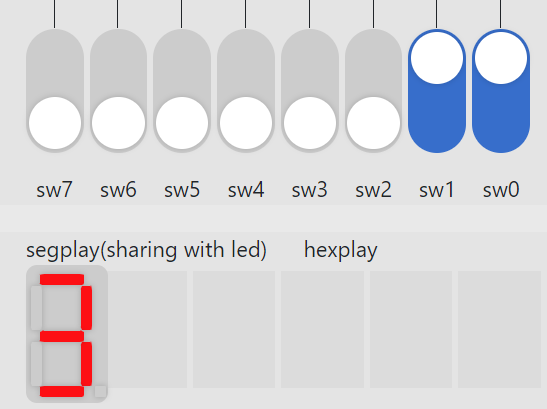
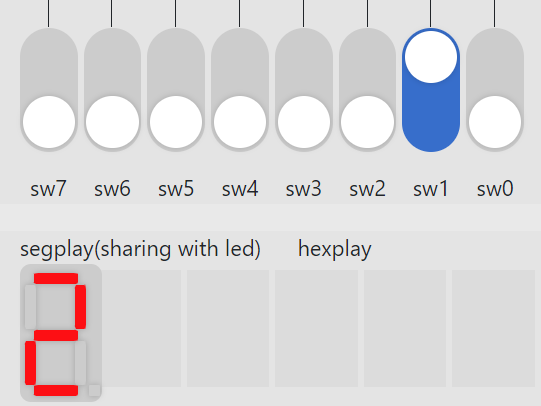


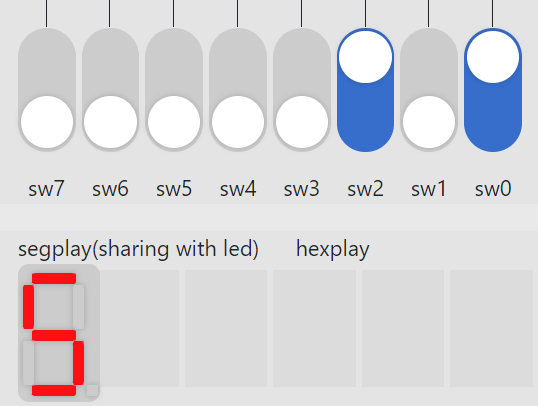
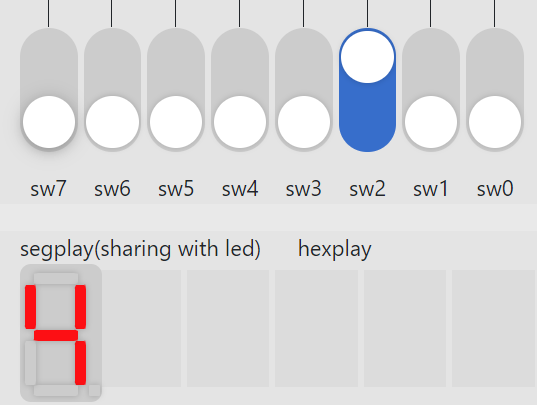
在约束文件中将开关和led接入对应管脚

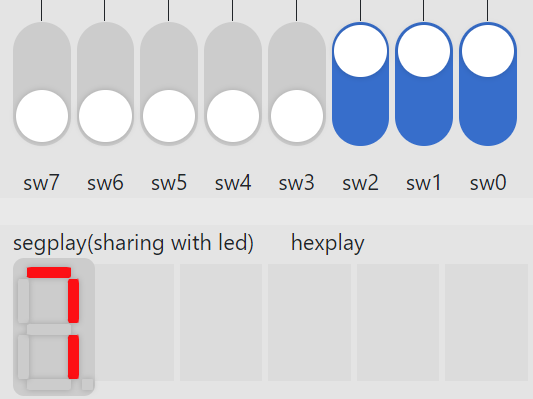
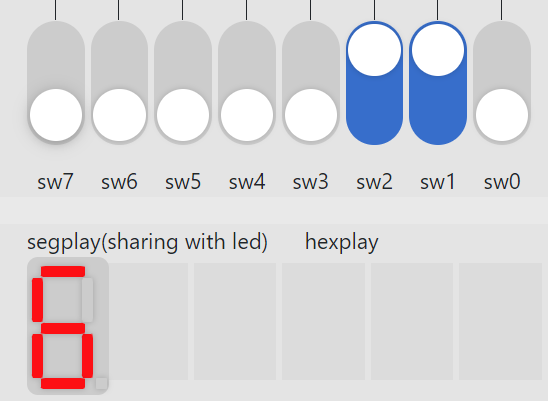


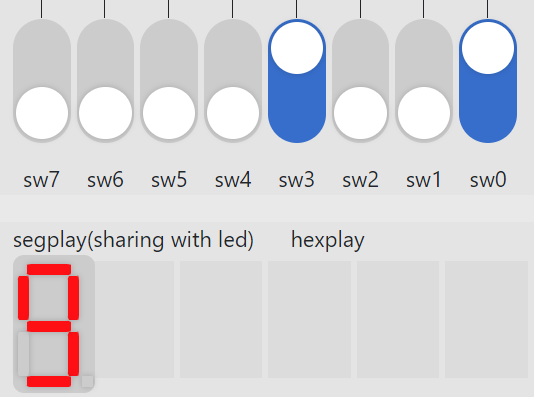
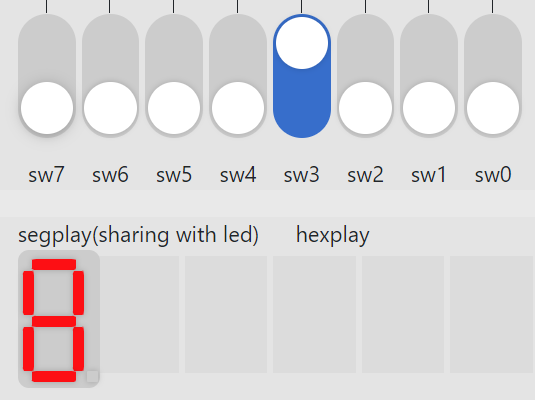
在FPGAOL平台上测试如下

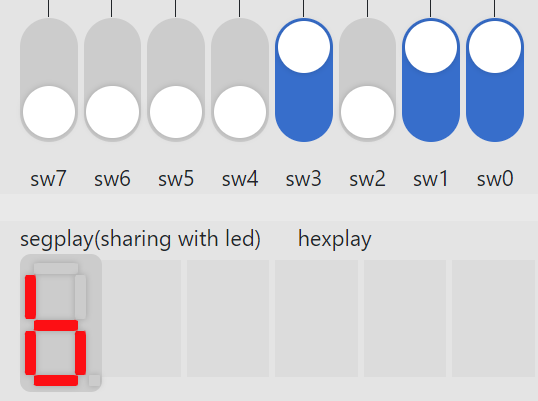
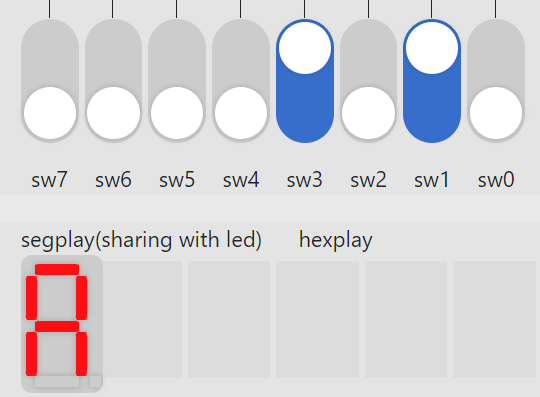


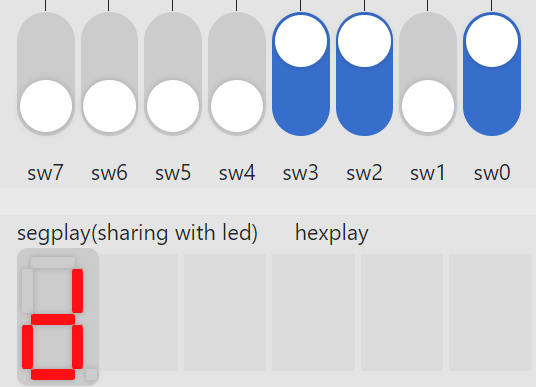
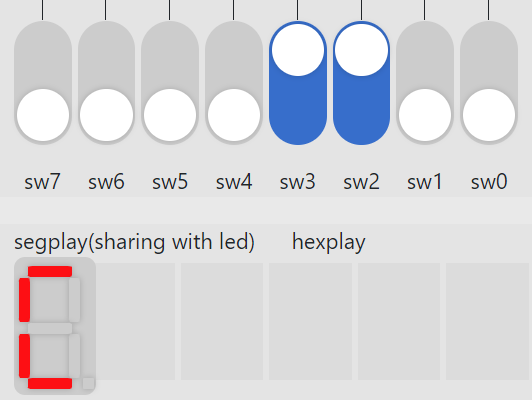


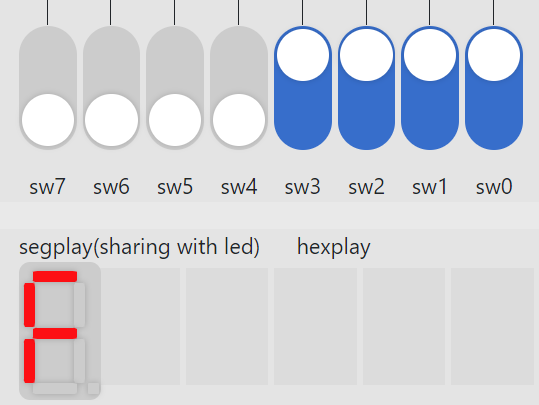
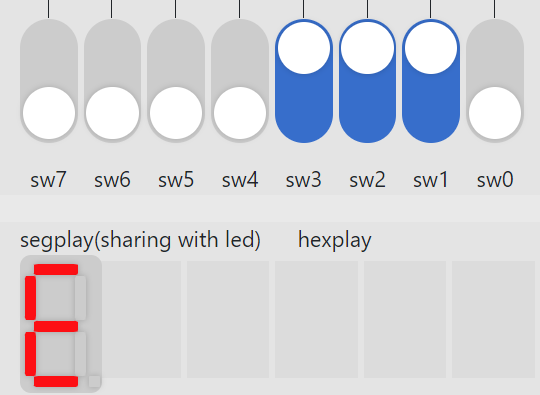






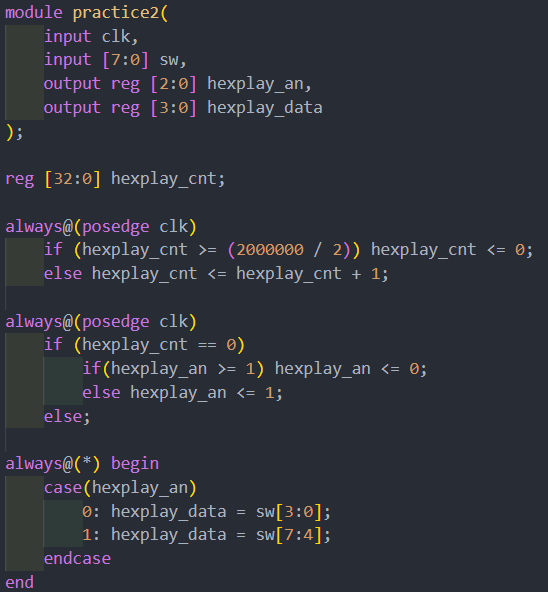




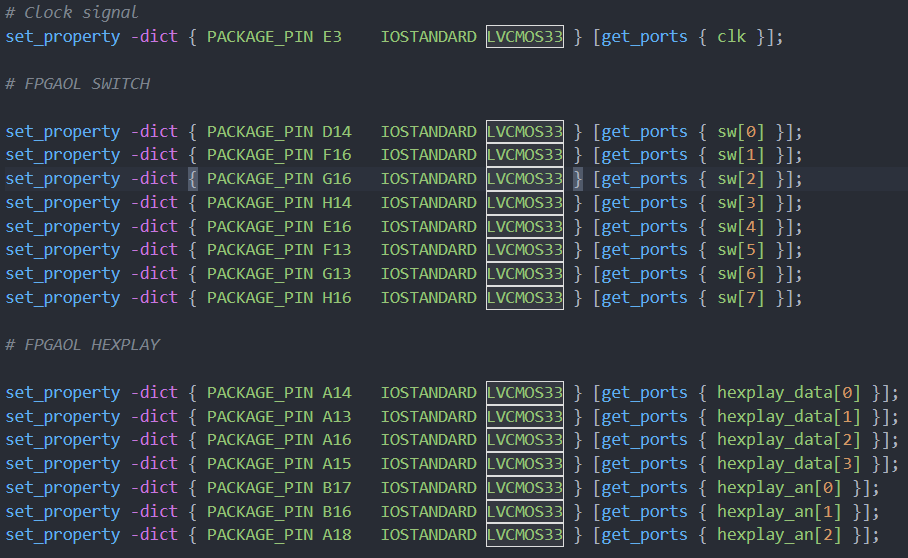


题目 2

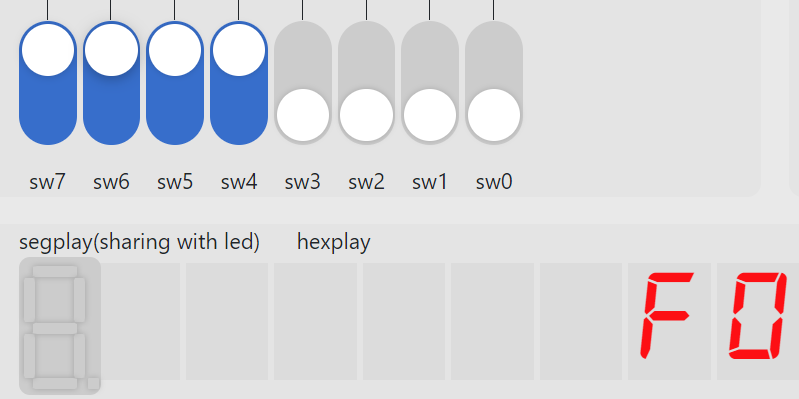
整个扫描周期为50HZ，有两个需要显示的数码管，需要100HZ的时钟信号，故使用计数器产生低频脉冲信号，设计文件如下



约束文件如下

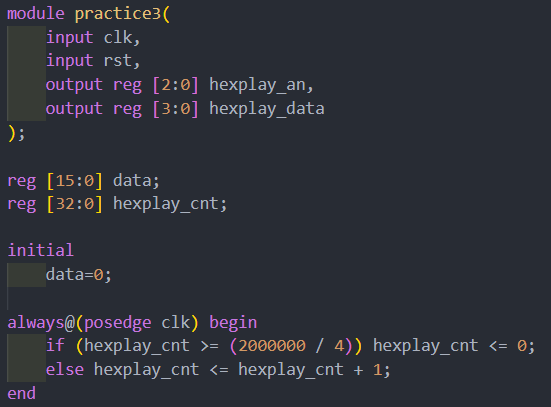


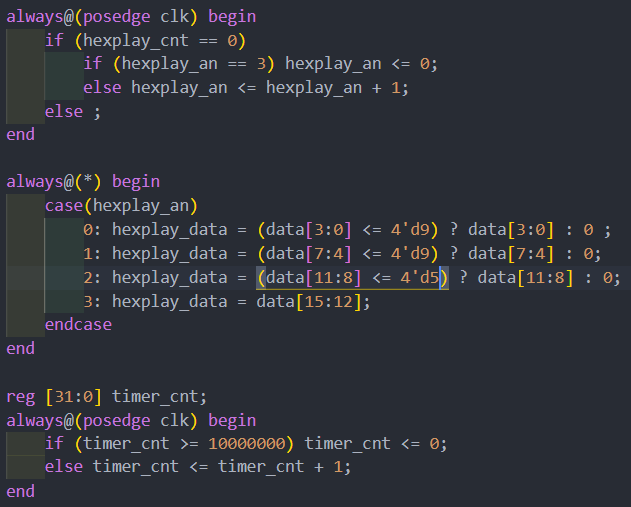
在FPGAOL平台进行简单测试

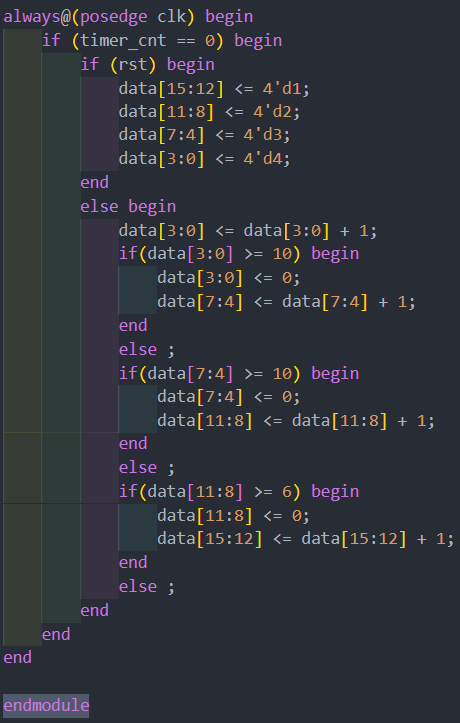


题目 3

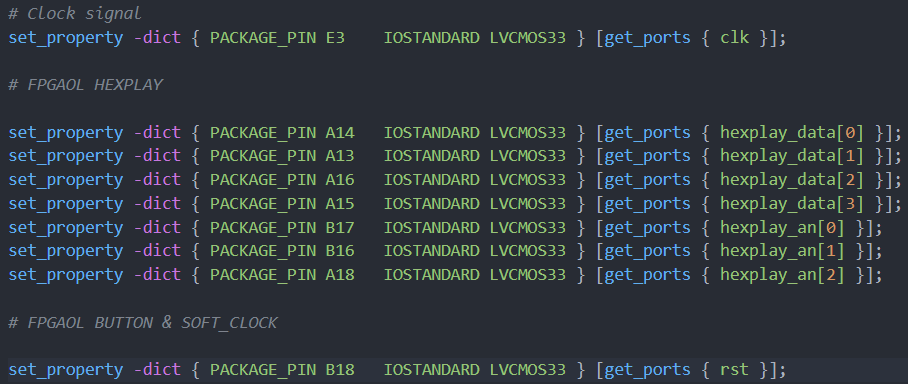
使用计数器产生10HZ的低频脉冲来更新计时器，产生200HZ的低频脉冲来将计时器的数值显示在数码管上，设计文件如下



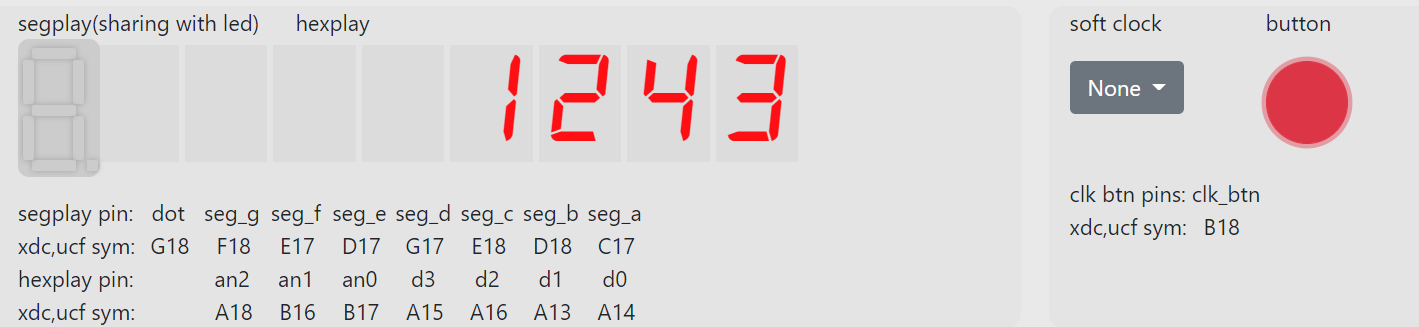




约束文件如下



在FPGAOL平台测试如下



【总结与思考】

1. 请总结本次实验的收获
   1. 学会了FPGAOL 在线实验平台结构及使用
   2. 学习了FPGA 开发各关键环节
   3. 了解了IP 核（知识产权核）
2. 请评价本次实验的难易程度

本次实验题目较简单

1. 请评价本次实验的任务量

实验练习能够在规定时间内完成

1. 请为本次实验提供改进建议

无