

# Homework07

## 1(改编自COD\_CH,P343,5.16)

如5.7节所述，虚拟内存使用页表来跟踪虚拟地址到物理地址的映射。本题显示了在访问地址时必须如何更新页表。以下数据构成了在系统上看到的虚拟字节地址流。假设有4KiB页，一个4表项全相联的TLB，使用严格的LRU替换策略。如果必须从磁盘中取回页，请增加下一次能取的最大页码：

十进制	4669	2227	13916	34587	48870	12608	49225
十六进制	0x123d	0x08b3	0x365c	0x871b	0xbec6	0x3140	0xc049

TLB

有效位	标签	物理页号	上次访问时间间隔
1	0xb	12	4
1	0x7	4	1
1	0x3	6	3
0	0x4	9	7

页表

索引	有效位	物理页号/在磁盘中
0	1	5
1	0	在磁盘中
2	0	在磁盘中
3	1	6
4	1	9
5	1	11
6	0	在磁盘中
7	1	4
8	0	在磁盘中
9	0	在磁盘中
a	1	3
b	1	12

(1)对于上述每一次访问，列出

- 本次访问在TLB会命中还是失效
- 本次访问在页表中会命中还是失效

- 本次访问是否会造成缺页错误
- TLB的更新状态

可以参考表1，后续三、四问可以在此基础上加入tag和index等字段

表上有些空没有可以不填(例如TLB命中，page和page Fault可以空着)

(2)重复(1)，但这次使用16KiB页而不是4KiB页。拥有更大页大小的优势是什么？有什么缺点？

(3)重复(1)，但这次使用4KiB页和一个两路组相联TLB。(两路组相联TLB四个表项，前两个一组，索引为0，后两个一组，索引为1)

(4)重复(1)，但这次使用4KiB页和一个直接映射TLB。(直接映射TLB四个表项从上到下的索引依次为0，1，2，3)

(5)讨论为什么CPU必须使用TLB才能实现高性能。如果没有TLB，如何处理虚拟内存访问？

**注：页表索引是不分tag，index的，本身就是虚页号，区别于TLB**

(1) LRU order 越小表示越优先换出

表1

Address	Virtual Page	TLB H/M	Page H/M	Page Fault	TLB			
					Valid	LRU order	tag	Physical Page
0x123d	0x1	M	H	✓	1	0	0xb	12
					1	2	0x7	4
					1	1	0x3	6
					1	3	0x1	13
0x08b3	0x0	M	H		1	3	0x0	5
					1	1	0x7	4
					1	0	0x3	6
					1	2	0x1	13
0x365c	0x3	H			1	2	0x0	5
					1	0	0x7	4
					1	3	0x3	6
					1	1	0x1	13
0x871b	0x8	M	H	✓	1	1	0x0	5
					1	3	0x8	14
					1	2	0x3	6
					1	0	0x1	13
0xbec6	0xb	M	H		1	0	0x0	5
					1	2	0x8	14
					1	1	0x3	6
					1	3	0xb	12
0x3140	0x3	H			1	0	0x0	5
					1	1	0x8	14
					1	3	0x3	6
					1	2	0xb	12
0xc049	0xc	M	M	✓	1	3	0xc	15
					1	0	0x8	14
					1	2	0x3	6
					1	1	0xb	12

(2) LRU order 越小表示越优先换出

表1

Address	Virtual Page	TLB H/M	Page H/M	Page Fault	TLB			
					Valid	LRU order	tag	Physical Page
0x123d	0	M	H		1	0	0xb	12
					1	2	0x7	4
					1	1	0x3	6
					1	3	0x0	5
0x08b3	0	H			1	0	0xb	12
					1	2	0x7	4
					1	1	0x3	6
					1	3	0x0	5
0x365c	0	H			1	0	0xb	12
					1	2	0x7	4
					1	1	0x3	6
					1	3	0x0	5
0x871b	2	M	H	✓	1	3	0x2	13
					1	1	0x7	4
					1	0	0x3	6
					1	2	0x0	5
0xbec6	2	H			1	3	0x2	13
					1	1	0x7	4
					1	0	0x3	6
					1	2	0x0	5
0x3140	0	H			1	2	0x2	13
					1	1	0x7	4
					1	0	0x3	6
					1	3	0x0	5
0xc049	3	H			1	1	0x2	13
					1	0	0x7	4
					1	3	0x3	6
					1	2	0x0	5

页大小增大 使 TLB 失效与缺页错误次数减小, 但会使内部碎片增加

物理内存利用率下降

(3) LRU order 越小表示越优先换出

表1

Address	Virtual Page <u>tag/Index</u>	TLB H/M	Page H/M	Page Fault	TLB			
					Valid	LRU order	tag/ Index	Physical Page
0x123d	$\frac{1}{0/1}$	M	H	✓	1	0	6/0	12
					1	1	7/0	4
					1	0	3/1	6
					1	1	0/1	13
0x08b3	$\frac{0}{0/0}$	M	H		1	1	0/0	5
					1	0	7/0	4
					1	0	3/1	6
					1	1	0/1	13
0x365c	$\frac{3}{1/1}$	M	H		1	1	0/0	5
					1	0	7/0	4
					1	1	1/1	6
					1	0	0/1	13
0x871b	$\frac{8}{4/0}$	M	H	✓	1	0	0/0	5
					1	1	4/0	14
					1	1	1/1	6
					1	0	0/1	13
0xbee6	$\frac{6}{5/1}$	M	H		1	0	0/0	5
					1	1	4/0	14
					1	0	1/1	6
					1	1	5/1	12
0x3140	$\frac{3}{1/1}$	H			1	0	0/0	5
					1	1	4/0	14
					1	1	1/1	6
					1	0	5/1	12
0xc049	$\frac{c}{6/0}$	M	M	✓	1	1	6/0	15
					1	0	4/0	14
					1	1	1/1	6
					1	0	5/1	12

(4) LRU order 越小表示越优先换出

表1

Address	Virtual Page  tag/Index	TLB H/M	Page H/M	Page Fault	TLB			
					Valid	LRU order	tag/ Index	Physical Page
0x123d	$\frac{1}{0/1}$	M	H	✓	1		b/0	12
					1		0/1	13
					1		3/2	6
					1		4/3	9
0x08b3	$\frac{0}{0/0}$	M	H		1		0/0	5
					1		0/1	13
					1		3/2	6
					1		4/3	9
0x365c	$\frac{3}{0/3}$	M	H		1		0/0	5
					1		0/1	13
					1		3/2	6
					1		0/3	6
0x871b	$\frac{8}{2/0}$	M	H	✓	1		2/0	14
					1		0/1	13
					1		3/2	6
					1		0/3	6
0xbee6	$\frac{6}{2/3}$	M	H		1		2/0	14
					1		0/1	13
					1		3/2	6
					1		2/3	12
0x3140	$\frac{3}{0/3}$	M	H		1		2/0	14
					1		0/1	13
					1		3/2	6
					1		0/3	6
0xc049	$\frac{c}{3/0}$	M	M	✓	1		3/0	15
					1		0/1	13
					1		3/2	6
					1		0/3	6

(5) 若没有TLB. 每次需先访问页表, 再访问内存, 共需两次访存  
在TLB命中时仅需一次访存, 因此CPU用TLB才可实现高性能

2(改编自COD\_CH,P345,5.24)

本题研究具有写缓冲区的处理器的cache控制器的控制单元。使用图5-39的有限状态自动机作为设计有限状态自动机的起点。假设cache控制器用于5.9.3节描述的简单直接映射cache(图5-39)，但你需要再添加一个容量为1个块的写缓冲区。

回忆一下，写缓冲区的目的是作为临时存储器，这样处理器就不必等待脏块失效的两次内存访问。它不是在取新块之前写回脏块，而是缓冲脏块并立即开始读取新块。然后，在处理器工作时再将脏块写入主存。

- (1) 如果处理器在从写缓冲区将块写回主存时发出一个命中cache的请求，会发生什么？
- (2) 如果处理器在从写缓冲区将块写回主存时发出一个cache失效的请求，会发生什么？
- (3) 设计一个有限状态自动机以启用写缓冲区

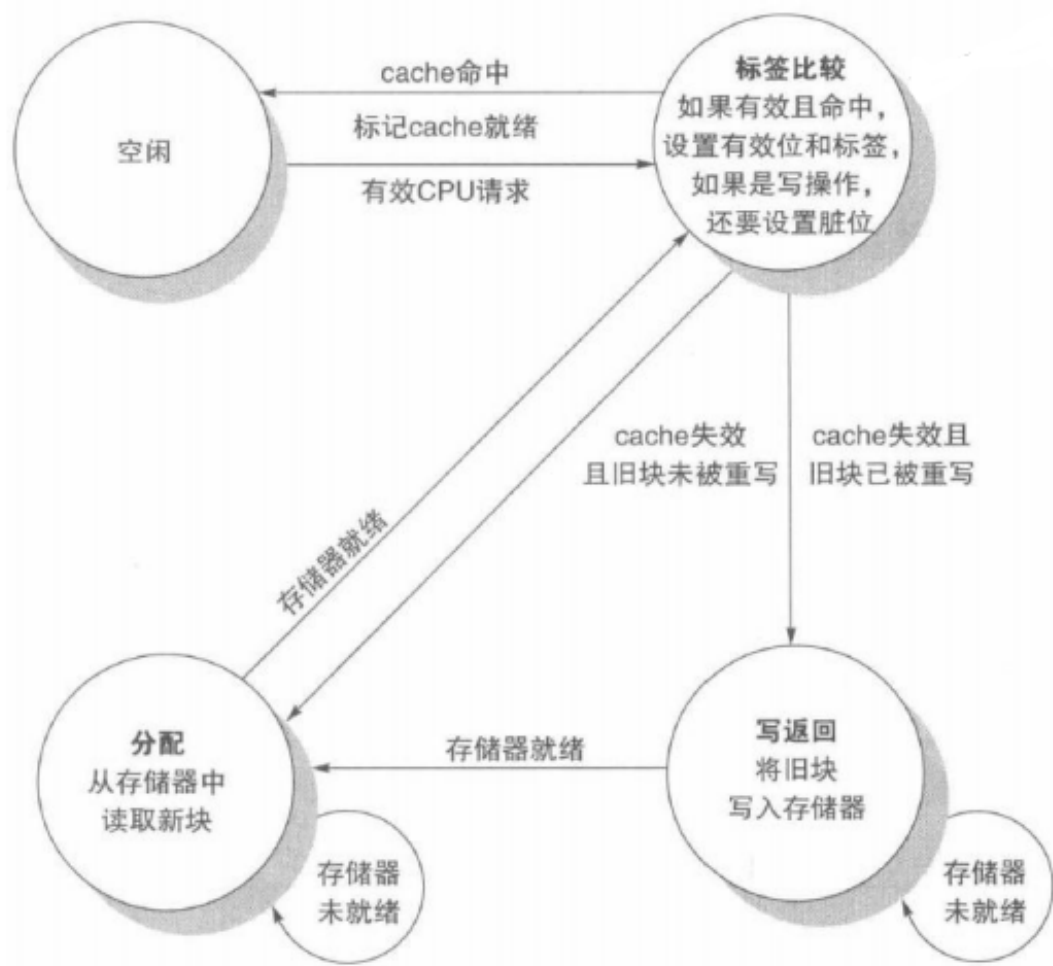


图5.39

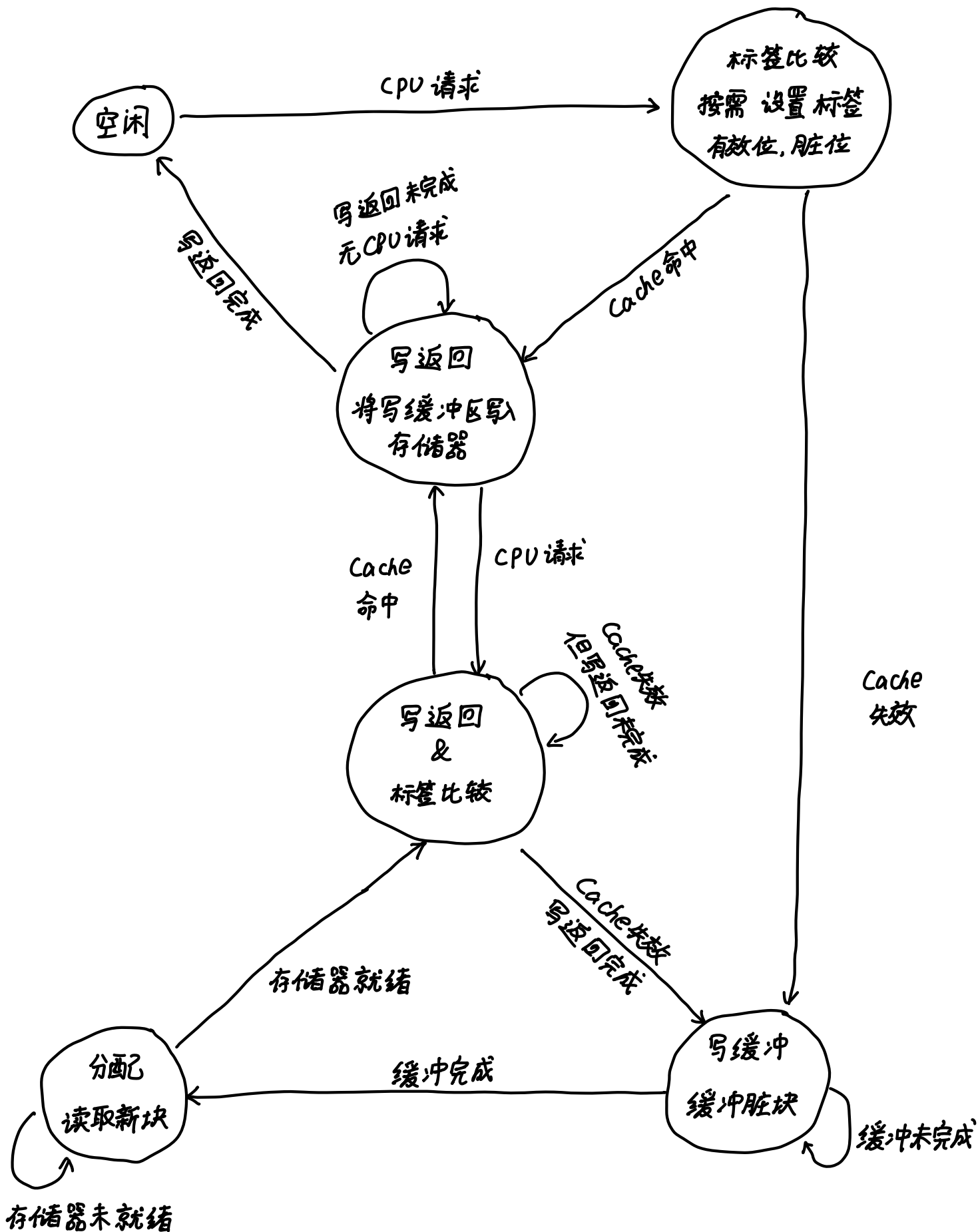
- (1) 如果处理器在从写缓冲区将块写回主存时发出一个命中cache的请求，会发生什么？

cache 需要在写缓冲区写回主存的同时响应命中 Cache 的请求

- (2) 如果处理器在从写缓冲区将块写回主存时发出一个cache失效的请求，会发生什么？

cache 需要等待写缓冲区写回主存后从主存中读取所请求的块

- (3) 设计一个有限状态自动机以启用写缓冲区



3(改编自唐书, P151, 4.17、4.18)

(1) 写出1100、1101、1110、1111对应的海明码(按偶配原则, 高位在右边, 低位在左边)

(2) 已知接受到的海明码(按偶配原则配置, 高位在右边, 低位在左边)为1100100、1100111、1100000、1100001, 检查上述代码是否出错? 第几位出错?

注: 如果觉得高位写在右边不方便, 可以说明一下写在左边也是可以的, 但是要注意所有位置的顺序

$p_1, p_2, d_1, p_3, d_2, d_3, d_4$

(1) 1100 : 0111100      1101 : 1010101  
1110 : 0010110      1111 : 1111111

(2) 1100100      第6位有错

1100111      第7位有错

1100000      第3位有错

1100001      第4位有错

4

某磁盘转速为10000转/分, 平均寻道时间是6ms, 磁盘传输速率是20MB/s, 磁盘控制器延迟为0.2ms, 读取一个4KB的扇区所需平均时间约为多少?

$$6ms + \frac{0.5 \text{ 转}}{10000 \text{ 转/分}} + \frac{4KB}{20MB/s} + 0.2 \approx 9.4ms$$