

Homework 04

1.

假定采用IEEE 754 单精度格式，写出十进制数 78.75 的二进制表示，并且写出十六进制形式。

$78.75 = (1001110.11)_b$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
s	指数								尾数																						
1位	8位								23位																						

$(0100001010011101100000000000000000)_b$

$(429D8000)_h$

2.

根据下述指令组合回答问题。

R-type	I-type(non-ld)	Load	Store	Branch	Jump
23%	26%	27%	12%	10%	2%

1) 发生数据访存的指令所占比例？

$Load : 27\% \quad Store : 12\% \quad \text{共 } 39\%$

2) 发生指令访存的指令所占比例？

100%

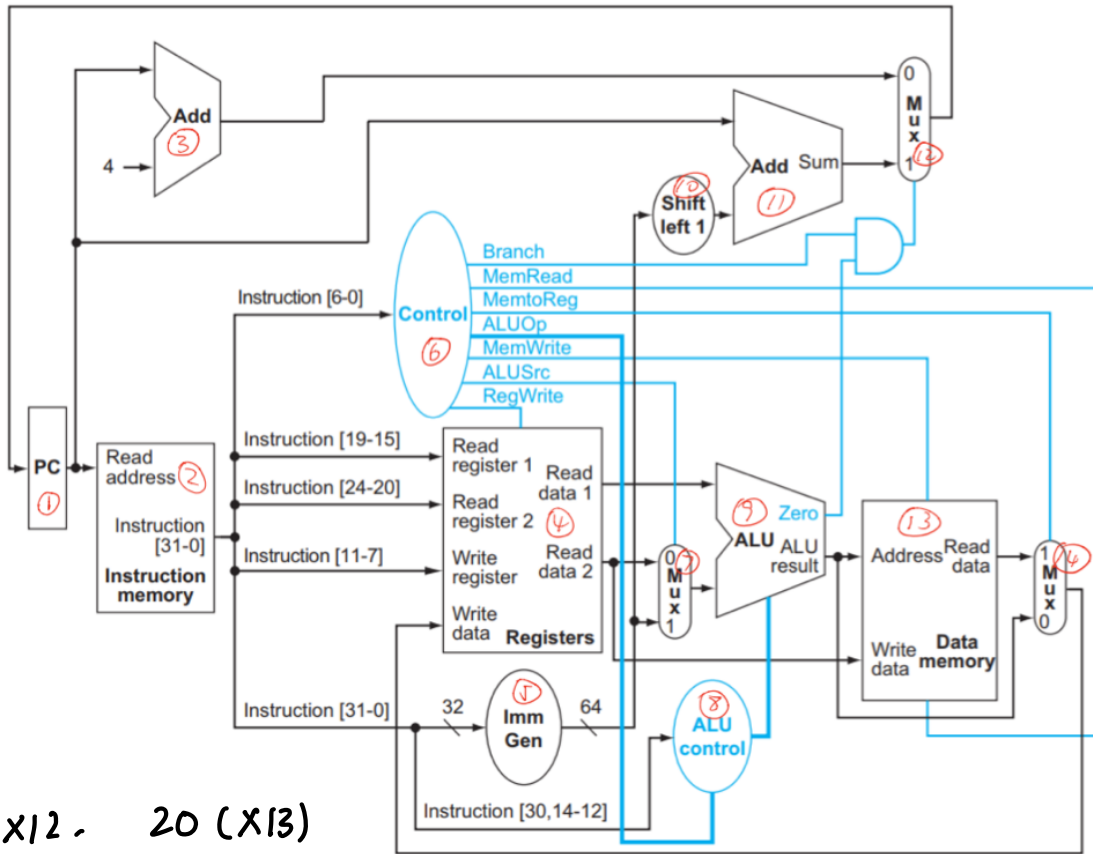
3) 使用符号拓展的指令所占比例？

$I\text{-type (non-ld)} : 26\% \quad Load : 27\% \quad Store : 12\%$
 $Branch : 10\% \quad Jump : 2\%$
 $\text{共 } 77\%$

3.

本题中，我们将仔细讨论单周期数据通路中执行指令的细节。假设本周期处理器取来指令：0x00c6ba23，当前指令地址为0xbfc0038c

数据通路如下，参考书中图4-17



sd, x12, 20(x13)

1) 此时ALU控制单元的输入值是多少(ALUOp、ALU控制线)?

ALUOp = 00

ALU控制线: 0010

2) 该指令执行结束后新的PC地址是多少? 列出计算该PC值的通路的序号。

0xbfc00390

① ③ ⑫

3) 此时ALU和另两个加法单元的输入数值是多少(可用Reg[x1]表示寄存器x1中的值)?

ALU输入值为 Reg[x13] 与 (20)_d

两个加法单元输入为 $\begin{cases} 0xbfc0038c, (4)_d \\ 0xbfc0038c, (40)_d \end{cases}$

4.

假设用来实现处理器数据通路的各功能模块延迟如下所示：

I-Mem/D-Mem	Register File	Mux	ALU	Adder	Single gate	Register Read	Register Setup	Sign extend	Control
235ps	160ps	45ps	230ps	155ps	10ps	40ps	15ps	65ps	55ps

其中，寄存器读延迟指的是，时钟上升沿到寄存器输出端稳定输出新值所需的时间。该延迟仅针对PC寄存器。寄存器建立时间指的是，寄存器的输入数据稳定到时钟上升沿所需的时间。该数值针对PC寄存器和寄存器堆。

数据通路参考书中图4-17，即上图；其他延迟默认为0；每条指令从读PC开始，即都包含PC读延迟。

- 1) R型指令的延迟是多少？（换句话说，如果想让这类指令工作正确，时钟周期最少为多少）
- 2) ld指令的延迟是多少？（仔细检查你的答案，许多学生会在关键路径上添加额外的寄存器）
- 3) sd指令的延迟是多少？（仔细检查你的答案，许多学生会在关键路径上添加额外的寄存器）
- 4) beq指令的延迟是多少？
- 5) l型指令(不考虑存储器)的延迟是多少？
- 6) 该CPU的最小时钟周期是多少？

$$(1) \quad 40 + 235 + 160 + 45 + 230 + 45 + 15 = 770 \text{ ps}$$

$$(2) \quad 40 + 235 + 160 + 230 + 235 + 45 + 15 = 960 \text{ ps}$$

$$(3) \quad 40 + 235 + 160 + 230 + 235 = 900 \text{ ps}$$

$$(4) \quad 40 + 235 + 160 + 45 + 230 + 10 + 45 + 15 = 780 \text{ ps}$$

$$(5) \quad 40 + 235 + 160 + 230 + 45 + 15 = 725 \text{ ps}$$

$$(6) \quad 960 \text{ ps}$$