



# 计算机组织与体系结构

## Computer Architectures

陆俊林

北京大学本科生主干基础课



2017.5.30

## 第十一讲 总线及总线标准



### 本讲要点

首先介绍总线的基本类别，其次分析总线的基本结构，然后介绍常见的总线协议，最后以AMBA 2.0 AHB总线协议为实例进行分析。

阅读“AMBA Specification” (Rev 2.0) : Ch3



# 主要内容

通过学习本课程  
了解计算机的发展历程，理解计算机的组成原理，掌握计算机的设计方法



## I 总线的分类

## II 总线的基本结构

## III 常见的总线协议

## IV 总线协议实例

# 总线的基本概念



## 🎯 总线

- 在多于两个模块（设备或子系统）间传送信息的公共通路

## 🎯 总线的组成

- 传输信息的电路
- 管理信息传输的协议

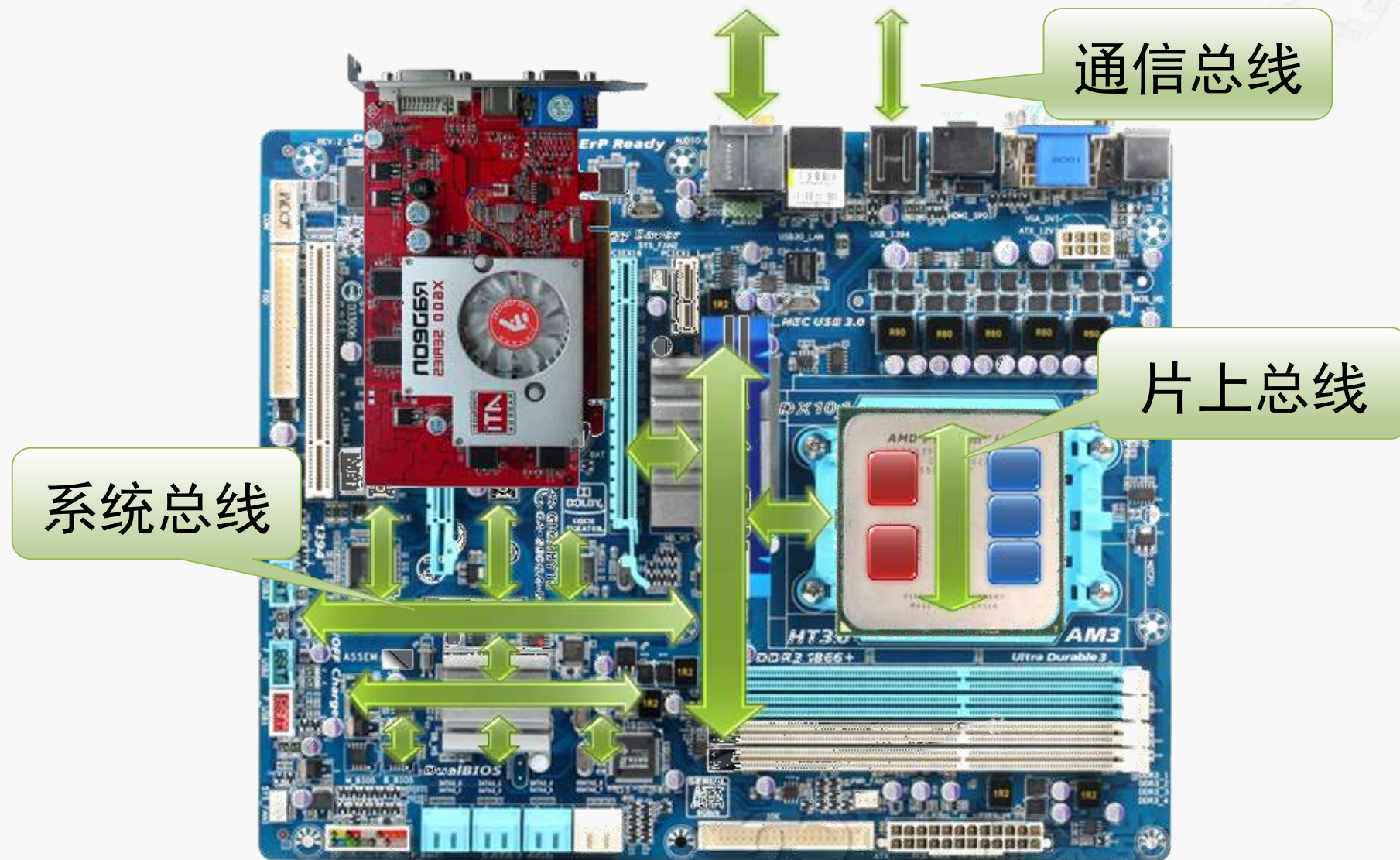
总线

Bus

汇流排



# 微型计算机中不同层次总线的简化示意



# 总线的分类



## ① 片总线，又称器件级总线 → “片上总线”

- 中央处理器芯片内部的总线

## ② 内总线，又称系统总线或板级总线

- 计算机系统中各插件板之间信息传输的通路
- 通常称为微型计算机总线的即指内总线

## ③ 外总线，又称通信总线

- 计算机系统之间、或是计算机系统与其他系统（仪器、仪表、控制装置等）之间信息传输的通路

# 主要内容

通过学习本课程  
了解计算机的发展历程，理解计算机的组成原理，掌握计算机的设计方法

## I 总线的分类



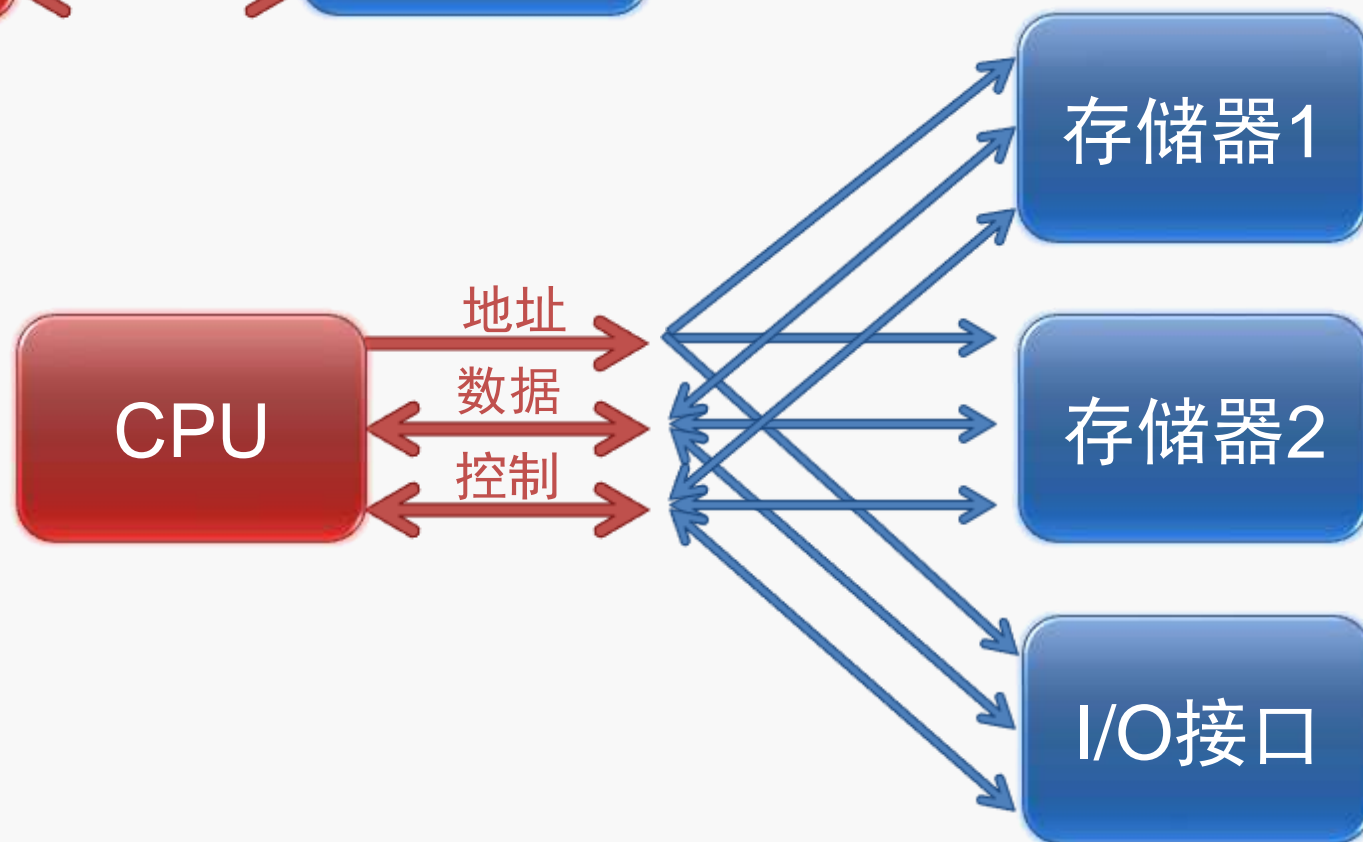
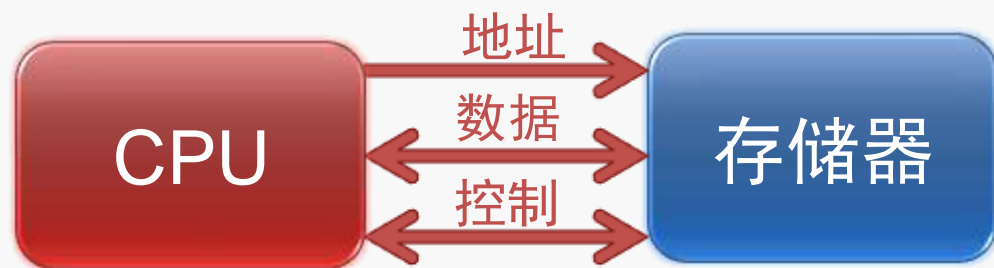
## II 总线的基本结构

## III 常见的总线协议

## IV 总线协议实例



# 简单的系统示意图





# 总线模块



## 🔍 总线主模块（Bus Master）

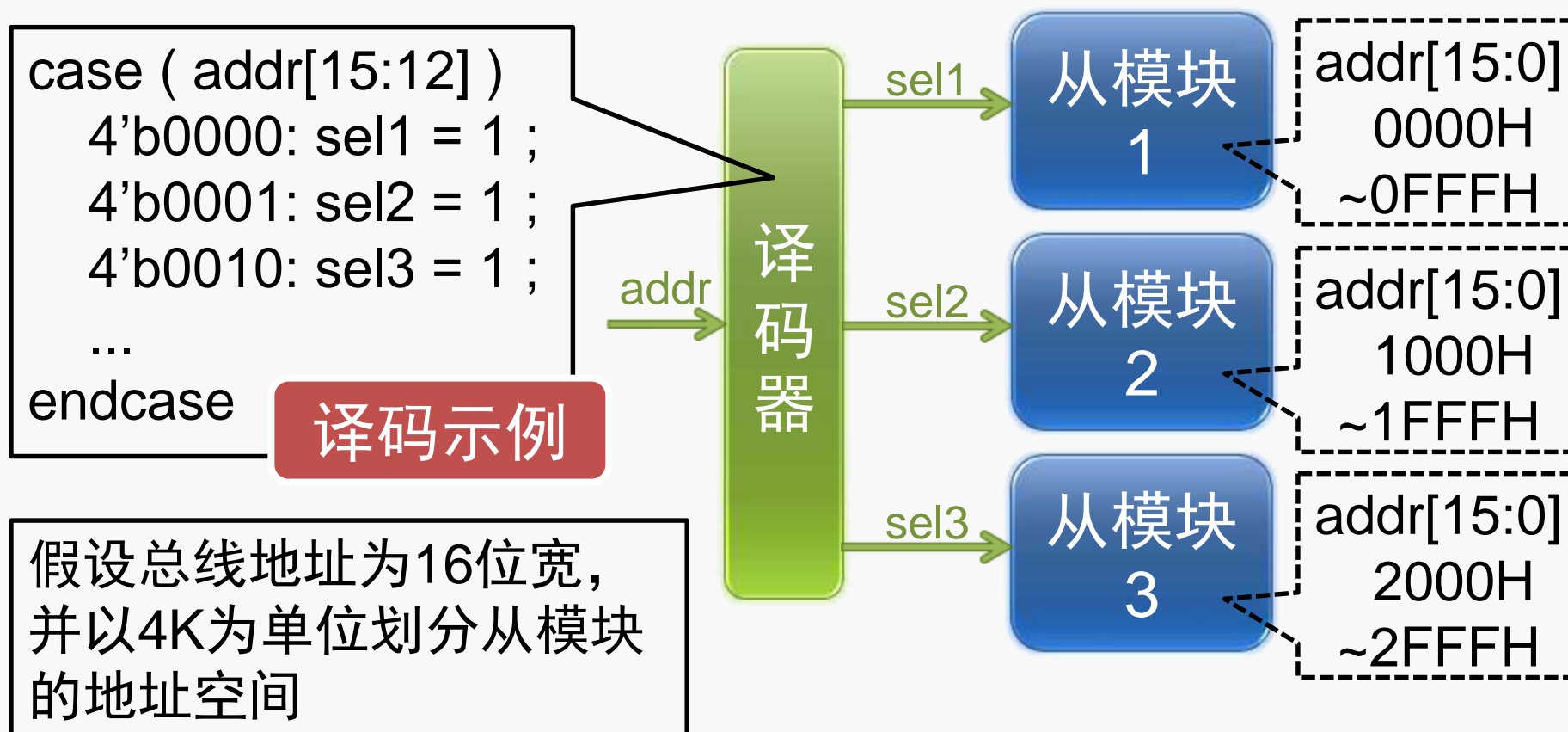
- 具有总线控制能力，在获得总线控制权之后能启动总线传输（读数据或写数据）
- 示例：CPU、DMA控制器

## 🔍 总线从模块（Bus Slave）

- 能够对总线传输作出响应（接收写数据、返回读数据、返回“错误”响应等），但本身不具备总线控制能力
- 示例：存储器

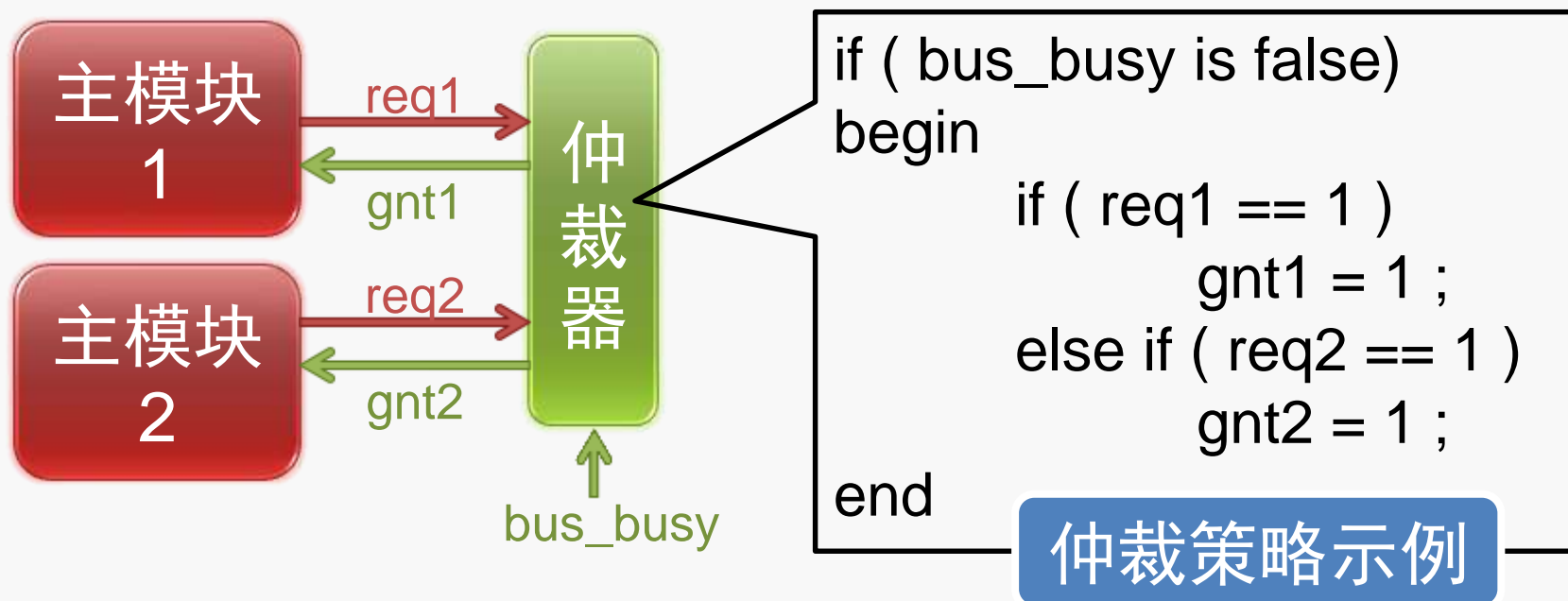
# 总线译码器 (Bus Decoder)

- 功能：根据当前控制总线的主模块提供的地址，选择作为本次总线传输目标的从模块

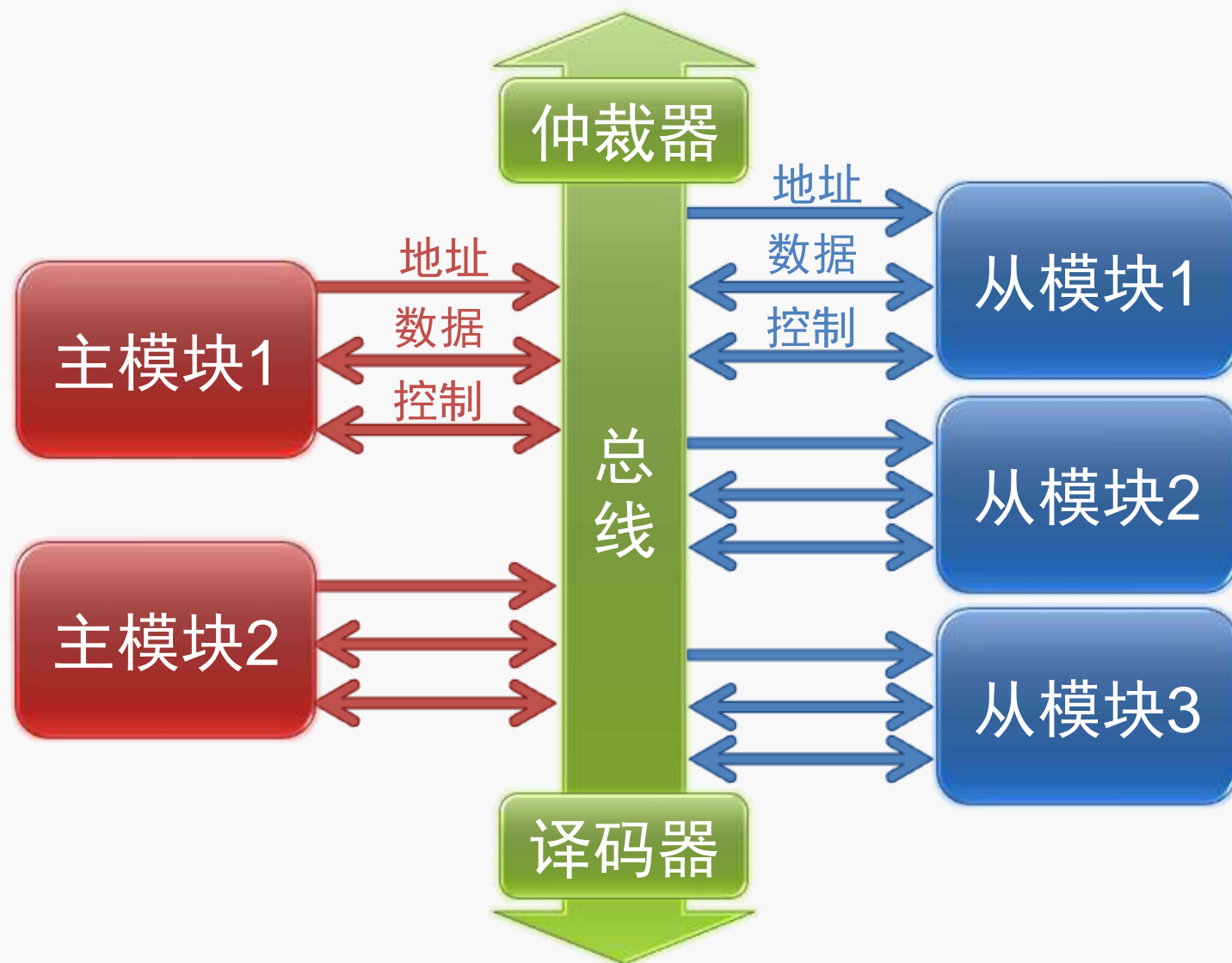


# 总线仲裁器 (Bus Arbiter)

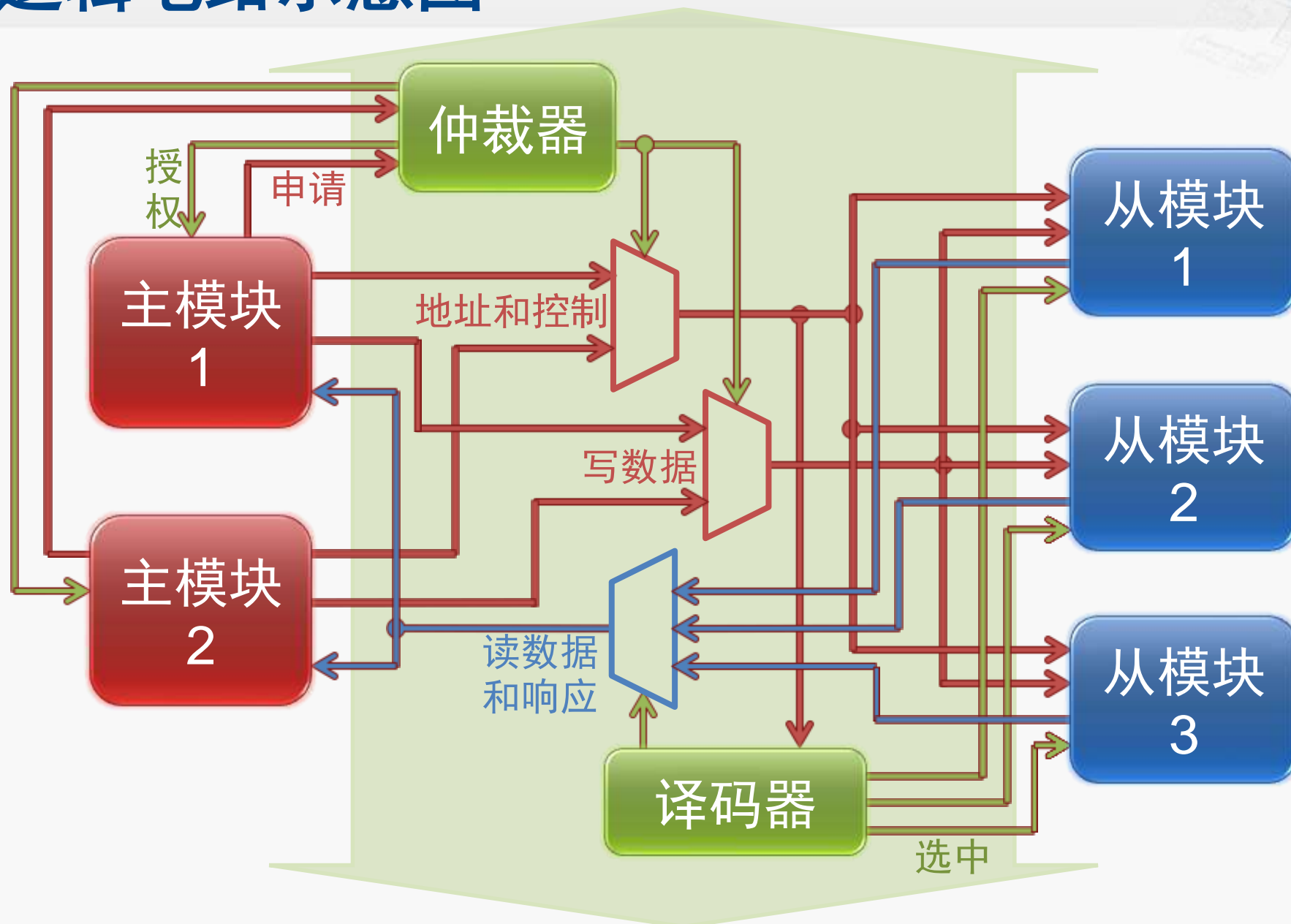
- 功能：在总线上有多个主模块同时请求使用总线时，决定由哪个主模块获得总线控制权
- 目的：让总线得到合理、高效地使用



# 基于总线的典型系统示意图

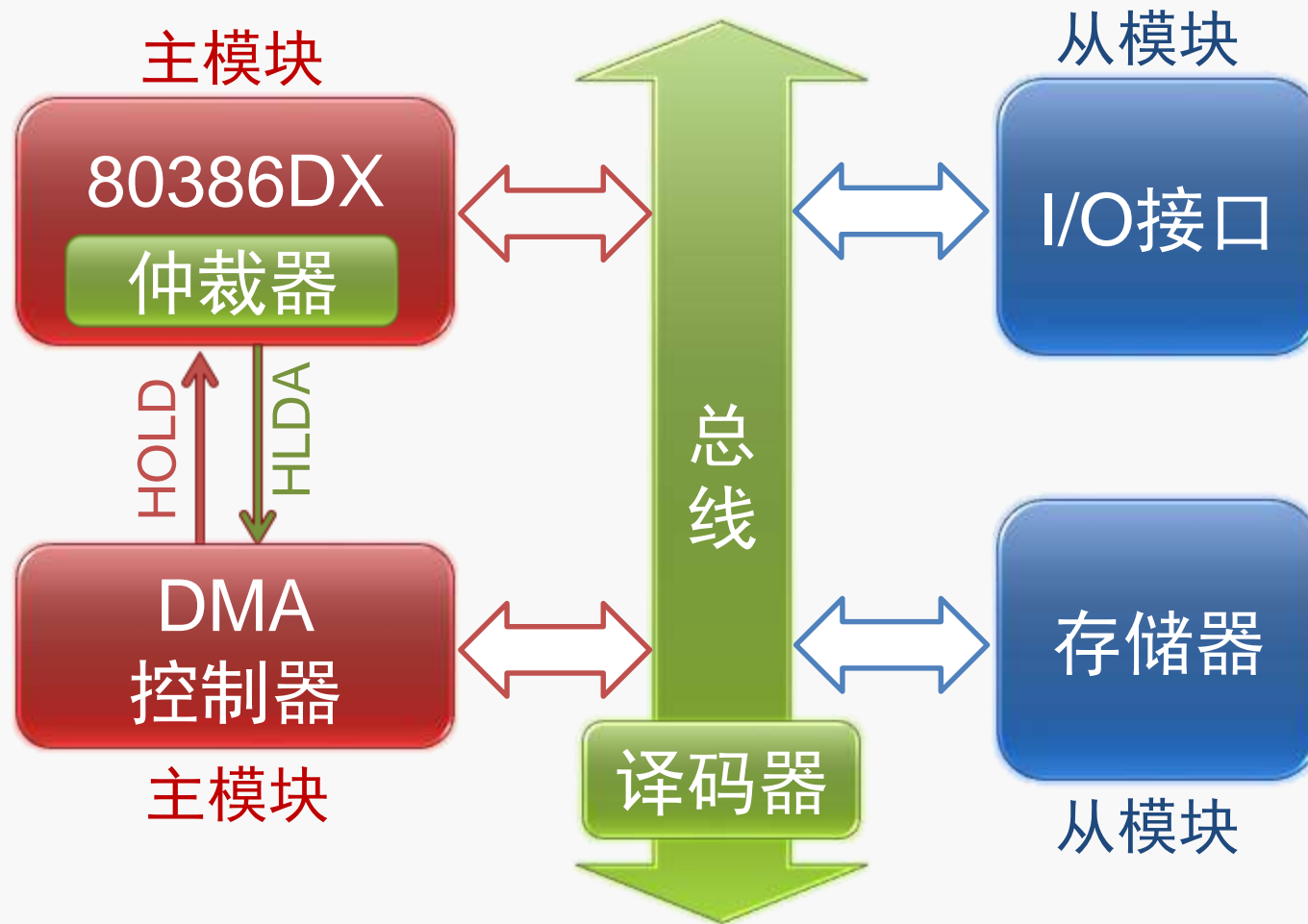


# 总线逻辑电路示意图

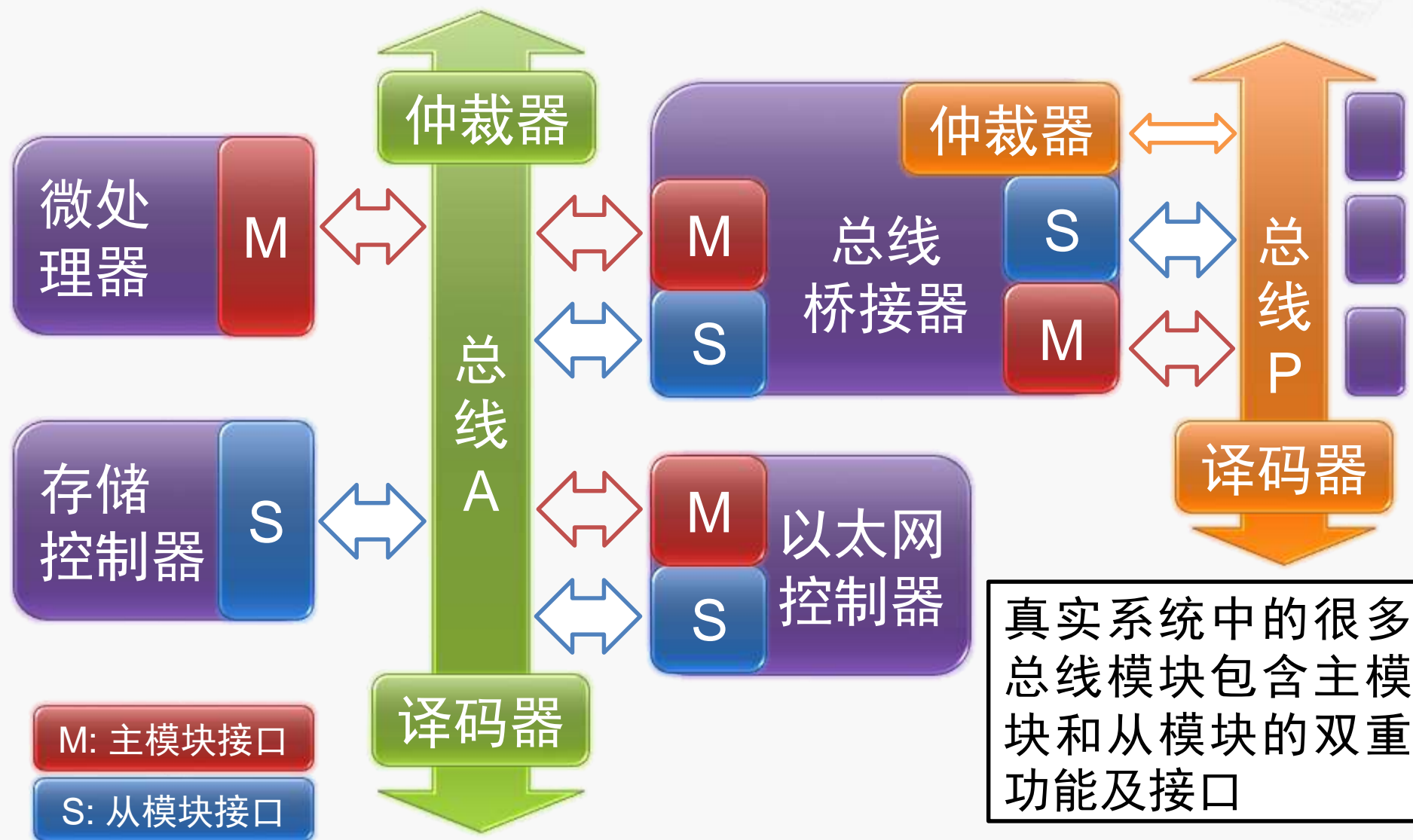




# 早期计算机的简单总线模型（80386DX）



# 一个包含多条总线的复杂系统的示例



# 主要内容

通过学习本课程  
了解计算机的发展历程，理解计算机的组成原理，掌握计算机的设计方法

I 总线的分类

II 总线的基本结构

III 常见的总线协议

IV 总线协议实例



# 总线标准的两种产生途径



## ④ 事实标准

- 。计算机系统厂家所采用的一种总线，由于其性能优越，逐渐形成一种被业界广泛支持和承认的事实总线标准

## ④ 国际标准

- 。在国际标准组织或机构主持下开发和制定的总线标准，公布后由厂家和用户使用

# 总线标准的内容



## 1、机械特性

- 规定模块插件的机械尺寸，总线插头、插座的规格及位置等

## 2、电气特性

- 规定总线信号的逻辑电平、噪声容限及负载能力等

## 3、功能特性

- 给出各总线信号的名称及功能定义

## 4、规程特性

- 对各总线信号的动作过程及时序关系进行说明



# 总线标准举例

ISA

EISA

PCI

AGP

PCI  
Express

USB



# ISA总线



- ④ 1981年，IBM推出个人计算机PC/XT
  - 基于8位字长的8088 CPU
  - 采用8位宽系统总线，称为PC总线或PC/XT总线
- ④ 1984年，IBM推出个人计算机PC/AT
  - 基于16位字长的80286 CPU
  - 采用与XT总线兼容的16位的PC/AT总线
- ④ IBM PC及其兼容产品的广泛应用
  - PC/AT总线规范逐渐标准化，形成ISA总线标准
  - ISA总线最大数据传输率8MBps和16MBps

# EISA总线

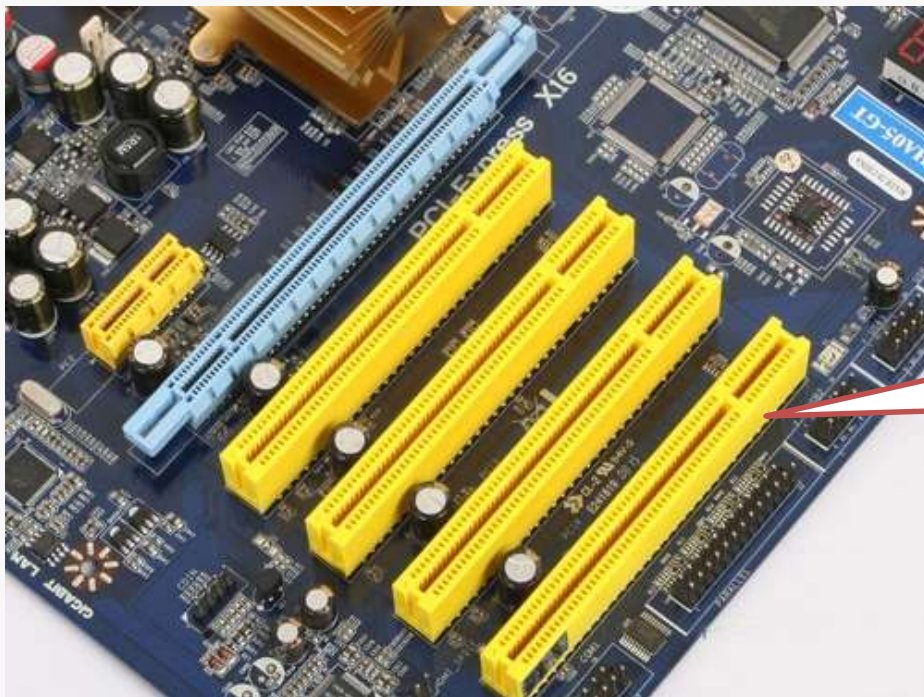
- 1988年，32位80386 CPU广泛使用
  - ISA的传输速率无法满足32位80386 CPU的需求
  - 康柏、惠普、AST、爱普生等九家厂商协同将ISA总线扩展到32位宽度，形成EISA总线
  - EISA总线最大数据传输率32MBps
- 2000年前后，EISA总线逐渐退出市场

**EISA插槽**



# PCI总线

- 1992年，80486 CPU广泛应用
  - 英特尔推出了PCI总线，迅速成为工业标准
  - PCI总线为32位/33MHz，带宽133MBps



后续推出了64位/33MHz和64位/66MHz的PCI总线，主要用于服务器领域

**PCI插槽**

# PCI-SIG组织

## ❏ PCI-SIG

- PCI Special Interest Group, PCI特别兴趣组
- 1992年成立, 现有900多个企业成员
- 该组织拥有并管理作为业界开放标准的PCI规范



Agilent Technologies

AMD



DELL™



ORACLE®





# AGP (Accelerated Graphics Port)

- 1996年，3D显卡时代的到来
  - 英特尔在PCI基础上研发出AGP标准
  - AGP是专用于显卡的高速点对点通道

## AGP 1.0 (1996年)

带宽：266MBps (1X模式)  
533MBps (2X模式)

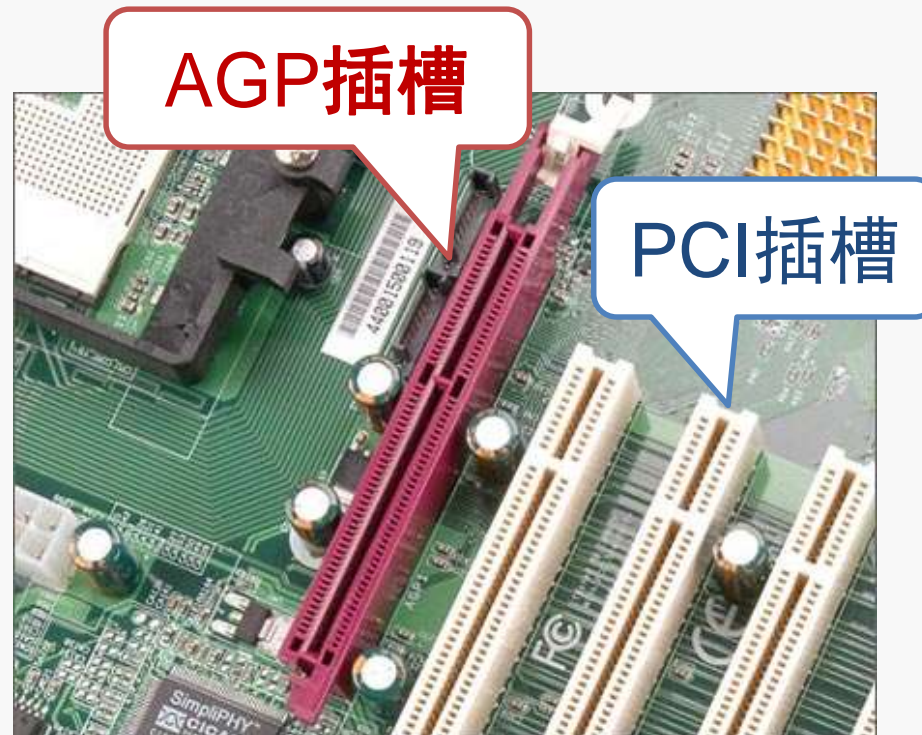
## AGP 2.0 (1998年)

带宽：1.06GBps (4X模式)

## AGP 3.0 (2000年)

带宽：2.1GBps (8X模式)

\*工作频率均为66MHz



# PCI Express



## 标准的提出

- 2001年，英特尔提出3GIO总线的概念
- 2002年，更名为PCI Express，由PCI-SIG组织正式推出

## 全新的基础架构

- 串行方式传输数据，依靠高频率获得高性能
- 全双工运作模式，同时进行数据发送和接收
- 点对点连接结构，而非传统的共享结构

# PCI Express

PCI-E x16插槽

PCI-E x4插槽

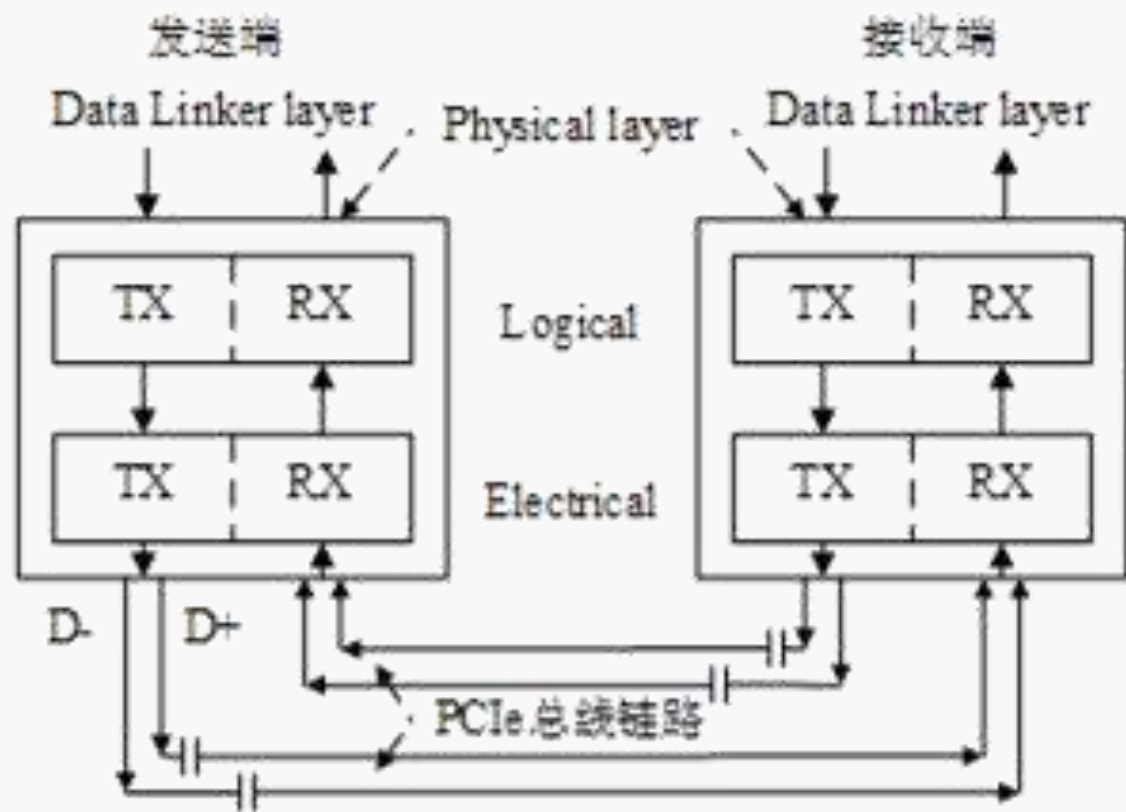
PCI-E x1插槽

PCI插槽



# PCIe的数据传送方式

- ▶ PCIe使用“端到端的数据传送方式”
  - 两端都含有TX(发送逻辑)和RX(接收逻辑)



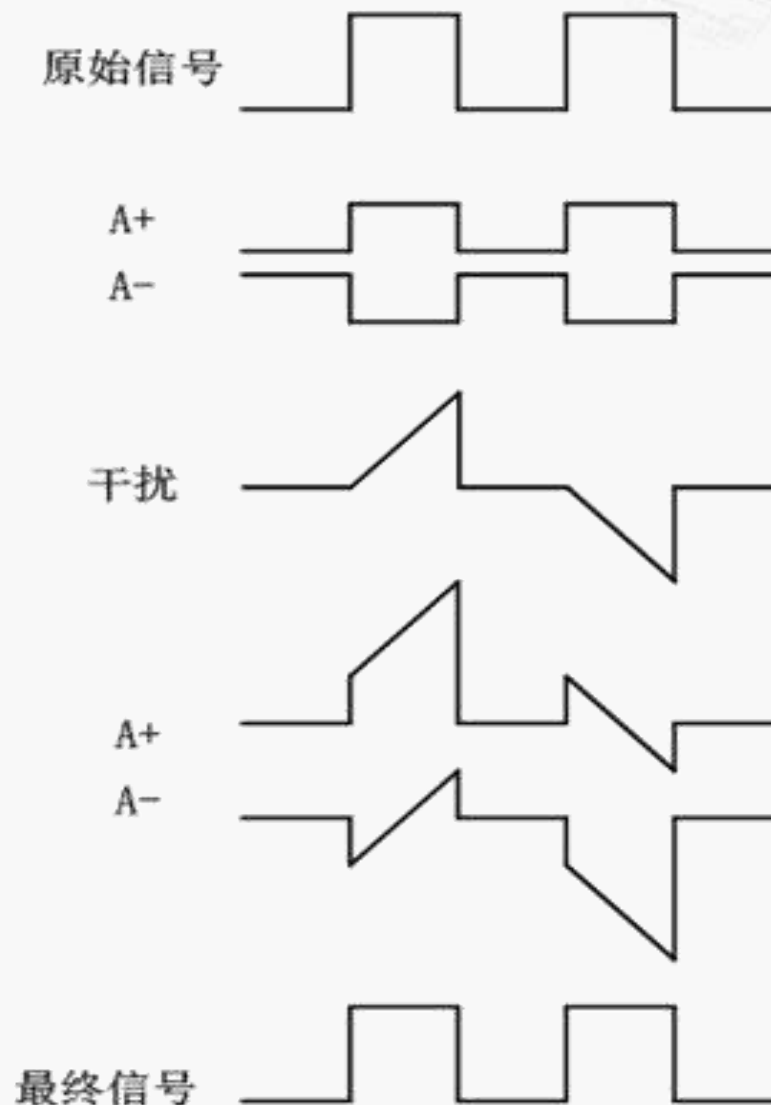
# PCIe总线物理层采用差分信号传输

## ④ 优点

- 抗干扰能力强
- 能有效抑制电磁干扰
- 时序定位准确

## ④ 缺点

- 在电路板上，差分信号一定要走两根等长、等宽、紧密靠近且在同一层面的线，布线难度高







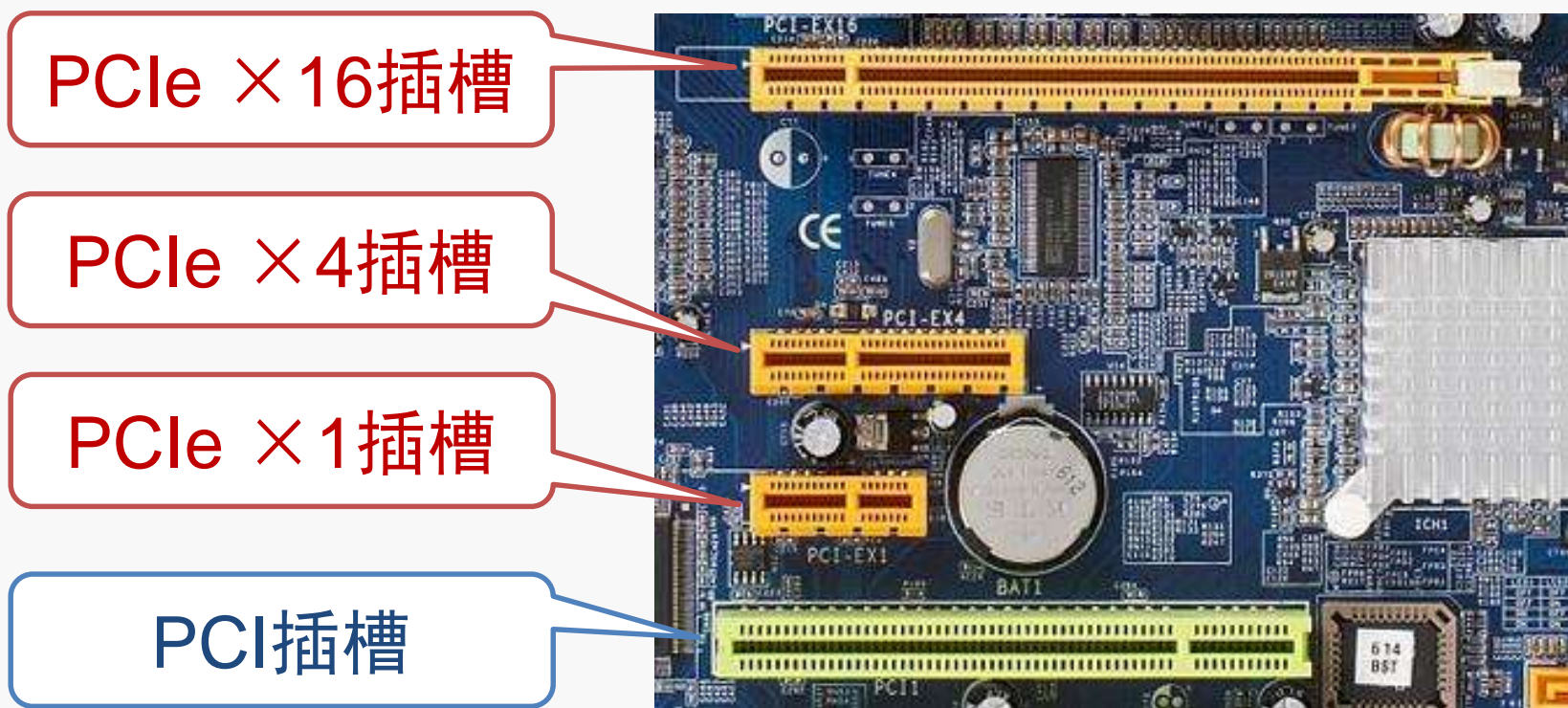
# PCIe链路的带宽和编码方式

- ▶ PCIe使用GT(Gigatransfer)计算链路的峰值带宽
- ▶ 峰值带宽的计算公式（单位：GT/s）
  - 总线频率 × 数据位宽 × 2

总线规范	总线频率	单条链路的峰值带宽	编码方式
1.x	1.25GHz	2.5GT/s	8/10b编码
2.x	2.5GHz	5GT/s	8/10b编码
3.0	4GHz	8GT/s	128/130b编码

# PCIe链路的宽度

- ▶ PCIe链路可以由多个通道（Lane）组成
  - 目前PCIe链路可以支持1、2、4、8、12、16和32个Lane
  - 即×1、×2、×4、×8、×12、×16和×32宽度的PCIe链路



# 主要内容

通过学习本课程  
了解计算机的发展历程，理解计算机的组成原理，掌握计算机的设计方法

I 总线的分类

II 总线的基本结构

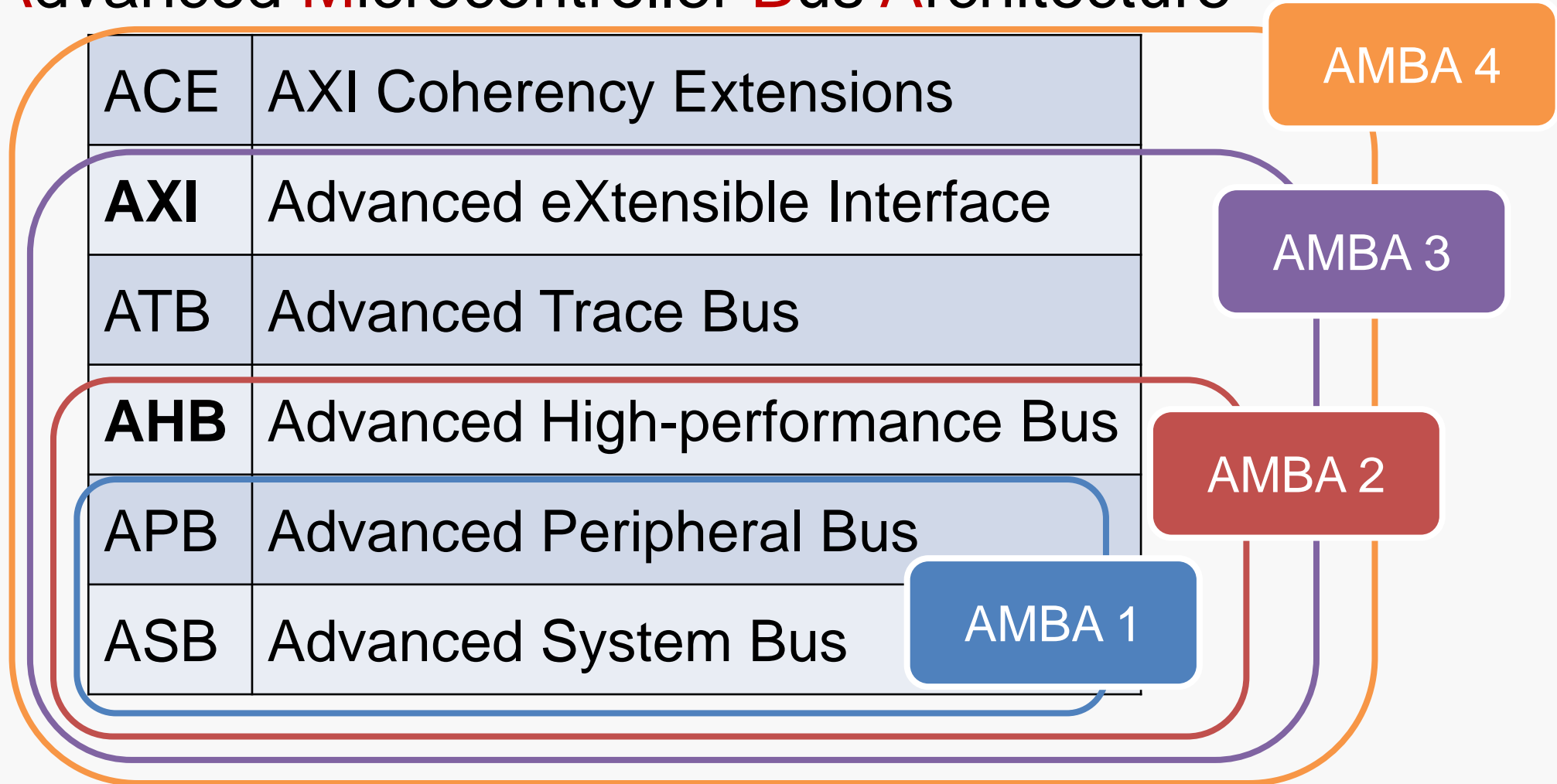
III 常见的总线协议

IV 总线协议实例

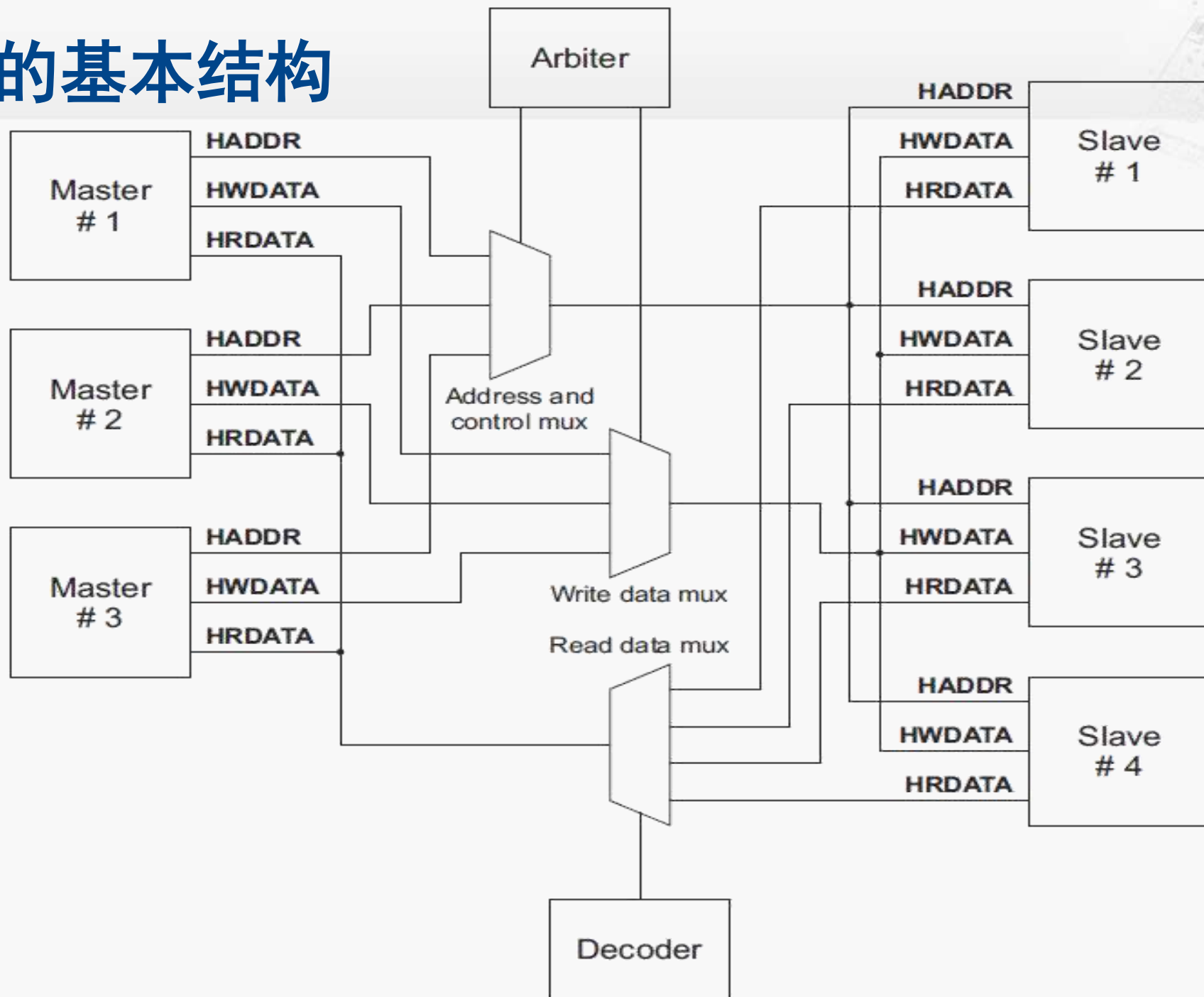


# AMBA总线标准

## ▶ Advanced Microcontroller Bus Architecture



# AHB的基本结构



# 场景一

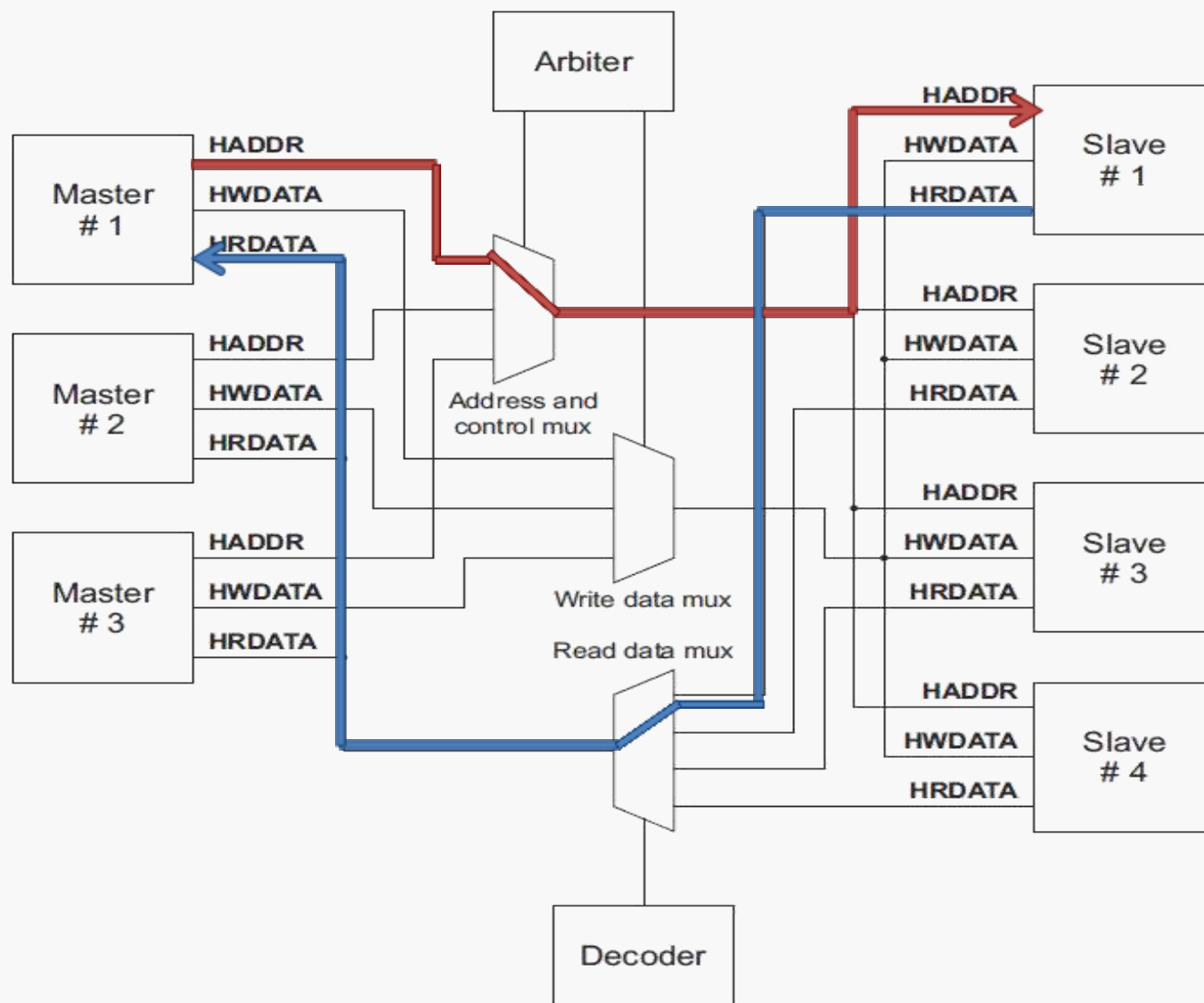


## 🔍 最简单的传输

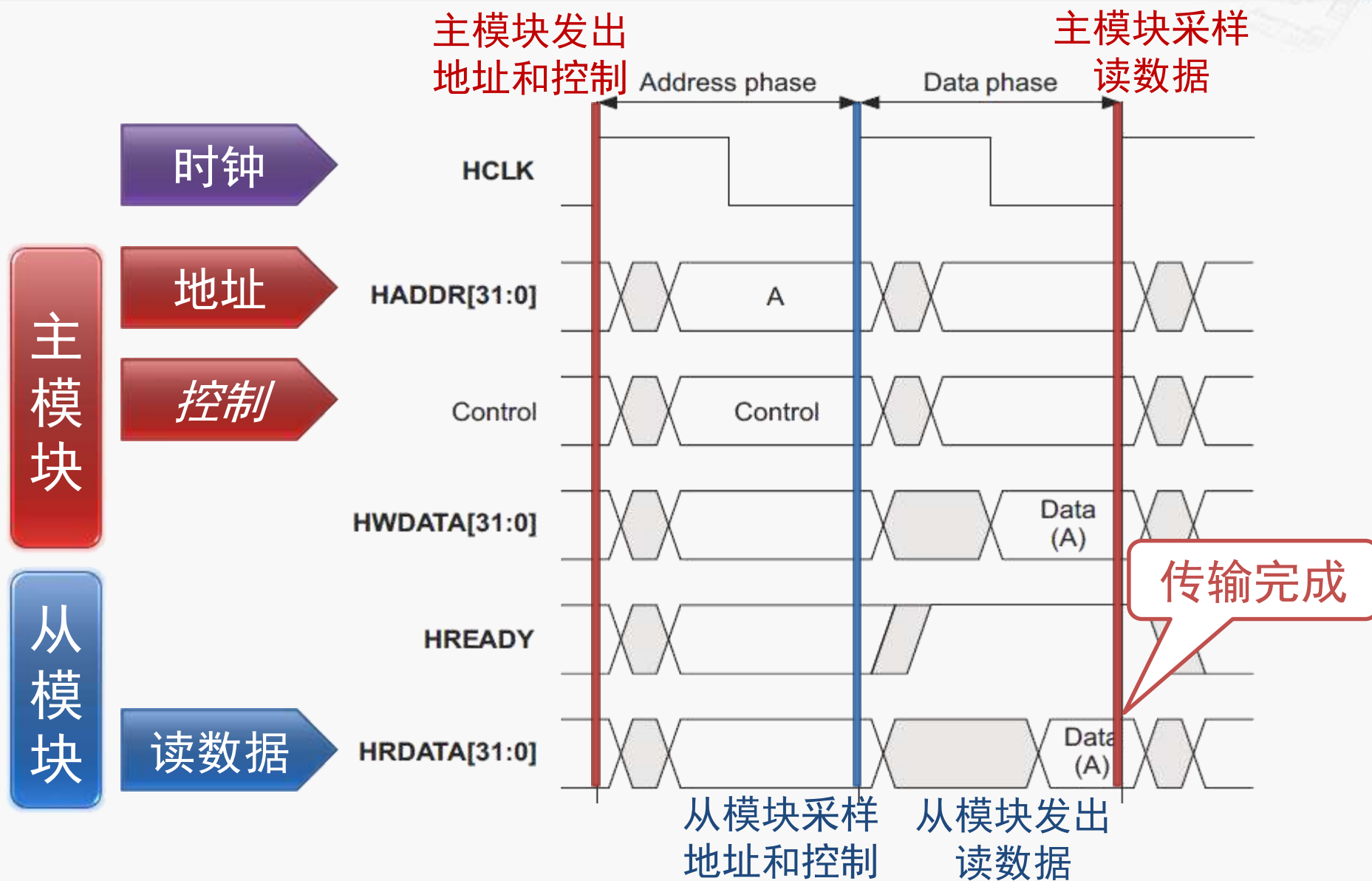
1. 主模块读1个数据
2. 主模块写1个数据



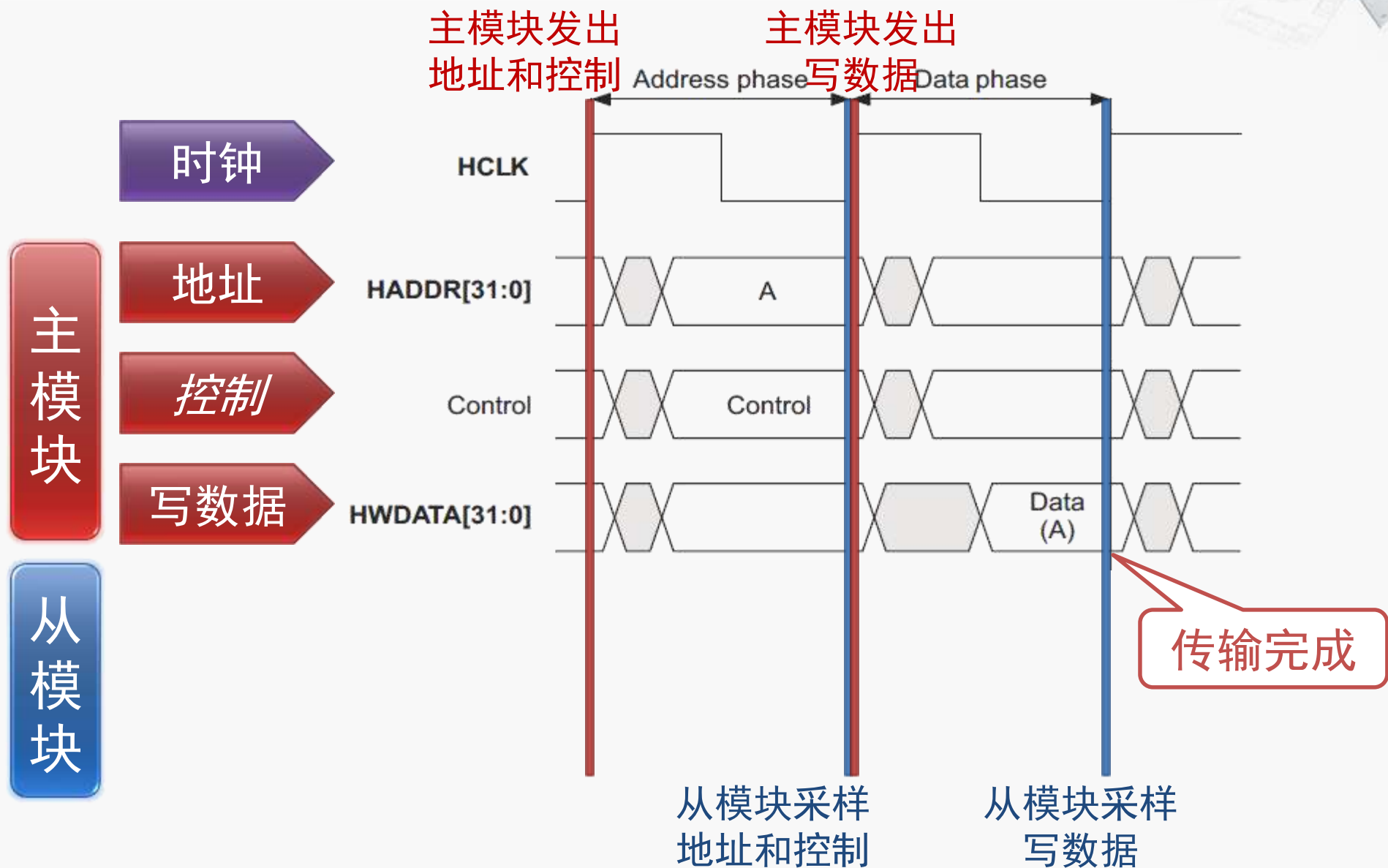
# 示意图：读1个数据的传输



# 时序图1-a: 读1个数据的传输



# 时序图1-b: 写1个数据的传输



# 要点说明

- ① 在第一个时钟上升沿之后，主模块驱动HADDR和Control信号
- ② 在第二个时钟上升沿，从模块采样HADDR和Control信号
- ③ 在第二个时钟上升沿之后
  - 写传输：主模块驱动HWDATA信号
  - 读传输：从模块驱动HRDATA信号
- ④ 在第三个时钟上升沿
  - 写传输：从模块采样HWDATA信号，完成传输
  - 读传输：主模块采样HRDATA信号，完成传输

## 场景二



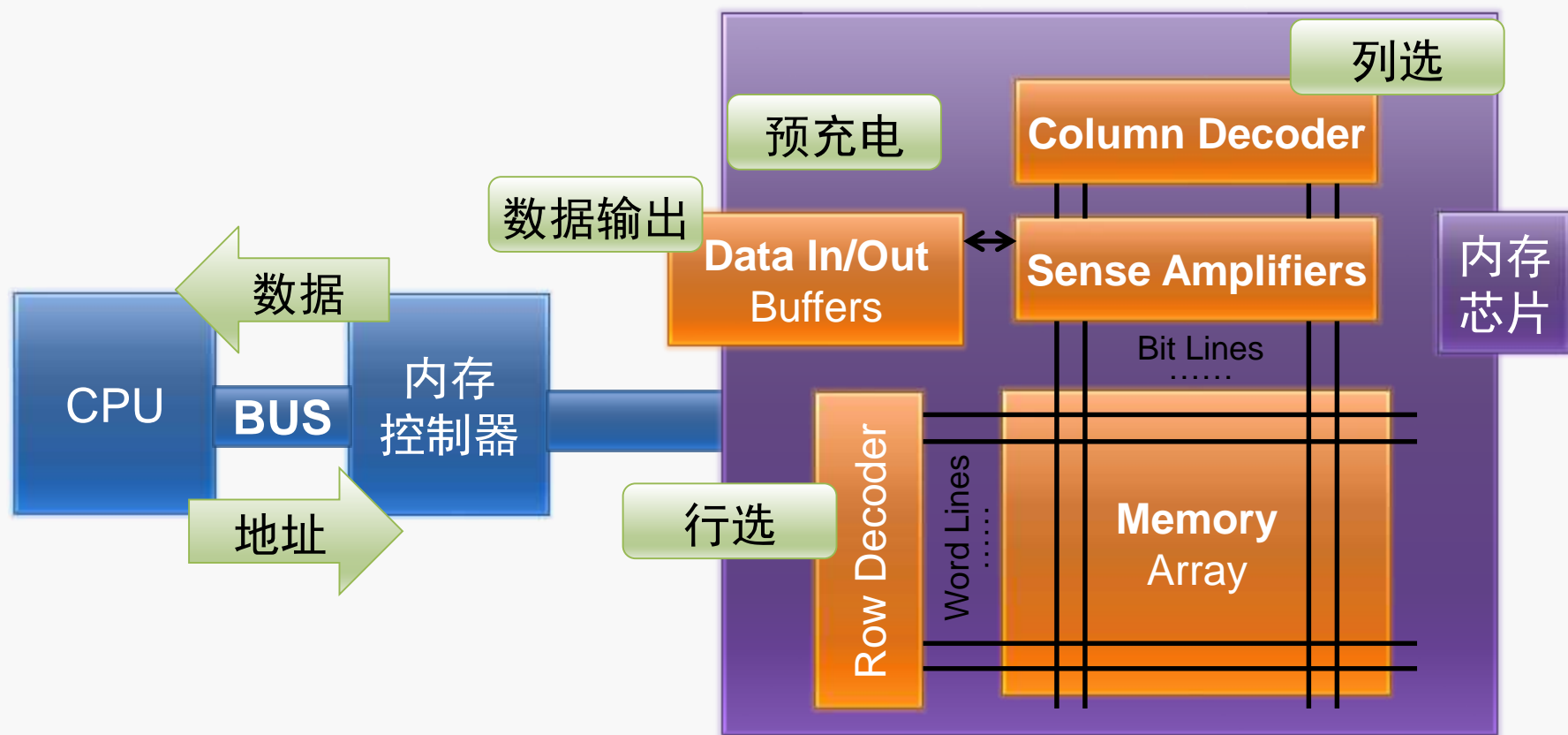
### 🕒 主模块发起传输时，从模块却未准备好

1. 从模块无法提供读数据
2. 从模块无法接收写数据

# 从模块未准备好的典型情况

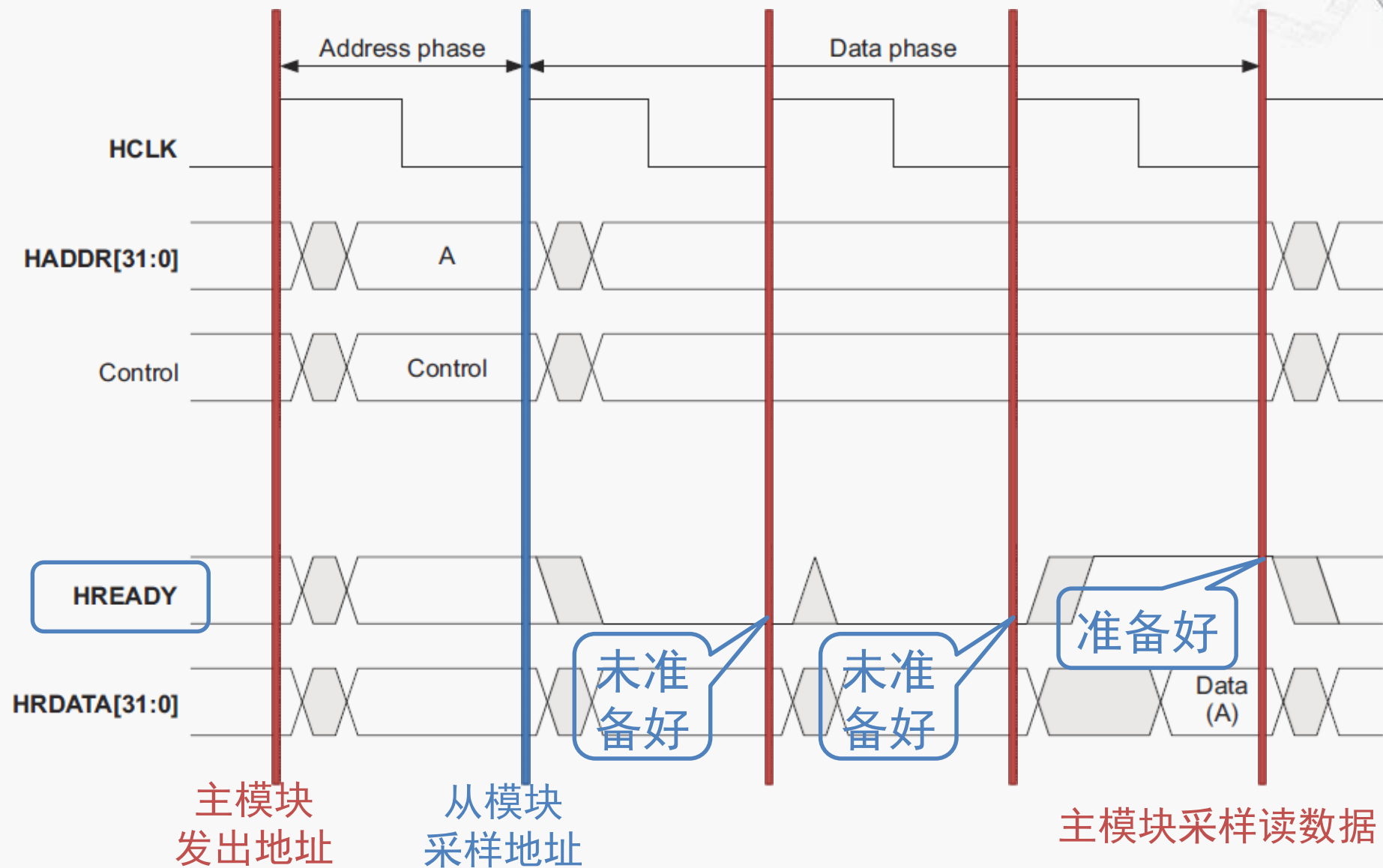
## 🔍 CPU读取内存数据

- CPU为总线主模块，内存控制器为总线从模块
- 需要等待数十到数百个时钟周期才能返回数据

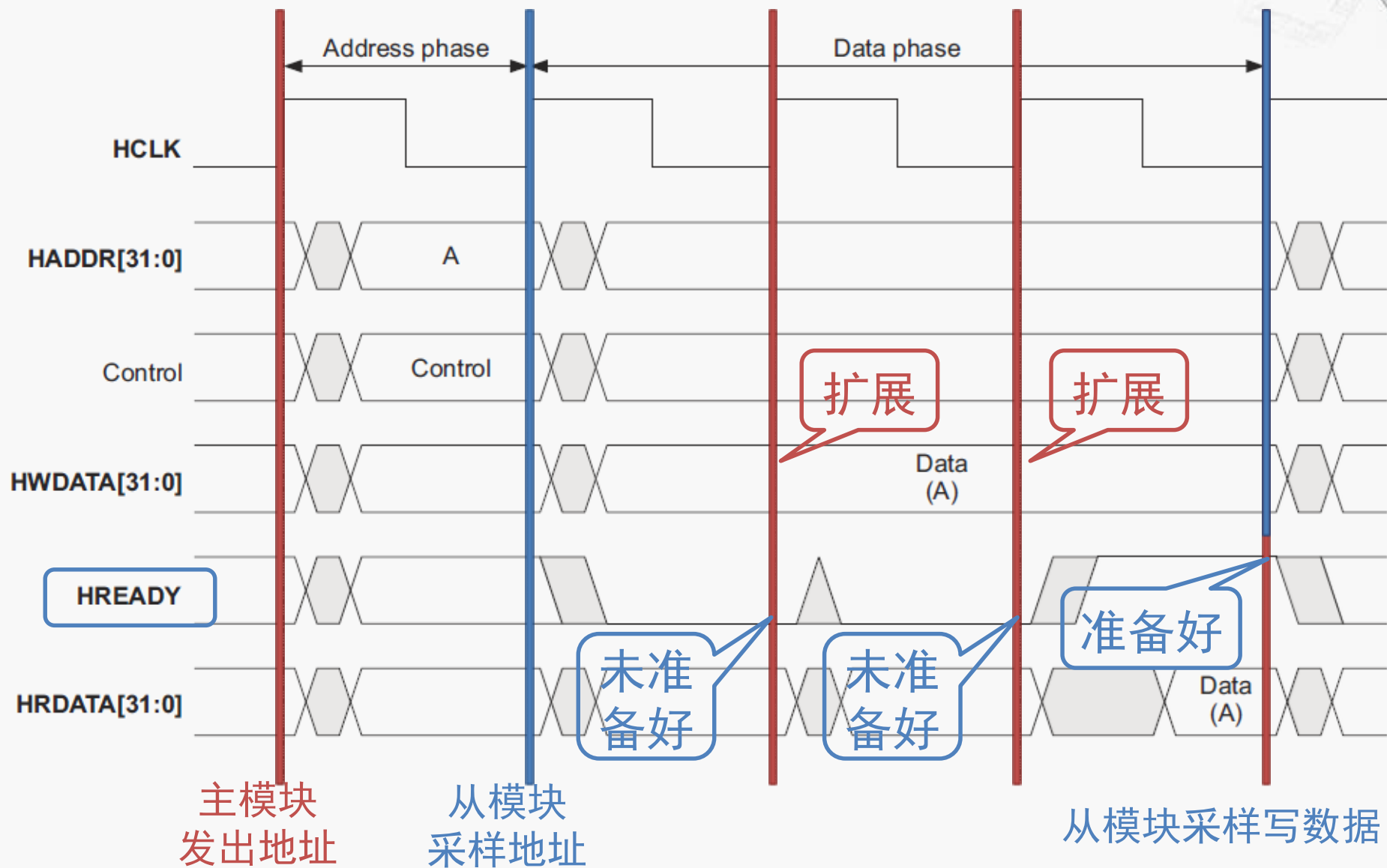




## 时序图2-a：从模块插入等待周期的读传输



## 时序图2-a：从模块插入等待周期的写传输



# 要点说明

- ④ 从模块可以在传输过程中插入等待周期，以便获得额外的时间
  - 如暂存写数据的缓冲已满、读数据未准备好等
- ④ 在等待周期中，主模块必须保持地址、控制和写数据等信号的稳定

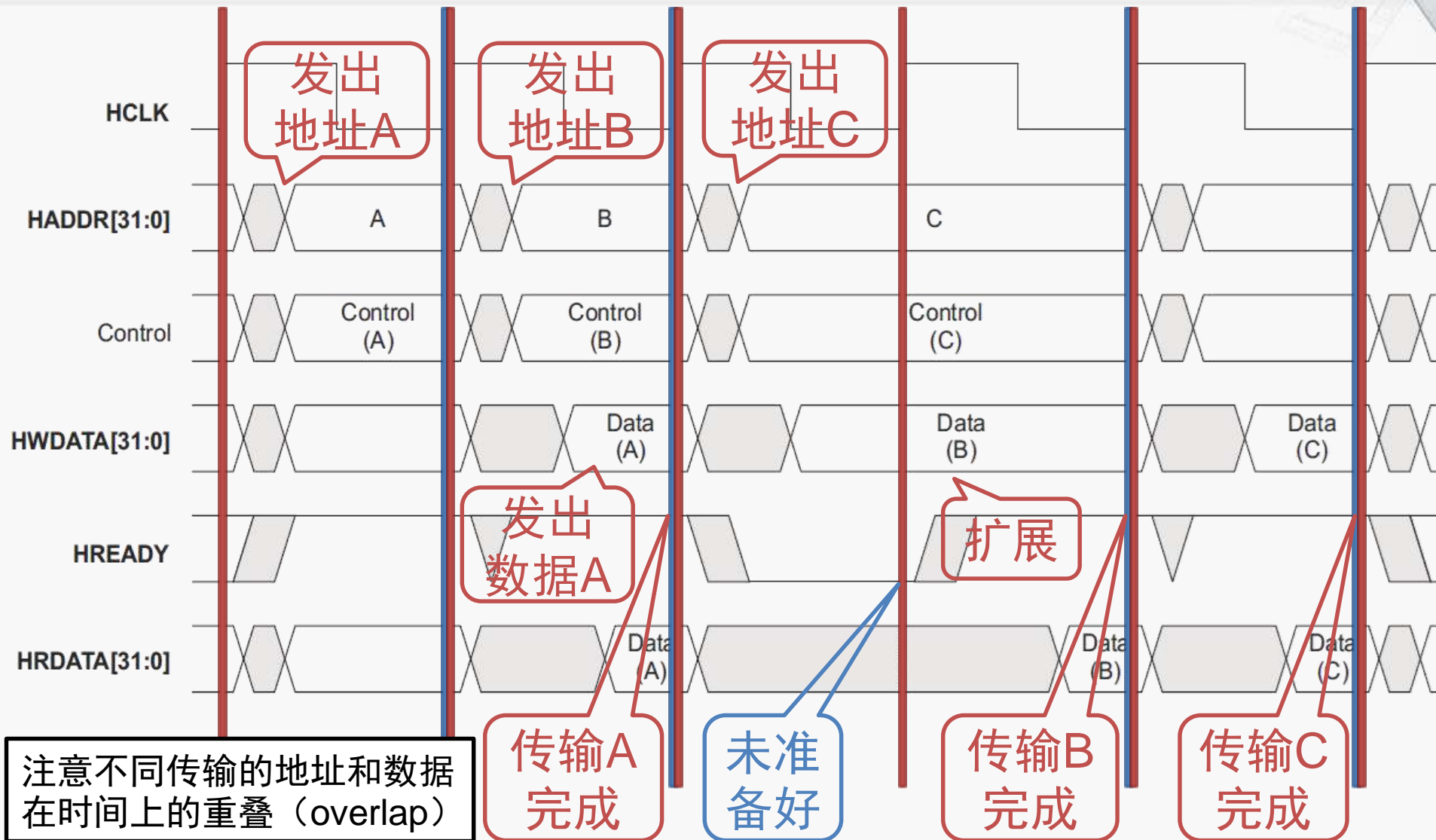
# 场景三



## 🕒 多个连续的传输

1. 一个主模块连续发起多个的传输
2. 多个不同的主模块先后发起传输

# 时序图3：三次连续的总线传输



# 要点说明



## 🕒 时间重叠 (overlap)

- 不同传输的地址和数据在时间上存在重叠
- 充分利用地址总线 and 数据总线

## 🕒 等待周期

- 地址A和C的传输中没有等待周期
- 地址B的传输中有一个等待周期，该传输的数据阶段扩展了一个周期

## 🕒 等待周期的副作用

- 因为地址B的传输中的等待周期，所以地址C的传输的地址阶段受其影响而扩展了一个周期



# 场景四



## 大量连续数据的传输

- 一次传输的数据量超过了数据总线的宽度
- 例如，CPU需要从内存中读出连续的16字节（128位）的数据，但数据总线宽度为32位



# 主模块控制信号：HTRANS

## HTRANS[1:0]定义传输中各周期的类型

编码	类型	说明
00	IDLE	Indicates that no data transfer is required. The IDLE transfer type is used when a bus master is granted the bus, but does not wish to perform a data transfer.
01	BUSY	Indicates that the bus master is continuing with a burst of transfers, but the next transfer cannot take place immediately. The transfer should be ignored by the slave.
10	NONSEQ	Indicates the first transfer of a burst or a single transfer. The address and control signals are unrelated to the previous transfer. (NONSEQUENTIAL)
11	SEQ	The remaining transfers in a burst are SEQUENTIAL and the address is related to the previous transfer. The control information is identical to the previous transfer.

\*编码为二进制



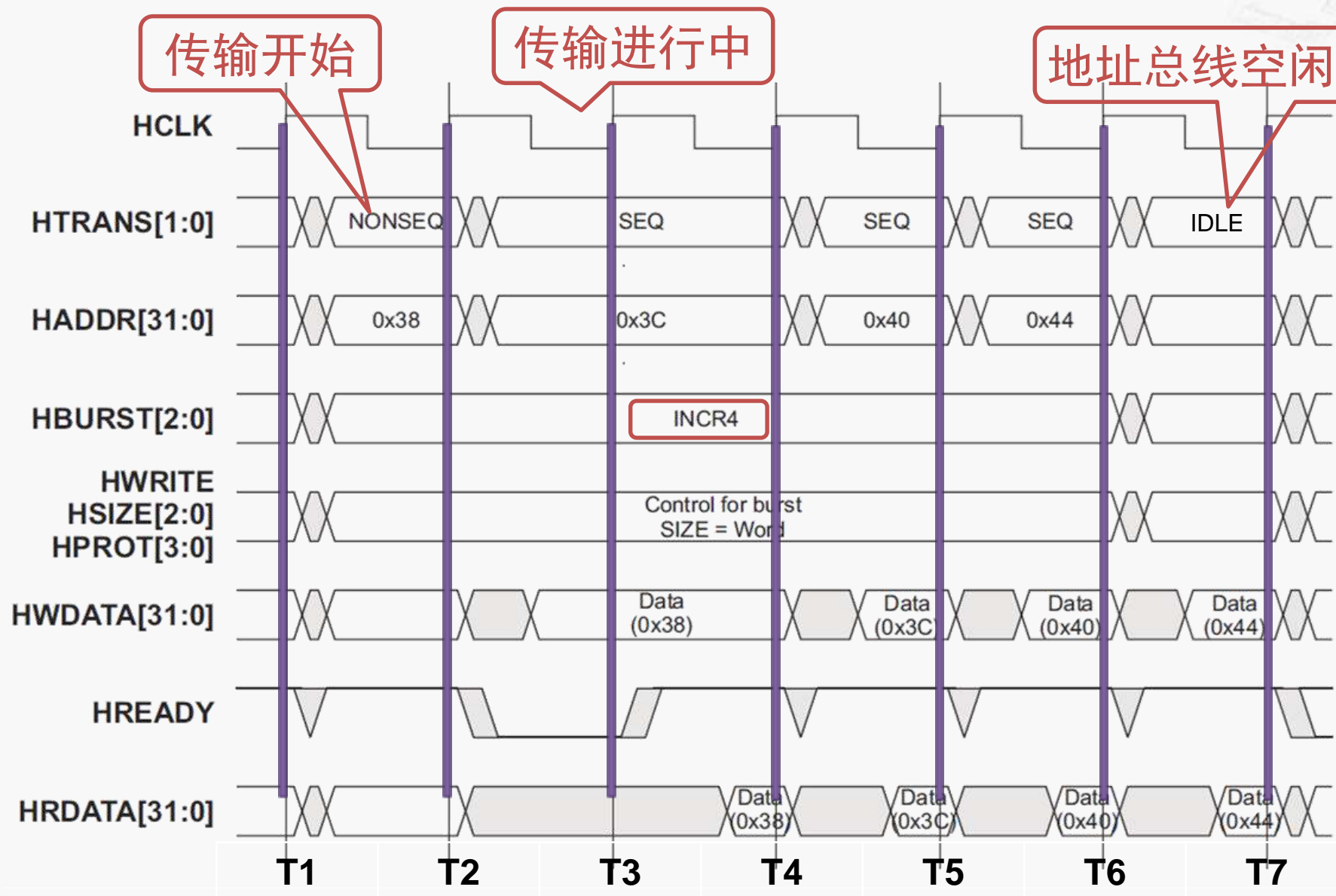
# 主模块控制信号：HBURST

HBURST[2:0]定义了传输长度和地址变化方式

编码	类型	说明
000	SINGLE	Single transfer
001	INCR	Incrementing burst of unspecified length
010	WRAP4	4-beat wrapping burst
011	INCR4	4-beat incrementing burst
100	WRAP8	8-beat wrapping burst
101	INCR8	8-beat incrementing burst
110	WRAP16	16-beat wrapping burst
111	INCR16	16-beat incrementing burst

\*编码为二进制

# 时序图4： HTRANS和HBURST信号示例



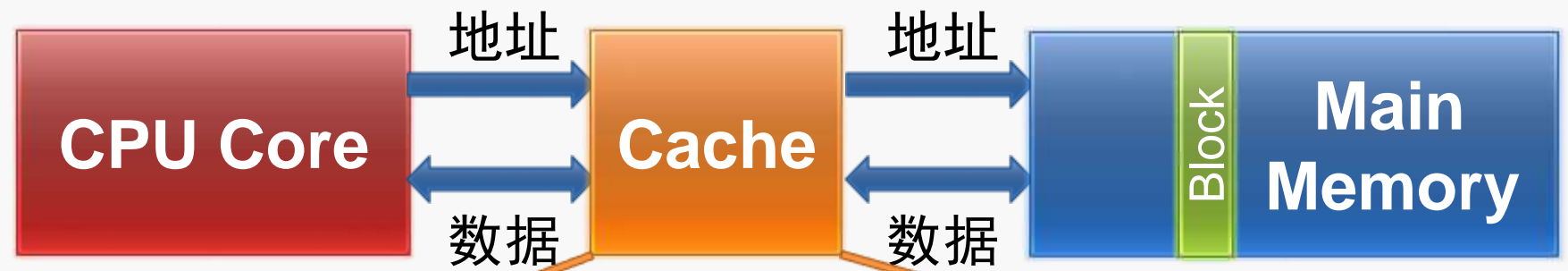
# 要点说明

- ④ T1：传输开始，主模块发出第一个地址，驱动  $HTRANS=NONSEQ$ ,  $HBURST=INCR4$
- ④ T2：传输继续，主模块发出第二个地址，驱动  $HTRANS=SEQ$ , 保持  $HBURST=INCR4$
- ④ .....
- ④ T6：主模块发出的第四个地址已被从模块采样，无需再发出新的地址和控制信号，因此驱动  $HTRANS=IDLE$
- ④ T7：传输完成



# Burst传输的应用（1）

⌚ 高速缓存的行填充（读）、行替换（写）

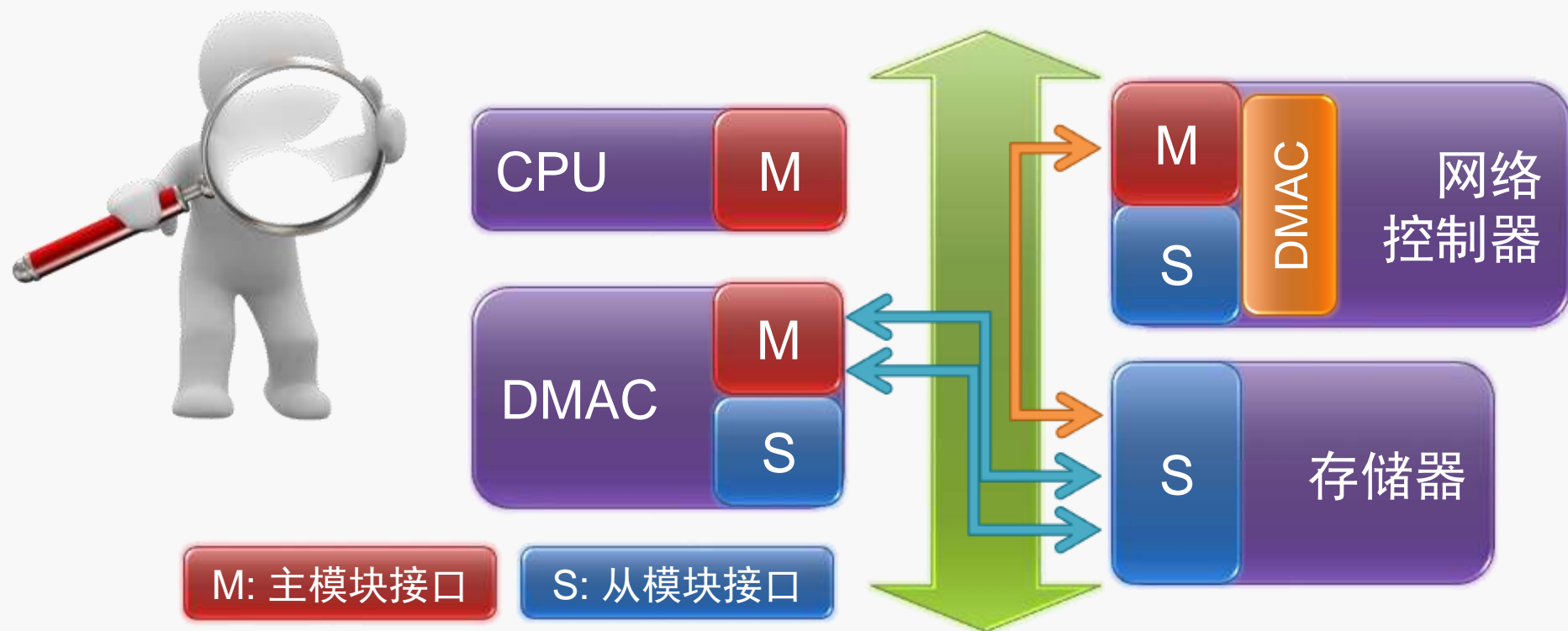


		Block				
有效位	地址	数据				
1	1000	1111	2222	3333	4444	Cache Line
0	3018	5555	6666	7777	8888	Cache Line
1	4530	4444	3333	2222	1111	Cache Line
.....	.....	.....	.....	.....	.....	



## Burst传输的应用（2）

- ❶ 外设和主存之间的大量连续数据传输
- ❷ 主存中不同区域之间的大量连续数据传输



## 场景五



- 希望先得到Burst传输中的某个特定数据

# “关键字优先”的传输需求

## 高速缓存的行填充

设：DS=1000H  
ES=2000H

MOV BX, [18H] ; 数据地址 10018H  
MOV CX, [30H] ; 10030H  
MOV DX, ES:[10H] ; 20010H

未命中，读主存地址10010H，添加表项1，返回03H

问题：  
实际上，地址[10018H]对应的数据是“关键字”，是影响性能的关键因素

	Cache					应的数据是“关键字” 是影响性能的关键因素
	地址	数据块				
表项0						
表项1	1001H	04H	03H	02H	01H	
表项2						
表项3	1001CH	10018H	10014H	10010H		
.....	.....	.....				

对应地址



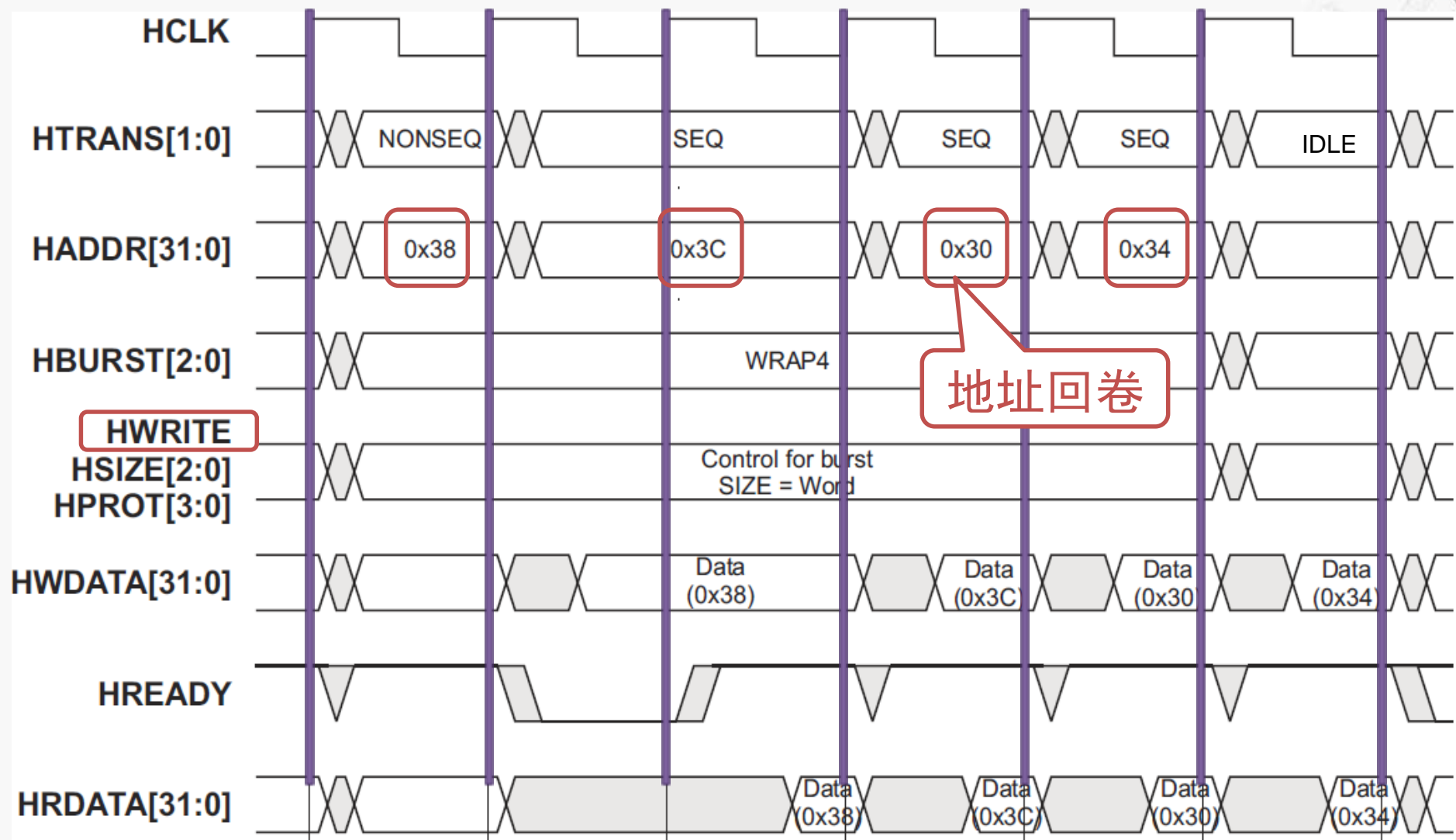
# 主模块控制信号：HBURST

HBURST[2:0]定义了传输长度和地址变化方式

编码	类型	说明
000	SINGLE	Single transfer
001	INCR	Incrementing burst of unspecified length
010	WRAP4	4-beat wrapping burst
011	INCR4	4-beat incrementing burst
100	WRAP8	8-beat wrapping burst
101	INCR8	8-beat incrementing burst
110	WRAP16	16-beat wrapping burst
111	INCR16	16-beat incrementing burst

\*编码为二进制

# 时序图5：地址回卷的四个数据的传输

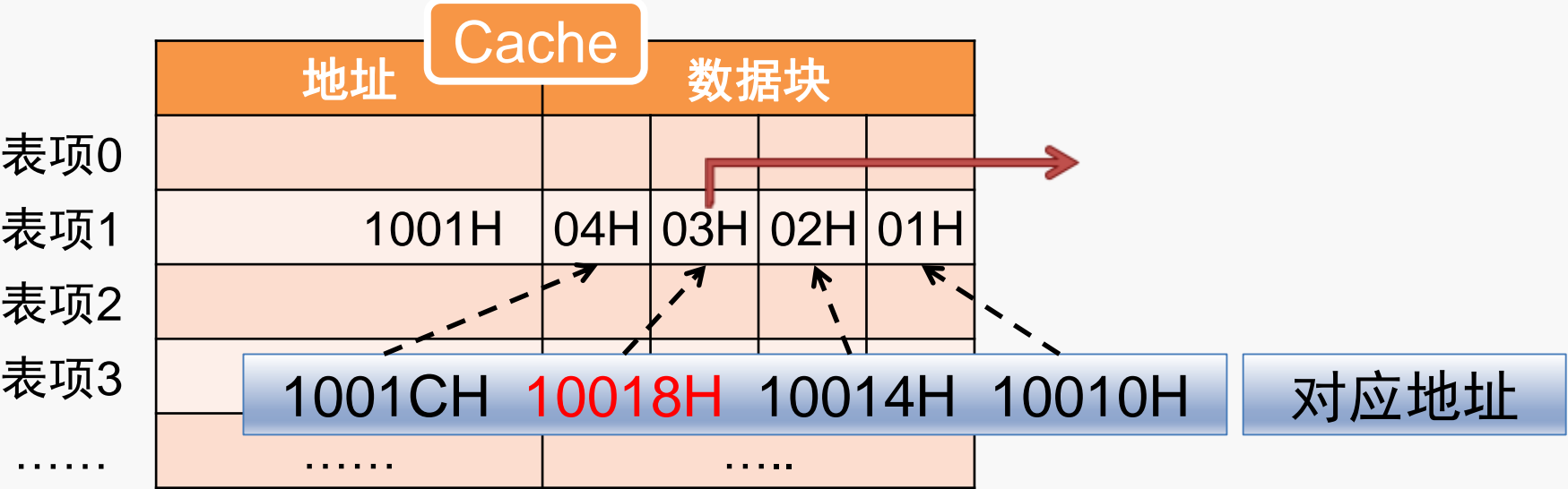


\*HWRITE信号：1表示写传输，0表示读传输



# 地址回卷的传输应用举例

- “关键字优先”的高速缓存行填充
  - 本例中可采用WRAP4类型的总线传输
  - 地址[10080H]对应的数据将首先返回
  - 若采用INCR4类型的总线传输，则地址[10080H]对应的数据将作为第三个数据返回，延迟较大





# 地址回卷的要点说明

## ❶ 地址回卷的边界（假设数据宽度为4字节）

- WRAP4：在16的整数倍的地址处回卷（ $4 \times 4$ ）
- WRAP8：在32的整数倍的地址处回卷（ $4 \times 8$ ）
- WRAP16：在64的整数倍的地址处回卷（ $4 \times 16$ ）

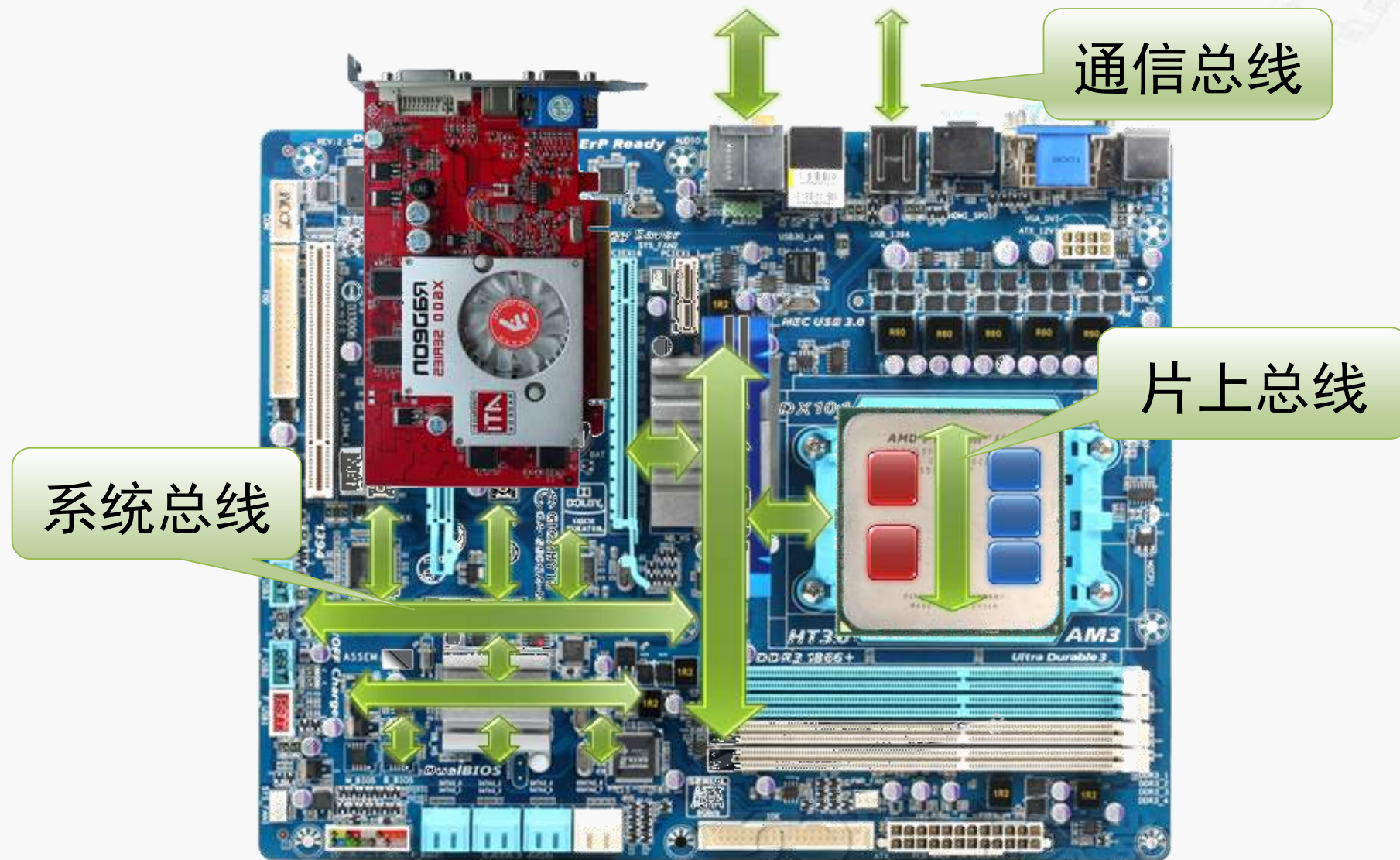
## ❷ 传输地址变化示例

- INCR4: 0x38 0x3C 0x40 0x44
- WRAP4: 0x38 0x3C 0x30 0x34
- INCR4: 0x30 0x34 0x38 0x3C

} 起始地址相同

} 访问区域相同

# 微型计算机中不同层次总线的简化示意





# 本讲到此结束，谢谢 欢迎继续学习本课程

计算机组织与体系结构 Computer Architectures  
主讲：陆俊林