

计算机组成原理实验报告

人工智能与计算机学院 计科 1803 班 学号：1033180311 姓名：何元梅
实验日期：2020 年 11 月 12 日 同组同学：毛萍兰 指导老师：刘登峰

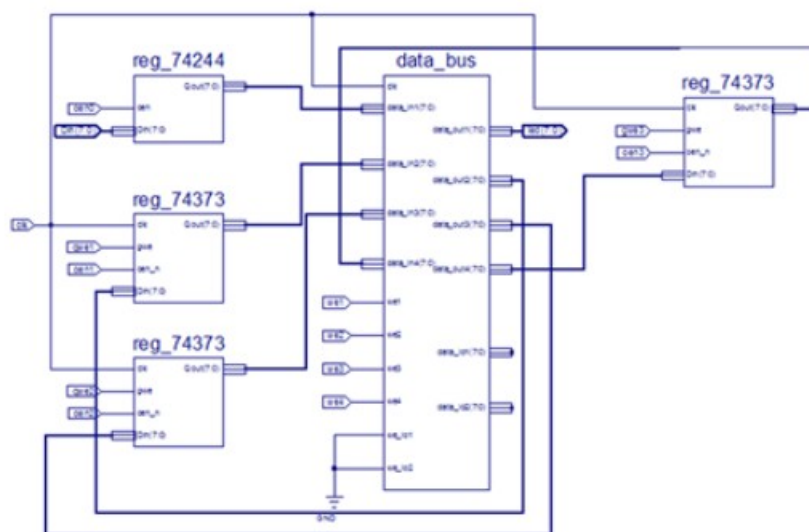
实验名称：总线传输实验

实验目的：

1. 掌握总线的连接方式
2. 掌握总线上数据传输的工作原理

实验步骤

(一) 实验原理图



(二) 实验步骤

1. 建立工程文件，添加实验模块，完成原理图设计

(一) 建立工程文件

- (1) 点击桌面 Xilinx ISE 软件
- (2) 选择 File/New Project，输入工程名为 sample
- (3) 在 Hierarchy 框中，右击鼠标，选择 New Source，选择 Schematic，输入文件名 test

(二) 添加实验模块

- (1) 在桌面左下方选择 Design 栏，在 Hierarchy 框中，右击鼠标，选择 Add Copy of Source
- (2) 在 D : /jan_lab_source 中，选择所用模块的 .vhd 文件，点击打开
- (3) 在桌面左下方选择 Symbols 栏，在 Symbols 框中，选择所用实验模块，点击拖动到桌面右面的原理图编辑框中

(三) 原理图设计

- (1) 选择原理图编辑框左侧 Add I/O Marker，在实验模块的所用引脚端口建立端口符号
- (2) 右击所用端口符号，选择 Rename Port，选择 Rename the Branch，对端口符号进行命名
- (3) 选择原理图编辑框左侧 Add wire，可在实验模块间画线
- (4) 原理图设计完毕，点击保存

2. 修改用户约束文件，建立端口名与实验箱上拨动开关及 LED 灯对应联系，注意数据排列时的高低位顺序。

（四）修改用户约束文件

（1）在桌面左下方选择 Design 栏，在 Hierarchy 框中，点击鼠标，选择 Add Copy of Source

（2）在 D : /jan_lab_source 中选择 Myucf 文件，点击打开

（3）在 Hierarchy 框中，展开品字形符号栏，双击 Myucf

（4）用所命名的端口名修改 Myucf 文件中的语句，修改后程序如下所示：

```

NET "clk"      --CLOCK-----
#      LOC = "L15";

###-----Atlys led output-----
NET "dataout[0]"      LOC = U18;    #Atlys LD0
NET "dataout[1]"      LOC = M14;    #Atlys LD1
NET "dataout[2]"      LOC = N14;    #Atlys LD2
NET "dataout[3]"      LOC = L14;    #Atlys LD3
NET "dataout[4]"      LOC = M13;    #Atlys LD4
NET "dataout[5]"      LOC = D4;     #Atlys LD5
NET "dataout[6]"      LOC = P16;    #Atlys LD6
NET "dataout[7]"      LOC = N12;    #Atlys LD7
#

###-----Atlys Switch input-----
#NET "atlys_sw[0]"      LOC = A10;    # Atlys sw0
#NET "atlys_sw[1]"      LOC = D14;    # Atlys sw1
#NET "atlys_sw[2]"      LOC = C14;    # Atlys sw2
#NET "atlys_sw[3]"      LOC = P15;    # Atlys sw3
#NET "atlys_sw[4]"      LOC = P12;    # Atlys sw4
#NET "atlys_sw[5]"      LOC = R5;     # Atlys sw5
#NET "atlys_sw[6]"      LOC = T5;     # Atlys sw6
#NET "atlys_sw[7]"      LOC = E4;     # Atlys sw7
#

###-----EES261 switch input-----
NET "we1" LOC = "U11";    #SW20
NET "we2" LOC = "R10";    #SW19
#NET "swt[17]" LOC = "U10"; #SW18
#NET "swt[16]" LOC = "R8";  #SW17
#

```



```

NET "Din[2]" LOC = "V7";      #SW3
NET "Din[1]" LOC = "V8";      #SW2
NET "Din[0]" LOC = "N8";      #SW1
#
##-----EES261    leds output-----
NET "Qout<0>" LOC = "U16";     #LED1
NET "Qout<1>" LOC = "U15";     #LED2
NET "Qout<2>" LOC = "U13";     #LED3
NET "Qout<3>" LOC = "M11";     #LED4
NET "Qout<4>" LOC = "R11";     #LED5
NET "Qout<5>" LOC = "T12";     #LED6
NET "Qout<6>" LOC = "N10";     #LED7
NET "Qout<7>" LOC = "M10";     #LED8
#
###-----hex7seg-----
# NET "an<0>" LOC = "V16";
# NET "an<1>" LOC = "V15";
# NET "an<2>" LOC = "V13";
# NET "an<3>" LOC = "N11";
#
# NET "a_to_g<0>" LOC = "T8";      #a
# NET "a_to_g<1>" LOC = "V10";     #b
# NET "a_to_g<2>" LOC = "T10";     #c
# NET "a_to_g<3>" LOC = "V11";     #d
# NET "a_to_g<4>" LOC = "N9";      #e
# NET "a_to_g<5>" LOC = "P11";     #f
# NET "a_to_g<6>" LOC = "V12";     #g
# NET "dp" LOC = "T11";            #dp

```

(5) 修改完毕，点击保存

3. 编译，下载

(五) 编译

(1) 在桌面左下方选择 Design 栏，在 Hierarchy 框中，选中所建立的 .Sch 文件

(2) 在 Processes 框中，双击 Generate Programing File，观察编译后的提示信息

(六) 下载

(1) 打开实验箱电源

(2) 在桌面上选择 开始 / 程序 / Digilent / Adept / Adept

(3) 点击 Browse，选择 C : / Documents and Settings / 工程名 / 文件名.bit，点击打开

(4) 点击 Program，完成下载

4.设定输入数据，操作每个实验模块的控制端开关，是数据在总线上进行传输，注意向总线传输数据时，一次只允许一个实验模块输出，因此在操作时应先将其它实验模块的控制端设在无效状态。

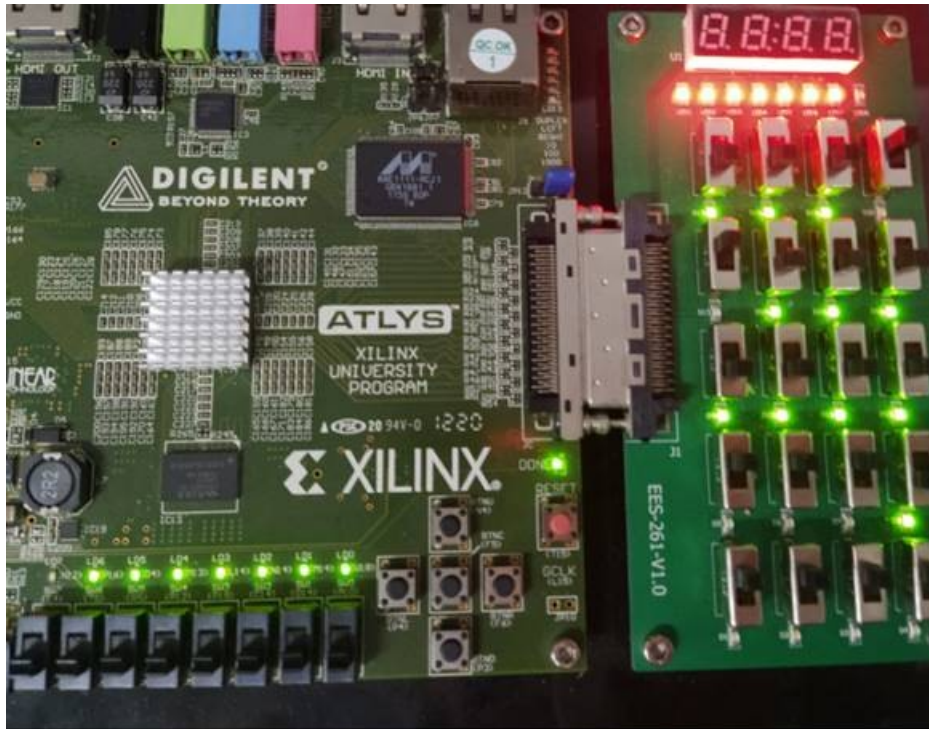
5.Reg_74244 模块中的 oen 低有效。Reg_74377 模块中 en_n 低有效，reg_74373 模块中 gwe 为写信号高有效，oen_n 为读信号低有效，data_bus 模块中，we1,we2,we3,we4,we_iol,we_io2 均为高有效。

6.将一个数据写入 74313，然后读出验证是否正确。

(三) 实验结果

下载完成后实验箱照片如下所示：





(四) 实验感想

这次实验难度不大，我们连接好实验原理图，下载编译号，但是一开始我们不是很清楚总线数据传输原理，不知道如何拨动信号，理论输出是啥，于是我们就去向其他同学请教，在同学耐心地讲解下我们明白了其中的原理，于是就开始上手拨动信号灯，还是挺成功的，相应的输出结果和理论输出相符，看来我们的实验连接编译下载都是没错的，挺开心的一次就成功了，非常感谢小伙伴的耐心解答。