中国科学技术大学计算机学院 《数字电路实验》报告



实验题目: 综合实验简单 CPU 设计

学生姓名: <u>哈依纳尔·艾尔扎提</u>

学生学号: PB19111715

完成日期: 12月25日

计算机实验教学中心制 2020 年 09 月

【实验题目】

设计一个简单的 8 位 CPU

【实验目的】

熟练使用本学期学的知识设计一些东西, 我选的是一个简单的 8 位 CPU。

CPU 一般包括寄存器组、运算器和控制器。寄存器组负责存储,运算器负责进行运算,控制器则控制各个通路,使得处理流程得以进行。

现代的 CPU, 其复杂度远远不止如此, 不过我由于水平有限, 仅设计一个简单的 8 位 CPU

【实验环境】

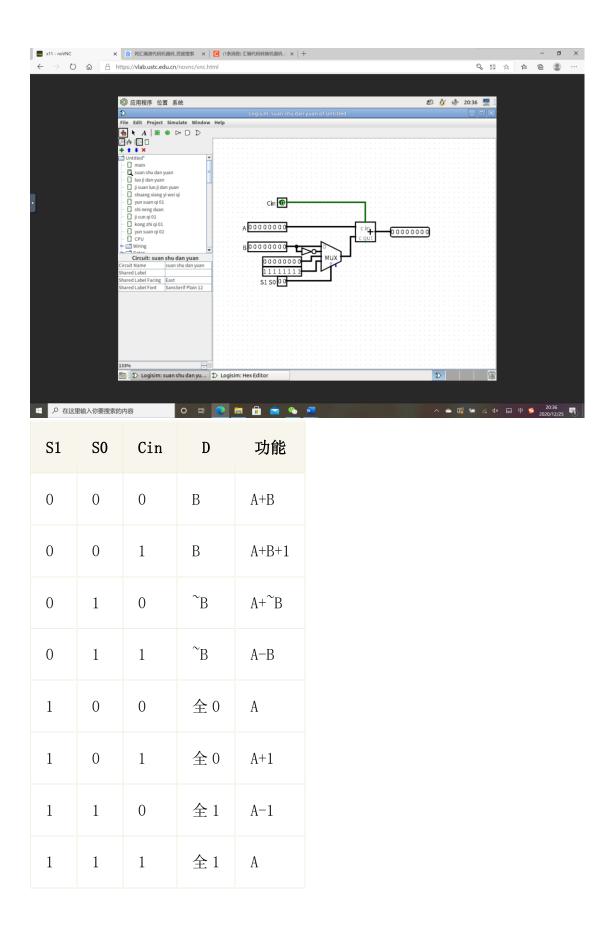
PC 一台,能流畅的连接校园网

Logisim 仿真工具

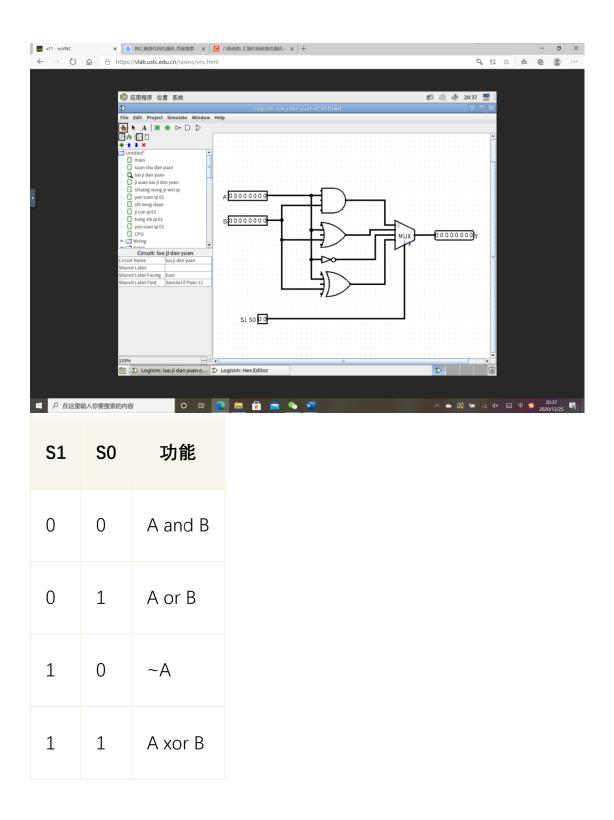
vlab.ustc.edu.cn (jre、Logisim 工具以及 Verilog 语法介绍都可在此网站获取)

【实验过程】

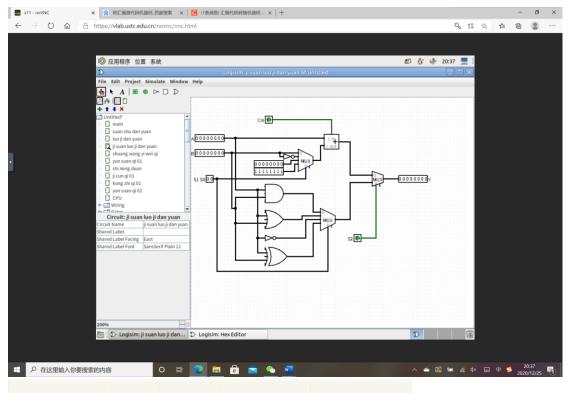
算数单元



逻辑单元



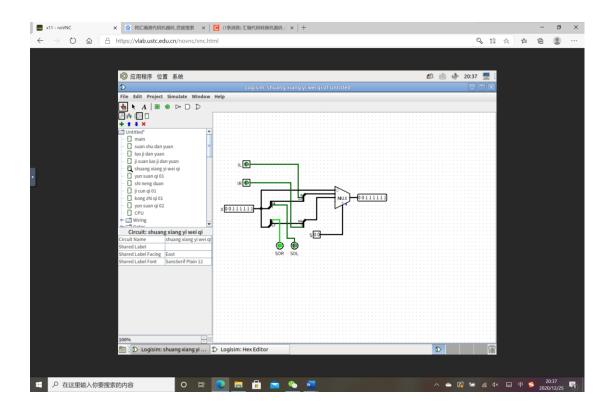
计算逻辑单元



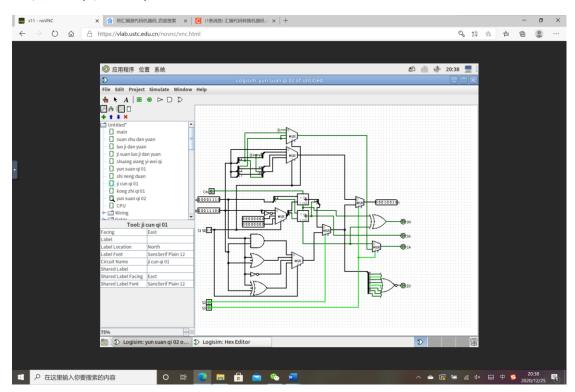
S2	S1	S0	Cin	功能	解释
0	0	0	0	A+B	ADD
0	0	0	1	A+B+1	加并加1
0	0	1	0	A+~B	减并减 1
0	0	1	1	A-B	减法
0	1	0	0	А	MOV
0	1	0	1	A+1	INC

S2	S1	S0	Cin	功能	解释
0	1	1	0	A-1	DEC
0	1	1	1	А	MOV
1	0	0	X	A and B	AND
1	0	1	X	A or B	OR
1	1	0	X	~A	NOT
1	1	1	X	A xor B	XOR

双向移位器



运算器 (最终版)



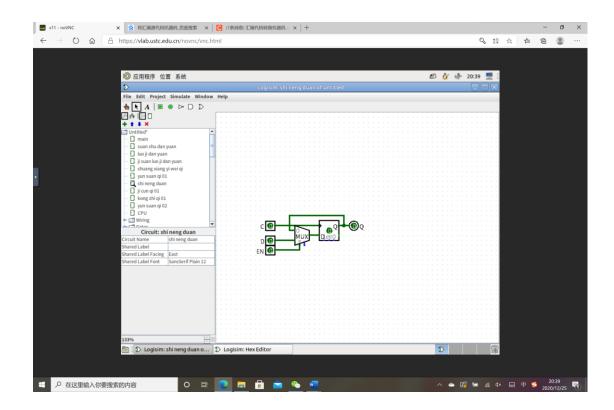
S 3	S2	S1	S0	Cin	功能	解释	有效 标志
选择算术逻辑~移位	选择逻辑/~算术	选择功能	进位输入				
0	X	0	0	X	В	MOV B	CA
0	X	0	1	X	<-B	SHL/SAL (逻辑/ 算术左 移)	CA
0	×	1	0	X	B->	SHR (逻 辑右移)	CA

S 3	S2	S1	S0	Cin	功能	解释	有效标志
0	×	1	1	X	#B->	SAR (算 术右移)	CA
1	0	0	0	0	A+B	ADD	OV 、 SG 、 CA 、 ZO
1	0	0	0	1	A+B+1	加并加 1	OV 、 SG 、 CA 、 ZO
1	0	0	1	0	A+~B	减并减 1	OV 、 SG 、 CA 、 ZO
1	0	0	1	1	A-B	SUB	OV 、 SG 、

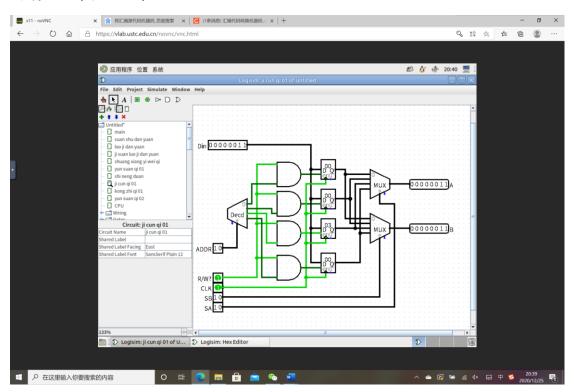
S 3	S2	S1	S0	Cin	功能	解释	有效标志
							CA、 ZO
1	0	1	0	0	Α	MOV	OV 、 SG 、 CA 、 ZO
1	0	1	0	1	A+1	INC	OV 、 SG 、 CA 、 ZO
1	0	1	1	0	A-1	DEC	OV 、 SG 、 CA 、 ZO
1	0	1	1	1	Α	MOV	OV 、

S 3	S2	S1	S0	Cin	功能	解释	有效标志
							CA、 ZO
1	1	0	0	X	A and	AND	ZO
1	1	0	1	X	A or B	OR	ZO
1	1	1	0	X	~A	NOT	ZO
1	1	1	1	X	A xor B	XOR	ZO

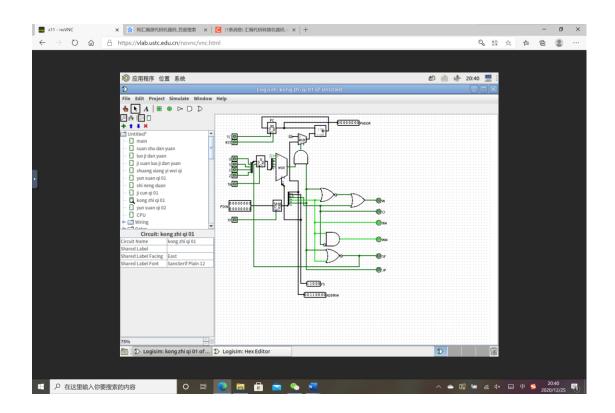
使能单元



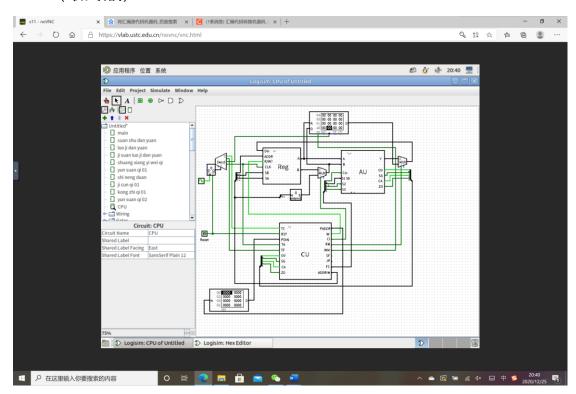
寄存器 (最终版)



控制器 (最终版)



CPU (最终版)



【总结与思考】

1.总结本次实验的收获

本次实验收获了很多,我用这个学期学会的知识,设计了简单的 8 位 CPU,并成功运行。

2.请为本次实验提供改进建议

希望实验的讲解部分可以更详细一点,帮助我们更好的完成实验内容。