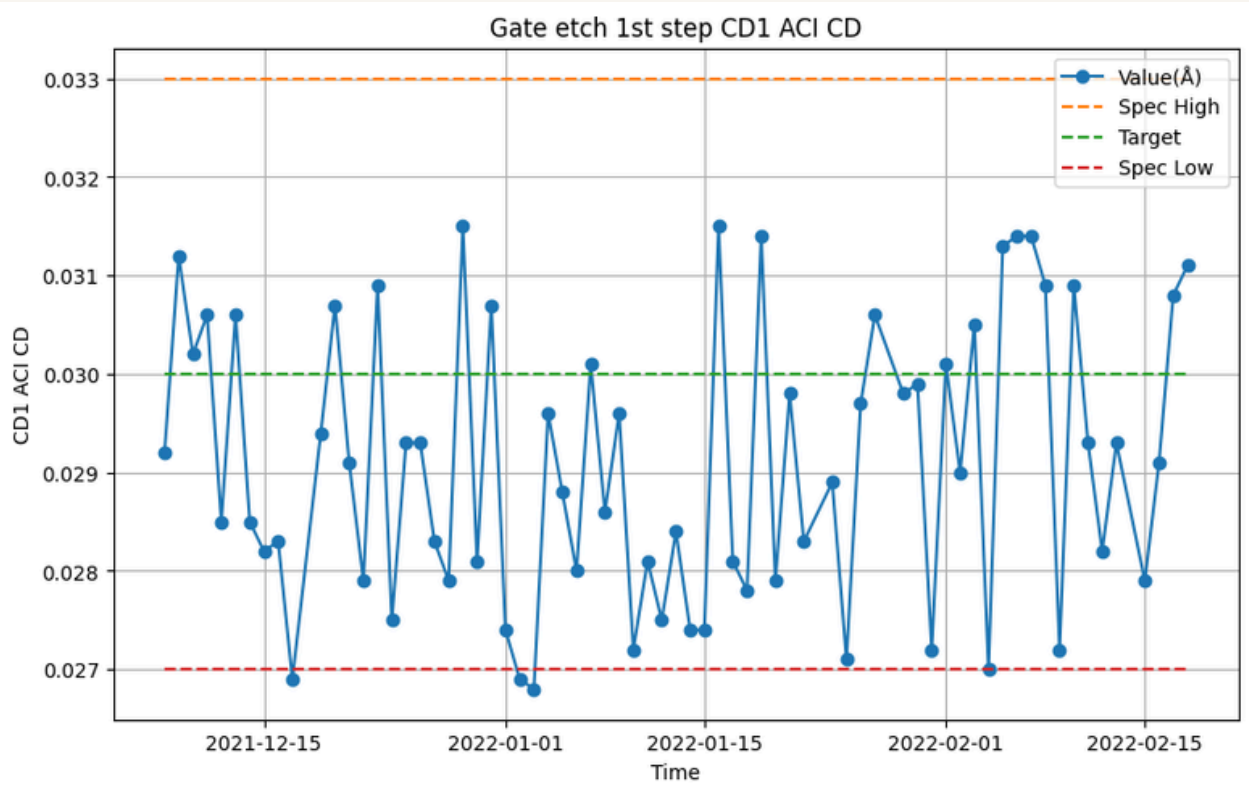


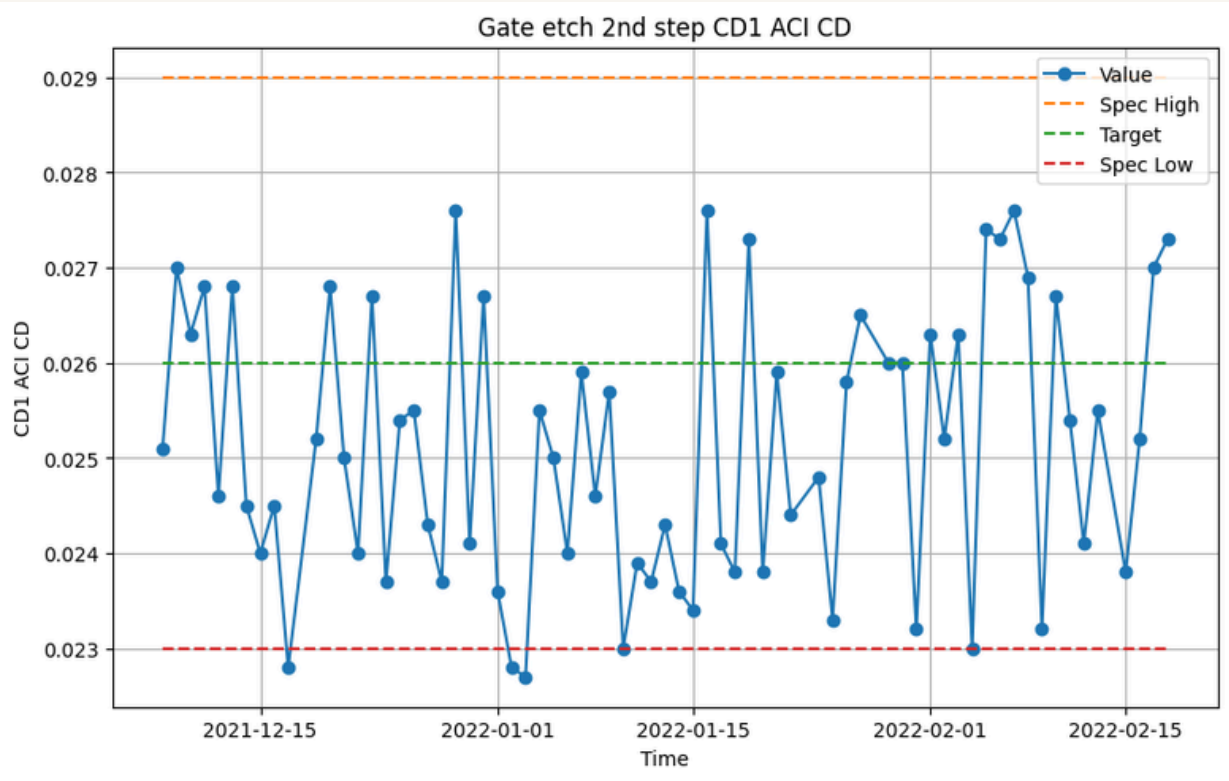
필수과제 1

이현주

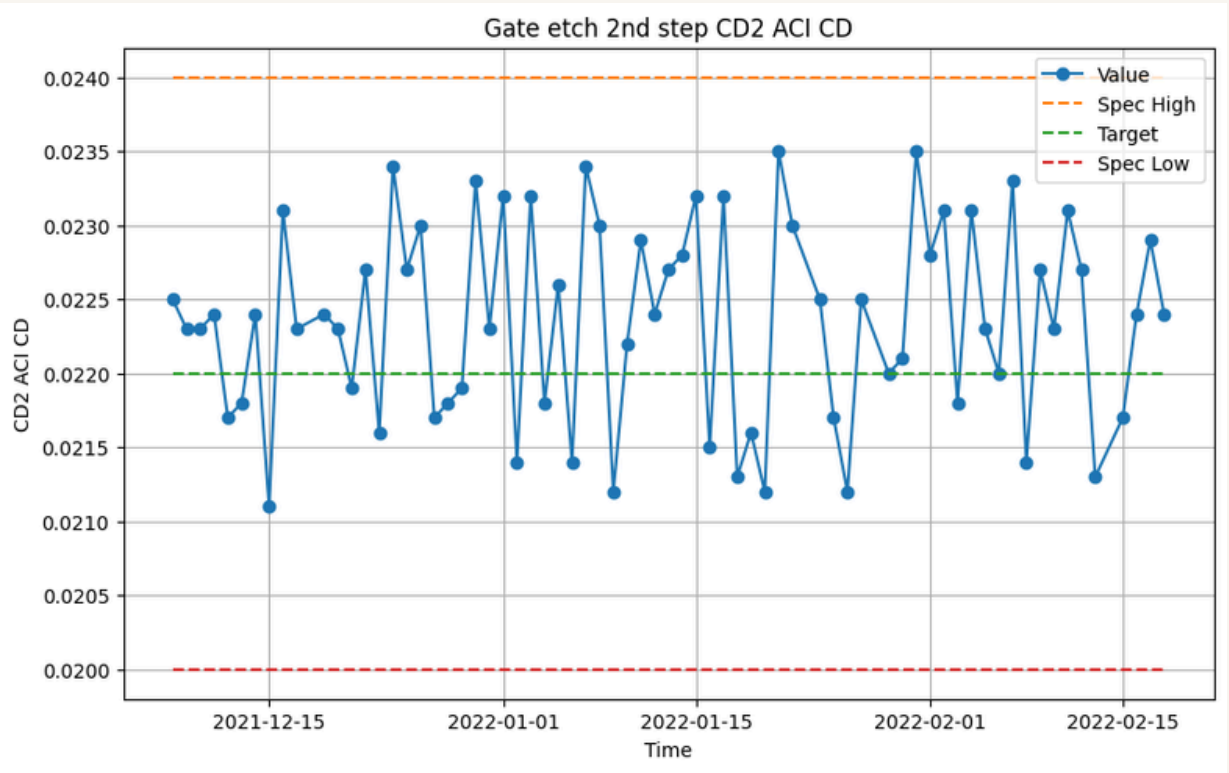
1) AB000580 Gate etch 1st step의 CD1 ACI CD, AB000620 Gate etch 2nd step 의 CD1, CD2 ACI CD data 를 value, spec high, target, spec low 와 함께 plotting 해 보세요.



GATE ETCH 1ST STEP CD1

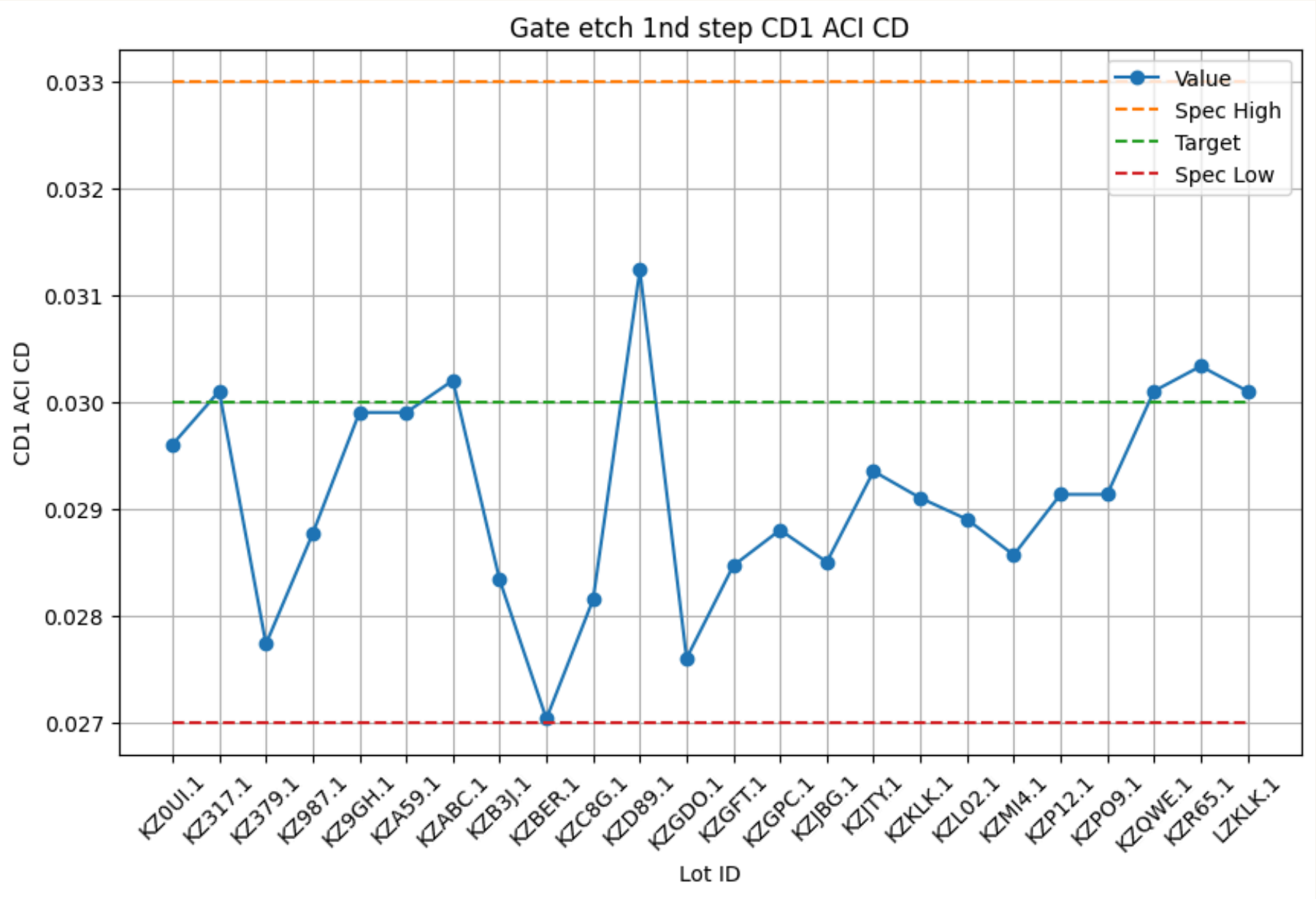


GATE ETCH 2ND STEP
CD1



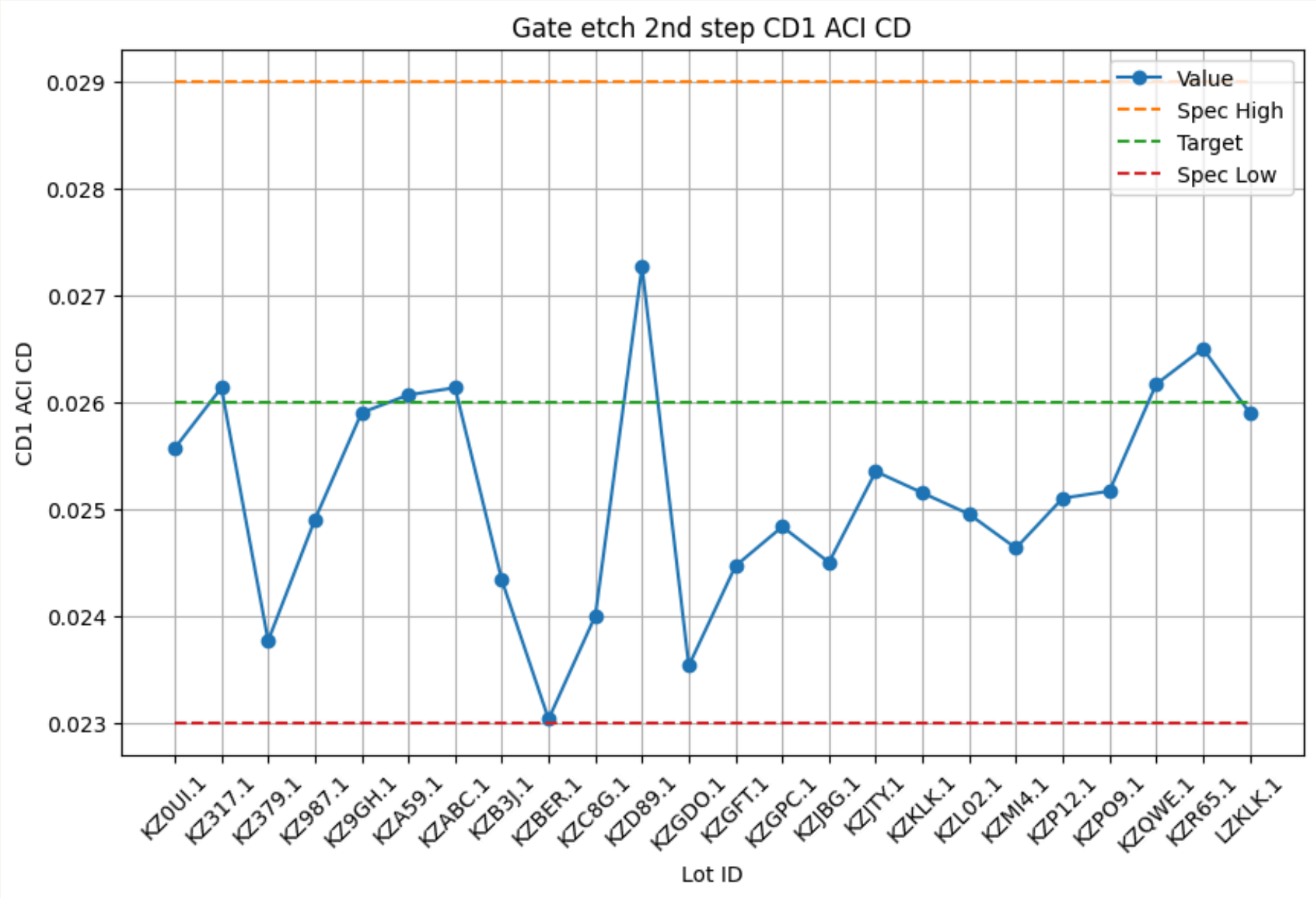
GATE ETCH 2ND STEP
CD2

2)각 Lot 마다의 평균 Gate ACI CD 를 value, spec high, target, spec low 와 함께 plotting 해 보세요.
(분산형 or 꺾은선형)

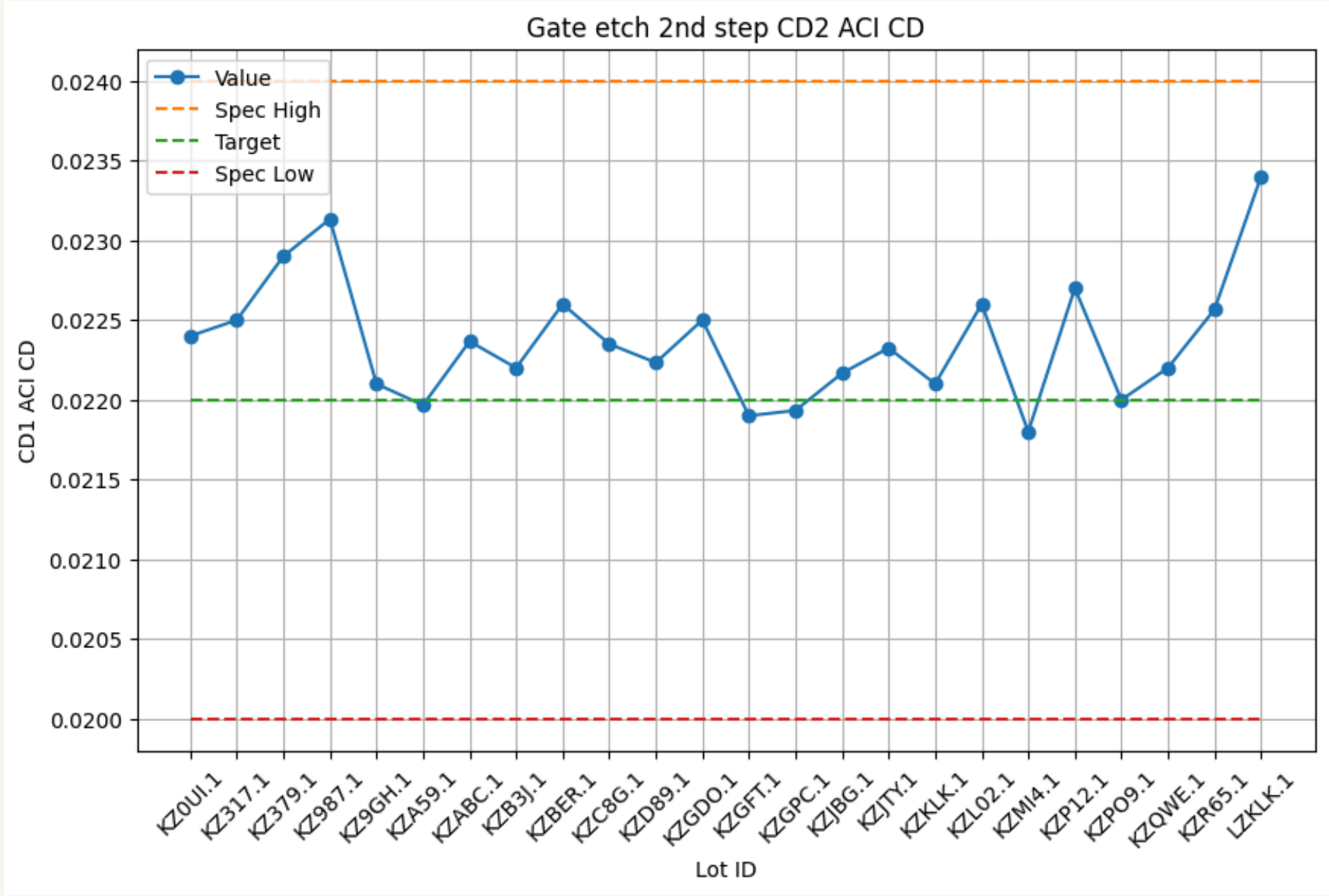


GATE ETCH 1ST STEP LOT별 CD1

2)각 Lot 마다의 평균 Gate ACI CD 를 value, spec high, target, spec low 와 함께 plotting 해보세요.
(분산형 or 꺾은선형)

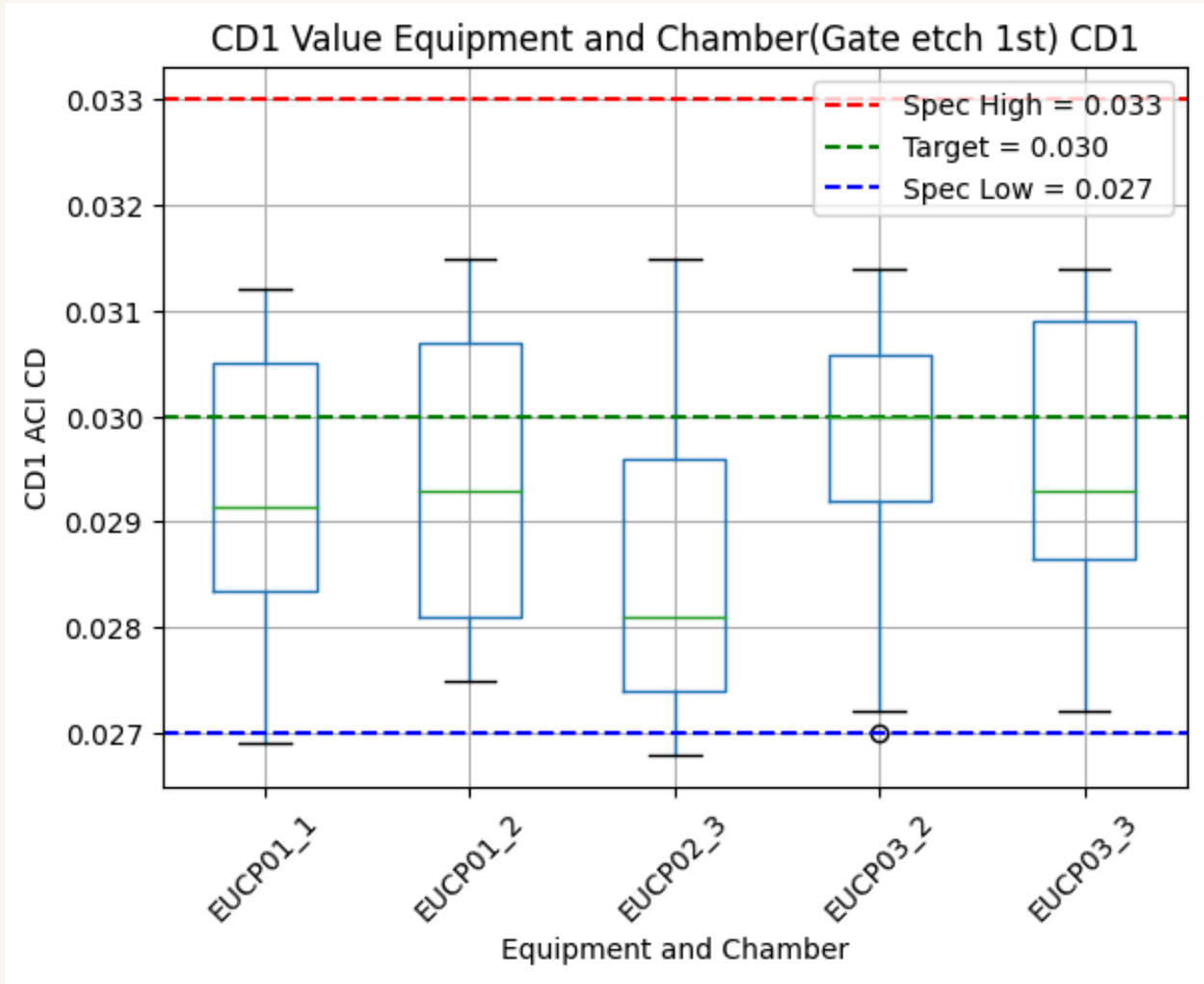


GATE ETCH 2ND STEP LOT별 CD1

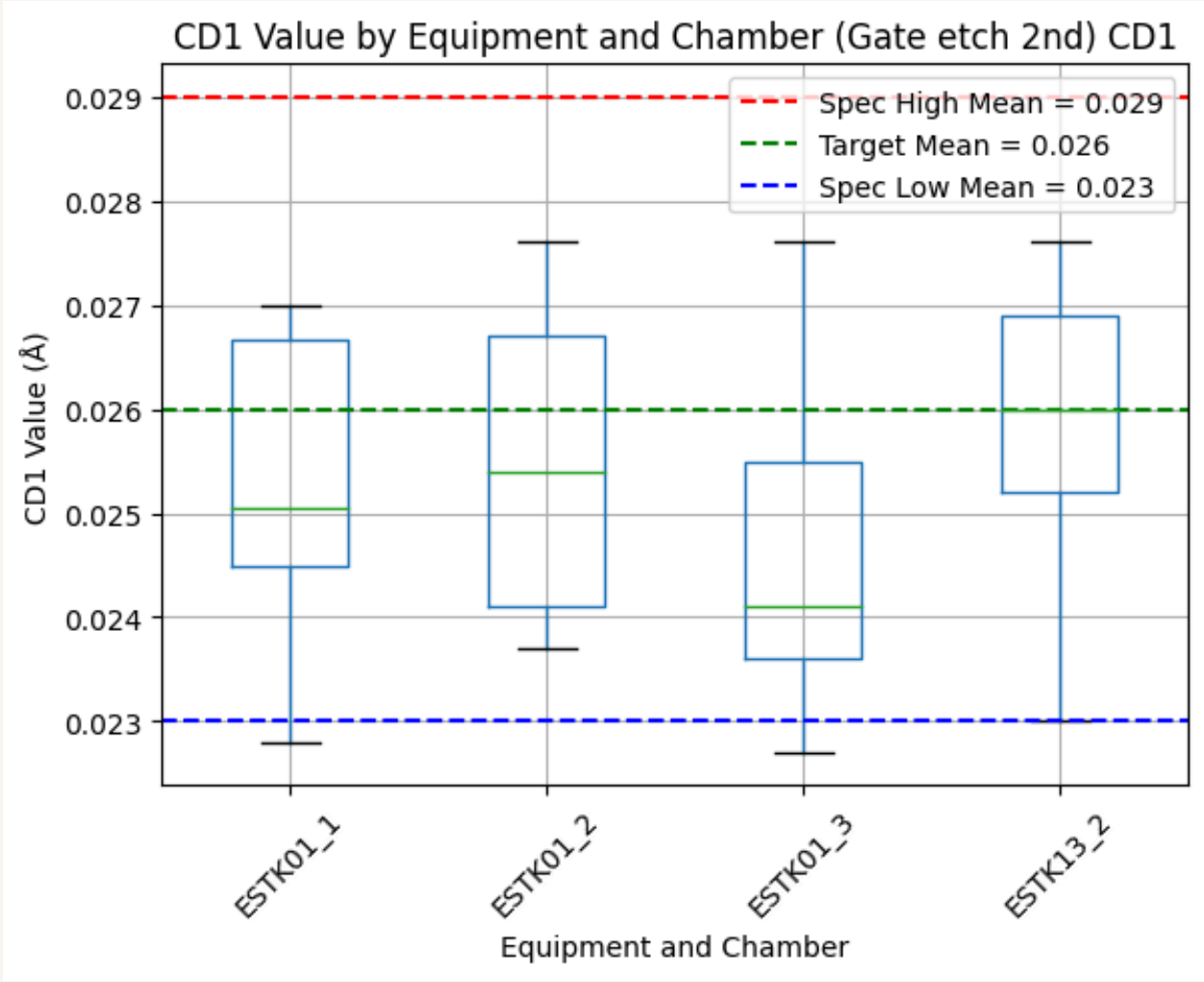


GATE ETCH 2ND STEP LOT별 CD2

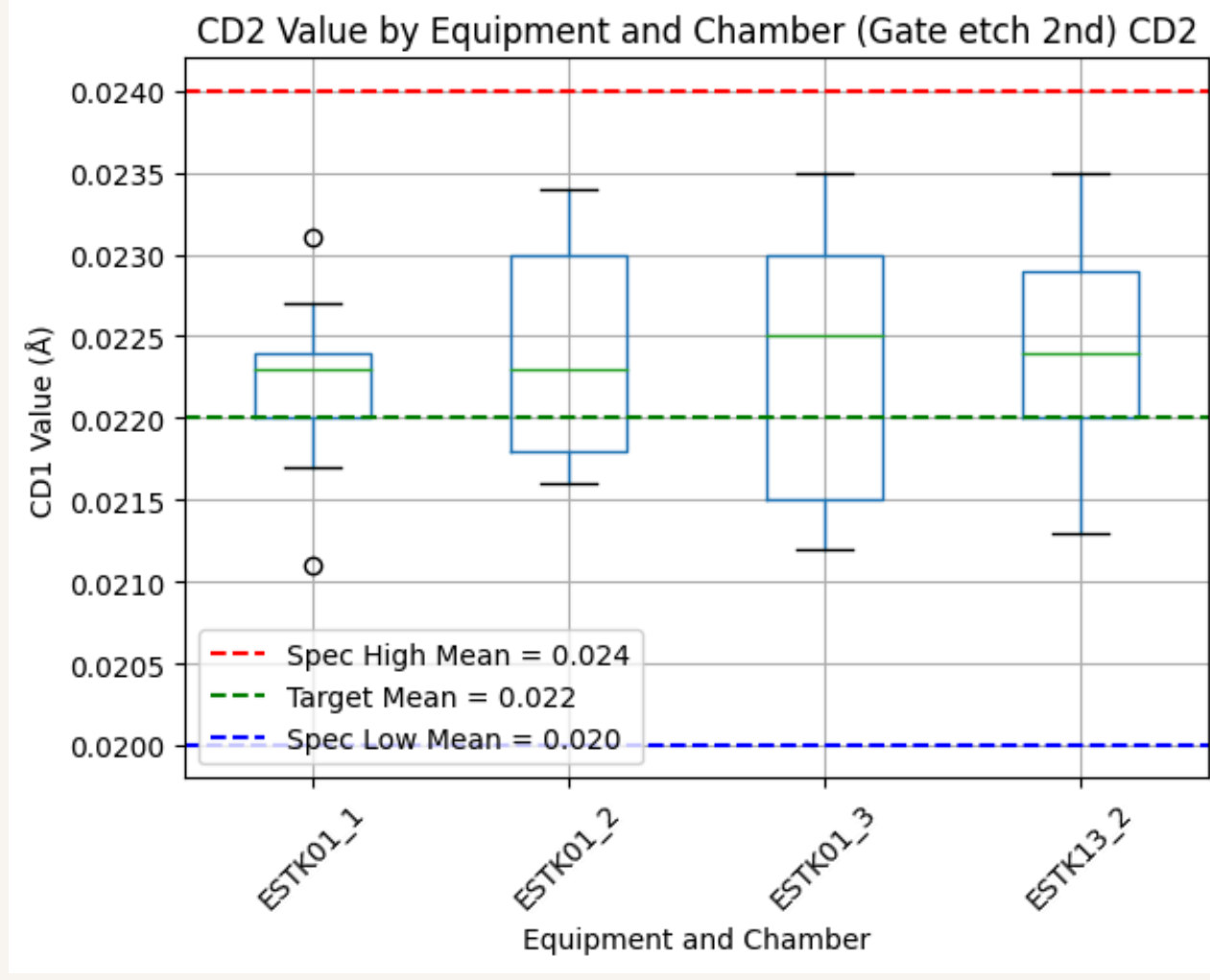
3) Equipment & Chamber data 를 묶어 표현한 후 설비&챔버 별로 Gate ACI CD 를 plotting 해 보세요.
(상자 수염 box plot 형)



GATE ETCH 1ST STEP CD1



GATE ETCH 2ND STEP CD1



GATE ETCH 2ND STEP CD2

4) 시각화한 data 를 기반으로 생각해볼 수 있는 현재 etch 공정의 특이점 / 설비의 특이점 / 현재 Lot 들의 trend 에 대한 의견을 정리해보세요.

현재 Etching 상황

공정은 Double patterning 공정을 적용하고 있어 Gate 를 만들 때 두번의 etch 공정을 통해 최종 패터닝이 만들어지고 있다. Single patterning 이라면 Gate 1st etch 후 ACI CD가 최종 Gate length 가 되겠지만 이 경우 2nd etch 를 하게 되면 좀 더 ACI CD 가 작아지는 것까지 고려해야한다. Process flow 중 dry etch 가 진행되는 과정에서 각 step 마다 달라지는 막질 변화를 보면 1st etch 에서는 우선 gate length 방향 패터닝을 하기 위해 hardmask 까지 etch 해주고, 다시 stack 을 형성한 후 gate 끝 과 끝 의 space 를 define 하는 hardmask etching 을 진행하고, 마지막으로 main etch 에서 oxide hardmask를 최종 final mask 역할처럼 해서 poly-TiN -high-k stack 을 etch 하고 있다. 그렇기에 gate length 가(CD1) 1st etch 에 의해 결정되는 것처럼 착각할 수 있지만 최종 2nd etching 공정에서도 etching이 되며 CD1 값 애초보다 좀 더 줄어들게 된다. 따라서 최종 Gate length 는 2nd etch 후의 CD 1 을 확인해야 한다.

4) 시각화한 data 를 기반으로 생각해볼 수 있는 현재 etch 공정의 특이점 / 설비의 특이점 / 현재 Lot 들의 trend 에 대한 의견을 정리해보세요.

Etch 공정의 특이점

현재 전체적으로 CD 산포가 큰 편으로 photo 공정의 ADI CD data 까지 확인해봐야 정확한 것을 알 수 있지만 CD1 이 작다고 해서 CD1 크기를 무턱대고 올릴 수는 없는 상황이다. 이렇게 산포가 크다면 오히려 CD 를 키우게 되면 CD 가 spec high 를 초과하는 문제가 생길 수 있기 때문이다.

설비의 특이점

전체적으로 산포가 큰 것은 현재 공정의 기본적인 문제점이라는 것을 생각하고, 여기에 더해 현재 우리fab 에서 etch 공정의 효율성을 위해 (wafer 대량 생산을 위해 = throughput을 높이기위해) 여러설비를 동시에쓰고 있기 때문에 설비 특이점이 있는지도 확인해봤다. 최종 결과만 보기 위해 2rd etch 후 ACI CD 만 보면 **ESTK01-3 설비에서 특히 average 값이 낮고 이에 따라 ESTK01_3호기의 타게팅이 낮게 되고 있다고 결론 내릴 수도 있다.** 그러나 ESTK01_3호기로 진행한 랏들을 살펴보면 EUCPO2_3 으로 진행한 랏들인 것을 볼 수 있는데, 이를 추적해보면 특별히 **EUCPO2_3호기에서 애초부터 1st etch ACI CD 가 작게 타게팅 된 경향이 있다는 것을 볼 수 있다.** ESTK01-3 도 문제가 없다고 할 순 없지만, 확실한 것은 **1st etch step부터 CD 가 작아져서 incoming 되는 현상이 있어 보**이기에 우선 **EUCP02_3호기의 설비 특이사항이 있는지 확인해 볼 필요가 있다.** (Etch 공정에서의 End PointDetection 문제, Etch rate 변동 문제 등 ..)

4) 시각화한 data 를 기반으로 생각해볼 수 있는 현재 etch 공정의 특이점 / 설비의 특이점 / 현재 Lot 들의 trend 에 대한 의견을 정리해보세요.

전체 타겟팅 관점

Gate 길이인 CD1 값이 타겟보다 낮아 이를 상향 조정해야 하지만, 산포가 큰 상황에서는 CD1을 일괄적으로 올릴 경우 Gate 길이가 너무 커져 소자의 Vth 값이 변화하는 문제가 발생할 수 있다. 또한 CD2 값은 타겟보다 높아서 CD1을 키우면 두 게이트 사이의 간격이 좁아져 불량 위험이 증가할 수 있다. 따라서, 공정 인자를 조절하기보다는 마스크 보정(OPC)을 통해 CD1과 CD2가 균형 있게 형성되도록 조정하는 것이 더 적절한 방법이다.

- **CD1:** 각 게이트의 길이, 즉 한 게이트의 좌우 끝 사이의 거리
- **CD2:** 인접한 두 게이트 사이의 거리, 즉 게이트 끝과 끝 사이의 공간

4) 시각화한 data 를 기반으로 생각해볼 수 있는 현재 etch 공정의 특이점 / 설비의 특이점 / 현재 Lot 들의 trend 에 대한 의견을 정리해보세요.

해결책

1. Solution 1: CD 산포를 줄이는 것

ADI CD 데이터를 확보해 우선 photo 공정에서 CD 산포가 큰지 여부를 확인해야 한다. 만약 photo 공정에 문제가 없다면, etch 공정에서 발생하는 산포를 줄이기 위해 wafer map을 분석하고 특정 영역에서 CD 편차가 발생하는지 확인한 후, 관련 인자를 etch팀과 논의해야 한다. 산포가 무작위로 나타날 경우, 이전 공정에서 원인을 찾아야 하며, wafer map 계측 데이터를 통해 막질 두께 산포를 분석하는 과정이 필요하다.

2. Solution 2: 1st 패터닝에서 CD1을 2nm 정도 상향시키는 방법

첫 패터닝 단계에서 CD1을 키우기 위해 ET를 낮추거나, gas 유량 및 etching 시간을 조정해 CD에 영향을 줄 수 있다. 이 단계에서 CD를 증가시키는 방법을 적용해야 한다.

3. Solution 3: 2nd 패터닝 단계에서 CD1을 키우는 방법

2차 패터닝 단계에서 CD1을 키우면 CD2 간격이 좁아질 위험이 있다. 1차 패터닝에서 CD를 키울 여유가 없다면, 2차 패터닝에서 조정할 수 있지만 CD1과 CD2는 상충 관계에 있어 공정만으로 해결하기 어려울 수 있다. 이럴 때는 **OPC(Optical Proximity Correction)**를 적용해 mask 패턴을 조정하고, CD1을 약간 키우고 CD2 간격을 벌리는 방식으로 패턴을 수정해야 한다.