
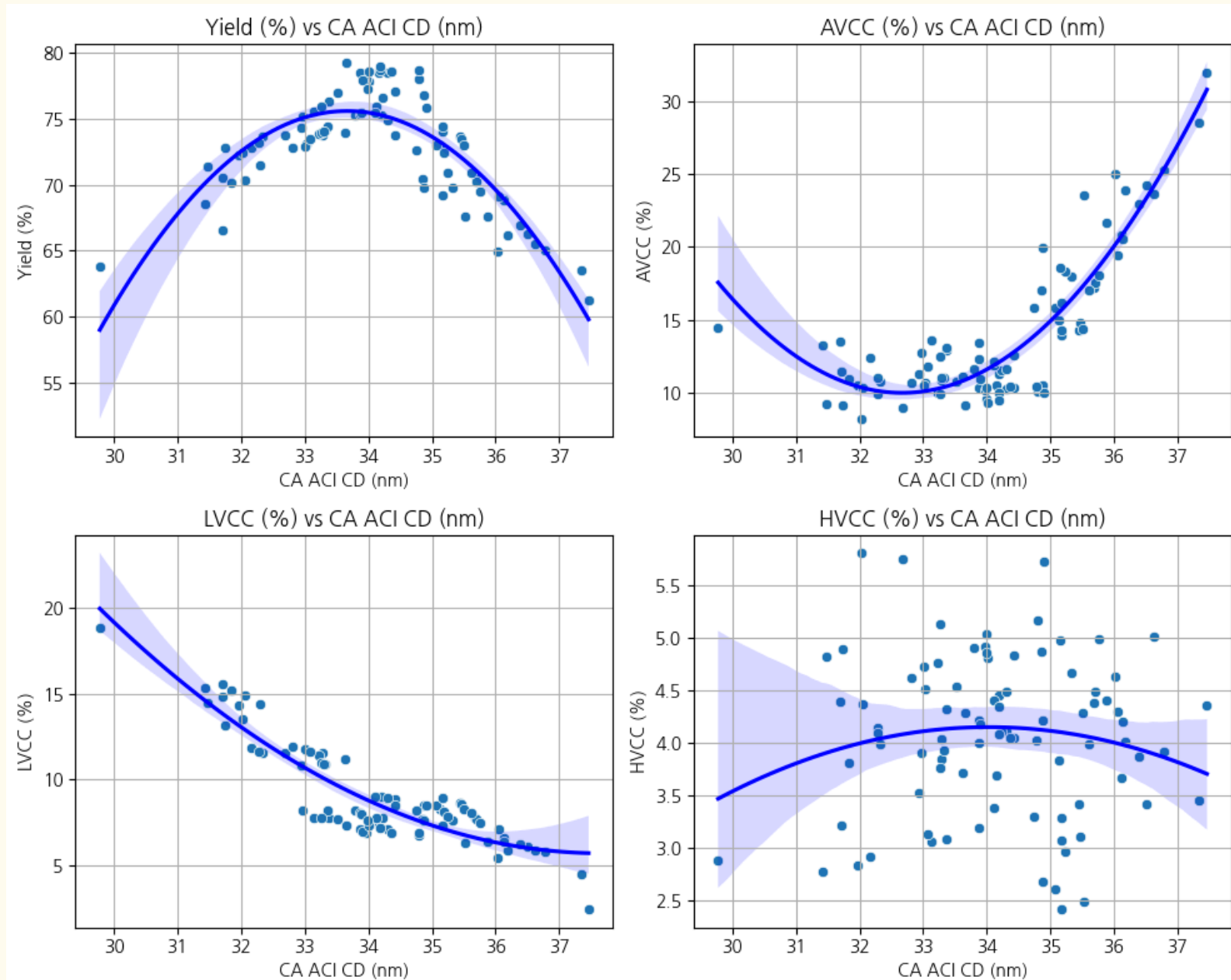


# 필수과제 2

이현주

## 01 저수율 wafer현상과 관련된 commonity 분석

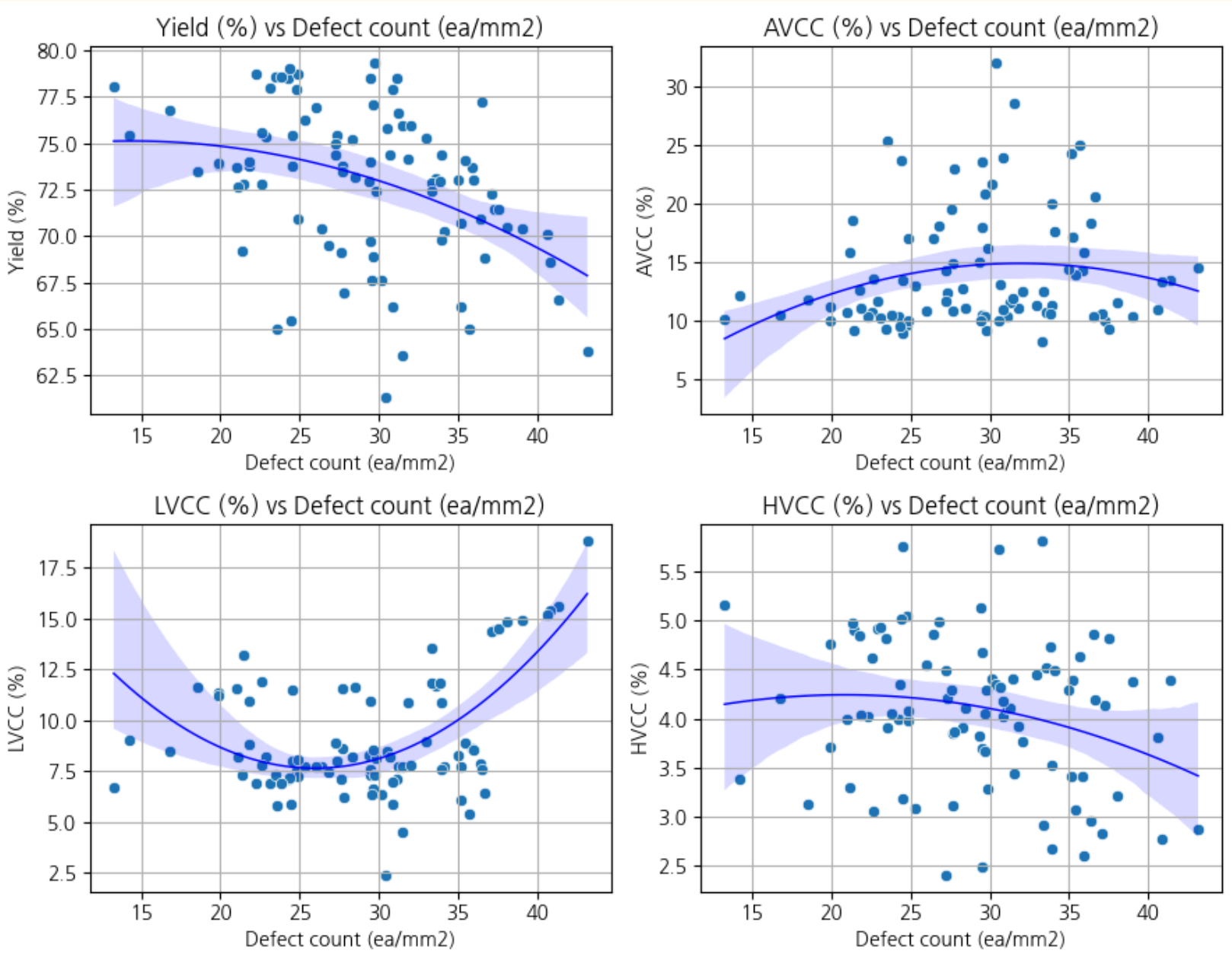
 **Commonality 분석** : 반도체 제조 공정에서 불량 원인을 찾고, 공정의 변동성이나 결함을 줄이기 위해 사용되는 분석 방법. 이 분석은 다양한 제품 또는 공정 단계에서 나타나는 공통된 요소를 식별하여, 그 요소들이 불량이나 성능 변동에 얼마나 영향을 미치는지를 평가



- Contact 패터닝 공정의 최종 결과인 ACI CD 값을 기준으로 수율과의 관계의 상관 관계 확인
- ACI CD에 산포가 있으며, 작거나 클수록 수율이 감소하는 경향이 있음
- cd가 클수록 avcc(회로 부분의 전압 안정성을 나타내는 지표)가 증가
- 칩이 더 높은 전압에서 안정적으로 작동한다는 것으로 보임
- ACI CD가 클 때 저전압 관련 항목인 LVCC 값도 증가, hvcc는 cd와 상관 관계가 없어 크게 영향없는 것 확인
- ACI CD가 작을 경우, 저전압 동작에서 수율이 떨어지는 문제가 발생
- ACI CD가 32에서 35 사이일 때 최적의 수율로 보임

**Contact 패터닝 공정의 최종 결과인 ACI CD 값을 기준으로 Yield 항목**

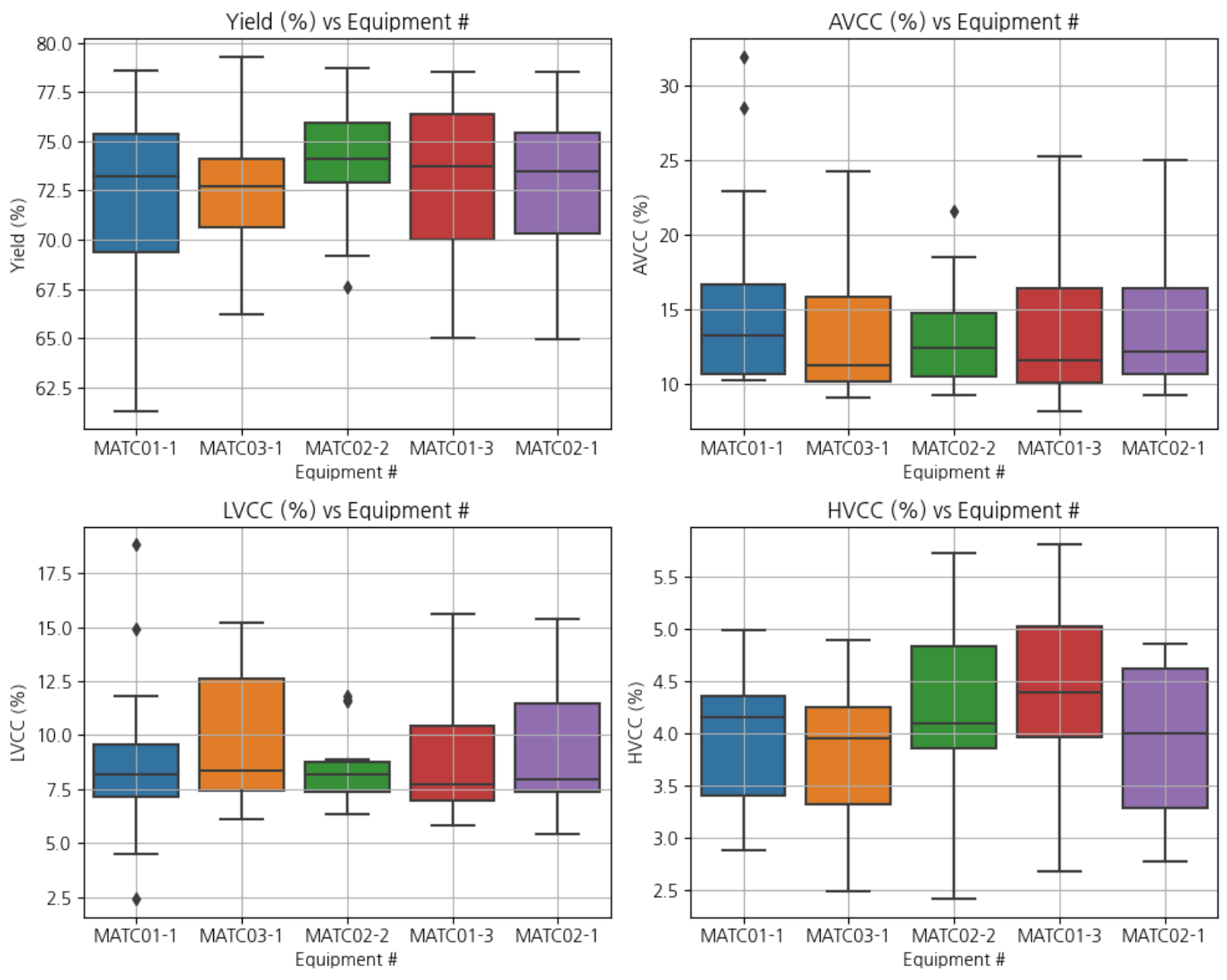
# 01 저수율 wafer현상과 관련된 community 분석



- 네 가지 항목 중 LVCC 빈도가 높은 경우 Defect count도 큰 경향 경향 확인
- 저전압 상태에서 성능 문제(LVCC 값이 높아지는 현상)가 발생할 때, 공정에서 더 많은 결함이 발생할 수 있음

Contact etch 후 Defect 검사에서 잔여물 (residue) 가 검출된 count 수와 Yield 항목

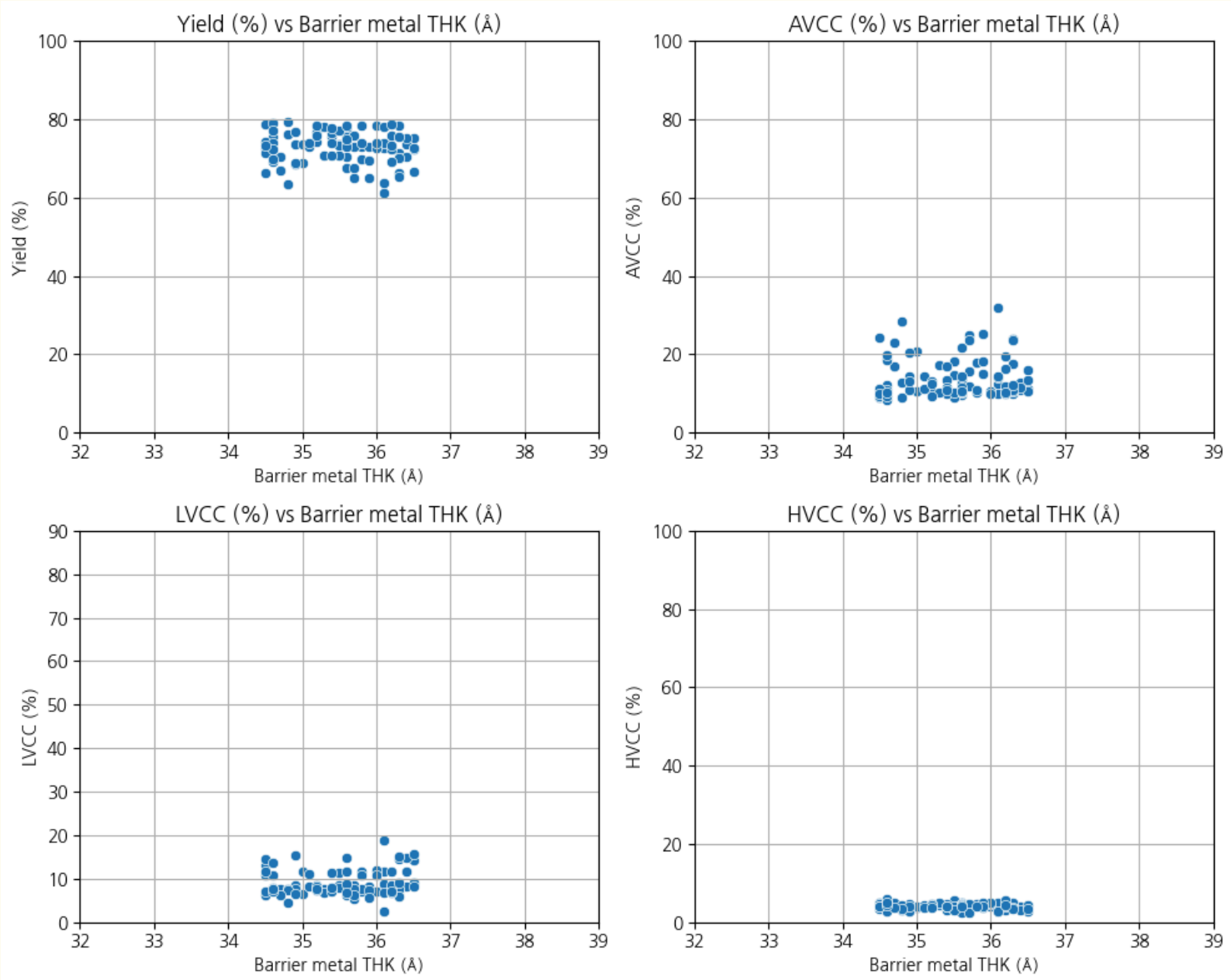
# 01 저수율 wafer현상과 관련된 community 분석



- 타 항목은 관련성이 없으나 MATC01-3 호기에서 HVCC 발생 빈도가 증가하는 경향 확인
- MATC01-1 호기 가 산포가 큰 것 확인

Barrier metal 설비 호기와 Yield 항목과의 관계

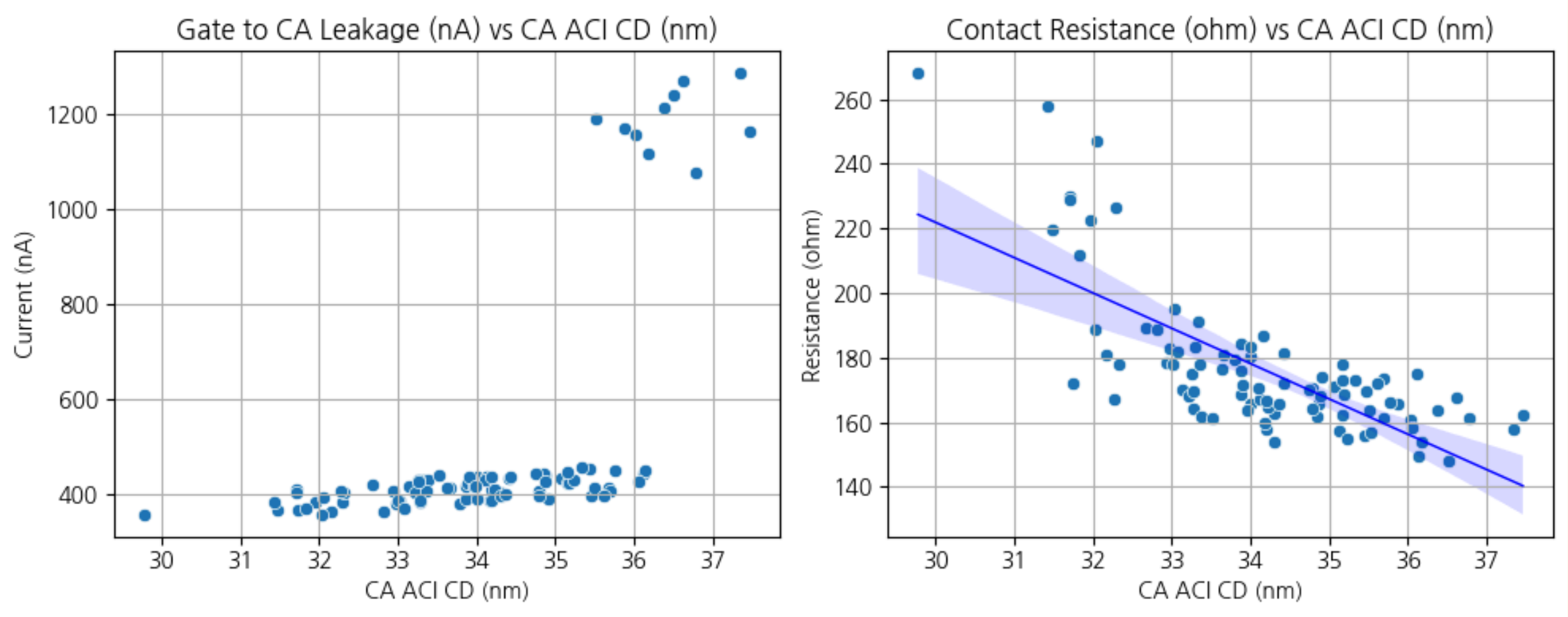
# 01 저수율 wafer현상과 관련된 community 분석



- Barrier metal 두께와 수율과의 관계성 없는 것으로 확인
- 그 외에 W (Tungsten)deposiion 온도, 플라즈마 설비 power 의 경우도 수율과 관련성 없는 것을 확인

Barrier metal 두께와 Yield 항목과의 관계

# 01 저수율 wafer현상과 관련된 commonity 분석



- ACI CD 가 큰 경우 급격하게 Leakage 값이 증가하는 경향을 확인
- ACI CD 가 작아질 수록 Contact resistance 가 증가하는 경향 확인

Gate to CA leakage 와 Contact resistance 값을 Yield 항목



# 01 저수율 wafer현상과 관련된 community 분석

OLS Regression Results						
Dep. Variable:	Yield (%)	R-squared:	1.000			
Model:	OLS	Adj. R-squared:	1.000			
Method:	Least Squares	F-statistic:	4.020e+27			
Date:	Sun, 11 Aug 2024	Prob (F-statistic):	0.00			
Time:	06:43:24	Log-Likelihood:	2491.1			
No. Observations:	89	AIC:	-4958.			
Df Residuals:	77	BIC:	-4928.			
Df Model:	11					
Covariance Type: nonrobust						
	coef	std err	t	P> t	[0.025	0.975]
AVCC (%)	-1.0000	9.88e-15	-1.01e+14	0.000	-1.000	-1.000
LVCC (%)	-1.0000	1.84e-14	-5.44e+13	0.000	-1.000	-1.000
HVCC (%)	-1.0000	2.81e-14	-3.56e+13	0.000	-1.000	-1.000
CA ADI CD (nm)	1.968e-14	6.43e-14	0.306	0.760	-1.08e-13	1.48e-13
CA ACI CD (nm)	-1.5e-14	5.99e-14	-0.250	0.803	-1.34e-13	1.04e-13
Overlay 3sigma (nm)	-1.405e-15	1.29e-14	-0.109	0.914	-2.72e-14	2.44e-14
Defect count (ea/mm2)	1.559e-15	3.86e-15	0.404	0.688	-6.13e-15	9.25e-15
Barrier metal THK (Å)	1.587e-14	3.46e-14	0.459	0.648	-5.3e-14	8.48e-14
W(Tungsten) deposition temperature (°C)	-2.987e-15	1.23e-14	-0.242	0.809	-2.75e-14	2.16e-14
Nitridation plasma power (Watt)	0.2500	1.42e-14	1.76e+13	0.000	0.250	0.250
Current (nA)	-1.432e-17	1.4e-16	-0.102	0.919	-2.93e-16	2.64e-16
Resistance (ohm)	-1.114e-15	1.75e-15	-0.637	0.526	-4.6e-15	2.37e-15
Omnibus:	2.119	Durbin-Watson:	0.047			
Prob(Omnibus):	0.347	Jarque-Bera (JB):	1.729			
Skew:	0.339	Prob(JB):	0.421			
Kurtosis:	3.077	Cond. No.	3.52e+03			

OLS 회귀 분석

변수	coef	p-값	유의미성
AVCC (%)	-1.000000e+00	0.000	유의미 (설명력 높음)
LVCC (%)	-1.000000e+00	0.000	유의미 (설명력 높음)
HVCC (%)	-1.000000e+00	0.000	유의미 (설명력 높음)
CA ADI CD (nm)	1.968000e-14	0.760	유의미하지 않음
CA ACI CD (nm)	-1.500000e-14	0.803	유의미하지 않음
Overlay 3sigma (nm)	-1.405000e-15	0.914	유의미하지 않음
Defect count (ea/mm2)	1.559000e-15	0.688	유의미하지 않음
Barrier metal THK (Å)	1.587000e-14	0.648	유의미하지 않음
W(Tungsten) deposition temperature (°C)	-2.987000e-15	0.809	유의미하지 않음
Nitridation plasma power (Watt)	2.500000e-01	0.000	유의미 (설명력 높음)
Current (nA)	-1.432000e-17	0.919	유의미하지 않음
Resistance (ohm)	-1.114000e-15	0.526	유의미하지 않음

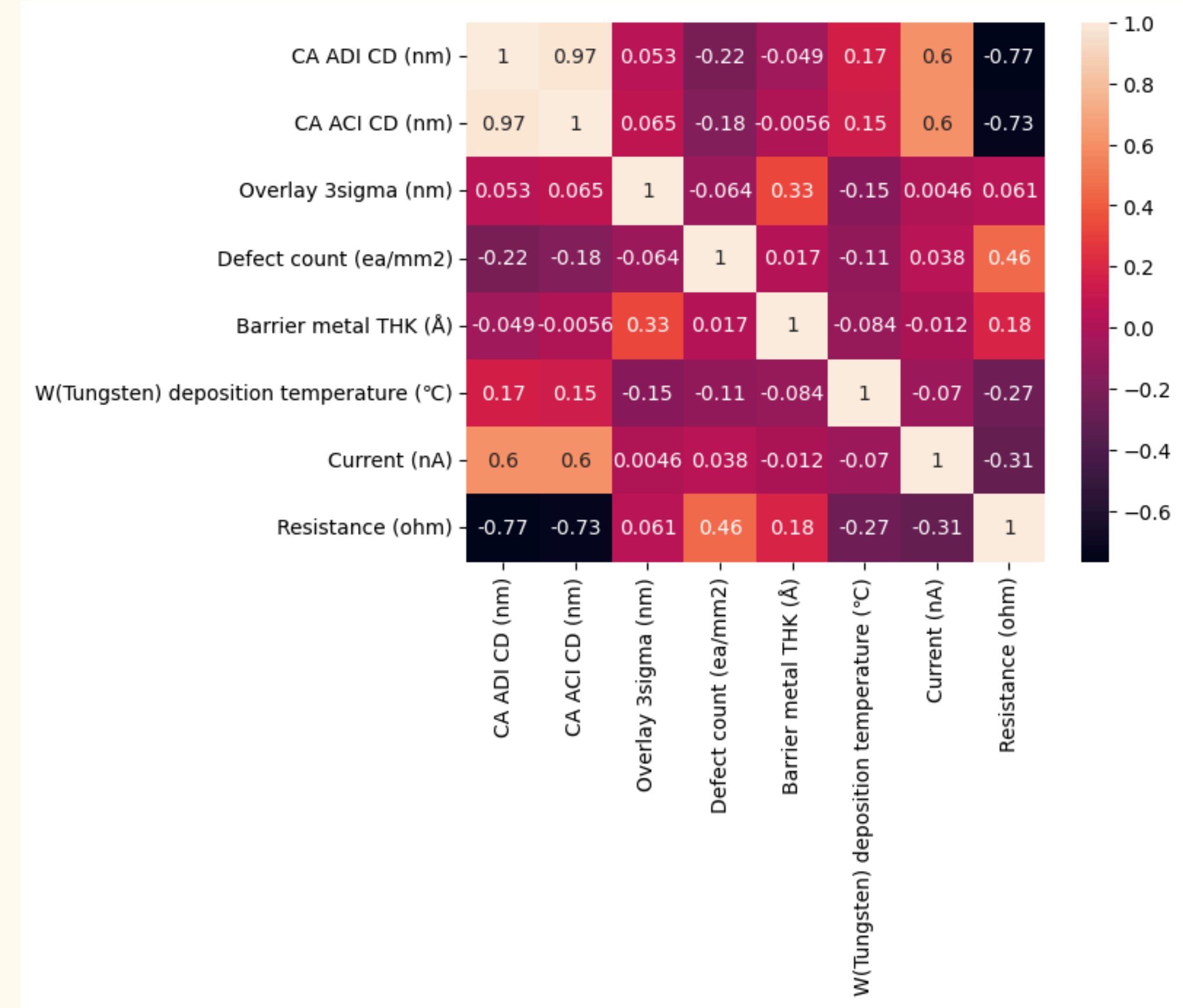
각 변수의 Rsq

- 수율과 각 변수들 간의 선형적 관계성 파악 위해 회귀분석 진행
- 모델이 R-squared가 1인 것을 보아 변수들이 수율을 설명하기에 타당하다고 할 수 있으나, 과적합된 것으로 볼 수 있어 독립변수들 간의 강한 선형 관계를 갖는 변수는 제거 필요해 보임
  - AVCC (%), LVCC (%), HVCC (%), Nitridation plasma power (Watt) 네 가지 변수가 p-값이 0으로 나타나며, 수율에 유의미한 영향있음을 확인
- 그래프를 통해 분석해본 것과 비교해보았을 때, AVCC (%), LVCC (%) 가 공통으로 중요한 것을 확인하여 유의미한 변수임을 다시 한번 확인

## 저수율의 주요 원인

- AVCC와 LVCC의 제어 문제: AVCC와 LVCC가 최적 범위에서 벗어날 경우 수율이 감소함. 전압을 일정 범위에 유지되도록 해야함
- CD (Critical Dimension) 제어 문제: CA ADI CD와 CA ACI CD 값이 최적 범위를 벗어날 때 수율이 감소함. CD 일정 범위 유지 필요

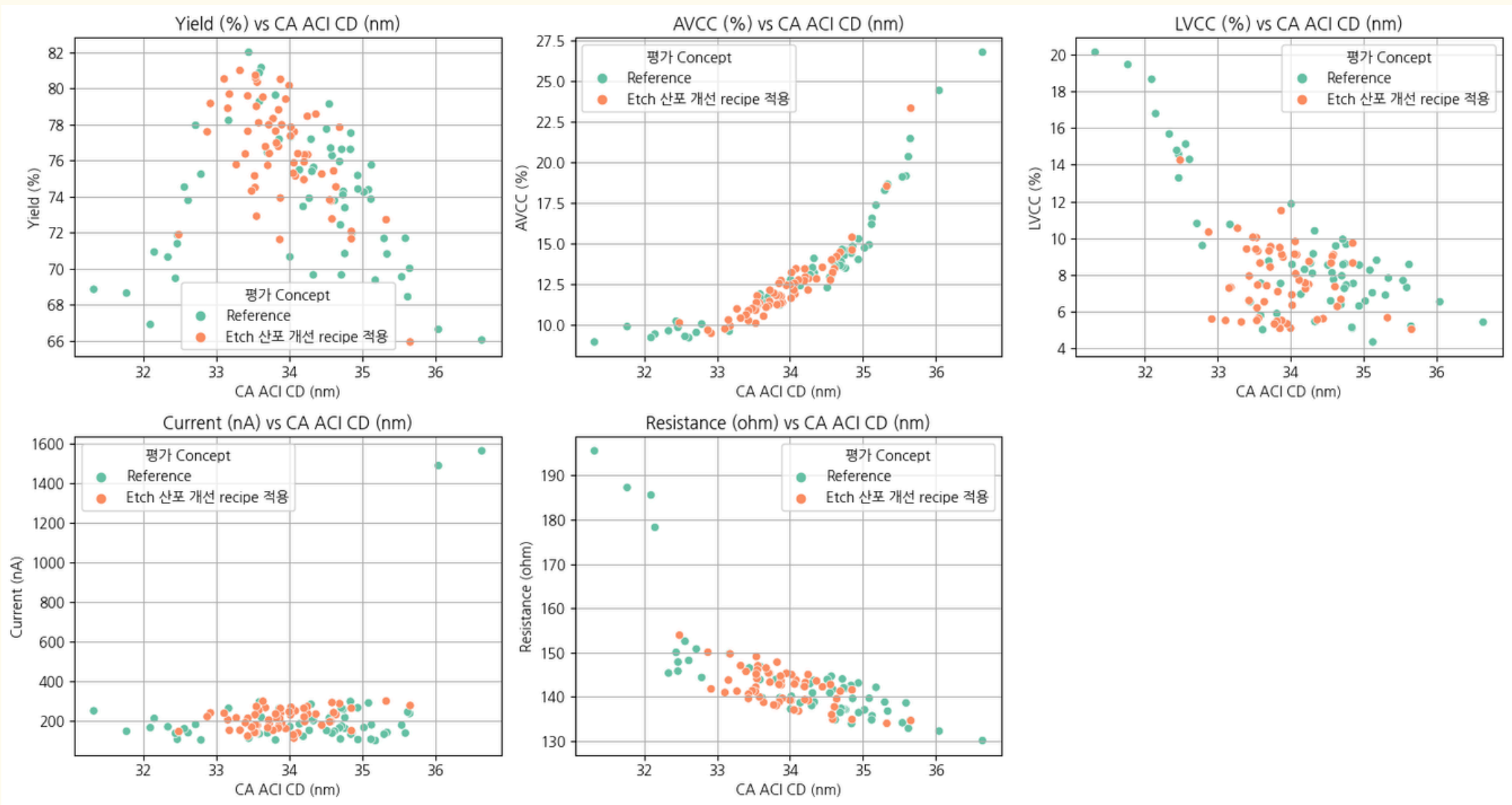
## 02 계측과 소자 데이터의 상관관계 plot



- CA ADI CD와 CA ACI CD 가 0.97로 강한 양의 상관 관계 있음
- CA ADI CD와 CA ACI CD가 증가할수록 저항이 감소하는 경향이 있음
- CA ADI CD와 CA ACI CD가 증가할수록 전류도 증가하는 경향이 있음
- 소자 내의 저항이 줄어들고 전류 흐름이 더 원활해진다는 것을 알수 있고 공정이 잘 이루어지고 있는 것을 추측할 수 있음



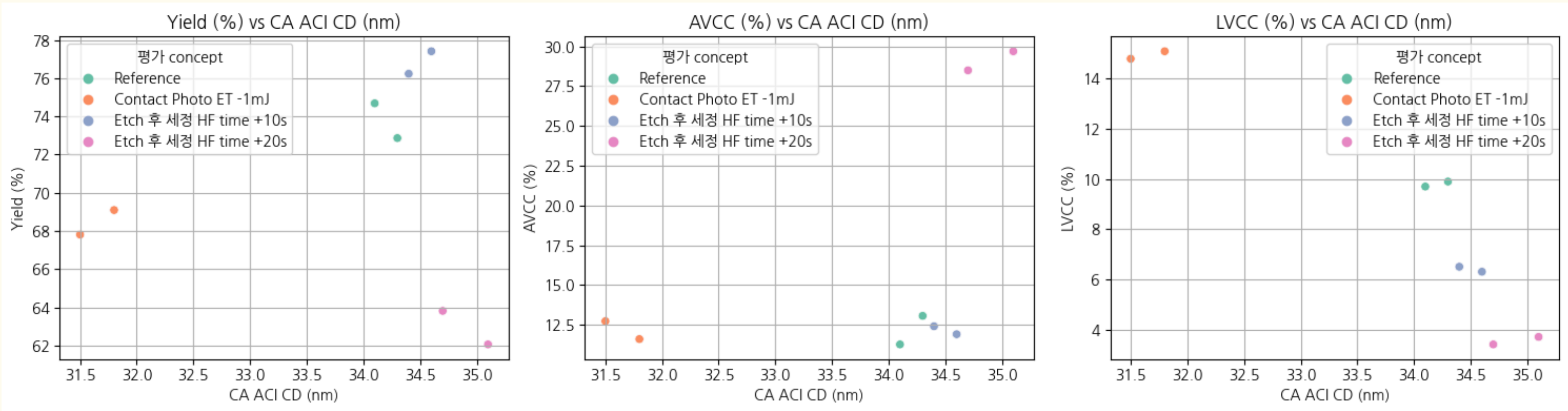
### 03 최종 수율 개선 여부



Split group 간의 차이

- Contact photo ET 1mJ 감소 시 ADI 및 최종 ACI CD 가 감소하며 AVCC loss 가 줄어드는 것으로 확인. 그러나 LVCC loss 가 다시 증가
- Etch 후 HF cleaning time 을 10s 증가시킨 경우 LVCC loss 가 소폭 감소하며 yield 또한 소폭 증가
- 20s 증가시킨 경우 LVCC loss 를 더 줄일 수 있지만 반대로 AVCC 가 증가하여 오히려 최종 yield 가 감소하는 현상 발생

### 03 최종 수율 개선 여부



### Split group 간의 차이

- Contact photo ET 1mJ 감소 시 ADI 및 최종 ACI CD 가 감소하며 AVCC loss 가 줄어드는 것으로 확인. 그러나 LVCC loss 가 다시 증가
- Etch 후 HF cleaning time 을 10s 증가시킨 경우 LVCC loss 가 소폭 감소하며 yield 또한 소폭 증가
- 20s 증가시킨 경우 LVCC loss 를 더 줄일 수 있지만 반대로AVCC 가 증가하여 오히려 최종 yield 가 감소하는 현상 발생

**1. ADI (After Develop Inspection)**

포토리지스트 현상 공정 후, 웨이퍼의 중요한 패턴 크기(CD)를 측정하는 단계. 노광 공정이 끝난 후 패턴이 제대로 형성되었는지 확인하는 과정.

**2. ACI (After Contact Inspection)**

에칭 공정이 완료된 후, 웨이퍼의 패턴 크기(CD)를 측정하는 단계. 공정 완료 후 형성된 패턴의 정확성을 검사하는 과정.

**3. AVCC (Active Via Contact Critical Dimension)**

반도체 소자의 활성 영역과 다른 층을 연결하는 Via 접점에서 중요한 크기(CD)를 나타냄. AVCC는 액티브 영역의 Via 크기를 측정하는 값.

**4. LVCC (Local Via Contact Critical Dimension)**

로컬 영역의 Via 접점에서 중요한 크기(CD)를 나타냄. LVCC는 특정 로컬 영역에서 Via 크기를 측정하는 값.

**5. HF (Hydrofluoric Acid) Cleaning**

에칭 후 남은 불순물을 제거하기 위해 사용하는 세정 공정. 주로 산화물 층을 제거하는 데 사용되며, 세정 시간이 길어질수록 물질이 더 많이 제거됨.

반도체 Contact 형성 공정

1. ILD (Inter Layer Dielectric: HDP CVD Oxide) 증착 및 CMP 평탄화

- ILD: 층간 절연막으로, 주로 HDP CVD 공정을 통해 산화막을 전면에 증착한다.
- CMP (Chemical Mechanical Polishing): 화학적 및 기계적 방법으로 웨이퍼 표면을 평탄화하는 공정.

2. 패터닝 및 Etching 공정

- 패터닝: 포토리소그래피 기술을 사용해 원하는 패턴을 웨이퍼에 형성한다.
- Etching: 패턴에 따라 불필요한 부분을 식각하여 제거하는 공정.
- Wet Clean: 에칭 후 남은 불순물을 제거하는 세정 공정.

3. CD (Critical Dimension) 측정

- CD: 패터닝 후 남은 중요한 패턴의 크기를 의미하며, 이를 통해 공정 정확성을 평가한다.

4. Barrier Metal과 W 증착

- Barrier Metal: 다른 물질들이 확산되지 않도록 막아주는 금속층으로, 주로 TiN 같은 물질이 사용된다.
- W (Tungsten) 증착: 높은 전도성과 내열성을 가진 텅스텐을 사용하여 Contact를 형성한다.

5. 최종 Contact 구조

- Contact: 반도체 소자의 활성 영역과 외부 전기적 연결을 만들어주는 중요한 구조로, 전기 흐름을 원활하게 한다.

심화 질문

**1. Barrier Metal이 필요한 이유는 무엇인가?**

Barrier Metal은 반도체 소자의 금속층과 실리콘 또는 절연층 사이에서 금속 원자들의 확산을 막기위해 사용된다. 금속이 실리콘 내부로 확산되면 소자의 성능이 저하되거나 불량 발생할 수 있다. 이를 방지하기 위해 Barrier Metal은 중요한 역할을 한다.

**2. Barrier Metal을 증착할 때 적합한 공정은 무엇인가?**

Barrier Metal 증착에 적합한 공정으로는 물리적 증착(PVD)과 화학적 증착(CVD)이 있다. PVD는 진공 환경에서 금속을 기화시켜 증착하는 방법이고, CVD는 화학 반응을 이용해 원하는 물질을 웨이퍼 표면에 증착한다. 공정 선택은 증착할 금속의 특성과 원하는 두께에 따라 결정된다.

**3. Contact에 W(텅스텐)를 사용하는 이유는 무엇인가?**

텅스텐(W)은 높은 전도성과 내열성을 가지고 있어, 반도체 소자에서 전류가 흐르는 접촉부(Contact)로 적합하다. 또한, 텅스텐은 높은 밀도와 내구성을 가지고 있어 높은 전류 밀도에서도 안정적인 성능을 유지할 수 있다.

심화 질문

4. Contact는 반도체 소자에서 어떤 역할을 하는가?

Contact는 소자의 활성 영역(예: 트랜지스터 소스/드레인)과 외부 회로를 전기적으로 연결해주는 중요한 역할을 한다. 이를 통해 소자 내부에서 생성된 신호가 외부 회로로 전달될 수 있으며, 안정적인 전기적 연결을 보장한다.

**CD 크기가 너무 크거나 작으면 결함이 늘어나고 소자 특성**

**이 타다. Etch Back과 CMP 공정을 사용하여 문제를 해결하기 위해 ACI**

- Etch Back: 화학적 또는 물리적 식각 공정을 사용해 표면의 불필요한 물질을 제거하는 방법이다. 주로 패턴에 남은 물질을 정리하

**또한, MATEO-3 설비에서는 HVCC 불량이 조금 더 많이**

**발생했지만, 온도나 두께와 같은 특이한 데이터는 발견되**

**지 않았습다. 아직 원인을 정확히 알 수 없으므로 이 설**

**비는 공정을 일시 중단하고, metal 공정팀과 함께 원인을**

**확인하는 것이 필요**



공정 평가 결과 요약: KZSBY.1 랫을 사용한 평가

1. AVCC 문제 해결 시도

문제 상황: 공정 평가 결과, 수율 손실의 주요 원인 중 하나로 AVCC문제가 빈번하게 발생함.

해결 시도: photo ET 값을 줄여 AVCC를 감소시키려 했으나, AVCC는 줄었지만 LVCC가 증가하여 전체 수율에 큰 차이가 없었음.

2. CD 산포 최적화의 필요성

분석 결과: CD 값을 한쪽으로 조정하는 것보다는, 공정의 전반적인 산포를 줄여 최적 CD를 맞추는 것이 더 효과적이라는 결론에 도달함.

3. Clean Chemical 사용 시간 조정

- 시도 방법: HF chemical 사용 시간을 늘려, Etch 후 세정 과정에서 잔여 결함을 줄이는 방법을 테스트함.
- 테스트 결과:
  - 10초 사용 시: LVCC가 소폭 감소하고 수율이 약간 증가하는 긍정적인 결과를 보임.
  - 20초 사용 시: LVCC는 더 감소했으나, AVCC가 다시 증가하며 leakage current(누설 전류)가 증가하는 문제 발생

#### 4. 결론 및 제안

- HF chemical 사용 시간 최적화: HF chemical 사용 시간을 과도하게 늘리지 않고, 10초 전후로 최적의 시간을 설정하는 것이 바람직함.
- 수율 향상 방향: CD 산포를 줄이고, photo ET 조정과 HF chemical 최적화를 통해 AVCC와 LVCC 모두를 관리해야 함.