

# LDPC부호기의 FPGA실현을 위한 한가지 방법

강운혁, 리일광

위대한 령도자 김정일동지께서는 다음과 같이 교시하시였다.

《과학자, 기술자들은 인민경제를 주체화, 현대화, 과학화하는데서 나서는 과학기술적 문제를 성과적으로 풀어야 합니다.》(《김정일선집》 증보판 제13권 416페이지)

DVB-T2, DVB-S2 등의 전진오유수정(FEC : Forward Error Correction)모듈에서 대부분의 연산비중을 차지하는 LDPC부호기의 효과적인 설계는 주어진 FPGA로 설계할수 있는 수자방송체계의 최대전송비트률을 규정하는 중요한 인자로 된다.

론문에서는 LDPC부호기의 효과적실현을 위한 알고리즘을 제안하고 유효성을 검증하였다.

## 1. LDPC부호기의 개념

LDPC부호기[1]는 성긴기우성검사행렬  $H_{(n-k) \times n}$ 에 의하여 길이  $k$ 인 정보비트열

$$i = (i_0, i_1, \dots, i_{k-1})$$

을 다음의 공식에 따라 크기  $n$ 인 부호단어  $c = (i_0, i_1, \dots, i_{k-1}, p_0, p_1, \dots, p_{n-k-1})$ 로 부호화한다.

$$Hc^T = 0$$

선행연구[2, 3]에서는 DVB-T2, DVB-S2규약에서 표준화된 LDPC부호기를 실현하기 위한 부호화알고리즘을 제안하였다. 제안된 알고리즘에 의하여 LDPC부호기를 실현하려한 박자에 1개의 정보비트가 입력되는데 비해 기우성비트축적기들에서는 동시에 최대  $\max\{d_v\}$  (DVB-S2규약에서  $\max\{d_v\} = 13$ )개의 축적기값에 대한 읽기/쓰기연산을 진행하여야 한다.

그러므로 기우성비트축적기들을 하나의 RAM으로 구성하는 경우 동작주파수는 자료입력박자주파수의 최소 13배이다. 이것은 주어진 FPGA소자가 처리할수 있는 최대입력비트률에 제약을 준다.

## 2. 새로운 LDPC부호화알고리즘

종전의 알고리즘에서 제기되는 동작주파수의 증가문제를 해결하기 위하여 론문에서는 기우성비트축적기들을 1개의 RAM이 아니라 여러개의 RAM을 리용하여 병렬처리하는 새로운 알고리즘을 제안하였다.

편리상 FEC프레임길이 16 200, 부호률 1/4인 LDPC부호기( $n = 16\ 200, k = 3\ 240, q = 36$ )를 실례로 알고리즘을 설명한다.

LDPC부호화알고리즘

단계 1 기우성비트축적기 RAM들을 초기화한다.

단계 2 첫 정보비트  $i_0$ 이 입력되면 그것을 기우성비트축적기주소표의 첫 행에 제시된 주소들에 축적하되 축적기들은 매 RAM에서 1개씩만 선택한다.

표.  $N=16\ 200$ , 부호를 1/4인 LDPC부호기의 기우성비트축적기주소표

6 295	9 626	304	7 695	4 839	4 936	1 660	144	11 203	5 567	6 347	12 557
10 691	4 988	3 859	3 734	3 071	3 494	7 687	10 313	5 964	8 069	8 296	11 090
10 774	3 613	5 208	11 177	7 676	3 549	8 746	6 583	7 239	12 265	2 674	4 292
11 869	3 708	5 981	8 718	4 908	10 650	6 805	3 334	2 627	10 461	9 285	11 120
7 844	3 079	10 773									
3 385	10 854	5 747									
1 360	12 010	12 202									
6 189	4 241	2 343									
9 840	12 726	4 977									

단계 3 다음번 359개의 정보비트  $i_m, m=1, 2, \dots, 359$ 들을 기우성비트주소

$$\{x+m \bmod 360 \times q\} \bmod (n-k)$$

들에 축적한다.

단계 4 매 360개의 새로운 정보비트묶음에 대하여 기우성비트축적기주소표의 새로운 행의 주소들을 리용한다.

단계 5 모든 정보비트들이 리용된 후 다음의 연산을  $i=0$ 으로부터 순차적으로 진행한다.

$$p_i = p_{0,i} \oplus p_{1,i} \oplus \dots \oplus p_{11,i}, i=0, 1, \dots, 12\ 959$$

$$p_i = \begin{cases} p_i, & i=0 \\ p_i \oplus p_{i-1}, & i \neq 0 \end{cases}$$

이렇게 얻어진  $p_i (i=0, 1, \dots, n-k-1)$ 들이 최종적으로 출력되는 기우성비트이다.

새로운 알고리즘의 이론적기초는 알고리즘에서 진행되는  $\oplus$  연산이 GF(2)에서의 더하기연산이므로 묶음법칙과 바꿈법칙을 만족시킨다는데 있다.

### 3. 새로운 알고리즘을 리용한 Simulink모형작성

새 알고리즘을 리용한 LDPC부호기모형을 FEC프레임길이 64 800, 부호를 1/2인 경우를 실험으로 하여 MATLAB Simulink 8.5로 작성하였다. 그것의 원리도는 다음의 그림과 같다.

새로운 알고리즘에 기초한 LDPC부호기는 종전의 알고리즘에 기초한 LDPC부호기에 비해 낮은 박자주파수에서 동작할수 있는것으로 하여 높은 자료처리속도를 가진다.

주어진 FPGA소자의 최대동작주파수가 1GHz일 때 DVB-S2규약에 따르는 부호를 2/3,  $n=64\ 800$ 인 LDPC부호기가 처리할수 있는 최대비트률은 새로운 알고리즘에서 667Mbps로서 종전알고리즘에서의 51Mbps에 비해 최대 13배에 달하는 처리속도를 보장할수 있다.

이와 같은 자료처리속도에서의 개선된 성능으로 하여 새로운 LDPC부호기는 위성수자방송뿐아니라 높은 자료전송속도를 요구하는 실시간위성화상자료전송을 비롯한 고속자

료통신에 오류수정부호기로 효과적으로 리용될수 있다.

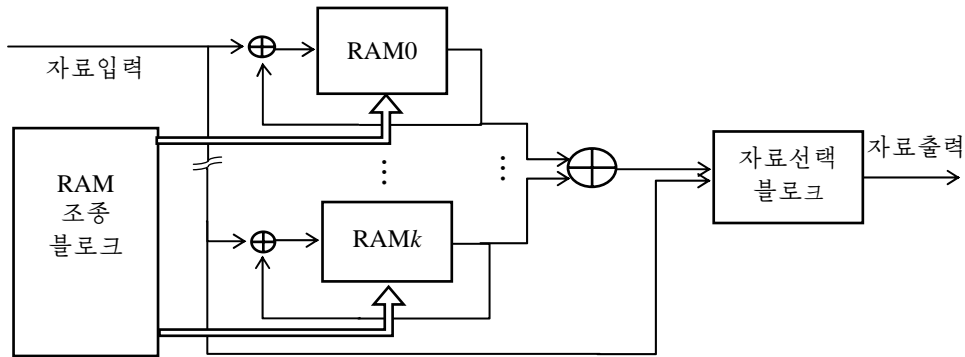


그림. 새로운 알고리즘에 기초한 Simulink모형의 원리도

또한 같은 비트를 가지는 입력자료에 대하여 동작주파수에 대한 요구가 낮으므로 낮은 원가의 제품을 실현할수 있다.

## 맺는 말

론문에서는 종전의 알고리즘에 비해 최대 13배의 자료처리속도를 보장할수 있는 새로운 LDPC부호화알고리즘을 제안하였다.

## 참고 문헌

- [1] 안영진; 부호리론, 김책공업종합대학출판사, 184~199, 주체104(2015).
- [2] ETSI EN 302 755; Digital Video Broadcasting(DVB); Frame Structure Channel Coding and Modulation for a Second Generation Digital Terrestrial Television Broadcasting System(DVB-T2), 40~41, 2015.
- [3] ETSI TR 102 376; Digital Video Broadcasting(DVB); User Guidelines for the Second Generation System for Broadcasting, Interactive Services, News Gathering and other Broadband Satellite Applications(DVB-S2), 104, 2005.

주체107(2018)년 2월 5일 원고접수

## A Method for FPGA Implementation of LDPC Encode

*Kang Un Hyok, Ri Il Gwang*

In this paper, we suggested a new LDPC encoding algorithm which can ensure 13 times of previous algorithm in data rate.

Key words: LDPC code, wireless communication, block code