

비선형회로망의 FPGA실현의 한가지 방법

김운봉, 현경일

비선형회로망은 정보통신체계에서 적응등화기를 실현하는데서와 조종체계 등 여러 분야에서 광범히 리용되고있다. 지난 시기에는 비선형회로망을 하드웨어로 실현하는데 DSP나 ASIC를 기초로 하여 실현하였다.[1, 2] DSP에 의한 실현은 순차적이기때문에 뉴론의 병렬구성방식을 실현하지 못하며 ASIC에 의한 실현은 재구성을 진행할수 없다. 그러나 FPGA는 자체의 구조적특성으로 하여 뉴론의 병렬구성방식과 재구성을 실현할수 있다.

본문에서는 적은 자원으로 비선형회로망을 FPGA로 실현하기 위한 한가지 방법을 제안하였다.

1. LUT를 리용한 비선형회로망의 모형구성

여기서는 입력층에 3개의 뉴론, 은폐층에 5개의 뉴론, 출력층에 1개의 뉴론을 가진 3-5-1역전파망의 모형구성에 대하여 논의한다.

망의 입력들은 -1과 +1의 범위에 놓이도록 표준화하며 부의 수들은 2의 보수로 실현한다.

n 개의 입력을 가진 뉴론의 구조는 그림 1과 같다.

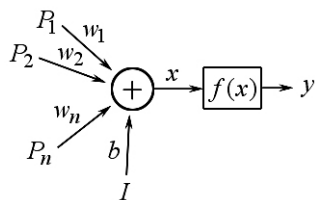


그림 1. 뉴론의 구조

한편 뉴론의 기능은 다음의 방정식과 같다.

$$y = f(x)$$

여기서 $x = \sum_{i=1}^n p_i w_i + b$ 이고 p_i 는 체계의 i 번째 입력, w_i 는 i 번째

연결무게, b 는 편기이다.

그리고 함수 $f(x)$ 는 뉴론에 리용된 자극함수로서 일반적으로 선형, 로그-시그모이드, 탕젠-시그모이드 자극함수들이 리용

되는데 여기서는 로그-시그모이드함수를 리용한다. 즉 $f(x) = \frac{1}{1+e^{-x}}$ 를 리용한다.

결국 뉴론을 실현하기 위해서는 가산기와 함께 승산기, 그리고 자극함수를 실현하여야 한다. 여기서 승산기와 자극함수의 실현은 많은 자원을 요구한다.

승산 및 축적구성방식으로 실현되는 뉴론은 1개의 승산기와 축적기로 이루어진다. 앞층의 뉴론으로부터의 입력들은 뉴론에 직렬로 가해지며 대응하는 무게에 곱해진다. 매 뉴론은 자기의 무게저장ROM을 가진다. ROM의 내용은 MATLAB에서 준비하여 기억기초기화화일에 써넣는다.

한편 곱해진 값들은 축적기에서 합해진다.

뉴론구성방식을 그림 2에 보여주었다. 이때 무게 및 입력값정밀도는 8bit이고 따라서 승산기의 곱하기결과는 16bit이며 축적기도 16bit이다.

1개의 층은 1개의 입력으로 모든 뉴론들과 연결된다. 그러나 앞층은 그것이 가지는 뉴론수에 따라 여러개의 출력을 가질수도 있다. 앞층에서의 입력은 박자주기마다 가해진다. 층의 모든 뉴론들은 병렬로 동작하며 뉴론들은 입력을 자기의 무게ROM으로부터의 대응하는 무게에 곱하고 그 적을 축적한다.

3개의 뉴론들을 포함하는 1개 층의 구조는 그림 3과 같다.

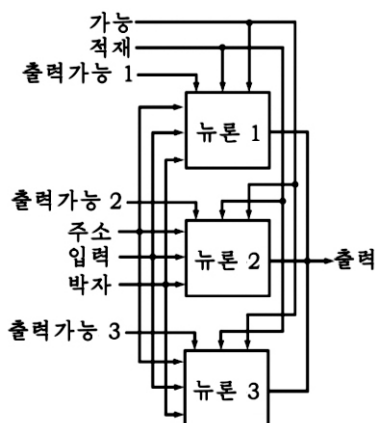


그림 3. 1개 층구조

상태기계의 동작흐름은 다음과 같다.

우선 적재신호를 활성화하여 뉴론에 편기값들을 적재한다. 다음 은폐층을 3박자주기동안 가능으로 준다. 그리고 1개의 뉴론으로 이루어진 출력층을 5박자주기동안 가능으로 준다. 마지막으로 출력가능신호들을 능동으로 한다. 상태기계는 같은 주소선들이 체계의 모든 뉴론들에 리용될수 있도록 하기 위하여 우선권이 결정된 순서로 무게ROM주소들을 발생한다.

전체 망의 블록도는 그림 4와 같다.

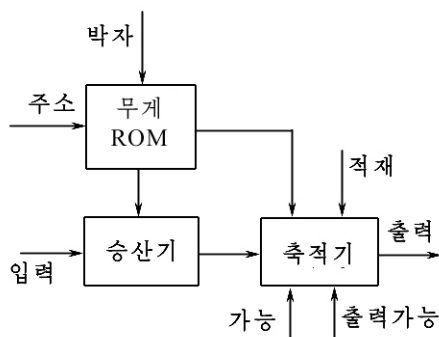


그림 2. 뉴론구성방식

그림 3에서 보는바와 같이 한번에 1개의 뉴론출력만이 출력되므로 매 층에 1개의 활성화함수가 실현된다. 결과 자원소비가 적어진다.

한편 자극함수를 실현하자면 지수계산과 나누기연산을 진행하여야 한다. 이것은 많은 자원들이 소비되게 되는데 이러한 자원소비를 줄이기 위하여 LUT를 리용한다. 즉 LUT로 ROM을 실현한다. 이때 LUT의 입력공간은 -8과 +8사이의 범위를 포괄한다.

우리는 자극함수의 LUT를 1024×8 ROM으로 실현하였다. 다른 한편 그림에서 체계조종신호들은 상태기계에 의해 발생된다. 상태기계는 각이한 망구성에 쉽게 적용할수 있도록 하기 위하여 일반화문을 가진 VHDL모형으로 설계한다.

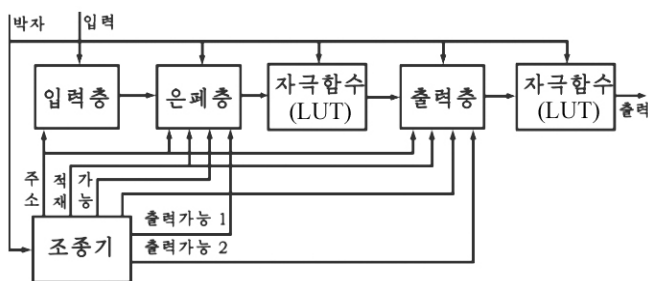


그림 4. 전체 망의 구조

2. 비선형회로망모형의 FPGA실현효과

우리는 3입력XOR를 3-5-1역전파망으로 실현하였다.

이를 위해 먼저 MATLAB Neural Toolbox를 리용하여 망을 학습시키고 다음 계산된 무게들을 VHDL패키지화일에 쓰기한다. 그리고 뉴론과 그에 기초한 역전파망은 VHDL모형의

자료흐름서술방식과 구조서술방식을 작성하였다.

작성된 VHDL모형에 대하여 ISE개발도구로 콤파일, 합성, 모의를 진행하였으며 실현은 Spartan II계열 FPGA로 실현하였다.

LUT를 리용한 경우와 리용하지 않은 경우의 전체 망구조를 실현할 때의 자원소비관계는 표와 같다.

표. LUT를 리용한 경우와 리용하지 않은 경우 자원소비관계

방법	슬라이스수 /개	방아쇠수 /개	LUT수 /개	블록RAM수 /개	리용률 /%
LUT를 리용하지 않은 경우	106	176	187	5	78
LUT를 리용한 경우	91	151	161	4	67

표로부터 LUT를 리용한 결과 자원소비가 78%로부터 67%로 감소되었다는것을 알수 있다.

맺 는 말

제안된 망구성방식은 층들은 물론 뉴론개수를 쉽게 증가 또는 감소시킬수 있다.

제안한 LUT를 리용하여 실현한 망이 리용하지 않았을 때보다 훨씬 적은 자원으로 실현된다.

참 고 문 헌

[1] M. Schaefer; Neurocomputing, 48, 647, 2008.

[2] Yutaka Maeda; IEEE Transactions on Neural Networks, 14, 4, 688, 2008.

주체103(2014)년 11월 5일 원고접수

A Method on FPGA Realization of Nonlinear Network

Kim Un Bong, Hyon Kyong Il

Nonlinear network is widely used in control systems including information communication system. Nonlinear network is easy to realize by FPGA because of the characteristic of itself internal structure. In this paper LUT was used to realize nonlinear network by FPGA with more little resource.

It was made VHDL model to realize nonlinear network using LUT and simulated it, considered realationship of resource consumption.

Key words: FPGA, nonlinear network