

CPRI를 리용한 HDLC전처리알고리즘의 설계

김철남, 정일식

정애하는 김정은동지께서는 다음과 같이 말씀하시였다.

《과학자, 기술자들은 자기 땅에 발을 붙이고 눈은 세계를 보는 혁신적인 안목을 가지고 두뇌전, 실력전을 벌려 최첨단체신기술과 수단들을 더 많이 연구개발하여야 합니다.》

과학과 기술이 발전함에 따라 이동통신체계의 사용자수가 증가하며 이에 따라 이동통신기지국의 성능을 더욱 개선하기 위한 연구가 활기를 띠고 진행되고있다.

LTE이동통신망의 기저대역단개발을 위하여 선행연구[2]에서는 수자신호처리를 위한 DSP처리기외에도 FPGA전용소편을 리용하여 BBU와 RRU사이의 통신을 실현하였다.

론문에서는 CPRI(일반무선단대면부)를 지원하는 DSP소편의 AIF2모듈기능을 리용하여 BBU와 RRU사이의 성과적인 자료통신을 보장하기 위한 무선단대면부동프로그램을 설계하고 검증하였다.

1. CPRI통신규약의 일반적구조

많은 경우 이동통신기지국[1]은 안테나와 무선단(RRU: Remote Radio Unit), 기저대역단(BBU: Base Band processing Unit)으로 구성되어있다.

BBU에는 기저대역신호처리기능을 수행하는 모듈이 있는데 이 모듈은 RRU와의 조종 및 자료통신을 진행하며 DSP소편인 TC16614를 리용한다.

TC16614소편은 1.2GHz까지 동작할수 있는 4개의 DSP핵심부, 1.4GHz까지 동작할수 있는 2개의 ARM핵심부, 협동처리기(4×RAC, TAC, 6×FFTC, 3-포구 Ethernet스위치 등), 다중핵심부관리조종기, 외부대면부모듈들인 AIF2, PCIe, SRIO, I2C, GPIO 등을 지원하고있다.

기저대역단과 RRU사이의 대면부는 안테나대면부모듈(Antenna Interface 2-AIF2)이며 이것을 리용하여 통신을 진행한다.

AIF2(안테나대면부모듈)는 올리회선 또는 내리회선통로들에서 기저대역처리를 위해 DSP처리기와 무선단대면부사이의 IQ자료, 조종단어자료(조종 및 관리자료, 동기화자료들을 포함)들을 송수신하는 기능을 수행한다.

AIF2는 CPRI와 OBSAI규약을 지원하도록 설계되었으며 CPRI대면부규약을 가장 많이 리용하고있다.

CPRI는 하드웨어의존충인 물리층과 자료연결층에서 동작하며 그 계층구조는 그림 1과 같다.

CPRI통신규약에 의하여 IQ자료와 조종단어자료는 TDM방식을 리용하여 빛섬유케블로 송수신된다.

기초프레임은 하나의 조종단어와 15개의 IQ자료들로 구성되며 조종단어를 통하여 RRU를 기동하고 각이한 설정들을 진행한다.

조종단어의 하나의 하이퍼프레임은 256개의 기초프레임(BF)들로 구성되어있다.

150개의 하이퍼프레임은 하나의 CPRI프레임을 형성하며 10ms의 주기를 가진다.

HDLC는 두번째 보조통로인 BF1, BF65, BF129, BF193에서 진행되며 4세대 기성RRU는 하나의 기초프레임구조에서 주소 0, 1에 해당하는 8B의 패킷자료만을 송수신한다.

한편 CPRI의 2층에서 지원하는 HDLC프레임[1]은 머리부마당, 목적주소마당, 원천주소마당, 이씨네트형태, 실제 전송되는 자료마당, 프레임검사렬(FCS)마당을 포함한다.

1층	사용자자료	조종 및 관리자료		동기화	
2층	IQ자료	제작업체고유정보	이씨네트	HDLC	L1 규약
시분할다중화					
전기특성			빛특성		

그림 1. CPRI통신규약의 계층구조

선행연구[2]에서는 FPGA전용소편을 리용하여 CPRI통신규약에 기초한 3세대이동통신 기지국 RRU와 BBU와의 통신을 실현하였지만 DSP소편과 FPGA소편을 리용한것으로 하여 자원을 합리적으로 리용하지 못하고 원가가 비싼 결함이 있다.

본문에서는 CPRI통신규약을 지원하는 DSP소편의 AIF2모듈기능을 리용하여 HDLC전처리알고리즘을 설계하고 시험하였으며 RRU와 BBU사이의 성공적인 통신을 실현하였다.

2. AIF2모듈을 리용한 자료송수신알고리즘

AIF2모듈을 리용한 자료송수신알고리즘은 무선단대면부프로그램의 초기화, RRU제작업체고유정보의 주고받기, HDLC전처리알고리즘의 세 단계로 이루어진다. 여기서 HDLC전처리알고리즘이 핵심적역할을 수행한다.

1) 무선단대면부프로그램의 초기화

BP기판의 핵심처리소자인 DSP소편의 AIF2모듈은 RRU와 빛섬유케블로 연결되어있으며 조종단어자료를 통하여 RRU의 설정정보들과 동작상태를 주고받는다.

그러므로 초기화공정을 통하여 RRU와 대면하기 위한 파라미터설정들을 진행하여야 한다.

설계한 무선단대면부구동프로그램의 초기화순서를 그림 2에 보여주었다.

AIF2일반파라미터설정에서는 리용하여야 할 규약, 엔진부, LTE방식(대역너비, LTE-FDD 등), 동기화원천 등을 선택한다.

AIF2연결파라미터설정에서는 CPRI비율설정, 표본화, AxC송신측과 수신측의 개수설정, 입력과 출력자료의 형과 너비설정 등을 진행한다.

패킷직접기억호출(PKTDMA)함수를 선택한 경우 PKTDMA파라미터들인 송신서술자머리부, 수신서술자머

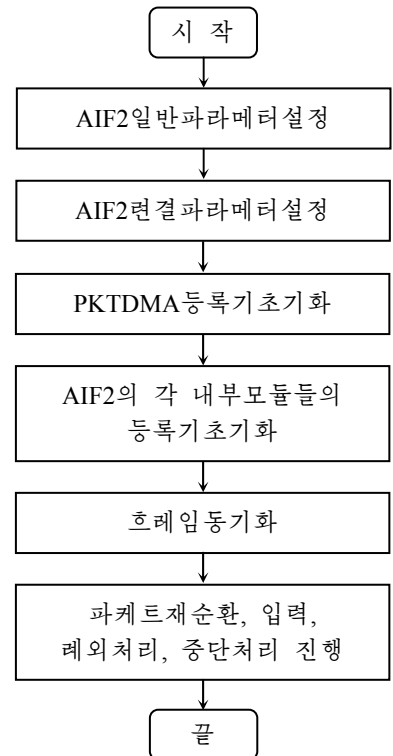


그림 2. 설계한 무선단대면부구동 프로그램의 초기화순서

리부, 수신 흐름방식, 서술자지역들에 대한 초기화를 진행한다.

여기서 중요한것은 송신과 수신서술자의 크기를 300개의 하이퍼프레임주기로 분할하여 20ms프레임시간동기화에 맞추어 동기를 진행하도록 하여야 한다는것이다.

다음 AIF2의 각 내부모듈들의 등록기들에 대한 초기화, 프레임의 동기화, 패키지재순환, 입력, 레외처리, 중단처리를 진행한다.

RRU와 BBU사이에서 프레임동기화가 이루어진 후 RRU는 요청통보문을 올려보내며 이것은 곧 CPRI의 조종단어구역에서 나타난다.

2) RRU제작업체고유정보의 주고받기

무선단대면부구동프로그램설계에서 중요한 문제의 하나는 RRU제작업체고유정보들을 조종단어로 정확히 보내야 한다는것이다. 그렇지 않으면 RRU는 응답하지 않는다.

하나의 하이퍼프레임에 해당하는 제작업체고유정보의 크기 S_{vendor} 는 다음식에 의하여 계산된다.

$$S_{vendor} = 4 \times N_{subchannel} \times N_{byteNum}$$

여기서 $N_{subchannel}$ 은 하나의 하이퍼프레임에서 보조통로의 개수, $N_{byteNum}$ 은 하나의 기초프레임에서 바이트수이다.

$N_{subchannel}$ 은 RRU제작업체마다 차이되며 우리의 경우 그 값은 12이고 $N_{byteNum}$ 의 유효정보자료는 2B를 차지하므로 결국 $S_{vendor} = 96B$ 로 된다.

제작업체고유정보들은 하이퍼프레임의 BF16~BF26, BF80~BF90, BF144~BF154, BF208~BF218에 위치하며 BF22, BF148과 같이 그 값이 계속 변한다.

우리는 여러차례의 실험을 통하여 그 값이 20개의 하이퍼프레임을 주기로 반복되는 패턴을 내보낸다는것을 확인하였다.

10ms주기에 150개의 하이퍼프레임이 포함된다는것을 고려하여 하이퍼프레임계수기의 최대값을 300으로 설정하였으며 그 계수기의 값에 따라 제작업체고유정보를 출력하도록 하였다.

3) HDLC전처리알고리즘

RRU의 설정정보들은 하이퍼프레임의 두번째 보조통로에서 주고 받기되며 그 패키지자료들은 HDLC프레임구조를 가지고있다.

조종단어자료전송에서 이 자료들을 루실없이 정확히 송수신하는것이 가장 중요한 문제이다.

RRU와 BBU사이의 올리방향과 내리방향패킷자료들을 받기 위한 처리를 HDLC자료의 전처리라고 한다.

HDLC자료의 송신과 수신을 위한 전처리알고리즘은 유사하며 그중 수신알고리즘은 그림 3과 같다.

패킷직접기억호출(PKTDMA)함수를 리용하여 RRU의 조종단어자료를 읽는다.

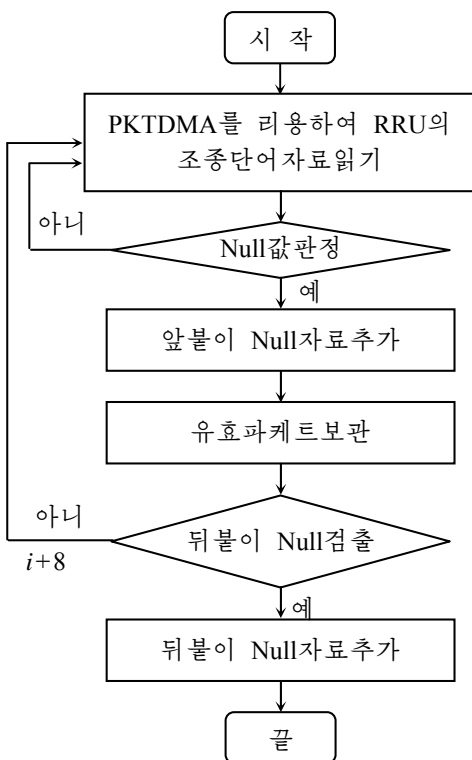


그림 3. HDLC수신알고리즘

8B씩 읽어내어 Null경계값인가 아닌가를 판정한다.

RRU는 Null경계값으로 7E, E7, 9F, F9, CF, FC, 3F, F3중의 어느 한 자료를 내보내며 유효한 자료를 내보낼 때에는 6B의 시작기발마당으로부터 시작된다.

1 500B의 림시완충기에 5B의 Null자료를 먼저 저장하고 유효패킷자료를 그 다음위치에 저장하며 일단 무효한 자료가 8B이상 들어오면 패킷수신이 끝났다고 판정하고 5개 바이트를 Null값으로 채운다.

HDLC송신의 전처리알고리즘은 송신하여야 할 패킷자료를 8B씩 분리하여 하이퍼프레임의 두번째 보조통로인 BF1, BF65, BF129, BF193에 2B씩 적재한다.

HDLC 수신/송신의 전처리알고리즘을 통하여 얻은 패킷자료는 선행방법[1]에서 보여준 HDLC수신, 송신알고리즘을 통과하여 RRU로 보내거나 상위층에 올려보낸다.

프레임검사열(FCS)마당은 목적지주소+원천지주소+Ethernet type+payload를 나누는 수 $X_{16} + X_{12} + X_5 + 1$ 의 16bit길이의 대수다항식으로 나눈 나머지이다.

송신측 MAC조종기는 프레임비트열을 송신하면서 동시에 FCS를 계산하다가 정보마당의 송신이 완료되면 즉시 그동안 계산된 FCS를 덧붙여 송신한다.

수신측의 MAC조종기는 수신비트열을 받아들이면서 동시에 FCS를 계산하여 송수신 FCS가 일치하는가를 검사하고 틀리는 경우에는 이 프레임의 수신을 무효화한다.

3. 성능 평가

설계한 알고리즘을 4세대 이동통신 무선단(R8862A)과 결합하여 시험을 진행하였다.

빛섬유케블에 의하여 서로 연결되어있는 BBU와 RRU는 CPRI통신규약에 의하여 조종단어자료와 IQ자료를 주고받는다. 컴퓨터의 가상기계관리기를 CC보드로 가상하고 여기에 RRU를 구동시키는데 필요되는 조종정보들을 순서대로 입력시킨 후 TCI6614의 ARM핵심부를 리용하여 조종패킷자료를 DSP핵심부의 AIF2모듈로 넘겨준다.

조종단어자료의 송수신검사체계구성도를 그림 4에 보여주었다.

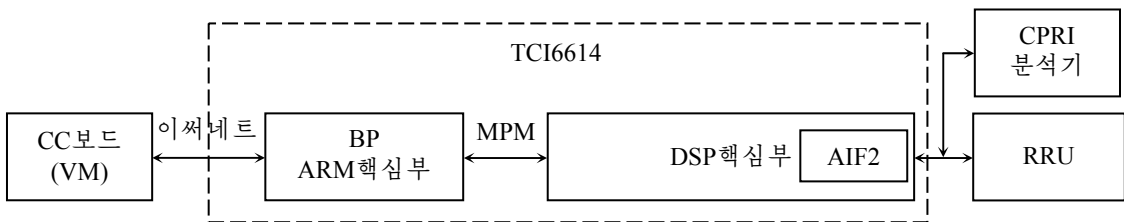


그림 4. 조종단어자료의 송수신검사체계구성도

실행시 HDLC송신/수신알고리즘의 해신시간은 $160\mu s$ 로서 1s간격으로 진행되는 BBU와 RRU의 패킷송신에 그 어떤 지연의 영향을 주지 않았다.

맺는 말

DSP소편안에 내장되어있는 AIF2모듈기능을 리용하여 HDLC전처리알고리즘을 제안하였으며 선행방법[2]과 비교할 때 FPGA소편을 리용하지 않고 DSP의 자원을 활용함으로써 제품의 원가를 절반으로 줄이면서도 RRU와의 원만한 통신을 보장할수 있다는것을 검증하였다.

참 고 문 헌

- [1] Antonio de la Oliva et al.; IEEE Communications Magazine, **54**, 152, 2016.
- [2] Huaiyu Zeng et al.; Journal of Lightwave Technology, **35**, 6, 15, 2017.

주체110(2021)년 2월 5일 원고접수

Design of HDLC Pre-processing Algorithm Using CPRI

Kim Chol Nam, Jong Il Sik

In this paper, we have presented the design of HDLC pre-processing algorithm using AIF2 (antenna interface 2) module embedded in the DSP chip, so meets the requirements of communication between BBU (Base Band processing Unit) and RRU (Remote Radio Unit), and reduces the cost by half compared to [2].

Keywords: CPRI, HDLC, AIF2