

## FPGA에 의한 스펙트르직접확산신호의 고속동기실험을 위한 한가지 방법

성 재 군

경애하는 김정일동지께서는 다음과 같이 말씀하시였다.

《과학기술부문에서 첨단돌파전을 힘있게 벌려야 하겠습니다.》

선행연구들[1, 3]에서는 SAW정합려파기나 대규모집적소자를 리용하는 방법들이 제안되었다. SAW정합려파기를 리용하는 방법은 상사처리단계에서 실시간적으로 적분연산이 진행되는 매우 효과적인 방법이지만 삽입손실이 크고 온도특성이 나쁘며 특히는 정합부호가 고정되는것으로 하여 다중가입자응용에서 제한성을 가진다. 최근에 와서 FPGA와 같은 대규모집적소자에 의하여 정합려파기를 실현하기 위한 여러가지 방법들이 제안되고 있는데 처리해야 할 자료량이 많은 경우에는 연산의 실시간성, 회로규모와 전력소비가 증가하는 등의 문제점들이 제기된다.[2, 3]

일반적으로 스펙트르직접확산(DS-SS)동기신호의 정합려파를 위한 중첩적분식은 다음과 같이 표시된다.

$$S_0 = \sum_{i=1}^N X_i P_i \quad (1)$$

여기서  $X_i$ 는 입력신호렬,  $P_i$ 는 입구신호에 정합된 PN(Pseudo Noise)부호렬,  $S_0$ 은 적분출구,  $N$ 은 PN부호렬의 길이이다.

식 (1)에서 보는바와 같이 1개의 출력신호를 얻으려면 입력신호렬  $X_i$ 와 PN부호렬  $P_i$ 와의 곱하기를  $N$ 번 진행하고 합연산을  $N$ 번 진행하여야 한다.

전통적인 연산방법으로 병렬연산을 진행하는 경우 더하기연산수는  $N-1$ 개 필요하게 된다. 또한 합연산을 진행하는 과정에 비트수의 증가로 하여  $N$ 이 커질 때 회로규모가 상당한 정도로 커져 출력소비가 커지며 실천상도입이 어렵게 되는 문제가 발생한다.

논문에서는  $N$ 이 커질 때 회로규모가 대단히 커지는 현상을 없애면서도 스펙트르직접확산동기신호의 고속포착실험의 한가지 방법인 시간분할에 의한 비트병렬연산방법을 제기하였다.

그림에 새로운 형태의 병렬더하기연산회로를 보여주었다.

병렬-직렬변환부에서는 A/D변환된 자료입력에 대하여 병렬자료를 직렬비트자료로 변환하고 1bit씩 직렬밀기등록기에 입력한다. 이때 직렬밀기등록기에 입력되는 비트밀기 속도는 입력자료속도에 비하여 8배의 속도를 가진다.

직렬밀기등록기에서는 등록기렬의  $8 \times i$  번째( $i=1 \sim N$ )에서  $N$  bit를 병렬로 출력한다. 이때 매개의 출구에 나타나는 매 비트는 입력된 8bit자료들의 같은 위치의 비트이다.

실례로 그림에서 직렬밀기등록기의  $N=15$ 개 출구와 대응하는 PN부호와의 곱하기가 진행된 결과는 15bit들의 병렬합을 구하는 회로에 입력된다. 이때 PN부호와의 곱하기는 다음과 같이 진행된다.

부호가 1인 경우에 입력되는 자료비트는 그대로 출구에 전달되며 0인 경우에는 입력되

는 자료가 반전되어 즉 1은 0으로, 0은 1로 출구에 전달되고 반전되는 위치의 개수만큼 더해져 최종출구에 상관결과가 얻어진다.

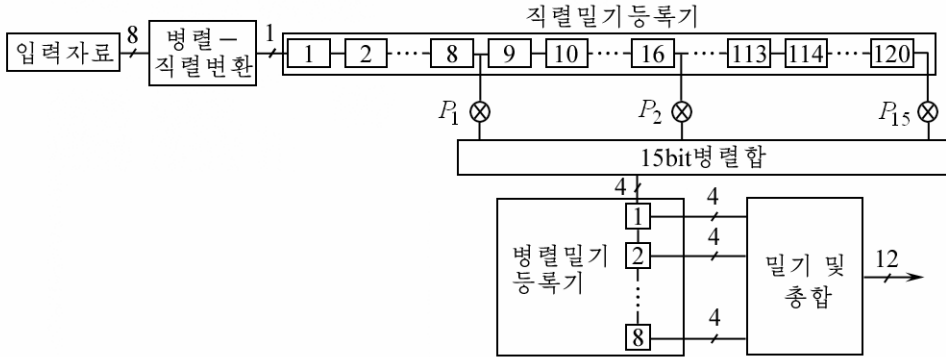


그림. 병렬더하기연산회로

병렬합을 구하는 회로의 입구에는  $N$  개의 비트들이 입력되며 출구에는 합결과인  $\log_2(N+1)$  bit폭을 가진 비트별합이 출력된다.

병렬합연산회로는 옹근더하기회로(FA)들로 이루어져있으며 매개 옹근더하기회로는 3bit입구와 2bit의 출구를 가지는데  $N=15$  개의 병렬비트자료에 대한 합회로출구를 구성하는데 11개의 FA가 필요하며 5단의 FA의 지연이 생긴다.

출구비트수가  $n$  일 때 입구비트수는  $N=2^n-1$ 이며 FA의 개수는

$$m = 2^n - 1 - n \quad (2)$$

과 같다. 여기서  $n$ 은 PN다항식의 차수와 같다. 그리고 출구까지의 더하기지연은

$$k = 2n - 3 \quad (3)$$

과 같이 구해진다.

FPGA에서 FA는 2개의 LC(Logic Cell)에 의하여 만들어지며 결과  $N$  개의 병렬입력자료에 대한 합을 구하는 연산회로에 소비되는 전체 LC의 개수는

$$N_T = 2m \quad (4)$$

으로 된다.

병렬합회로의 출구에 나타나는  $N$  개의 입력자료의 매 비트합들은 병렬밀기등록기에 입력되어 4bit의 폭을 가진다. 이때 입력자료의 비트너비인 8단의 지연이 생기는데 매개 단마다에서 4bit의 출력을 내보낸다. 끝으로 총합을 구하는 처리단에서는 입력자료의 비트별합 4bit들에 대하여 자리밀림을 진행하여 총합연산을 진행한다.

식 (2)-(4)에 의하여 비트별합연산회로의 전체 LC개수는

$$2(2^n - 1 - n) = 2(N - \log_2(N+1)) \quad (5)$$

이다. 여기서  $n$ 은 PN다항식의 차수를,  $N$ 은 발생한 PN부호의 길이로 된다.

식 (5)에서 보는데와 같이 비트별합연산회로에서 LC소비개수는  $N$ 이 클 때에는 거의  $2N$ 에 가깝게 된다는것을 알수 있다. 그러나 전통적인 방법에서는 전체 LC소비가  $N$ 뿐아니라 비트수에도 관계된다.

$N=127$ 인 정합러파기구성에서 밀기등록기를 제외한 전체 연산부의 LC소비량은 전통적인 방법에서는  $27.2N$ 이고 새로운 방법에서는  $2.8N$ 이다.

따라서 8bit너비의 입력자료에 대하여 1개의 병렬비트합회로를 리용하였을 때 연산

부의 속도는 입구자료속도의 8배가 될것을 요구하지만 4bit씩 갈라서 비트별합을 구하면 합연산부는 2배로 증가하고 연산속도는 절반으로 줄어든다.

## 맺 는 말

FPGA에 정합러파기를 구성하는 경우 상관연산부의 LC소비량을 종전의 방법에 비해 거의 1/10로 줄일수 있으며 체계의 요구에 따라 비트별합연산부를 병렬로 증가시키면 합리적인 자원소모와 연산속도를 보장할수 있다.

## 참 고 문 헌

- [1] Jiao Yan et al.; Journal of Air Force Engineering University, 6, 67, 2007.
- [2] H. Minn et al.; IEEE Trans. Wireless Commun., 2, 822, 2003.
- [3] I. Jawhar et al.; Journal of Network and Computer Applications, 84, 93, 2017.
- [4] M. Erdelj et al.; IEEE Pervasive Computing, 1, 16, 24, 2017.

주체110(2021)년 5월 5일 원고접수

## **A Method of High Speed Synchronizing Acquisition of SS-DS Signal by FPGA**

*Song Jae Gyun*

We proposed a real time integral operation method for synchronizing acquisition of SS-DS(spread spectrum-direct sequence) signal by FPGA.

Keywords: SS-DS, correlation, synchronizing acquisition