

기상감시레이다에서 고속신호처리를 위한 다중DSP구성방식의 한가지 방법

한일, 강덕길

기상감시레이다에서 실시간적인 고속신호처리를 실현하는것은 매우 중요한 문제로 나선다. 기상감시레이다에서는 선형주파수변조된 임펄스도플러레이다(LFM-PD)를 리용한다. 레이다에서는 선형주파수변조된 압축된 임펄스신호를 전송하고 수신하면서 목표물의 위치와 속도를 알아낸다. 목표물들의 탐지정확도와 범위를 높이기 위하여서는 대량의 실시간계산을 할수 있는 장치구성이 필요하다. 이러한 장치구성으로 다중DSP체계를 리용할수 있다.

다중DSP체계에서 FPGA는 외부장치와 DSP들을 리용하는 요소로 되고있다. 다중DSP 병렬처리체계에서 자료통신[1, 2]은 HPI, EMIF, McBSP, Serial RapidIO 등의 주변결합대면부에 의하여 진행할수 있다. 또한 전용통신IC에 의해 다중DSP병렬처리체계를 구성할수도 있다.

론문에서는 동화상, 음성실시간처리와 레이다 등에서 많이 리용되고있는 FPGA를 중심으로 하는 다중DSP구성방식의 한가지 방법을 제안하였다.

1. 하드웨어구성방식

우리는 조종대상의 수자신호처리결과를 컴퓨터에 현시하는 장치체계를 구성하였다.

장치는 크게 상사대면장치와 수자신호처리를 위한 수자신호처리장치로 이루어졌다.

상사대면장치는 입력되는 상사신호들을 수자화하며 수자화된 출력신호들을 상사신호로 변환한다. 수자화된 자료들을 종합처리하는 수자신호처리장치는 주기판에 1개의 종합관리기판과 4개의 단일DSP처리기판들이 설치되는 방식으로 구성되었다. GSP수신기와 컴퓨터와의 통신은 종합관리기판에서 진행한다.

상사신호처리부분은 고속A/D변환소자와 다통로A/D변환소자들을 기본으로 하여 구성하였으며 체계의 프레임길이를 결정하는 동기신호까지 포함하여 FPGA로 전송한다. 2개의 FPGA에서는 상사대면장치에서 입력된 자료들을 종합하여 DSP처리기들에 분배하며 DSP처리기에서 처리된 결과들을 상사대면장치와 전용USB조종소자에 보내주는 주변장치관리 및 병렬처리를 진행한다. 상사대면장치의 조종대면부에서는 FPGA기판에서 전송된 수자화된 출력신호를 받아 상사신호로 변환하고 출력증폭한다.

USB포구와의 대면은 EZ-USB FX2계열의 전용USB조종소자를 리용하였다.

고속A/D변환소자는 AD9723으로서 17GHz의 표본화주파수를 보장하며 다통로A/D변환소자는 AD7938로서 8통로의 625kHz의 변환속도를 보장한다.

ALTERA CYCLONE계열의 EP1C2Q24017 FPGA와 TMS320C6713 DSP처리기를 리용하였다.

2. DSP + FPGA결합구조

TMS계렬의 수자신호처리소자에는 HPI(Host Port Interface, 960Mbps), EMIF(External Memory Interface, 400Mbps), McBSP(Multichannel Buffered Serial Port, 70Mbps)와 같은 자료처리를 진행하는 대면부가 있다. 여기서 HPI는 외부장치들이 DSP의 내부기억 및 등록기들에 임의로 접근할수 있는 대면부, EMIF는 DSP가 외부장치들에 접근하여 자료의 입출력을 진행할수 있는 대면부, McBSP는 다통로완충직렬포구이다.

우리는 외부적인 동기에 따라 자료관리를 진행하면서 DSP들에 자료분배를 할수 있게 FPGA를 설계하였다.(그림 1)

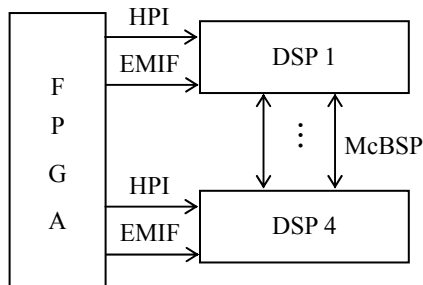


그림 1. 다중DSP체계에서 FPGA, DSP들사이의 결합구조

FPGA-DSP자료전송에는 전송속도가 빠른 HPI, EMIF를 리용하고 DSP-DSP자료전송에는 McBSP를 리용하였다. 또한 FPGA에서 입출력자료들을 고속으로 관리하기 위하여 DSP들에 대한 자료입력에는 HPI를, 출력에는 EMIF를 리용하였다. 또한 조종신호들을 FPGA와 CPLD에서 발생시켜 모션들의 충돌을 방지하였다.

FPGA와 DSP와의 자료전송에는 HPI대면부와 EMIF대면부를 리용하였다.

EMIF가 전용출력대면부로 리용되므로 DSP에서 EMIF조종등록기의 CE3을 FPGA에 배당하였다. 또한 여러개의 DSP들의 자료통신에서 우선권을 결정하기 위하여 추가적인 조종신호들(EM_CS, EM_INT)을 배치하였다. DSP들사이의 자료전송은 다통로완충직렬포구(McBSP)를 리용하였다.

FPGA의 지령이 없이 DSP들사이의 자료통신을 하기 위하여 자료와 박자, 프레임동기 신호선을 연결하여 DSP내부에서 송수신관리를 진행하였다.

3. 가변길이프레임의 순차병렬처리와 송수신방법

기상감시레이다에서는 외부적인 동기에 따라 자료의 프레임길이가 실시간적으로 변하는 가변길이변속프레임을 처리한다. 이러한 가변길이변속프레임을 실시간처리하기 위하여 FPGA에서는 DSP들이 알고리즘시작순간을 결정해주게 하는 동기신호를 발생시킨다. 자료의 입력은 FPGA와 DSP의 HPI전송으로, 자료의 출력은 FPGA와 DSP의 EMIF전송으로 보장하며 매개의 DSP들은 같은 프로그램을 실행한다. 이때 FPGA는 순서대로 매개의 DSP들에 입력프레임들을 하나씩 차례로 보내주고 처리동기신호를 발생한다. DSP는 처리동기

신호를 받아서 차례로 신호처리를 하며 결과를 EMIF를 통하여 FPGA에 전송한다. 이때 EMIF를 통한 출력을 DSP내부의 DMA(Direct Memory Access)를 리용하여 진행한다.

가변길이자료의 통신을 효과적으로 수행하기 위하여 EDMA(Enhanced Direct Memory Access)와 McBSP를 결합한다.(그림 2)

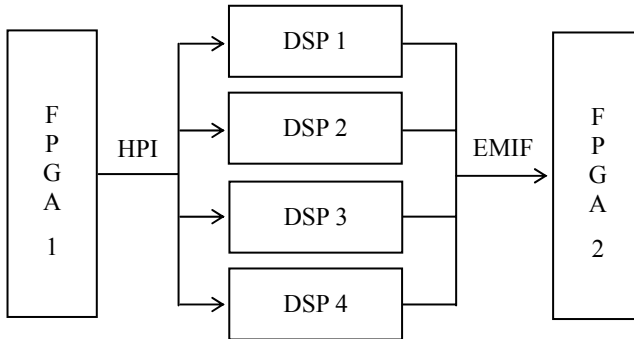


그림 2. FPGA와 DSP사이의 가변길이프레임통신방법

먼저 McBSP를 통하여 처리하게 될 자료의 길이값을 받게 된다. 이때 McBSP통로에 해당하는 EDMA의 설정에 의하여 접수된 값은 다음번 EDMA전송을 위한 설정값들을 보관한 구역에서 요소의 개수를 보관하는 기억구역으로 복사되게 된다. 자료의 길이를 접수하는 EDMA전송이 완료되면 연결특성에 의하여 자료접수를 위한 EDMA전송이 다시 시작된다. 이때 접수하게 되는 자료의 개수는 이미 그전의 EDMA전송을 통하여 설정된 값이다. 해당한 개수만큼의 자료의 접수가 끝나면 역시 연결특성에 의하여 다음번에 접수할 자료의 개수를 얻기 위한 EDMA전송이 진행된다.

이 과정이 반복되면서 송신자가 보내는 가변길이형식의 자료가 CPU의 참가없이 정확히 접수되게 된다.

이렇게 하여 연속적으로 입력되는 가변길이프레임들의 처리에서 CPU는 오직 신호처리알고리즘만 수행하도록 하며 이러한 방식은 신호처리속도를 효과적으로 높이게 한다.

맺는 말

기상감시레이다에서 고속신호처리를 수행하는 FPGA를 중심으로 한 다중DSP구성방식의 한가지 방법과 가변길이프레임의 순차병렬처리와 송수신을 할수 있는 합리적인 방법을 제안하였다.

참고 문헌

- [1] Xiang Hong; Proceedings of IEEE Conference on Radar, 33, 812, 2013.
- [2] Wei Wu et al.; World Congress on Computer Science and Information Engineering, 3, 458, 2009.

A Method of High-speed Signal Processing MultiDSP Architecture for Weather Radar

Han Il, Kang Tok Gil

In this paper we proposed a method of high-speed signal processing multiDSP architecture for weather radar.

Key words: DSP, weather radar, variant length frame