

FPGA와 컴퓨터사이의 이씨네트통신체계구성에 관한 연구

김 윤 봉

컴퓨터들사이의 이씨네트통신을 실현하는 문제들은 지난 시기 많이 제기되었지만 FPGA와 컴퓨터사이의 통신을 진행하는 문제는 제기되지 않았다.

현재 FPGA를 리용하여 논리장치를 구축하는것이 추세로 되고있는 현실에 맞게 논문에서는 FPGA와 컴퓨터사이의 이씨네트통신체계를 구성하는데서 제기되는 몇가지 문제를 설정하고 해결하였다.[1, 2]

FPGA를 리용하여 이씨네트통신체계를 구축하자면 두가지 문제가 해결되어야 한다. 하나는 FPGA를 리용한 이씨네트통신하드웨어를 구성하는것이고 다른 하나는 이씨네트통신프로그램을 작성하는것이다.

FPGA를 리용한 이씨네트통신하드웨어를 구성하자면 먼저 이씨네트통신하드웨어를 구축할수 있는 장치가 구성되어야 한다.

이씨네트조종장치는 FPGA와 이씨네트조종장치로 구성된다.

이씨네트조종장치논리구성도를 그림 1에 보여주었다.

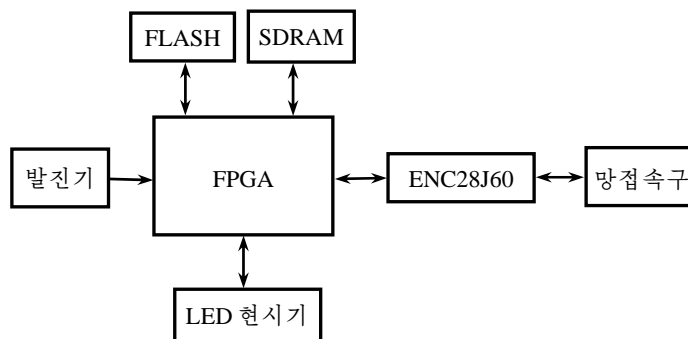


그림 1. 이씨네트조종장치논리구성도

FPGA로는 Cyclon II계열의 EP2C8Q208C8을 리용하였으며 FLASH는 16Mbit의 용량을 가진 직렬구성FLASH인 M25P16을 리용하였다. 그리고 SDRAM으로는 4 Banks×16Mbit의 용량을 가진 HY57V641620HG를 리용하였으며 이씨네트조종소자로는 ENC28J60을 리용하였다.

ENC28J60은 표준직렬주변장치대면부 SPI(Serial Peripheral Interface)를 가진 이씨네트조종기 즉 SPI조종기를 가진 이씨네트대면부이다.

FPGA는 속도가 10Mbps인 이씨네트조종기 ENC28J60과 결합되며 ENC28J60은 2개의 임펄스변성기와 연결되어 망포구와 접속된다.

이씨네트통신조종장치가 이씨네트통신을 진행하자면 통신을 조종할수 있는 조종기가 구성되어야 하는데 이것은 FPGA로 실현한다. 즉 FPGA에 Nios II한소편컴퓨터체계를 구성하여 이씨네트통신을 조종하게 된다.

FPGA로 실현될 이씨네트조종을 위한 Nios II체제구성도는 그림 2와 같다.

이씨네트조종을 위한 Nios II체제설계는 Nios II체제개발환경 SOPC Builder를 리용하여 진행한다. 여기서는 Nios II소프트처리기와 FLASH 및 SDRAM대면부, ENC28J60대면부, LCD대면부로 구성된 한소편컴퓨터를 설계한다.

다음으로 이씨네트통신을 위한 Nios II하드웨어에 기초하여 이씨네트송수신을 위한 Nios II프로그램을 작성한다.

이씨네트통신을 위한 Nios II프로그램은 여러개의 함수들로 이루어진다. 즉 소편선택설정함수 `set_cs`, 이씨네트조종기에 쓰기지령을 주는 함수 `write_operation`, 이씨네트조종기에 읽기지령을 주는 함수 `read_operation`, bank 설정함수 `set_bank`, 완충기억기읽기함수 `read_buffer`, 완충기억기쓰기함수 `write_buffer`, 조종등록기읽기함수 `read_control_register`, PHY등록기쓰기함수 `phy_write`들을 정의한다.

이에 기초하여 초기화를 진행하고 송신 및 수신을 진행한다.

ENC28J60을 리용한 패키지송수신 초기화흐름도는 그림 3과 같다.

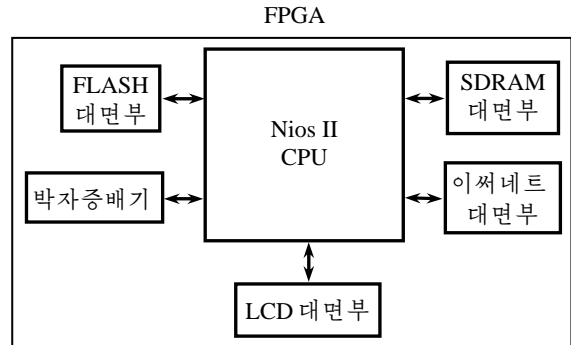


그림 2. 이씨네트조종을 위한 Nios II체제구성도

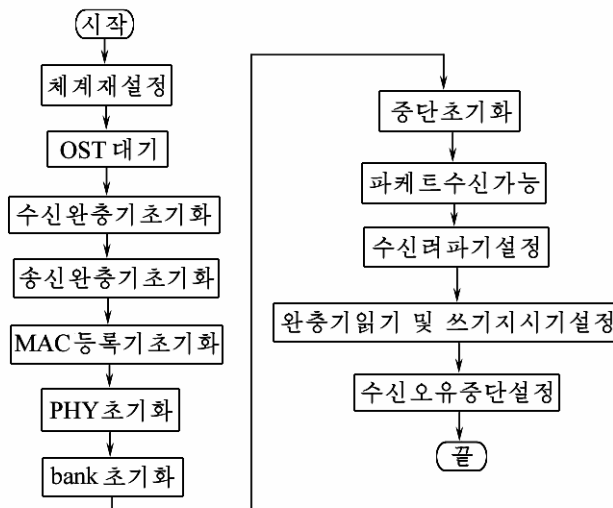


그림 3. 패키지송수신 초기화흐름도

그림 3에서 매 단계의 동작과정은 다음과 같다.

먼저 체제재설정명령 SRC를 주어 ENC28J60에 대한 재설정을 진행한다.

다음 조종기가 정상주기에 들어갔는가를 검사하는데 이것은 이씨네트상태등록기 ESTAT의 CLKRDY비트가 1인가를 검사하는 방법으로 진행한다.

다음은 송수신완충기초기화이다. 이를 위해 조종등록기쓰기함수 `write_control_register`를 리용하여 다음 수신주소지시기를 설정하고 ERXNDL:ERXNDH조종등록기에 수신완충기끝주소를 주어 수신완충기끝을 설정한다.

MAC등록기초기화에서는 먼저 MACON1의 MARXEN비트를 설정하여 프레임들을 수신하기 위한 MAC를 가능으로 한 다음 송신이나 수신에 허가되게 MAMXFL등록기들을 최대프레임길이를 설정한다. 다음 등록기 MABBIPG를 리용하여 내부프레임들을 설정하고 MAADR1:MAADR6등록기에 국부MAC주소쓰기를 진행한다.

PHY초기화에서는 PHY등록기쓰기함수 phy_write를 호출하여 PHCON1등록기의 9번째 비트를 1로 설정하고 PHCON2등록기의 HDLDIS비트를 1로 설정하여 송신프레임의 자동고리막기를 진행한 다음 PHLCON조종등록기에 0x0aa6을 적재하여 LEDA와 LEDB를 구성한다.

Bank초기화에서는 bank0을 선택한다.

다음은 중단초기화이다. 이를 위해 쓰기지령함수 write_operation을 호출하여 중단가능등록기 EIE의 대역중단가능비트 INTIE, 수신패킷중단가능비트를 설정하여 중단을 초기화한다.

한편 이써네트조종등록기 ECON1의 RXEN비트를 설정하여 패킷수신을 가능으로 설정한다.

다음은 수신려파기설정이다. 이를 위해 주소종기의 처리요구를 최소로 하기 위해서 단일송신려파기, 패턴정합려파기, Magic Packet려파기, 하쉬표려파기, 그룹방송려파기들을 금지하고 수신려파기로서 방송려파기를 선택한다.

완충기읽기 및 쓰기지시기설정을 위해 조종등록기쓰기함수 write_control_register를 호출하여 이써네트조종등록기 ECON2에 0x80을 적재하여 완충기억기를 읽어내거나 쓸 때 완충기읽기 및 쓰기지시기가 자동적으로 증가하게 한다.

다음은 수신오류중단설정이다. 쓰기지령함수 write_operation을 호출하여 EIR조종등록기의 첫번째 비트를 0으로 재설정하여 수신오류중단이 없는것으로 설정한다.

이와 같은 초기화에 기초하여 패킷송신 및 수신을 진행한다.

먼저 패킷송신은 패킷송신함수 packet_send를 호출하여 진행하는데 이때 입력으로 패킷길이와 패킷자료보관주소를 받는다.

송신완충기시작구역에 완충기쓰기지시기를 설정하기 위해 조종등록기쓰기함수를 리용하여 쓰기지시기등록기 EWRPTL:EWRPTH에 송신완충기초기시작값을 0으로 설정한다.

송신완충기끝지시기를 설정하기 위해 조종등록기쓰기함수를 리용하여 송신끝지시등록기 ETXNDL:ETXNDH에 송신길이만 한 끝값을 설정한다.

SPI완충기억기쓰기명령 WBM을 리용하여 패킷조종바이트, 목적주소, 원천MAC주소, 형/길이와 자료를 쓴다.

송신할 패킷을 송신완충기에 복사하고 패킷길이와 패킷자료보관주소를 파라미터로 하여 완충기억기쓰기함수 write_buffer를 호출하여 지정된 길이의 자료를 완충기에 쓰고 송신완충기쓰기를 완료한다.

쓰기지령함수 write_operation을 호출하여 SPI조종등록기쓰기지령으로 이써네트조종등록기 ECON1의 송신요구비트 TXRTS를 1로 설정하여 송신완충기자료를 망에 전송한다.

다음 패킷수신은 패킷수신함수 packet_receive를 호출하여 진행하는데 입력으로 패킷최대길이와 패킷보관주소를 받는다.

조종등록기읽기함수 read_control_register를 호출하여 이써네트중단요구등록기 EIR의 내용을 읽어 PKTIF비트를 검사하는 방법으로 패킷수신검사를 진행하는데 1로 설정되지 않은 경우에는 설정될 때까지 대기한다.

초기화에서 설정된 수신완충기공간의 시작주소로 읽기지시기를 설정한다. 그리고 조종등록기쓰기함수 `write_control_register`를 호출하여 읽기주소지시기 `ERDPTL:ERDPTH`에 수신완충기시작주소를 설정한다.

읽기지령함수 `read_operation`을 호출하여 SPI완충기억기읽기지령 RBM을 주어 수신완충기에 보관된 다음패케트지시기값을 읽어낸다.

읽기지령함수 `read_operation`을 호출하여 SPI완충기억기읽기지령 RBM을 주어 수신완충기에 보관된 패케트길이를 읽어낸다.

읽기지령함수 `read_operation`을 호출하여 SPI완충기억기읽기지령 RBM을 주어 수신완충기에 보관된 수신상태값을 읽어낸다.

완충기억기읽기함수 `read_buffer`를 호출하여 지정된 수신길이의 패케트자료를 완충기로부터 읽어내어 보관한다.

수신읽기지시기를 수신된 패케트의 시작값으로 옮겨 방금 읽어낸 기억기를 해방한다. 그리고 조종등록기쓰기함수 `write_control_register`를 호출하여 수신읽기지시기에 다음 수신된 패케트시작값을 적재한다.

SPI조종등록기쓰기지령을 주어 패케트계수등록기 `EPKTCNT`의 값을 하나 감소시키고 쓰기지령함수 `write_operation`을 호출하여 이썬네트등록기 `ECON2`의 패케트감소비트 `PKTDEC`를 1로 설정한다. 그리고 이썬네트등록기 `ECON2`의 패케트감소비트(6번째 비트)가 1로 설정되면 `EPKTCNT`등록기가 하나 감소되며 결국 패케트계수등록기 `EPKTCNT`의 값이 하나 감소된다. 마지막으로 수신한 다음패케트길이를 귀환한다.

이와 같이 작성된 이썬네트송수신프로그램은 Nios II SBT에서 C로 작성되었다. 작성된 프로젝트를 컴파일하고 컴파일에서 성공하면 장치에 내리적재하여 동작상태를 검사한다.

작성된 Nios II하드웨어 및 소프트웨어화일을 FPGA개발실험장치에 내리적재하여 상위컴퓨터와의 자료송수신을 진행하였다.

맺 는 말

이썬네트조종을 위한 론리구성도와 Nios II하드웨어를 구성하고 장치에 내리적재하여 이썬네트조종을 실현하였다. 또한 이썬네트조종을 위한 Nios II프로그램을 Nios II SBT에서 C언어로 작성하고 FPGA개발실험장치에 내리적재하여 이썬네트조종을 실현하였다.

참 고 문 헌

- [1] Aydin Aysu; Microprocessors and Microsystems, 39, 589, 2015.
- [2] Yann Thoma; Microprocessors and Microsystems, 39, 565, 2015.

주체106(2017)년 7월 5일 원고접수

Research on Building Ethernet Communication System between FPGA and Host Computer

Kim Un Bong

In the past, the problems which perform Ethernet communication between PCs appeared much, but problems which perform communication between FPGA and PCs have not appeared. At present, making logic unit using FPGA is widely used. So in the paper, I set some problems which are arising in making Ethernet communication system between FPGA and PCs and solved.

Key words: FPGA, Ethernet