

FPGA에서 하나의 시간계수기대면부에 의한 극소형 처리기들의 단일사건효과측정체계의 상대조종실험

김철훈, 윤원철, 김광혁

위대한 령도자 김정일동지께서는 다음과 같이 교시하시였다.

《우리는 과학기술분야에서 이룩한 성과에 만족하지 말고 나라의 과학기술을 새로운 높은 단계으로 발전시키기 위하여 적극 투쟁하여야 합니다.》(《김정일선집》 증보판 제11권 133페이지)

반도체제작기술이 발전하여 극소형처리기들의 성능이 올라가면서 이러한 극소형처리기들은 일반가정용제품뿐만아니라 항공전자설비를 비롯한 인공위성에서도 광범히 리용되고 있다. 그러나 이러한 집적소자들의 집적도가 매우 높아져 방사선에 대단히 민감하게 되면서 대기속에서 묶음의 세기가 매우 약한 우주선에 의하여서도 단일사건효과(SEE)가 일어나게 된다.[1]

이로부터 극소형처리기들의 동적SEU률을 모의평가하기 위한 연구가 진행되고있다. 특히 프로그램적인 비트반전(CEU)주입방법[2]이 간단하면서도 극소형처리기들에 대하여 립자조입실험결과와 매우 잘 맞는것으로 알려져있다. 프로그램적인 비트반전(CEU)주입방법에서는 모의실험체계의 유연성을 위하여 조종기관으로서 FPGA가 많이 리용되고있다.

FPGA에 의한 조종에서는 시간선도를 정확히 맞추는 문제가 제기되며 여기로부터 많은 시간계수기들을 리용하고있다. 그러나 서로 다른 시간계수기들의 리용은 설계의 복잡성을 발생시킨다.

본문에서는 하나의 시간계수기대면부를 리용하여 FPGA로 극소형처리기들의 단일사건효과측정체계의 상대조종을 실현하기 위한 문제를 고찰하였다.

1. SEE측정체계에서 시험장치들의 상태와 상대조종을 위한 시간계수기들

조종기관으로 SEU측정실험과정을 조종하자면 시험장치들이 놓일수 있는 여러가지 각이한 상태들을 다 고려하여 알고리즘을 설계하여야 한다. SEE측정체계에서 시험장치들의 상태를 다음과 같이 갈라볼수 있다.[2]

- ① 계산시작지령을 받아 계산중상태로 된다.
- ② 계산시작지령을 받았지만 계산중상태로 넘어가지 못하고 기능실패상태로 될수도 있다.
- ③ 계산중에 단일사건효과가 일어날수 있다.
- ④ 계산을 끝내고 완료상태로 된다. 여기서 완료상태는 정상결과상태, 틀린결과상태 또는 실행시간지연상태로 갈라볼수 있다.
- ⑤ 계산을 완료하지 못하고 기능실패상태로 될수도 있다.
- ⑥ 기능실패상태가 관찰되면 재설정을 진행한다.

조종기관은 우와 같은 DUT(시험소자)의 상태를 검출하고 상태에 따르는 조종을 진행하게 된다.

한편 계산시간과 계산결과, DUT의 상태는 조종기판을 통하여 RS232통신으로 컴퓨터에 전달되는데 컴퓨터에서는 받은 결과에 기초하여 정상결과상태, 실행시간지연상태, 틀린결과상태, 기능실패상태를 판단한다.

이로부터 조종기판에는 다음과 같은 시간계수기들이 필요하다.

① 계산시작계수기

계산시작지령을 주었지만 DUT가 계산중상태로 넘어가지 못하고 기능실패상태로 되는것을 검출하기 위한 계수기이다.

② 계산시간계수기

이 계수기는 계산시간을 계수한다.

또한 이 계수기는 기능실패상태를 검출하는데 리용된다.

③ SEE주입시간계수기

이 계수기는 계산중에 SEE주입새치기를 발생시키는데 리용되는 계수기이다.

④ 기타 시간계수기들

DUT가 FPGA로부터 자료를 받은 후 준비처리를 하는 동안 대기를 위한 시작지연계수기와 DUT를 재설정할 때 재기동대기시간계수기가 있다.

이러한 시간계수기들은 시간계수기의 박자를 위한 단자, 시간계수기의 동작상태를 결정하는 단자와 계수상태를 결정하는 단자 그리고 계수상태를 재설정하기 위한 단자, 계수의 한계를 주는 단자, 계수결과를 알기 위한 단자, 계수상태조종을 위한 단자들이 필요하다.

2. 상태조종을 위한 시간계수기대면부

앞에서 본 시간계수기들을 하나의 대면부로 처리하기 위하여 시간계수기대면부를 다음과 같이 구성하였다.(그림 1)

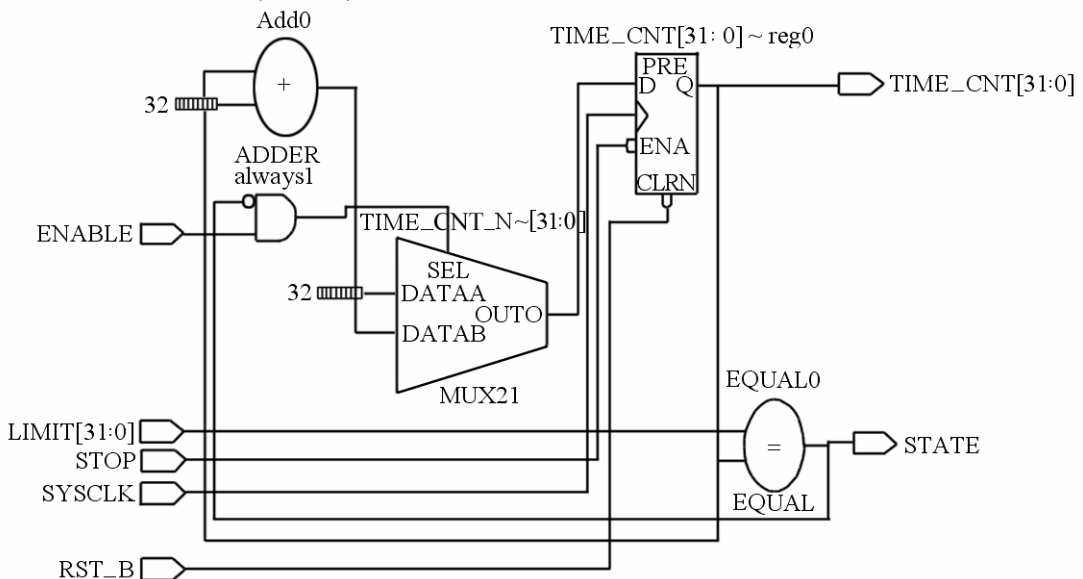


그림 1. DUT상태조종을 위하여 설계한 시간계수기대면부

— 입력단자: SYSCLK, RST_B, LIMIT[31:0], ENABLE, STOP

- SYSCLK단자

체계의 박자를 입력하기 위한 단자이다.

시간계수기는 체계박자를 받아 계수기능을 수행한다.

- RST_B단자

계수결과를 재설정하는 단자이다.

- LIMIT[31:0] 단자

시간계수기의 계수한계를 결정하는 자료단자이다.

계수는 계수한계가 되면 STATE단자를 1로 설정한다.

- ENABLE단자

이 단자는 시간계수기의 동작상태를 결정한다.

시간계수기는 이 단자가 1인 경우에만 동작한다.

이 단자가 0인 경우 STOP단자가 설정되어있지 않으면 시간계수기는 초기화된다.

- STOP단자

이 단자는 계수의 중지상태를 나타낸다.

이 단자가 설정되면 계수를 중지하고 이미 계수한 값을 유지한다.

이 단자가 0이면 시간계수기는 ENABLE상태에 따른다.

—출력단자: TIME_CNT[31:0], STATE

- TIME_CNT[31:0] 단자

계수를 진행하여 그 결과를 출력하는 자료단자이다.

- STATE단자

시간계수기의 계수가 한계에 도달하면 설정되는 단자로서 DUT의 상태조종에 리용된다.

3. 실험 결과

설계한 시간계수기대면부를 리용하여 FPGA로 극소형처리기의 단일사건효과측정체계의 상태조종을 실현하고 이에 기초하여 프로그램적인 비트반전주입실험을 진행하였다.

실험에서는 4개의 LED등과 8개의 7조각표시소자를 리용하여 시간계수기들의 동작과 시간선도를 확인하였다.(그림 2)

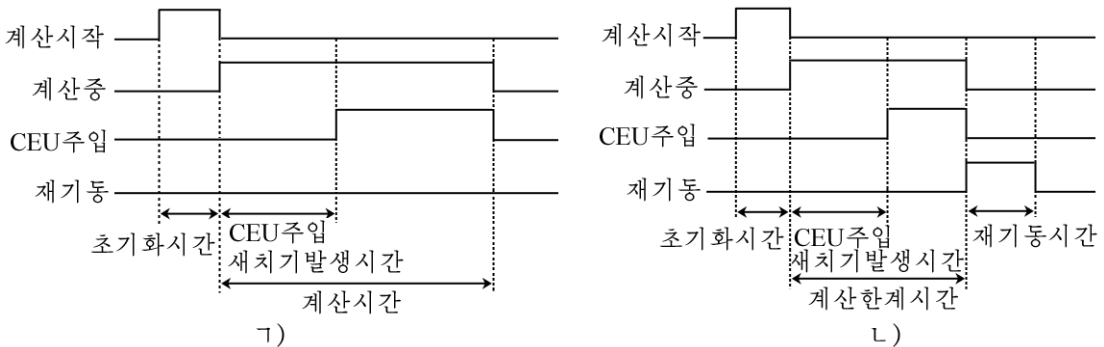


그림 2. 상태단자들의 시간선도

ㄱ) DUT가 정상인 경우, ㄴ) 계산도중 기능실패가 발생한 경우

7조각표시소자로는 계수과정을, 4개의 LED등으로는 계산시작, 계산중, CEU주입새치기, 재기동상태를 표시하였다.

맺 는 말

- 1) FPGA의 논리설계에서 제기되는 시간계수기들을 묶어 하나의 시간계수기대면부로 설계하였다.
- 2) 극소형처리기들의 단일사건효과측정체계의 상태조종을 실현하였다.

참 고 문 헌

- [1] Raoul Velazco et al.; IEEE Trans. Nucl. Sci., 47, 6, 2405, 2000.
- [2] Cinzia Bernardeschi et al.; Journal of Computer Science and Technology 30, 2, 373, 2015.

주체108(2019)년 9월 5일 원고접수

State Control of SEE Test Platform for the Micro-Processers Using the Same Timer Interface in FPGA

Kim Chol Hun, Yun Won Chol and Kim Kwang Hyok

We have dealt with a multi-purpose timer interface for the logical design in FPGA. And we carried out the state control of SEE test platform for the micro-processers.

Keywords: single event effect(SEE), FPGA