

FPGA를 리용한 BCH부호기실현의 한가지 방법

리일광, 조연희

위대한 령도자 김정일동지께서는 다음과 같이 교시하시였다.

《과학자, 기술자들은 인민경제를 주체화, 현대화, 과학화하는데서 나서는 과학기술적 문제를 성과적으로 풀어야 합니다.》(《김정일선집》 증보판 제13권 416페이지)

다중오유정정능력을 가진 BCH부호는 통신체계에서 자체오유정정부호로서 널리 리용 [2, 3]되고있으나 일반적인 부호화원리만 주고 그것의 장치적실현방법에 대해서는 구체적으로 론의[1-3]된것이 없다.

본문에서는 FPGA로 BCH부호기를 실현하기 위한 한가지 방법을 제기하고 그 응용실험을 주었다.

1. BCH부호기의 개념과 부호화원리

BCH(Bose, Chaudhuri, Hocquenghem)부호는 순환부호의 일반화로서 다중오유정정능력을 가진 유한체 $GF(2)$ 위에서 정의된 선형 및 순환블록부호의 한 류형이다.

t 중오유정정BCH부호는 다음과 같이 정의한다.[1]

정의 확대체 $GF(2^m)$ 의 원시원소를 α 라고 할 때 $GF(2^m)$ 의 원소

$$\alpha^b, \alpha^{b+1}, \alpha^{b+2}, \dots, \alpha^{b+2t-1}$$

들을 뿌리로 가지는 생성다항식 $G(x)$ 에 의하여 만들어지는 순환부호를 t 중오유정정BCH 부호라고 한다. 여기서 b 는 임의의 정의 용근수이다.

t 중오유정정BCH부호의 생성다항식 $G(x)$ 는 다음과 같이 계산할수 있다는것이 밝혀져 있다.

$$G(x) = LCM[g_1(x), g_3(x), g_5(x), \dots, g_{2t-1}(x)] \quad (1)$$

여기서 $g_{2i+1}(x)$ 는 $\alpha^{2i+1} \in GF(2^m)$ 을 뿌리로 가지는 최소다항식($0 \leq i < t$)이다.

BCH부호의 생성다항식 $G(x)$ 와 부호의 설계정수 (n, k) 가 결정되면

$$C(x) = I(x) \cdot G(x)$$

또는

$$C(x) = I(x) \cdot x^{n-k} + R(x) \quad (2)$$

$$R(x) = I(x) \cdot x^{n-k} \bmod G(x) \quad (3)$$

에 의하여 부호화를 진행한다.

식 (3)에 따라 부호화를 진행하기 위하여 선형반결합밀기등록기(LFSR: Linear Feedback Shift Register)회로를 그림과 같이 구성한다.

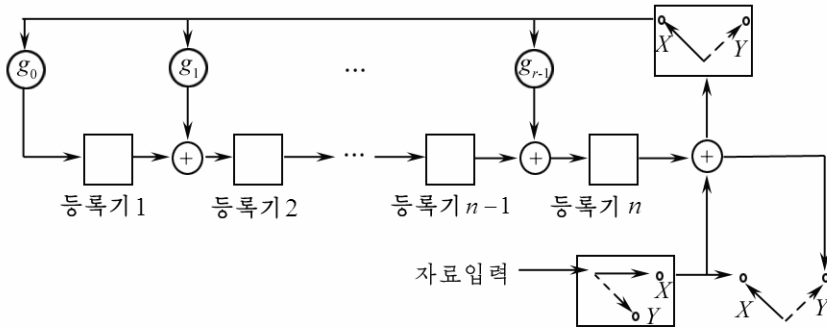


그림. LFSR에 의한 다항식나누기회로구성원리도

그림에서 $g_i, 0 \leq i < r = n - k$ 들은 생성다항식 $G(x)$ 의 결수들을 나타낸다. 그리고 스위치들은 유효자료가 입력될 때 X 위치에 놓이며 자료입력이 끝나면 Y 위치로 전환되어 검사비트들을 출력한다.

2. MATLAB에 의한 BCH부호기의 설계 및 검증

BCH부호화의 일반원리에 따라 부호기를 설계하는데서 BCH부호의 오류정정능력을 높일수록 실천적으로 다음과 같은 문제들이 제기된다.

첫째로, 최소다항식들로부터 생성다항식을 결정하는 문제

BCH부호의 오류정정능력이 높아짐에 따라 t 가 증가하며 따라서 생성다항식의 차수가 증가한다. 이것은 식 (1)에 따르는 생성다항식결수결정에서 보다 효과적인 방법을 제기할것을 요구한다.

둘째로, 생성다항식에 기초하여 LFSR회로를 설계하는 문제

생성다항식의 차수가 높아짐에 따라 LFSR회로의 규모가 커지므로 고전적인 HDL코드작성에 의한 회로설계방법으로는 설계시간과 정확성을 보장하기 어렵다.

셋째로, 설계된 BCH부호기의 정확성평가문제

고전적인 방식에 따르면 설계된 부호기의 정확성은 같은 입력자료에 대하여 ModelSim과 같은 모의도구를 리용하여 얻어진 검사부호와 식 (3)으로부터 다항식나누기를 진행하여 얻은 결과를 비교하는 방법으로 평가한다. 입력다항식과 생성다항식의 차수가 증가함에 따라 이 방법은 많은 검증시간을 요구한다.

넷째로, 설계된 BCH부호기의 자원소비 및 처리속도평가문제

BCH부호기의 규모가 커질수록 소비되는 자원과 그것의 처리속도를 정확히 평가하는 것은 효과적인 BCH부호기를 설계하기 위한 중요한 요구로 된다.

이상의 문제점들을 해결하기 위하여 우리는 Matlab를 리용하여 BCH부호기의 설계, 검증 및 평가를 진행하기 위한 새로운 방법을 제기한다. 그 절차를 보면 다음과 같다.

① 생성다항식의 결정

gf함수를 리용하여 최소다항식 $g_i(x)$ 들을 $GF(2)$ 배열 g_i 로 변환한다. 다음 conv함수를 리용하여 생성다항식에 대응하는 $GF(2)$ 배열 G 를 얻는다. 이 배열의 원소들이 생성다항식 $G(x)$ 의 결수들에 대응한다.

② LFSR회로의 설계

Matlab Simulink를 리용하여 LFSR회로를 구성한다. 이때 등록기들로서는 Simulink의 지연블록(Delay)를 리용한다.

③ 설계된 BCH부호기의 정확성검증

부호기의 정확성을 검증하기 위하여 Simulink표준블록인 General CRC Generator HDL Optimized의 결과와의 비교를 진행한다. 이 블록의 Polynomial마당값에 $G(x)$ 의 결수들을 배열로 입력하면 블록은 생성다항식이 $G(x)$ 인 BCH부호기로서의 역할을 수행한다.

④ 설계된 BCH부호기의 FPGA실현

Simulink로 작성한 BCH부호기를 FPGA로 실현하기 위하여 Matlab의 HDL Coder를 리용하여 HDL코드를 생성하고 ModelSim과의 런동모의를 진행한다. 다음 Xilinx ISE와 결합하여 부호기의 자원 및 연산처리속도평가를 진행한다.

이와 같은 BCH부호기설계방법은 다음의 우점을 가진다.

첫째로, Matlab함수들을 리용하여 생성다항식을 쉽게 정확히 얻을수 있다.

둘째로, Simulink서고블록들을 리용하여 LFSR를 구성하므로 설계에서 직관성을 높이고 설계시간을 줄이며 정확성을 보장한다.

셋째로, 설계한 부호기에 대한 검증을 Simulink표준서고를 가지고 실시간적으로 진행하므로 검증시간을 단축할수 있다.

넷째로, ModelSim, Xilinx ISE와 같은 HDL검증 및 FPGA실장프로그램들과 유연하게 결합함으로써 설계의 갱신과 자원소비의 최소화, 연산성능의 개선을 쉽게 진행할수 있다.

3. 새로운 방법에 기초한 BCH부호기설계실례

우리는 새롭게 제기한 BCH부호기설계방법에 따라 선행연구[2]에 제시된 DVB-T2변조기설계를 위한 BCH부호기들가운데서 $N_{ldpc}=16\ 200$ 인 경우의 BCH부호기를 선택하여 설계하고 실현하였다. 이것을 실현하는데 리용한 프로그램들은 다음과 같다.

Matlab R2015a

ModelSim SE 10.0c

Xilinx ISE Design Suite 14.7

절차 ①에 따라 얻은 생성다항식의 $GF(2)$ 배열은 다음과 같다.

```
[1 0 1 0 0 0 0 0 0 0 1 1 0 0 0 1 0 1 1 0 1 1 1 1 1 0 1 0 1 0 1 0 0 1 1 0 0 0
0 1 1 0 1 0 0 1 1 0 1 1 0 0 1 0 0 1 1 0 0 0 1 0 1 1 0 0 1 1 0 1 0 0 1 0 0 0 1 1 1
0 1 0 0 0 1 1 1 0 0 1 0 0 0 0 0 1 1 0 1 0 0 1 0 1 0 1 0 0 1 0 1 0 0 0 1 1 1 1 1 1
1 0 0 1 1 1 1 1 0 1 0 1 1 1 1 1 0 1 0 0 0 1 0 0 0 1 1 0 0 1 0 0 0 0 0 1 0 1 1 0 1
0 0 1 0 1]
```

설계하려는 부호기의 최소다항식과 대응하는 $GF(2)$ 배열을 표에 제시하였다.

표. BCH부호기의 최소다항식과 대응하는 $GF(2)$ 배열

최소다항식	$GF(2)$ 배열
$g_1(x) = 1 + x + x^3 + x^5 + x^{14}$	[1 0 0 0 0 0 0 0 0 1 0 1 0 1 1]
$g_2(x) = 1 + x^6 + x^8 + x^{11} + x^{14}$	[1 0 0 1 0 0 1 0 1 0 0 0 0 0 1]
$g_3(x) = 1 + x + x^2 + x^6 + x^9 + x^{10} + x^{14}$	[1 0 0 0 1 1 0 0 1 0 0 0 1 1 1]
$g_4(x) = 1 + x^4 + x^7 + x^8 + x^{10} + x^{12} + x^{14}$	[1 0 1 0 1 0 1 1 0 0 1 0 0 0 1]
$g_5(x) = 1 + x^2 + x^4 + x^6 + x^8 + x^9 + x^{11} + x^{13} + x^{14}$	[1 1 0 1 0 1 1 0 1 0 1 0 1 0 1]
$g_6(x) = 1 + x^3 + x^7 + x^8 + x^9 + x^{13} + x^{14}$	[1 1 0 0 0 1 1 1 0 0 0 1 0 0 1]
$g_7(x) = 1 + x^2 + x^5 + x^6 + x^7 + x^{10} + x^{11} + x^{13} + x^{14}$	[1 1 0 1 1 0 0 1 1 1 0 0 1 0 1]
$g_8(x) = 1 + x^5 + x^8 + x^9 + x^{10} + x^{11} + x^{14}$	[1 0 0 1 1 1 1 0 0 1 0 0 0 0 1]
$g_9(x) = 1 + x + x^2 + x^3 + x^9 + x^{10} + x^{14}$	[1 0 0 0 1 1 0 0 0 0 0 1 1 1 1]
$g_{10}(x) = 1 + x^3 + x^6 + x^9 + x^{11} + x^{12} + x^{14}$	[1 0 1 1 0 1 0 0 1 0 0 1 0 0 1]
$g_{11}(x) = 1 + x^4 + x^{11} + x^{12} + x^{14}$	[1 0 1 1 0 0 0 0 0 0 1 0 0 0 1]
$g_{12}(x) = 1 + x + x^2 + x^3 + x^5 + x^6 + x^7 + x^8 + x^{10} + x^{13} + x^{14}$	[1 1 0 0 1 0 1 1 1 1 0 1 1 1 1]

절차 ③에 따라 정확성을 확인하고 절차 ④에 따라 Virtex-6계열 FPGA소자 xc6vlx240t-ff1156-1에서 자원 및 성능평가를 진행하였다. 결과 리용된 등록기 181개, LUT 143개, 최대동작주파수 563.698MHz로서 선행한 방법에 의하여 설계된 BCH부호기에 리용된 등록기 207개, LUT 204개에 비해볼 때 우월하다는것을 알수 있다.

맺 는 말

Matlab를 리용하여 BCH부호기를 설계하고 FPGA로 실현하기 위한 새로운 방법을 제기하였다. 이 방법에 따라 설계를 진행하면 그것의 정확성을 높이고 전체적인 설계로력을 줄인다. 또한 자원평가 및 시간해석을 쉽게 할수 있는것으로 하여 보다 효과적인 부호기 설계를 진행할수 있게 한다.

참 고 문 헌

- [1] 안영진; 부호리론, 김책공업종합대학출판사, 67~70, 88~93, 주체104(2015).
- [2] Digital Video Broadcasting (DVB); ETSI EN 302 755 V1.4.1, 38~39, 2015.
- [3] Digital Video Broadcasting (DVB); ETSI EN 302 307 V1.3.1, 22~23, 2013.

주체106(2017)년 4월 5일 원고접수

A Method of Implementing BCH Encoder using FPGA

Ri Il Gwang, Jo Yon Hui

We propose a new method of designing BCH encoder and implementing on FPGA in the framework of Matlab. The method presented in this paper improves the validity of the design and reduces the members for designing. It also makes it easy to perform the resource estimation and timing analysis, thus enables us to design more efficient encoder.

Key words: BCH encoder, FPGA, LFSR, DVB-T2