

## FPGA에 기초한 고속패킷분류체계의 설계

허철만, 박성호

위대한 령도자 김정일 동지께서는 다음과 같이 교시하시였다.

《우리는 발전된 나라들에서 이룩한 과학기술의 성과를 널리 받아들이고 그것을 더욱 발전시킴으로써 최신과학기술의 높은 봉우리를 빨리 점령하여야 합니다.》

(《김정일선집》 증보판 제11권 142페이지)

패킷분류산법은 소프트웨어와 하드웨어분류산법으로 나뉘어진다. 소프트웨어에 기초한 산법은 다음 세대 인터넷망설비와 새로운 망봉사의 속도요구를 만족시킬수 없으므로 하드웨어산법이 많이 리용되고있다.

현재 하드웨어에 의한 패킷분류산법에서 FPGA에 기초한 고속패킷분류산법이 많이 리용되고있다. 그중에서 HiCuts산법을 리용한 체계실현은 범위류형의 규칙을 처리할수 있으므로 대부분의 패킷분류에 응용할수 있다.

그러나 HiCuts산법은 분할의 원칙만 주었고 매번 통계분석을 통하여 등분수, 분할구역 등을 결정하여야 하므로 규칙의 전처리에 많은 시간계산량이 요구된다.[1, 2]

본문에서는 일종의 FPGA에 기초한 패킷분류산법 즉 2진나무패킷분류산법(BTPCF: Binary Tree Packet Classification based on FPGA)을 제기하고 실현하였다.

### 1. 2진나무에 기초한 패킷분류산법

2진나무산법은 규칙모임에 대하여 전처리를 진행하고 2진나무형구조를 만드는 산법으로서 그 과정은 다음과 같다.

우선 나무의 매개 앞에는 적은 규칙들만 보관하는데 한개의 IP패킷이 들어오면 그것은 나무의 어떤 분가지를 따라서 나무의 잎에 도착한다. 잎에서 IP패킷은 몇개의 규칙들과 선형적으로 정합을 진행하여 패킷분류를 완성한다.

이러한 2진나무산법에서 매개의 잎에 포함되는 규칙수(Leaf\_max)가 대단히 중요하다. 즉 이 파라미터는 2진나무가 창조하는 나무형구조의 깊이, 차지하는 기억량, 선형탐색의 속도를 결정한다.

한편 2진나무산법에서 규칙에 대한 전처리를 진행하여 2진나무구조와 선형탐색규칙구조를 만들 때 2진나무구조는 1개의 나무마디기억기에 보관되며 이때 매개 마디는 32bit를 차지한다. 그리고 동일한 부모마디의 모든 자식마디는 1개의 연속적인 내부기억에 보관된다.

또한 2진나무잎마디의 32bit자료마당은 규칙이 상계구역값기억기와 하계구역값기억기에서의 시작위치를 보관한다.

## 2. 패킷분류체계의 실현

패킷분류체계는 Nios II처리기, 이썬네트조종기 DM9000A, 기억기와 주문제작IP로 구성하였는데 그중에서 주문제작IP는 주소정합에 리용되며 이 주소정합모듈은 체계에서 핵심부분을 이룬다. 주문제작IP가 기동한 후에 Nios II가 분류하여야 할 IP패킷머리부를 기다리고 IP패킷머리부를 접수한 후에 반복하여 2진나무분할을 진행하여 잎마디로 분할한다. 다음에 잎마디에 보관한 주소에 대응하는 기억기의 주소정보를 꺼내고 현재의 IP패킷머리부와 정합을 진행하여 정합정보를 출력한다. 정합이 성공하면 중단이 발생되고 Nios II를 기동하여 정합정보를 읽는다.

IP패킷머리부에 대한 정합과정은 다음과 같다.

- ① 분할구역의 값(cut\_field)에 기초하여 IP패킷의 해당한 구역을 꺼낸다.
- ② 선택한 자료를 완충기(B31-B0)에로 전송한다.
- ③ 분할위치(pos)를 리용하여 다음 마디의 편이주소를 계산한다.
- ④ 편이주소와 자식시작주소(address)를 더한다.
- ⑤ 나무탐색기억기로부터 다음 마디의 32bit자료를 읽는다.
- ⑥ 마디가 중간마디(F=0)인가를 판단하고 옳으면 다음 단계의 탐색을 진행하며 아니면 잎마디로 여기고 탐색을 결속한다.

2진나무의 탐색과정에 매번 부모마디의 32bit자료로부터 자식마디의 주소를 계산하고 자식마디의 32bit자료를 얻는다. IP패킷의 나무탐색과정이 결속된 후에 나무탐색조종기는 나무의 탐색결과를 선형탐색엔진의 완충기에 보낸다.

다음 완충기로부터 나무탐색엔진의 정합결과를 읽고 그 내용을 고정한 다음 선형탐색을 시작하는데 그 과정은 다음과 같다.

- ① 규칙기준주소(Addr)에 기초하여 기억기의 구역값 옷, 아래주소를 얻는다.
- ② 옷, 아래주소를 리용하여 기억기의 자료를 읽는다.
- ③ IP패킷머리부구역값자료와 규칙구역값자료에 대한 정합을 진행한다.
- ④ 만일 정합되지 않으면 선형탐색공간의 다음 규칙으로 넘어간다.
- ⑤ ④의 결과와 기타 정보를 결합하고 방문하려는 규칙의 구역값 옷, 아래 다음 주소를 계산한다.

위의 탐색과정에 만일 선형탐색규칙이 모두 정합되면 선형탐색과정이 결속된다.

한편 선형탐색과정에 4개의 비교기가 병렬리용되어 정합속도를 제고한다.

## 3. 실험결과 및 분석

우선 분류전처리기의 성능에 대하여 실험을 하였다.

실험환경은 Intel(R) Core(TM)2 CPU 1.86GHz이며 내부기억은 2G SDRAM이다.

실험결과 2진나무산법(제한한 방법)의 경우에 규칙수가 1 000이면 PC의 전처리시간은 0.000 563s, 50 000이면 0.050 331s이며 HiCuts산법의 경우에 규칙수가 5 000이면 PC의 전

처리시간은 8s, 규칙수가 10 000이면 33s, 20 000이면 140s이다. 따라서 2진나무산법의 전처리시간은 HiCuts산법의 전처리시간보다 매우 짧다.

다음 파के트분류처리의 성능실험을 진행하였다.

FPGA의 조건은 다음과 같다.

Altera의 Cyclone II EP2C70F896C6N FPGA 기관(68 416개의 논리단, 기본주파수 130MHz, 기억기는 2M SSRAM, 32×2M SDRAM)이다. 그리고 컴퓨터망에서 전송되는 통보문의 평균길이는 324B이다.

이때 실험결과 규칙수가 100일 때 분류처리의 최저속도는 18.8Gbps이고 평균속도는 35.63Gbps이며 규칙수가 50 000인 경우에는 최저속도가 5.03Gbps이고 평균속도는 9.92Gbps이다.

실험결과는 2진나무산법의 기억공간이 HiCuts산법보다 작고 규칙수가 50 000일 때 나무구성의 시간이 0.051s를 초과하지 않으며 2진나무산법의 전처리시간이 HiCuts산법의 전처리시간보다 매우 짧고 파케트분류의 평균속도가 약 10Gbps를 초과하므로 여러가지의 컴퓨터망업무와 망보안체계에 응용할수 있다는것을 보여준다.

## 맺 는 말

현재의 컴퓨터망업무와 망보안체제에서 파케트분류산법의 소프트웨어실험방식과 선행한 장치적방법의 규칙갱신속도 등의 부족점에 대처하여 일종의 FPGA에 기초한 파케트분류산법을 설계하고 실현하였다. 즉 2진나무를 리용하여 나무구축속도와 파케트분류의 속도를 제고하고 FPGA를 리용하여 파케트분류산법의 장치화를 실현하여 체제의 처리속도를 크게 높였다.

## 참 고 문 헌

[1] P. Gupta et al.; IEEE Micro, 20, 1, 34, 2000.

[2] Wang Yong Gang et al.; Instrumentation and Measurement Technology Conference, 938, 2009.

주체104(2015)년 8월 5일 원고접수

## Design of High Speed Packet Classification System based on FPGA

*Ho Chol Man, Pak Song Ho*

The paper designs and implements a packet classification system based on FPGA using the binary tree structure generated through the pre-processing for hardware circuit and rules.

Key words: packet classification, FPGA, binary tree