

PD검출기렬용 다통로신호처리부설계에 대한 연구

강충옥, 리기성

위대한 령도자 김정일동지께서는 다음과 같이 교시하시였다.

《과학자, 기술자들은 현실에 튼튼히 발을 붙이고 사회주의건설의 실천이 제기하는 문제들을 연구대상으로 삼고 과학연구사업을 진행하여야 하며 연구성과를 생산에 도입하는 데서 나서는 과학기술적문제들을 책임적으로 풀어야 합니다.》(《김정일선집》 증보판 제15권 492페이지)

γ 선CT장치의 대상조종을 위한 다통로신호처리결합부를 설계하는데서 PD검출기를 리용하는 경우 고압전원에 의한 자기마당의 영향을 받지 않을뿐아니라 검출기가격이 낮고 소형화, 경량화할수 있는 우점이 있다.

지금까지 이러한 PD검출기용 다통로신호처리부에 대하여서는 많이 연구되었으나 한통로A/D변환기를 리용하여 수십통로밖에 처리하지 못하였으며 다통로신호처리부의 제작원가가 높아 광범히 리용되지 못하는 결함이 있다.[1, 2]

본문에서는 실용 γ 선CT장치의 대상조종을 위하여 2대의 A/D변환기를 다중조종하여 128통로로 확장할수 있는 다통로신호처리부를 설계하고 조종특성을 고찰하였다.

1. 다통로신호처리부설계

다통로신호처리결합회로를 설계하기 위하여 전용32bit ARM처리기 《STM32F103VE》를 리용하였다.(그림 1)

다통로신호처리부는 전용32bit ARM처리기 《STM32F103VE》와 PD검출기렬A/D변환기, FSMC(Flexible static memory controller, 유연한 상태기억조종)기능을 리용한 외부장치, 직렬통신 및 USB통신부로 되어있다.[3]

① PD검출기렬신호의 수자화

전용32bit ARM처리기 《STM32F103VE》에는 변환속도가 $1\mu s$ 인 A/D변환기가 2개 있으며 통로수는 16이다. 여기서 필요한 A/D변환기 2개와 8통로를 선택하여 다통로신호처리결합부를 설계하였다.

PD검출기렬선택통로와 소편포구번호를 표 1에 주었다.

표 1에 의하여 1, 2, 3, 4통로는 1번 A/D변환기(ADC1)

로, 5, 6, 7, 8통로는 2번 A/D변환기(ADC2)로 상사-수자변환을 다중조종하여 수자화한다. 여기서 A/D변환기의 상사입력준위가 $0\sim 3.3V$ 이므로 준위초과를 막기 위한 보호기와 잡음려파기가 있어야 한다는것을 알수 있다. 보호기는 $3.3V$ 안정소자와 고속2극소자(1N4148)를 리

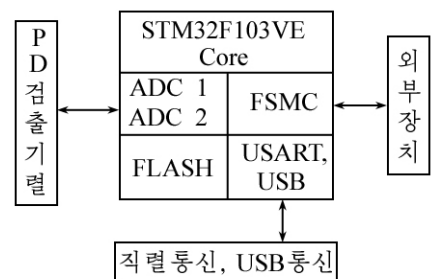


그림 1. 다통로신호처리부 구성도

용하고 잡음려파기의 시상수를 $2.8\mu s$ 로 선정하였다.

표 1. PD검출기렬선택통로와 소편포구번호

통로	소편A/D통로	소편포구번호	통로	소편A/D통로	소편포구번호
1	ADC123_In10	PC0(15)	5	ADC12_In14	PC4(33)
2	ADC123_In11	PC1(16)	6	ADC12_In15	PC5(34)
3	ADC123_In12	PC3(17)	7	ADC12_In08	PB0(35)
4	ADC123_In13	PC4(18)	8	ADC12_In09	PB1(36)

② 외부장치의 자료, 상태, 주소조종과 PD검출기조종

전용32bit ARM처리기 《STM32F103VE》의 대표적인 FSMC기능을 리용하여 외부장치와 PD검출기조종을 진행하였다.

PD검출기조종주소 및 자료와 소편포구번호를 표 2에 주었다.

표 2. PD검출기조종주소 및 자료와 소편포구번호

주소	소편주소	소편포구번호	주소	소편주소	소편포구번호
A0	FSMC_A16	PD11(58)	A4	FSMC_A20	PE4(3)
A1	FSMC_A17	PD12(59)	A5	FSMC_A21	PE5(4)
A2	FSMC_A18	PD13(60)	A6	FSMC_A22	PE6(5)
A3	FSMC_A19	PE3(2)	A7	FSMC_A23	PE2(1)

표 2의 자료로부터 주소 A0, A1, A2, A3은 외부장치조종주소로, A4, A5, A6, A7은 검출기렬의 16통로선택조종주소로 리용한다.

다음으로 외부장치의 자료 및 상태와 소편포구번호를 표 3에 주었다.

표 3. 외부장치의 자료 및 상태와 소편포구번호

주소	소편주소	소편포구번호	주소	소편주소	소편포구번호
D0	FSMC_D0	PD14(61)	D8	FSMC_D8	PE11(42)
D1	FSMC_D1	PD15(62)	D9	FSMC_D9	PE12(43)
D2	FSMC_D2	PD0(81)	D10	FSMC_D10	PE13(44)
D3	FSMC_D3	PD1(82)	D11	FSMC_D11	PE14(45)
D4	FSMC_D4	PE7(38)	D12	FSMC_D12	PE15(46)
D5	FSMC_D5	PE8(39)	D13	FSMC_D13	PD8(55)
D6	FSMC_D6	PE9(40)	D14	FSMC_D14	PD9(56)
D7	FSMC_D7	PE10(41)	D15	FSMC_D15	PD10(57)
RD	FSMC_nOE	PD4(85)	WR	FSMC_nWE	PD5(86)
WAIT	FSMC_nWAIT	PD6(87)	CS	FSMC_NE1	PD7(88)
CLK	FSMC_CLK	PD3(84)	ADV	FSMC_nADV	PB7(93)
BL0	FSMC_nBL0	PE0(97)	BL1	FSMC_nBL1	PE(98)

표 3으로부터 외부장치자료의 입출력은 D0~D15로 진행하며 외부장치의 상태는 RD, WR, WAIT, CS, CLK, ADV, BL0, BL1로 나타낸다는것을 알수 있다.

2. 조종프로그램작성

① 조종알고리즘

다통로신호처리부설계에 따라 PD검출기렬과 외부장치를 조종하기 위한 조종알고리즘을 작성하였다.(그림 2)

조종알고리즘에서 매 검출기렬통로에 대한 실시간 A/D변환조종과 외부장치조종을 DMA조종과 새치기조종으로 진행하기 위한 알고리즘을 구축하였다.(그림 3)

② 조종함수

알고리즘에 기초하여 조종프로그램을 작성하였다. 조종프로그램에 리용한 조종함수는 다음과 같다.

ARM_Init()	ARM초기화
DRV_Init()	장치초기화 및 장치설정
ADC1_Init()	ADC1초기화 및 ADC1모형설정
ADC2_Init()	ADC2초기화 및 ADC2모형설정
BLS_CH_selection()	블록통로설정
ADCS_CH_Selection()	ADC통로설정
ADCS_Contr_DR()	ADC변환기조종 및 자료입력
FSMC_Reg()	FSMC상태의 Registry설정
TIM1_Contr_DMA()	Timer1에 의한 ADC의 DMA조종
TIM2_Contr_ADC()	Timer2에 의한 ADC상태조종
TIM10_Contr_DMA()	Timer10에 의한 FSMC상태조종
USART()	통신조종

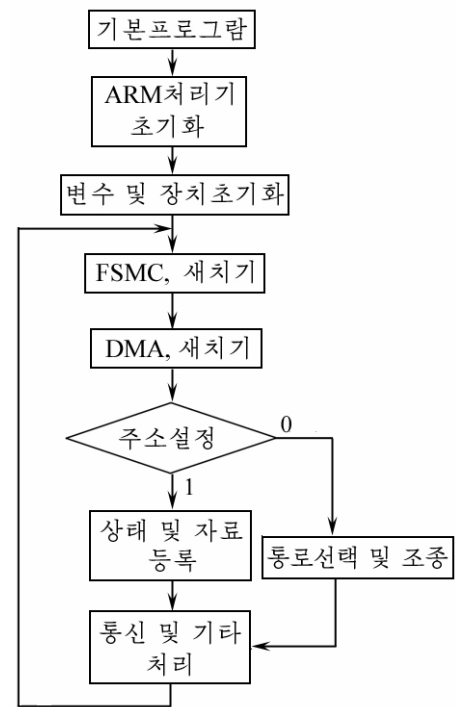
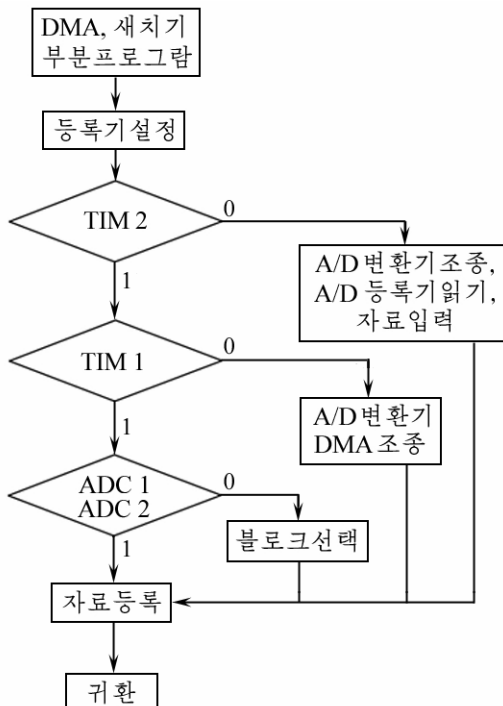
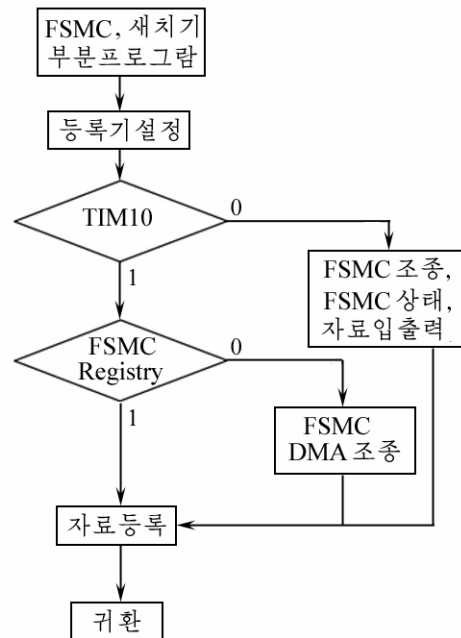


그림 2. 기본조종알고리즘



ㄱ)



ㄴ)

그림 3. 부분알고리즘

ㄱ) DMA, ㄴ) FSMC

3. 결 과 분 석

외부장치자료의 입출력을 표 2와 3, 조종프로그램에 따라 $8\mu s$ (125kHz)의 속도로 원만히 진행하였다. 이때 자료(D0~D15), 주소(A0~A3), 상태(RD, WR, WAIT, CS, CLK, ADV, BL0, BL1)의 오름면, 내리면 시상수를 100ns이하로 설정하였다. 이 경우 16개의 외부장치와 결합하여 대상조종을 실현할수 있다.

표 1과 우의 알고리즘에 기초하여 ARM처리기 《STM32F103VE》에 내장되어있는 2개의 전용A/D(상사/수자)변환기를 리용하는 경우 변환시간을 13.5cycles로 설정하면 총변환시간은 26cycles($1.86\mu s$)이다.

그러므로 변환주기를 약 $2\mu s$ 로 하면 PD검출기렬의 순환주기($2 \cdot 16 = 32\mu s$)를 $32\mu s$ (31.25 kHz)로 설정하면 된다.

실험결과 8개의 PD검출기렬을 한번 순환하는데 걸리는 시간은 $32\mu s(8+2) = 320\mu s$ 정도로서 다통로신호처리부의 성능이 개선되었다.

맺 는 말

- 1) 외부장치의 입출력을 $8\mu s$ 의 속도로 대상조종할수 있는 장치결합부를 설계하였다.
- 2) 순환주기가 $320\mu s$ 인 128통로수자신호처리부를 설계하였다.

참 고 문 헌

- [1] M. P. Cinthia et al.; IEEE Transactions on Nuclear Science, 60, 2, 735, 2013.
- [2] P. W. Jean et al.; Nuclear Instruments and Methods in Physics Research, Elsevier, 384~389, 2000.
- [3] M. B. Thorsten; Computed Tomography, Springer, 511~513, 2008.

주체106(2017)년 5월 5일 원고접수

The Design of Multi Channel Signal Processor for PD Detector

Kang Chung Ok, Ri Ki Song

In the paper we designed device combination for control using FSMC control technique of 32bit ARM processor(STM32F103VE) and designed multi channel signal processor to multi-control two A/D converter contained the processor and exercised for checking control character.

In result, the performance of multi channel signal processor has been improved as the iterating cycle time for eight PD detector is $320\mu s$.

Key words: PD detector row, multi channel digital signal processor