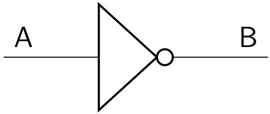
UE23 — Architecture des ordinateurs et système d'exploitation

C. Nguyen, J. Razik

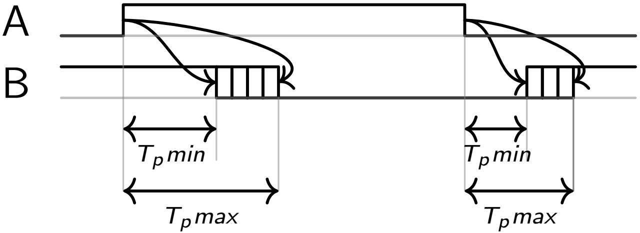
2024–2025

Complément - préambule

Temps de calcul — temps de propagation

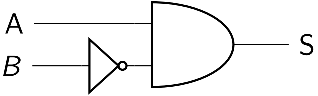


(a) Une porte *Not*.



(b) Chronogramme avec inversion de l'entrée.

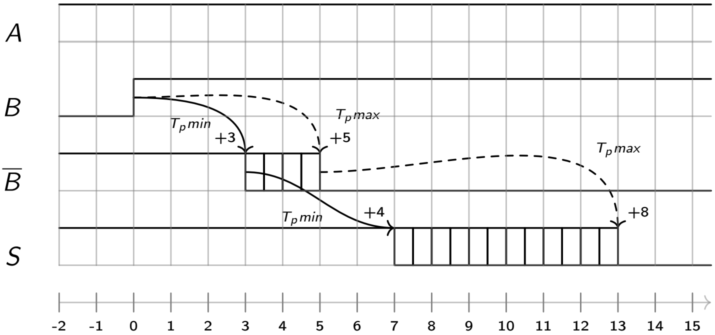
Temps de calcul — temps de propagation



(c) Circuit à 2 portes $S = A.\overline{B}$.

Porte	T_{pmin}	T_{pmax}
Not	3	5
And	4	8

(d) Temps de propagation (en ns).



(e) Chronogramme du circuit.

Temps de calcul — temps de propagation

- la sortie ne change sûrement pas d'état pendant T_{pmin} après un événement en entrée ;
- la sortie a sûrement pris sa nouvelle valeur de manière stable à T_{pmax} après un événement en entrée.

Deux portes A et B en cascade

- $T_p(Y|X)$ le temps de propagation pour le sortie Y par rapport à un changement sur l'entrée X pour la porte logique A ;
- $T_p(Z|Y)$ le temps de propagation pour le sortie Z par rapport à un changement sur l'entrée Y pour la porte logique B ;

Alors

$$T_p(Z|X) = T_p(Z|Y) + T_p(Y|X)$$

Avec la même conséquence pour la fourchette des temps de propagation :

$$T_p min(Z|X) = T_p min(Y|X) + T_p min(Z|Y)$$
$$T_p max(Z|X) = T_p max(Y|X) + T_p max(Z|Y)$$

Aléas et correction

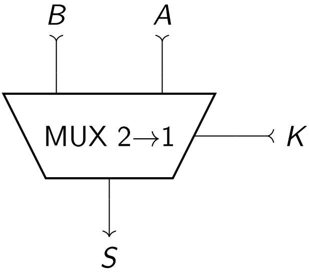


Figure – Multiplexeur 2 vers 1.

Aléas et correction

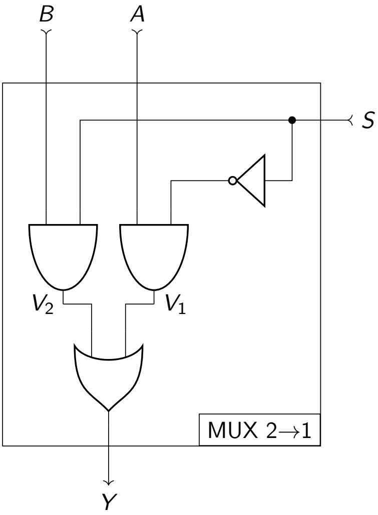


Figure – Schéma de réalisation d'un multiplexeur 2 vers 1.

Aléas et correction

Temps t	V_1	V_2	$Y = V_1 + V_2$
$T_{and} < t$	0	1	1
$T_{and} \leq t \leq T_{and} + T_{not}$	0	0	0
$t > T_{and} + T_{not}$	1	0	1

Table – Table des états selon le temps depuis le changement de S.

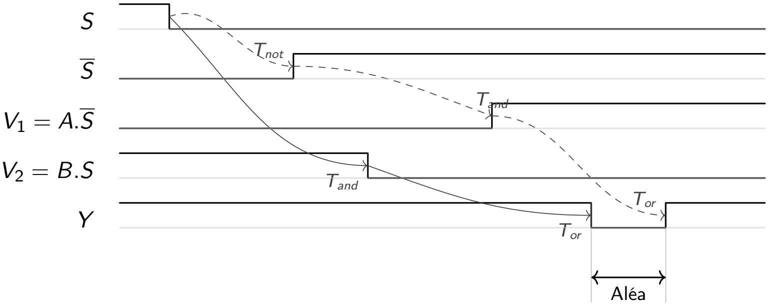


Figure – Chronogramme du multiplexeur illustrant un aléa.

Aléas et correction

		$A.B$			
		00	01	11	10
K	0	0	0	1	1
	1	0	1	1	0

Table – Table de Karnaugh du multiplexeur avec aléa.

Aléas et correction

K \ $A.B$	00	01	11	10
0	0	0	1	1
1	0	1	1	0

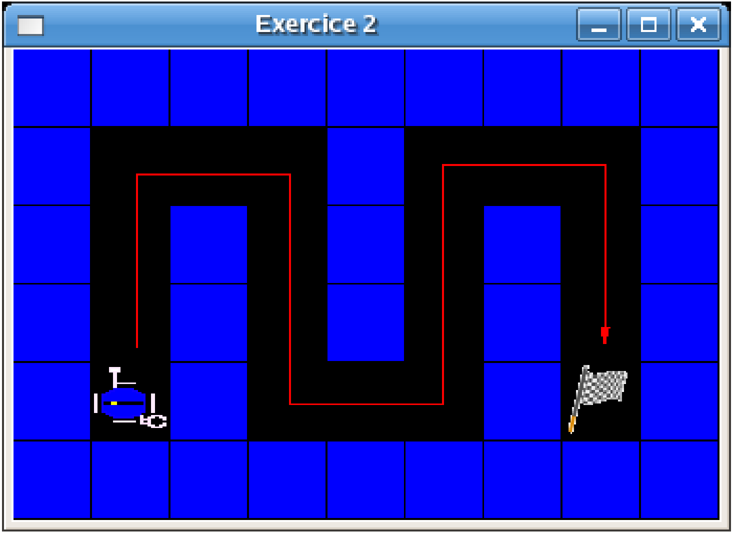
Table – Table de Karnaugh du multiplexeur sans aléa.

Logique Séquentielle

La problématique

- L'analyse combinatoire ne suffit pas toujours

La problématique



La problématique

Pourquoi ?

La problématique

Pourquoi ?

- Seulement 4 entrées (capteurs)
- Double comportement pour une même combinaison des entrées.

Comment faire ?

Nouvelle modélisation du problème

- Expression du problème sous la forme d'un automate à état
  - Réalisation d'un diagramme d'états,
  - Réalisation d'une table de transition.
- Réduction de l'automate (simplification),
- Application du modèle de Moore
  - Expression de fonctions dont la/les sorties,
  - Tables de Karnaugh,
  - réseaux logiques.

Diagramme d'états

Automate tel que :

- Chaque noeud représente un état du système ;
- La valeur de la sortie externe du système est écrite à côté ou dans le noeud ;
- Les arcs entre les noeuds sont orientés et possèdent comme étiquette la valeur des entrées du système source de cette transition.

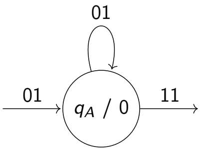
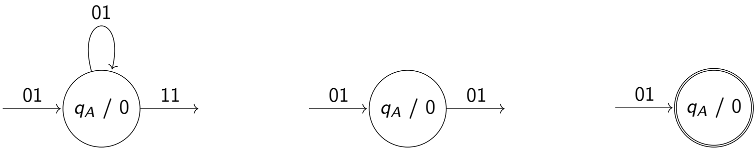


Diagramme d'états

Selon les transitions de sortie d'un état, celui-ci peut être qualifié de :

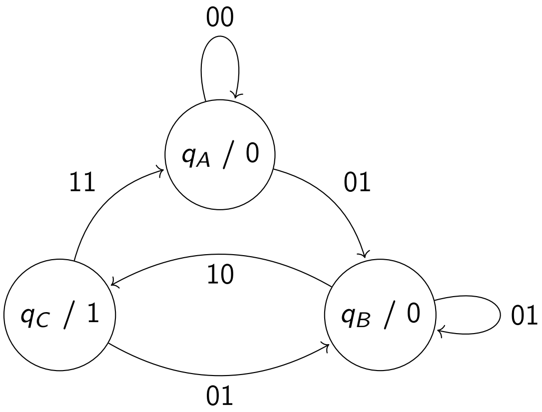
- **stable**, si pour une entrée de transition entrante, le système reste dans le même état pour la même entrée ;
- **transitoire**, si pour une entrée de transition entrante, le système change aussitôt d'état ;
- **terminal**, s'il ne possède pas de transition de sortie.



(a) État stable (b) État transitoire (c) État terminal

Diagramme d'états

Exemple



Exemple

Un circuit va-et-vient

Table de transition

Construite à partir du diagramme d'états

- Les lignes correspond aux états du système ;
- Les colonnes correspondent aux combinaisons des entrées ;
- La dernière colonne indique la valeur de sortie du système pour l'état considéré ;
- Intersection ligne-colonne : état destination à partir de l'état considéré (ligne) et avec la combinaison d'entrée lue (colonne). Si aucune transition spécifiée alors l'état est non spécifié, noté « - ».

État Entrée	00	01	11	10	Sortie
A	A	B	-	-	0
B	-	B	-	C	0
C	-	B	A	-	1

Exemple

Un circuit va-et-vient

Réduction de l'automate

Recherche d'états compatibles deux-à-deux :

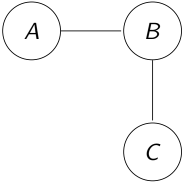
- Sortie identique, ils émettent la même réponse ;
- Les transitions des deux états pour une même entrée doivent être « identiques », c'est-à-dire soient :
  - Vers le même état ;
  - Vers l'un ou l'autre des deux états considérés ;
  - Une des deux transitions au moins est vers un état indéterminé.

Exemple :

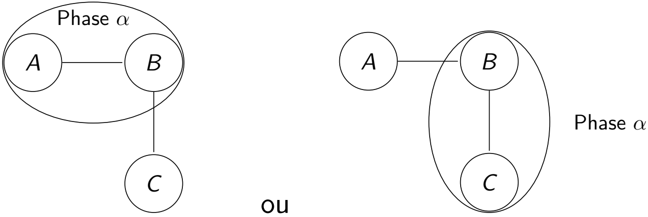
États	0	1	2	3	4	5	Sortie
A	A	B	E	B	F	-	42
B	A	-	-	B	F	G	42
C	-	B	K	-	F	G	42
D	-	B	-	-	F	-	41

Diagramme de phases

1. Diagramme de compatibilité entre états



2. Identification des phases



Réduction de l'automate

États	0	1	2	3	4	5	Sortie
A	A	B	E	B	F	-	42
B	A	-	-	B	F	G	42
C	-	B	K	-	F	G	42
D	-	B	-	-	F	-	41

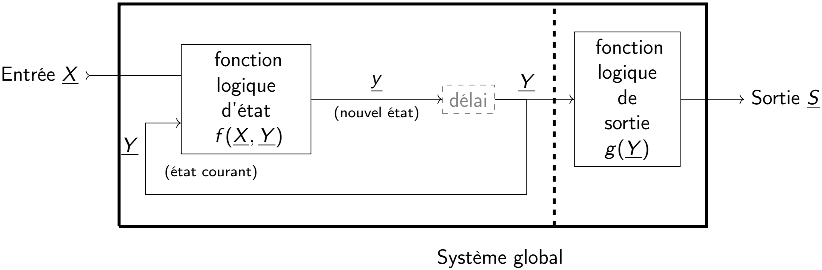
Fusion des états compatibles d'une même phase

États	0	1	2	3	4	5	Sortie
α	α	α	E	α	F	G	42
C	-	α	K	-	F	G	42
D	-	α	-	-	F	-	41

Exemple

Un circuit va-et-vient

Machine de Moore



$$\begin{aligned} \underline{y} &= f(\underline{X}, \underline{Y}) \\ \underline{Y} &= \underline{y} \\ \underline{S} &= g(\underline{Y}) \end{aligned}$$

Exemple

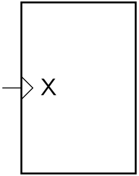
Un circuit va-et-vient

Automates asynchrones élémentaires :

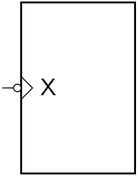
Bascules (bi-stable)

Nouvelle terminologie

- Front montant/descendant
  - front montant : la valeur passe de 0 à 1, symbolisé par $\uparrow$ ou _|‾.
  - front descendant : la valeur passe de 1 à 0, symbolisé par $\downarrow$ ou ‾|_.
- Indication sur un composant logique



(d) Entrée sur front montant.



(e) Entrée sur front descendant.

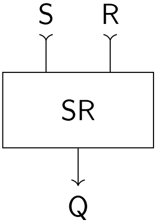
- « Évolution » de la table de vérité

X	Q
0	Q
1	Q
$\uparrow$	$\overline{Q}$

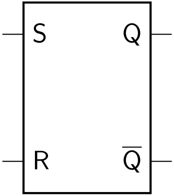
ou

X	Q
0	Q
1	Q
_|‾	$\overline{Q}$

Bascule SR — *Set-Reset*



(f) Bascule SR.

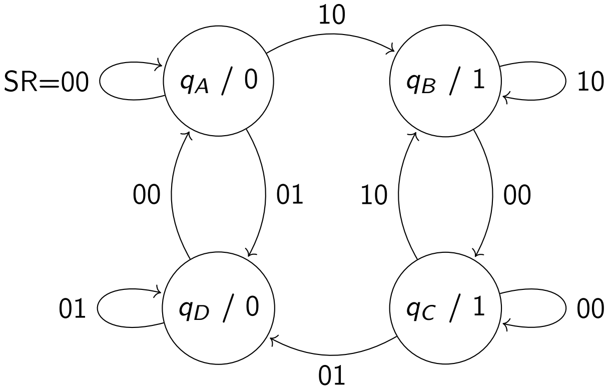


(g) Bascule SR complète.

Bascule SR

Table de vérité

Bascule SR



États-Entrées / SR	00	01	11	10	Sortie Q
A	A	-	-	B	0
B	C	-	-	B	1
C	C	D	-	-	1
D	A	D	-	-	0

Bascule SR

États / Entrées SR	00	01	11	10	Sortie Q
U	U	U	-	V	0
V	V	U	-	V	1

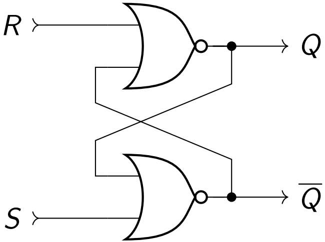
$$y = S + Y.\overline{R}$$

Y \ SR	00	01	11	10
0	0	0	-	1
1	1	0	-	1

Bascule SR

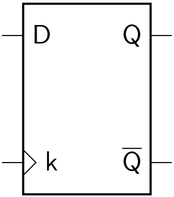
Autre réalisation avec que des portes *NOR*

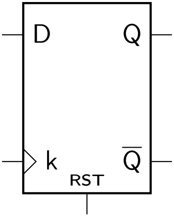
$$y = NOR(NOR(Y, S), R)$$



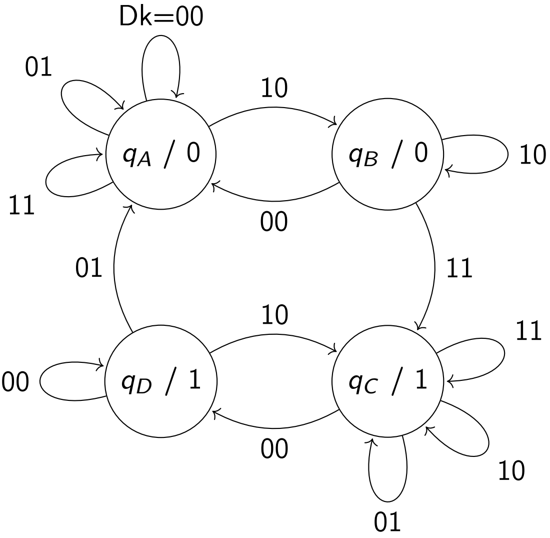
Bascule D — Data

2 entrées : D et k (horloge - *clock*). Mémorisation de D sur front montant.





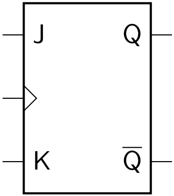
Bascule D — Data



Bascule JK

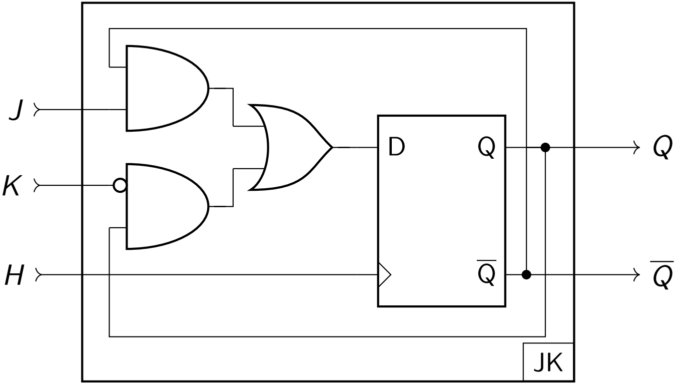
3 entrées et 2 sorties : J, K et H (horloge) avec mémorisation sur front montant.
Mélange entre bascule SR et bascule T.

H	J	K	Q
0	-	-	Q
1	-	-	Q
$\uparrow$	0	0	Q
$\uparrow$	0	1	0
$\uparrow$	1	0	1
$\uparrow$	1	1	$\overline{Q}$

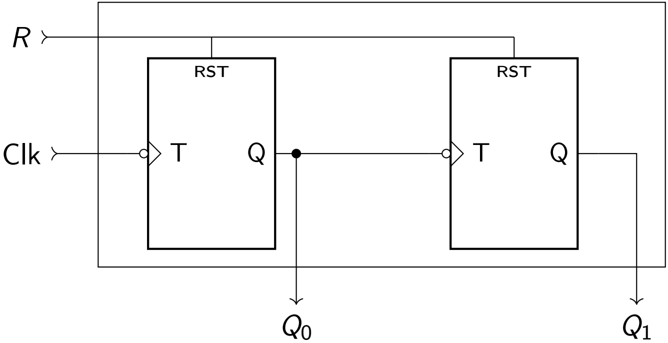


Bascule JK

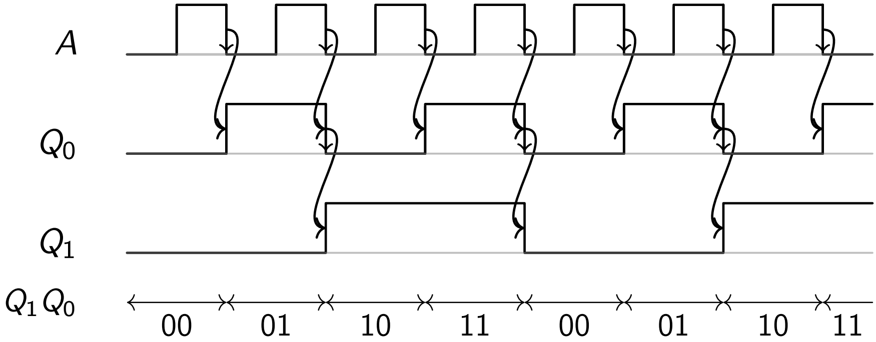
Réalisation à partir d'une bascule D



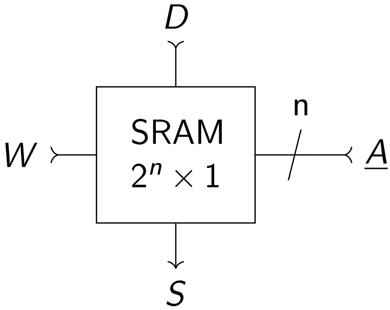
Compteur Asynchrone



Compteur asynchrone



Mémoire statique (SRAM)



Fonctionnement :

- Si $W = 1$ et $\underline{A} = m$, alors $Q_m = D$;
- Si $W = 0$ et $\underline{A} = m$, alors $S = Q_m$.

Mémoire statique