

選択した論文

田向権, 関根優年, 自己組織化ニューラルネットワークのための動的再構成プラットフォーム, 電子情報通信学会技術研究報告 SIS, スマートインフォメディアシステム 110 (445), pp. 13–17, 2011.

検定の有無

この論文では、検定は行われていない。

論文の要旨

自己組織化マップ (Self Organizing Map; SOM) の実時間処理・組み込みシステム実現のためにデジタルハードウェア実装による専用ハードウェアアーキテクチャが提案されてきた。しかし、これらの実装は、ASIC や特定の FPGA ボードで実現されているため、デザインの再利用や、その他のアプリケーションへの応用のためには大幅な手直しが伴う。この論文では、自己組織化マップのための動的再構成プラットフォームを提案することにより、手直しの工程を削減し、アプリケーションの効率的な開発を促している。

この論文では、プラットフォームの性能を Mege Connection Update Per Second (MCUPS) と呼ばれる単位で評価している。これは、1 秒あたりに更新できる回数を意味する。このプラットフォームの性能は、実機を用いて検証されており、この論文で提案されたプラットフォームの性能が 6305MCUPS であるのに対し、ソフトウェアのみでの実装は 62MCUPS であることから、性能は約 100 倍であるとしている。

また、提案したプラットフォームのリソース消費量および過去に提案された論文の実装との性能の比較についても述べられている。以下に表を抜粋する。

表 2 Implementation results of four networks using xc3s4000 User FPGA

No.	Distance	WTA	Slice	BRAM	MULT.	Freq. (MHz)
1.	Manhattan	Accurate	5,442 (19.7%)	96 (100%)	0 (0%)	74.43
2.	Euclidean	Accurate	6,665 (24.1%)	96 (100%)	96 (100%)	74.43
3.	Manhattan	Rough	8,995 (32.5%)	96 (100%)	0 (0%)	69.26
4.	Euclidean	Rough	12,681 (46.2%)	96 (100%)	96 (100%)	69.26

表 3 Comparison of the proposed platform with the other platforms

Reference	Proposed	文献 [14]	文献 [9]	文献 [6]
Device	XC3S4000	XC2V10000	XC3S1600E	ASIC 0.8 μ m
Performance (MCUPS)	6,305	17,360	632	NA
Learning mode	SOM, VQ	SOM, RBFN, etc.	parameter-less SOM	NG
Reconfigurability	Yes	Yes	No	No

検定をしなくても妥当性が主張できる理由と考察

FPGA による専用アーキテクチャの性能で重要とされるのは、処理に必要なクロック数と動作周波数から求まる最大性能と、ハードウェアリソース消費量である。これらの専用アーキテクチャの性能は、入力データやパラメータなどの問題の規模やアーキテクチャの構造に応じて一意に定まることが多い。この論文でも、入力データ (参照ベクトル) の次元と演算精度から最大性能が求められている。

最大性能とされているのは、データ入力の時間を除外するためであると考えられる。FPGA による専用アーキテクチャの論文では、提案したアーキテクチャの構造と無関係であるデータ入力などの処理を除いた性能が議論される。したがって、既存のハードウェア実装との比較 (表 3) は妥当である。

また、ハードウェアリソース消費量は、実装時に FPGA 開発ツールを用いて計測され、その値は一意に定まるものである (表 2)。したがって、FPGA による専用アーキテクチャの性能は問題の規模やその構造から一意に定まる。以上の理由から、検定をしなくても妥当性を主張することが可能であると考えられる。