МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

Федеральное государственное бюджетное образовательное учреждение

высшего образования

**«Вятский государственный университет»**

Факультет автоматики и вычислительной техники

Кафедра электронных вычислительных машин

Допущено к защите

Руководитель проекта

\_\_\_\_\_\_\_\_\_/Мельцов В.Ю./

(подпись) (Ф.И.О.)

«\_\_»\_\_\_\_\_\_\_\_\_\_2018 г.

«РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО-  
ЛОГИЧЕСКОГО УСТРОЙСТВА»

Пояснительная записка курсового проекта по дисциплине

«Проектирование цифровых устройств»

ТПЖА.09.03.01.013 ПЗ

Разработал студент группы ИВТ-31\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Родыгин И.А./

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Мельцов В.Ю./

Проект защищен с оценкой «\_\_\_\_\_\_\_\_\_\_\_\_» \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

(оценка) (дата)

Комиссия \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ Мельцов В.Ю./

(подпись)

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_/ \_Клюкин В.Л. /

(подпись)

Киров 2018

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *№строки* | *Форма* | | *Обозначение* | | | *Наименование* | | | | *Кол-во листов* | | *№ экз.* | *Примеч* |
| *1* |  | |  | | | *Документация* | | | |  | |  |  |
| *2* |  | |  | | | *Вновь разработанная* | | | |  | |  |  |
| *3* |  | |  | | |  | | | |  | |  |  |
| *4* | *А2* | | *ТПЖА.09.03.01.013 Э2* | | | *ОЧ АЛУ схема электрическая функциональная* | | | | *1* | |  | *Плакат* |
| *5* | *А2* | | *ТПЖА.09.03.01.013 КПЛ* | | | *Граф-схема алгоритма содержательная объединенная* | | | | *1* | |  | *Плакат* |
| *6* | *А2* | | *ТПЖА.09.03.01.013 Э3* | | | *ОЧ АЛУ схема электрическая принципиальная* | | | | *2* | |  | *Чертеж* |
| *7* | *А4* | | *ТПЖА.09.03.01.013 ПЭ3* | | | *Спецификация* | | | | *1* | |  |  |
| *8* | *А4* | | *ТПЖА.09.03.01.013 ПЗ* | | | *Пояснительная записка* | | | | *74* | |  |  |
| *9* |  | |  | | |  | | | |  | |  |  |
| *10* |  | |  | | |  | | | |  | |  |  |
| *11* |  | |  | | |  | | | |  | |  |  |
| *12* |  | |  | | |  | | | |  | |  |  |
| *13* |  | |  | | |  | | | |  | |  |  |
| *14* |  | |  | | |  | | | |  | |  |  |
| *15* |  | |  | | |  | | | |  | |  |  |
| *16* |  | |  | | |  | | | |  | |  |  |
| *17* |  | |  | | |  | | | |  | |  |  |
| *18* |  | |  | | |  | | | |  | |  |  |
| *19* |  | |  | | |  | | | |  | |  |  |
| *20* |  | |  | | |  | | | |  | |  |  |
| *21* |  | |  | | |  | | | |  | |  |  |
| *22* |  | |  | | |  | | | |  | |  |  |
| *23* |  | |  | | |  | | | |  | |  |  |
| *24* |  | |  | | |  | | | |  | |  |  |
| *25* |  | |  | | |  | | | |  | |  |  |
| *26* |  | |  | | |  | | | |  | |  |  |
| *27* |  | |  | | |  | | | |  | |  |  |
| *28* |  | |  | | |  | | | |  | |  |  |
| *29* |  | |  | | |  | | | |  | |  |  |
| *30* |  | |  | | |  | | | |  | |  |  |
| *31* |  | |  | | |  | | | |  | |  |  |
| *32* |  | |  | | |  | | | |  | |  |  |
|  | |  |  |  |  | *ТПЖА.09.03.01.013 ДКП* | | | | | | | |
|  | |  |  |  |  |  | | | | | | | |
| *Изм.* | | *Лист* | *№ докум.* | *Подп.* | *Дата* |  | | | | | | | |
| *Разраб.* | | | *Родыгин* |  |  | *Разработка* | *Лит.* | | | | *Лист* | | *Листов* |
| *Пров.* | | | *Мельцов* |  |  | *Операционной* | *Э* |  |  | | *1* | | *1* |
| *Т.контр.* | | |  |  |  | *части арифметико-* | *Кафедра ЭВМ* | | | | | | |
| *Н.контр.* | | |  |  |  | *логического* | *Группа ИВТ-31* | | | | | | |
| *Утв.* | | |  |  |  | *устройства* |  | | | | | | |

Реферат

Родыгин И.А. РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО-ЛОГИЧЕСКОГО УСТРОЙСТВА: ТПЖА.09.03.01.013 ПЗ: Курс. проект / ВятГУ, каф. ЭВМ; рук. В.Ю. Мельцов - Киров, 2017. – Гр. ч. 4 л. ф.А2;

ПЗ 74 с., 33 рис., 7 табл., 2 ист., 3 прил.

АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО, ПЛАВАЮЩАЯ ЗАПЯТАЯ, ХАРАКТЕРИСТИКА, ПРИНЦИПИАЛЬНАЯ СХЕМА, СЛОЖЕНИЕ МОДУЛЕЙ, ВЫЧИТАНИЕ, ИНКРЕМЕНТ, УМНОЖЕНИЕ.

Объект исследования и разработки – операционная часть арифметико- логического устройства, выполняющего операции умножения в дополнительном коде II способом с плавающей запятой с характеристиками, сложения модулей, вычитания, инкремента.

Цель курсового проекта – синтезировать с наименьшими аппаратурными затратами операционную часть арифметико-логического устройства, выполняющего операции умножения в дополнительном коде II способом с плавающей запятой с характеристиками, сложения модулей, вычитания, инкремента.

Результатом работы является принципиальная схема арифметико- логического устройства.

Содержание

Изм.

Лист

№ докум.

Подпись

Дата

ТПЖА.09.03.01.013

Разраб.

Родыгин И.А.

Провер.

Мельцов В.Ю.

Реценз.

Н. Контр.

.

Утверд.

Разработка операционной части арифметико-логического устройства

Лит.

Кафедра ЭВМ

Группа ИВТ-31

Реценз.

Лист

Листов

2

75

[Введение 4](#_Toc500837899)

[1 Постановка задачи 5](#_Toc500837899)

[2 Описание алгоритмов функционирования арифметико-логического устройства 6](#_Toc500837908)

[2.1 Описание алгоритма операции сложения модулей](#_Toc500837903) [7](#_Toc500837904)

[2.3 Описание алгоритма операции инкремента 9](#_Toc500837904)

[2.4 Описание алгоритма операции инкремента 10](#_Toc500837904)

[3 Численные примеры для операций арифметико-логического устройства 10](#_Toc500837908)

[3.1 Примеры операции умножения 10](#_Toc500837909)

[3.1.1 Операция умножения без исключительных ситуаций 11](#_Toc500837912)

[3.1.2 Операция умножения с возникновением устранимого ПРС 12](#_Toc500837913)

[3.1.3 Операций умножения с возникновением неустранимого ПРС 12](#_Toc500837914)

[3.1.4 Операция умножения с возникновением ПРС при сложении характеристик 13](#_Toc500837914)

[3.1.5 Операция умножения с возникновением ПМР при сложении характеристик 14](#_Toc500837914)

[3.1.6 Операция умножения с возникновением ПМР при нормализации 14](#_Toc500837914)

[3.2 Примеры операции сложения модулей / вычитания 15](#_Toc500837910)

[3.2.1 Пример операции без исключительных особенностей 15](#_Toc500837912)

[3.2.2 Пример операции с возникновением ПРС при сдвиге вправо 15](#_Toc500837913)

[3.3 Пример операции инкремента 16](#_Toc500837911)

[4 Разработка функциональных схем для отдельных операций 17](#_Toc500837916)

[4.1 Функциональная схема для операции умножения 17](#_Toc500837917)

[4.2 Функциональная схема для операции сложения модулей и вычитания 19](#_Toc500837917)

[4.3 Функциональная схема для операции инкремента 22](#_Toc500837917)

[5 Описание ГСА отдельных операций 24](#_Toc500837918)

[5.1 Описание ГСА для операции умножения 24](#_Toc500837919)

[5.2 Описание ГСА для операции сложения модулей /вычитания 26](#_Toc500837919)

[5.3 Описание ГСА для операции инкремента 28](#_Toc500837919)

[6 Разработка объединенной функциональной схемы 29](#_Toc500837920)

[7 Разработка объединенной ГСА 31](#_Toc500837922)

[8 Разработка и описание принципиальной схемы ОЧ АЛУ 32](#_Toc500837923)

[8.1 Регистры 33](#_Toc500837932)

Изм.

Лист

№ докум.

Подпись

Дата

Лист

3

ТПЖА.09.03.01.013 ПЗ

[8.2 Сумматоры 35](#_Toc500837932)

[8.3 Счетчики 36](#_Toc500837932)

[8.4 Компаратор 39](#_Toc500837932)

[8.5 Резистор 40](#_Toc500837932)

[8.6 Логические элементы 42](#_Toc500837932)

[8.7 Триггеры 43](#_Toc500837932)

[8.8 Шинный формирователь 45](#_Toc500837932)

[9 Расчет фильтра питания 45](#_Toc500837924)

[9.1 Расчет амплитуды ступенчатого скачка тока 45](#_Toc500837932)

[9.2 Расчет импеданса 46](#_Toc500837932)

[9.3 Расчет индуктивности 47](#_Toc500837932)

[9.4 Расчет частоты помех 47](#_Toc500837932)

[9.5 Расчет емкости конденсатора 48](#_Toc500837932)

[9.6 Обеспечение устойчивости 48](#_Toc500837932)

[10 Расчет длительности такта 50](#_Toc500837925)

[11 Разработка тактового генератора 52](#_Toc500837926)

[12 Расчет быстродействия 54](#_Toc500837927)

[13 Выбор разъёма 58](#_Toc500837928)

[Заключение 60](#_Toc500837928)

[Список сокращений 61](#_Toc500837928)

[Библиографический список 62](#_Toc500837928)

[Приложение А. (Обязательное). Функциональные схемы операций 63](#_Toc500837928)

[Приложение Б. (Обязательное). Содержательные схемы алгоритмов 67](#_Toc500837928)

[Приложение В. (Обязательное). Разработанная принципиальная схема 72](#_Toc500837928)

[Приложение Г. (Обязательное). Перечень элементов 75](#_Toc500837928)

Введение

Изм.

Лист

№ докум.

Подпись

Дата

Лист

4

ТПЖА.09.03.01.013 ПЗ

В вычислительных машинах различные арифметические и логические операции выполняются на арифметико-логическом устройстве. Ему на вход поступают операнды и код операции, определяющий, какую операцию должно выполнять АЛУ. АЛУ может выполнять большой набор операций.

Разработка АЛУ для конкретной вычислительной машины позволяет увеличить ее быстродействие, так как при использовании универсальных АЛУ часть операций в них просто не будет использоваться, в то время как в специализированном под какое-то определенное вычислительное устройство АЛУ будут только те операции, которые выполняются на этом устройстве.

Целью данного курсового проекта является разработка такого АЛУ, выполняющего заданный набор операций. 1 Постановка задачи

Изм.

Лист

№ докум.

Подпись

Дата

Лист

5

ТПЖА.09.03.01.013 ПЗ

Разработать операционную часть АЛУ для реализации следующих операций:

1. Умножение II способом с плавающей запятой в дополнительном коде с характеристиками c автоматической коррекцией;
2. Сложение модулей;
3. Вычитание;
4. Инкремент.

Разрядность операндов – 32. 31 разряд – знаковый, 30-8 разряды мантиссы, 7-0 разряды характеристики.

После окончания операции устройство должно выдавать в управляющий автомат следующие признаки:

1. ПРС;
2. Равенство результата нулю;
3. Знак результата;
4. Перенос из старшего разряда.

Разработанное устройство должно удовлетворять следующим требованиям:

1. Минимизация аппаратурных затрат;
2. Приемлемое быстродействие;
3. Приемлемая потребляемая мощность.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

6

ТПЖА.09.03.01.013 ПЗ

1. Описание алгоритмов функционирования арифметико-логического устройства

В данном разделе рассматриваются словесные описания алгоритмов выполнения операций и указаны возможные особые, с точки зрения построения автомата, ситуации при выполнении данных операций.

* 1. Описание алгоритма операции умножения

1. Получить множимое.
2. Проверить мантиссу множимого на 0. Если она равна 0, то выдать результат 0, иначе перейти к пункту 3.
3. Получить множитель.
4. Проверить мантиссу множителя на 0. Если она равна 0, то выдать результат 0, иначе перейти к пункту 5.
5. Определить характеристику произведения. Сложить характеристики множителя и множимого.
6. Проверить результат сложения характеристик на ПРС:
   * 1. Если ПРС не устранимо, то зафиксировать истинное ПРС и прекратить операцию умножения.
     2. Если ПРС возможно устранимо, то зафиксировать временное ПРС и продолжить операцию умножения.
7. Проверить результат на ПМР, если есть потеря младших разрядов, то выдать 0.
8. Проанализировать комбинацию цифр двух крайних правых разрядов мантиссы множителя:
   * 1. «00» или «11» – К сумме частичных произведений (СЧП) прибавить 0 и перейти к пункту 9;

Изм.

Лист

№ докум.

Подпись

Дата

Лист

7

ТПЖА.09.03.01.013 ПЗ

* + 1. «01» – К СЧП прибавить множимое и перейти к пункту 9;
    2. «10» – Из СЧП вычесть множимое и перейти к пункту 9.

1. Сдвинуть множитель на один разряд вправо, сдвинуть множимое на один разряд влево, следовать далее.
2. Выполнять пункты 8-9, пока не достигнем последних анализируемых разрядов, затем следовать далее.
3. Проверить произведение на необходимость нормализации:
   * 1. Если нормализация необходима, то сдвинуть произведение на 1 разряд влево, вычесть 1 из характеристики. При этом, если ранее было зафиксировано временное ПРС, то оно устраняется. Если после нормализации мантиссы произошла ПМР, зафиксировать её и вывести результат равный 0.
     2. Если нормализация не нужна, то проверить, было ли зафиксировано временное ПРС. Если было зафиксировано временное ПРС, то установить признак истинного ПРС, прекратить операцию умножения.
4. Выдать результат.
   1. Описание алгоритма операции сложения модулей
5. Считать первый операнд;
6. Считать второй операнд;
7. Вычесть из характеристики первого числа характеристику второго

числа;

1. Проверить на ПРС: если произошло ПРС, то выдать сигнал о ПРС и завершить выполнение операции, иначе следовать далее;

Изм.

Лист

№ докум.

Подпись

Дата

Лист

8

ТПЖА.09.03.01.013 ПЗ

1. Проверить на ПМР: если произошла ПМР, то выдать результат равный нулю, иначе следовать далее;
2. Проверить разность характеристик:
   1. Если разность характеристик меньше либо равна -23, то выдать результатом 2 число;
   2. Если разность характеристик больше 23, то выдать результатом 1 число;
   3. Если разность больше -23 и меньше 23, то продолжать выполнение;
3. Выполнить выравнивание характеристик, до тех пор, пока разность характеристик не станет равна 0:
   1. Если разность характеристик меньше 0, то сдвигаем 2 операнд, инкрементировать разность характеристик и характеристику 2 числа;
   2. Если разность характеристик больше 0, то сдвигаем 1 операнд, декрементировать разность характеристик и характеристику 2 числа;
4. Сложить модули мантисс;
5. Если в знаковом разряде результата оказалась 1, то необходимо сдвинуть мантиссу суммы на один разряд вправо, увеличить характеристику на 1.
6. Проверить на возникновение ПРС в характеристиках. Если ПРС произошло – установить флаг ПРС и прекратить выполнение операции;
7. Нормализовать результат, если необходимо;
8. Если при нормализации произошла ПМР в характеристиках, выдать результат равный нулю, иначе следовать далее;
9. Выдать результат.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

9

ТПЖА.09.03.01.013 ПЗ

* 1. Описание алгоритма операции вычитания
  2. Считать первый операнд;
  3. Считать второй операнд;
  4. Вычесть из характеристики первого числа характеристику второго числа;
  5. Проверить на ПРС: если произошло ПРС, выдать сигнал о ПРС и прекратить выполнение операции, иначе следовать далее;
  6. Проверить на ПМР: если произошла ПМР, выдать результат равный 0, иначе следовать далее;
  7. Проверить разность характеристик:
     1. Если разность характеристик меньше либо равна -23, то выдать результатом 2 число;
     2. Если разность характеристик больше 23, то выдать результатом 1 число;
     3. Если разность больше 23 и меньше 23, то продолжать выполнение;
  8. Выполнить выравнивание характеристик, до тех пор, пока разность характеристик не станет равна 0:
     1. Если разность характеристик меньше 0, то сдвигаем 2 операнд, инкрементировать разность характеристик и характеристику 2 числа;
     2. Если разность характеристик больше 0, то сдвигаем 1 операнд, декрементировать разность характеристик и характеристику 2 числа;
  9. Произвести вычитание мантисс: если знак первого операнда равен 1, второго операнда равен 0 и результирующий знак равен 0, но необходимо выполнить денормализацию мантиссы результата и увеличить характеристику на единицу;
  10. Проверить характеристики на ПРС, если произошло ПРС, то установить флаг ПРС и прекратить выполнение операции, иначе следовать далее;

Изм.

Лист

№ докум.

Подпись

Дата

Лист

10

ТПЖА.09.03.01.013 ПЗ

* 1. Нормализовать результат, если необходимо.
  2. Если при нормализации произошла ПМР в характеристиках, выдать результат равный 0;
  3. Выдать результат.
  4. Описание алгоритма операции инкремента

1. Считать операнд;
2. Представить 1 в качестве второго операнда.
   1. Если характеристика первого операнда больше 23, выдать операнд в качестве результата;
   2. Если характеристика первого операнда меньше либо равна -23, выдать 1 в качестве результата;
3. Выровнять характеристики первого операнда и единицы;
4. Сложить операнды;
5. Нормализовать результат, если необходимо;
6. Выдать результат.
7. Численные примеры для операций арифметико-логического устройства
   1. Примеры операции умножения
      1. Операция умножения без исключительных ситуаций

Изм.

Лист

№ докум.

Подпись

Дата

Лист

11

ТПЖА.09.03.01.013 ПЗ

A = -1,625 В = -3,625

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк =  Aдк = | 1 | 11010 | 1001 |
| 1 | 00110 | 1001 |
|  | | | |
| Bпк = | 1 | 11101 | 1010 |
| Bдк = | 1 | 00011 | 1010 |

1001

1010

10011

**+**

Сложение характеристик:

Умножение без особенностей представлено в таблице 3.1.1.

Таблица 3.1.1 – Умножение без особенностей

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель → | Множимое ← | СЧП | Комментарий |
| 1.00110|0 | 1.1111100011 | 0.0000000000 | Исх. данные |
| 1.0011**0|0** | 1.1111100011 | 0.0000000000 | Сдвиг |
| 0.1001**1|0** | 1.1111000110 | 0.0000000000  0.0000111010  **0.0000111010** | - Множимое |
| 0.01001**|**1 | 1.1110001100 | 0.0000111010 | Сдвиг |
| 0.0100**1|1** | 1.1110001100 | 0.0000111010 | Сдвиг |
| 0.0010**0|1** | 1.1100011000 | 0.0000111010  1.1100011000  **1.1101010010** | + Множимое |
| 0.00010|0 | 1.1000110000 | 1.1101010010 | Сдвиг |
| 0.0001**0|0** | 1.1000110000 | 1.1101010010 | Сдвиг |
| 0.0000**1|0** | 1.0001100000 | 1.1101010010  0.1110100000  **0.1011110010** | - Множимое |
| 0.0000**0|1** | 0.0011000000 | 0.1011110010 | Сдвиг |
|  |  | 0.1011110010 | Результат! |

|  |  |  |
| --- | --- | --- |
| 0 | 10110 | 1011 |

Результат в разрядной сетке:

Ответ: 101.1112=5.87510

* + 1. Операция умножения с возникновением устранимого временного ПРС

Изм.

Лист

№ докум.

Подпись

Дата

Лист

12

ТПЖА.09.03.01.013 ПЗ

Операнды:

**+**

1111

1001

11000

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 10000 | 1111 |
| 1 | 10000 | 1111 |
| Bпк= | 1 | 10000 | 0001 |
| Bдк= | 1 | 10000 | 0001 |

Характеристика рез-та:

Возникло временное ПРС

Умножение мантисс представлено в таблице 3.1.2.

Таблица 3.1.2 – Устранимое временное ПРС.

|  |  |  |  |
| --- | --- | --- | --- |
| Множитель → | Множимое ← | СЧП | Комментарий |
| 1.10000|0 | 1.1111110000 | 0.0000000000 | Исходные данные |
| 1.1000**0|0** | 1.1111110000 | 0.0000000000 | Сдвиг |
| 0.1100**0|0** | 1.1111100000 | 0.0000000000 | Сдвиг |
| 0.0110**0|0** | 1.1111000000 | 0.0000000000 | Сдвиг |
| 0.0011**0|0** | 1.1110000000 | 0.0000000000 | Сдвиг |
| 0.0001**1|0** | 1.1100000000 | 0.0000000000  0.0100000000  **0.0100000000** | - Множимое |
| 0.0000**1|1** | 1.1000000000 | 0.0100000000 | Сдвиг |
| 0.00000**|1** |  | 0.0100000000 | Результат не нормализован! |

Нормализация: Характеристика = 10111

|  |  |  |
| --- | --- | --- |
| 0 | 10000 | 0111 |

Результат в разрядной сетке:

3.1.3 Операция умножения с возникновением неустранимого временного ПРС

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 11010 | 1111 |
| 1 | 00110 | 1111 |
|  | | | |
| Bпк= | 1 | 11101 | 1001 |
| Bдк= | 1 | 00011 | 1001 |

Характеристика рез-та =

Изм.

Лист

№ докум.

Подпись

Дата

Лист

13

ТПЖА.09.03.01.013 ПЗ

**+**

1111

1001

11000

Возникло временное ПРС.

Умножение мантисс представлено в таблице 3.1.1.

|  |  |  |
| --- | --- | --- |
| 0 | 10000 | 1000 |

Результат в разрядной сетке:

Мантисса нормализована. ПРС не может быть устранено.

Формирование признака ПРС и завершение операции умножения.

3.1.4 Операция умножения с возникновением ПРС при сложении характеристик

Операнды:

1111

1100

11011

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 11010 | 1111 |
| 1 | 00110 | 1111 |
|  |  |  |  |
| Bпк= | 1 | 11101 | 1100 |
| Bдк= | 1 | 00011 | 1100 |

**+**

Характеристика =

Возникло ПРС характеристик, так как в двух старших разрядах единицы и в младших разрядах есть хотя бы одна единица.

Завершение операции умножения.

3.1.5 Операция умножения с возникновением ПМР при сложении характеристик

Изм.

Лист

№ докум.

Подпись

Дата

Лист

14

ТПЖА.09.03.01.013 ПЗ

0001

0011

00100

Операнды:

**+**

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 11010 | 0001 |
| 1 | 00110 | 0001 |
|  | | | |
| Bпк= | 1 | 11101 | 0011 |
| Bдк= | 1 | 00011 | 0011 |

Характеристика рез-та =

Возникло ПМР, так как два старших разряда содержат нули.

Результат = 0.

3.1.6 Операция умножения с возникновением ПМР при нормализации

Операнды:

|  |  |  |  |
| --- | --- | --- | --- |
| Aпк=  Aдк= | 1 | 10000 | 0000 |
| 1 | 10000 | 0000 |

0000

1000

01000

**+**

|  |  |  |  |
| --- | --- | --- | --- |
| Bпк=  Bдк= | 1 | 10000 | 1000 |
| 1 | 10000 | 1000 |

Характеристика рез-та =

Умножение мантисс представлено в таблице 3.1.2.

|  |  |  |
| --- | --- | --- |
| 0 | 10000 | 1000 |

Результат в разрядной сетке:

Нормализация: Характеристика = 00111

|  |  |  |
| --- | --- | --- |
| 0 | 10000 | 0111 |

Результат в разрядной сетке:

При нормализации произошло ПМР. Выдать 0.

* 1. Примеры операции сложения модулей / вычитания
     1. Пример операции без исключительных ситуаций

|  |  |  |  |
| --- | --- | --- | --- |
|  | знак | характеристика | мантисса |
| А | 0 | 10011 | 101001 |
| В | 0 | 10001 | 101000 |

Исходные данные:

А=5,12510

В=1,2510

|  |  |  |  |
| --- | --- | --- | --- |
|  | знак | характеристика | мантисса |
| А | 0 | 10011 | 101001 |
| В | 0 | 10011 | 001010 |

Выравнивание

Изм.

Лист

№ докум.

Подпись

Дата

Лист

15

ТПЖА.09.03.01.013 ПЗ

характеристик:

Результат сложения:

Мантисса: 0.1100112 Характеристика: 100112

А+В =6.32510

3.2.2 Пример операции с возникновением ПРС при сдвиге вправо

|  |  |  |  |
| --- | --- | --- | --- |
|  | знак | характеристика | мантисса |
| А | 0 | 1111 | 10101 |
| В | 0 | 1111 | 11010 |

Исходные данные:

А=8210

В=10410

Выравнивание характеристик не нужно.

Мантисса результата: (1)01111102

Возникла ситуация ПРС, т.к. появилась единица переноса и в результате увеличения характеристики результата на единицу характеристика стала равна 0...0.

* 1. Пример операции инкремента

А = 310 Мантисса: 0.11000002 Характеристика: 1.00102

В = 110 Мантисса: 0.10000002 Характеристика: 1.00012

Выравнивание характеристик:

Изм.

Лист

№ докум.

Подпись

Дата

Лист

16

ТПЖА.09.03.01.013 ПЗ

Мантисса А: 0.11000002 Характеристика: 1.00102

Мантисса В: 0.01000002 Характеристика: 1.00102

Сдвинем операнды, чтобы в результате не получился отрицательный ноль:

Мантисса А: 0.01100002 Характеристика: 1.00112

Мантисса В: 0.00100002 Характеристика: 1.00112

Сложение мантисс:

Мантисса С: 0.10000002 Характеристика: 1.00112

Мантисса результата: 0.10000002

Характеристика результата: 1.00112

1. Разработка функциональных схем для отдельных операций
   1. Функциональная схема для операции умножения

В результате разработки функциональной схемы для операции умножения был получен ОА, содержащий следующие элементы:

* 25-разрядный сдвиговый регистр RG1 для хранения мантиссы множителя;
* 48-разрядный сдвиговый регистр RG2 для хранения мантиссы множимого;
* 48-разрядный сдвиговый регистр RG3 для хранения мантиссы СЧП;
* 8-разрядный регистр RG4 для хранения характеристики;
* 24-входной элемент «или» для определения нуля;
* 48-разрядный управляемый инвертор для инвертирования множителя;
* 48-разрядный управляемый элемент «и» для формирования нуля, добавляемого к СЧП;
* 48-разрядный сумматор SM1 для СЧП;
* 8-разрядный сумматор SM2 для сложения характеристик;

Изм.

Лист

№ докум.

Подпись

Дата

Лист

17

ТПЖА.09.03.01.013 ПЗ

* 9-разрядный счетчик СТ1 для хранения характеристик и работы с ними;
* 6-разрядный счетчик СТ2 для подсчитывания кол-ва тактов и определения признака окончания умножения;
* Элемент «и» для подачи единицы на вход CRP сумматора SM1;
* Элемент «и» для подачи сигнала на сдвиг RG3;
* Элемент «и» для выделения ПРС;
* Элемент «и» с инверсным входом для определения истинного ПРС;
* Элемент «и» и 7-разрядный элемент «или» с инверсным выходом для определения временного ПРС;
* Элемент «или-не» для определения ПМР;
* Элемент «или» для проверки нормализации результата;
* RS-триггер для хранения флага признака ПРС;
* D-триггер для хранения флага знака;
* D-триггер для флага переноса;
* RS-триггер для флага нулевого результата;
* Усилитель-формирователь для выдачи результата на выходную шину.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

18

ТПЖА.09.03.01.013 ПЗ

Для выполнения операции умножения управляющий автомат формирует управляющие сигналы, которые затем подаются в операционный автомат.

Сигналы реализуют следующие микрооперации:

* Y0 – сброс T1, Т4, RG3, СТ1; запись в СТ2;
* Y1 – Запись в RG1, RG4;
* Y2 – Сдвиг RG1 вправо, RG2 влево, прибавление 1 в счетчик СТ2;
* Y3 – Запись в RG2, RG4;
* Y4 – Запись в RG3, прибавление 1 в счетчик СТ2;
* Y5 – Запись в СТ1;
* Y6 – Вычитание 1 из счетчика CT1, сдвиг RG3;
* Y7 – Выдача результата на ШИВых;
* Y8 – Запись 1 в Т1.

Из операционного устройства в управляющий поступают осведомительные сигналы о состоянии ОА, выполняющие следующие логические условия:

* Х – Проверка наличия операндов на ШИВх;
* p0 – Множитель или множимое равно 0;
* p1 – Окончание цикла умножения;
* p2 – Не нормализованный результат;
* p3 – ПМР характеристик;
* p4 – Истинное ПРС;
* p5 – Временное ПРС;
* Z – Проверка возможности выдачи результата на ШИВых.

Разработанная функциональная схема представлена на рисунке А.1.

* 1. Функциональная схема для операций сложения модулей и вычитания

Изм.

Лист

№ докум.

Подпись

Дата

Лист

19

ТПЖА.09.03.01.013 ПЗ

В результате разработки функциональной схемы для операций сложения модулей и вычитания был получен операционный автомат, содержащий следующие элементы:

* 24-разрядный сдвиговый вправо регистр RG1 для хранения мантиссы операндов;
* 24-разрядная управляемая комбинационная схема XOR КС1 для формирования инверсии;
* 24-разрядный сумматор со входами A, В, CRP для операций с мантиссами и выходами S и CR;
* 23-разрядная комбинационная схема ИЛИ КС2 для проверки результата на 0;
* 2-входовой элемент XOR с инвертированным выходом для формирования признака при равенстве мантиссы нулю;
* 2-входовой элемент XOR с инвертированным выходом на проверку нормализации результата;
* 24-разрядный реверсивный сдвиговый регистр для хранения и сдвигов мантиссы операнда;
* 8-разраядный счетчик СТ1 для хранения характеристики операндов;
* 9-разрядный счетчик СТ2 для хранения характеристики операнда;
* 8-разрядная комбинационная схема XOR КС3 для инверсии характеристики;
* 8-разрядный сумматор SM2 для операций с характеристиками с входами А, В, CRP и выходами S и CR;
* 2-входовой элемент XOR с инвертированным выходом;
* 2-входовой элемент ИЛИ с инвертированным выходом для формирования признака ПМР;

Изм.

Лист

№ докум.

Подпись

Дата

Лист

20

ТПЖА.09.03.01.013 ПЗ

* 2-входовой элемент И для формирования признака ПРС;
* инвертор для формирования противоположного значения старшего бита характеристики;
* 2-х плечевой 8-разрядный компаратор для сравнения характеристик;
* RS-триггер для хранения старшего разряда характеристики;
* RS-триггер для хранения флага признака ПРС;
* D-триггер для хранения флага знака;
* D-триггер для флага переноса;
* RS-триггер для флага нулевого результата;
* Усилитель-формирователь для выдачи результата на выходную шину.

ОА формирует осведомительные сигналы:

* Y0 – Запись RG1, CT1, Сброс T1, T2, T3, T4, T5;
* Y1 – Сдвиг RG1 вправо;
* Y2 – Инверсия RG1, CRP на SM1;
* Y3 – Очистка RG2;
* Y4 – Запись RG2, CF;
* Y5 – Сдвиг RG2 вправо;
* Y6 – Сдвиг RG2 влево;
* Y7 – СТ1+1;
* Y8 – СТ1-1;
* Y9 – Инверсия СТ1, CRP на SM2;
* Y10 – Очистка СТ2;
* Y11 – Запись СТ2;
* Y13 – СТ2-1;

Изм.

Лист

№ докум.

Подпись

Дата

Лист

21

ТПЖА.09.03.01.013 ПЗ

* Y14 – Запись в Т5;
* Y15 – Запись в Т1;
* Y16 – Запись T2, T4, выдача на шину.

ОА выполняет микрокоманду по средствам следующих управляющих сигналов:

* P0 – Операнд равен нулю;
* P1 – Не нормализован результат;
* P2 – Результат равен нулю;
* P3 – Старший разряд характеристики;
* P4 – Характеристика равна нулю;
* P5 – Выход компаратора A>В;
* P6 – ПМР;
* P7 – ПРС;
* P8 – Знаковый разряд операнда;
* Z – Проверка возможности выдачи результата на ШИВых.
* Х – Проверка наличия операндов на ШИВх;

Разработанная ФС представлена на рисунке А.2.

* 1. Функциональная схема для операции инкремента

В результате разработки функциональной схемы для операции инкремента был получен операционный автомат, содержащий следующие элементы:

* 8-разрядный счетчик СТ1 для хранения характеристики операнда;

Изм.

Лист

№ докум.

Подпись

Дата

Лист

22

ТПЖА.09.03.01.013 ПЗ

* 2-х плечевой 8-разрядный компаратор для сравнения значения характеристик;
* инвертор для формирования чисел 23 и -23 на плечо компаратора;
* 2-входовой элемент или для формирования старшего бита характеристики результата;
* 7-разрядный счетчик СТ2 для хранения характеристики операнда;
* 7-разрядная комбинационная схема ИЛИ КС1 для проверки характеристики на 0;
* 24-разрядный сдвиговый вправо регистр RG1 для хранения мантисс операндов;
* 2-х плечевой сумматор SM1 со входами А и В и выходом S для операций с мантиссами;
* 2-входовой элемент XOR с инвертированным выходом для проверки мантиссы операнда на равенство 0;
* 2-входовой элемент XOR с инвертированным выходом для проверки на ненормализованный результат;
* 23-разрядная комбинационная схема ИЛИ КС1 для проверки результата на равенство 0;
* 24-разрядный реверсивный сдвиговый регистр RG1
* RS-триггер для хранения флага признака ПРС;
* D-триггер для хранения флага знака;
* D-триггер для флага переноса;
* RS-триггер для флага нулевого результата;
* Усилитель-формирователь для выдачи результата на выходную шину.

ОА формирует осведомительные сигналы:

* Y0 – Запись СТ1, СТ2, RG1;
* Y1 – Очистка RG2;
* Y2 – Запись RG24

Изм.

Лист

№ докум.

Подпись

Дата

Лист

23

ТПЖА.09.03.01.013 ПЗ

* Y6 – Очистка RG;
* Y7 – Сдвиг RG1 вправо;
* Y8 – СТ2-1;
* Y9 – Сдвиг RG2 вправо;
* Y10 – CT2+1;
* Y11 – CT1+1;
* Y12 – Очистка CT1, CT2;
* Y13 – Сдвиг RG2 влево;
* Y14 – CT1-1;
* Y15 – Выдача на шину, запись T2, T4.

ОА выполняет микрокоманду по средствам следующих управляющих сигналов:

* P0 – Операнд равен нулю;
* P1 – Выход компаратора A>B;
* P2 – Старший разряд характеристики;
* P4 – Нулевая характеристика;
* P5 – Ненормализованный результат;
* P6 – Результат равен нулю;
* Z – Проверка возможности выдачи результата на ШИВых;
* Х – Проверка наличия операндов на ШИВх.

Разработанная ФС представлена на рисунке А.3.

1. Описание ГСА отдельных операций

Изм.

Лист

№ докум.

Подпись

Дата

Лист

24

ТПЖА.09.03.01.013 ПЗ

В данном разделе представлено описание граф-схем алгоритмов операций умножения, сложения модулей и вычитания и инкремента.

* 1. Описание ГСА для операции умножения

В первом такте производится проверка наличия на входной шине множимого. При поступлении множимого его мантисса записывается в RG1 с 1 разряда по 24, в 0 разряд заносится 0 необходимый в процессе умножения. Также множимое записывается в младшие разряды RG2. Характеристика заносится в RG4. Происходит обнуление счетчика CT1 и регистра суммы частичных произведений RG3. В счетчик СТ2 записывается число 001001.   
 Во втором такте происходит проверка множимого на 0. Если множимое равно нулю (р0=1), то выдается результат 0 и устанавливается флаг Z, иначе происходит запись характеристики множимого из RG4 в счетчик CT1 через

выход S2 сумматора SM2, на плече А которого характеристика из RG4, а на плече B содержимое счетчика CT1.

В третьем такте происходит проверка на входной шине множителя. При поступлении множителя его мантисса со знаком записывается c 1 по 24 разряды RG1, в 0 разряд RG1 заносится 0, необходимый в процессе умножения.

В четвертом такте происходит проверка на 0 множителя. Если множитель равен нулю (р0=1), то сбрасывается значение счетчика СТ1, выдается результат 0 и устанавливается флаг Z, иначе в счетчик СТ1 записывается сумма характеристик с выхода S2 сумматора SM2, на плече А которого характеристика множителя из RG4, а на плече В содержимое счетчика СТ1.

В пятом такте проверяются исключительные ситуации. Если возникло истинное ПРС (р4=1), то триггер Т1 устанавливается в единицу и операция умножения прекращается. Если возник признак временного ПРС (p5=1), то переход к следующему такту, в котором начинается цикл умножения, так как временное ПРС имеет возможность устраниться после нормализации. Если возникла ПМР (р3=1), то сбрасывается значение счетчика СТ1 и регистра RG3, тем самым выдается нуль на шину выходных данных и устанавливается флаг Z.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

25

ТПЖА.09.03.01.013 ПЗ

В следующем такте начинается цикл умножения. В регистр RG3 записывается значение с выхода S сумматора SM1, где на плечо А подается содержимое регистра RG3, а на плечо B подается значение RG2: инвертированное, если 1-й разряд RG1 равен единице или обнуленное, если значения младших разрядов RG1 равны «00» или «11», происходит прибавление 1 в СТ2. Далее происходит сдвиг регистров RG1 и RG2 вправо и влево соответственно, прибавление 1 в СТ2. После чего если цикл не завершен, он повторяется сначала.

Если цикл завешен (р1=1), то в следующем такте проверяется нормализация мантиссы. Если мантисса не нормализована (р2=1), то значение счетчика СТ1 уменьшается на единицу, содержимое RG3 сдвигается влево.

Далее проверяется устранилось ли возможно возникшее ранее временное ПРС (р5=1). Если временное ПРС возникло ранее (р5=1) и не устранилось, то временное ПРС становится истинным ПРС (р4=1), триггер Т1 устанавливается в 1, и операция умножения прекращается. Иначе проверяется возникновение ПМР. Если возникла ПМР (p3=1), то сбрасывается значение счетчика СТ1 и регистра RG3, тем самым выдается нуль на шину выходных данных, устанавливается значение в триггер знака результата Т2.

В следующем такте формируется результат на шину выходных данных. Знак результата подается на шину выходных данных с 46-го разряда сумматора SM1, мантисса из RG3, характеристика из CT1.

* 1. Описание ГСА для операций сложения модулей и вычитания

Изм.

Лист

№ докум.

Подпись

Дата

Лист

26

ТПЖА.09.03.01.013 ПЗ

В первом такте происходит проверка на входной шине первого операнда. При положительном результате проверки мантисса операнда со знаком записывается в RG1, характеристика операнда записывается в СТ1. Также происходит сброс триггеров Т1-Т5.

В следующем такте происходит проверка КОП на операцию «сложение», если результат проверки положительный, то проверяется знак операнда. Если знак отрицательный, то происходит инверсия регистра RG1, которая передается на плечо сумматора SM2, на входе CRP сумматора формируется 1, происходит запись операнда в регистр RG2, записывается в счетчик СТ2; если знак положительный, то мантисса и характеристика перезаписываются в регистр RG2 и счетчик СТ1 соответственно. Если же проверка КОП на операцию «сложение» дала отрицательный результат, то мантисса и характеристика перезаписываются в регистр RG2 и счетчик СТ1 соответственно.

В следующем такте происходит проверка на наличие второго операнда на шине входных данных. При положительном результате проверки мантисса операнда со знаком записывается в регистр RG1, а характеристика в счетчик СТ1.

В следующем такте происходит ряд проверок. Если второй операнд равен нулю, то выдать результатом первый операнд, и ожидается разрешение на выдачу результата на ШИВых. Если первый операнд равен нулю, то проверяется КОП операции. Если выполняется операция сложения модулей, то проверяется знак операнда. Если знак операнда положительный то, происходит сложение на сумматорах SM1 и SM2, затем запись мантиссы в RG2, а характеристики в СТ2. Если выполняется операция вычитания или знак операнда при выполнении операции сложения равен 0, то инвертируется мантисса второго операнда, хранящаяся в RG1, и ожидается разрешение на выдачу результата на ШИВых.

В следующем такте происходит ряд проверок. Если произошло ПРС, то возвращается характеристика первого операнда для дальнейшей выдачи на ШИВых. Если ПРС не произошло, то проверяется старший разряд характеристики и выход компаратора. Если старший разряд характеристики положительный и на выходе компаратора 1, то происходить обнуление регистра RG2 и счетчика СТ2, затем проверяется КОП операции, если выполняется операция сложения модулей, то проверяется знак операнда. Если знак операнда положительный то, происходит сложение на сумматорах SM1 и SM2, затем запись мантиссы в RG2, а характеристики в СТ2. Если выполняется операция вычитания или знак операнда при выполнении операции сложения равен 0, то инвертируется мантисса второго операнда, хранящаяся в RG1, и ожидается разрешение на выдачу результата на ШИВых. Если старший разряд характеристики отрицательный и на выходе компаратора 0, то возвращается характеристика первого операнда для дальнейшей выдачи на ШИВых. Если старший разряд характеристики положительный и на выходе компаратора 0 или старший разряд характеристики отрицательный и на выходе компаратора 1, то происходит проверка на равенство характеристике нулю. Если разность характеристик равна нулю, то переход к следующему такту. Если разность характеристик не равна нулю, то проверяется выход компаратора. Если на выходе компаратора 1, то происходит декремент счетчика СТ2, инкремент счетчика СТ1 и сдвиг регистра RG1 на один разряд вправо, иначе происходит инкремент СТ2 и сдвиг регистра RG2 на один разряд вправо. Далее снова проверяется разность характеристик, образуя цикл.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

27

ТПЖА.09.03.01.013 ПЗ

В следующем такте проверяется КОП. Если КОП сложения модулей, то RG1 и RG2 сдвигаются вправо, затем проверяется нормализация результата, если результат не нормализован, то происходит сложение операндов и запись мантиссы в RG2. Если результат не нормализован и КОП не операции сложения модулей, то второй операнд инвертируется, происходит сложение операндов и запись мантиссы в RG2.

В следующем такте происходит проверка на ПМР. Если произошла ПМР, то обнуляется счетчик СТ2. Если ПМР не произошло, то проверяется признак на ненормализованный результат. Пока результат не нормализован, то регистр RG2

Изм.

Лист

№ докум.

Подпись

Дата

Лист

28

ТПЖА.09.03.01.013 ПЗ

сдвигается на один разряд влево, происходит декремент СТ2. Если результат нормализован, то происходит проверка на ПРС. Если произошло ПРС, то триггер Т1 устанавливается в 1, выполнение операции прекращается. Если ПРС не произошло, то ожидается разрешение на выдачу данных на ШИВых.

При получении сигнала разрешения выдачи на шину, происходит передача результата на шину и выставление флагов.

* 1. Описание ГСА для операции инкремента

В первом такте происходит проверка на входной шине первого операнда. При поступлении операнда его мантисса записывается в RG1. Характеристика записывается в СТ1 и СТ2. Происходит очистка триггеров флагов, RG2.

В следующем такте происходит проверка на равенство операнда 0. Если операнд равен нулю, то выдать 1 в качестве результата, иначе происходит запись мантиссы в RG2.

В следующем такте проверяется старший разряд характеристики и выход компаратора A>B. Если старший разряд характеристики равен 1 и на выходе компаратора равен 1, то выдать операнд в качестве результата; если сигнал на выходе компаратора равен 0, то переходим к циклу выравнивания. Если же старший разряд характеристики равен 0 и сигнал компаратора равен 1, то выдать в качестве результат 1, иначе если сигнал компаратора равен 0, то обнуляем регистр RG1.

В следующем такте происходит проверка на нулевую характеристику в СТ2. Происходит процедура выравнивания, состоящая из 2 ситуаций: если старший разряд равен 1, то происходит сдвиг RG1 вправо и декрементировании СТ2, если старший разряд равен 0, то происходит сдвиг RG2 вправо и инкрементирование CT1, CT2. Цикл завершается, когда содержимое СТ2 станет равно нулю.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

29

ТПЖА.09.03.01.013 ПЗ

После завершения цикла происходит сложение содержимого RG1 и RG2 с записью в RG2.

Если результат не нормализован, то происходит обнуление СТ1 и СТ2, иначе происходит проверка на равенство результата нулю, если результат не равен нулю, то происходит сдвиг регистра RG1 влево и декрементирование СТ1, иначе выдается 0 в качестве результата.

При получении сигнала разрешения выдачи на шину, происходит передача результата на шину и выставление флагов.

1. Разработка объединенной функциональной схемы

За основу объединенной ФС была выбрана схема операции умножения.

Для реализации других операций используются лишь дополнения и небольшие изменения ФС основной операции:

* добавлен мультиплексор MS1;
* регистры RG2 и RG3 стали реверсивными сдвиговыми;
* Добавлен компаратор для сравнения характеристики операндов с числами +23 и -23:
* 9-разрядный счетчик СТ2 было решено разделить на 8-разрядный счетчик и триггер для хранения бита переноса при сложении характеристик;
* добавлена КС для инвертирования характеристики.

Для взаимодействия, операционного и управляющего автоматов введены наборы управляющих и осведомительных сигналов, приведенных в   
таблице 6.1.

Таблица 6.1 - Взаимодействие операционного и управляющего автоматов

Изм.

Лист

№ докум.

Подпись

Дата

Лист

30

ТПЖА.09.03.01.013 ПЗ

|  |  |  |  |
| --- | --- | --- | --- |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
| P0 | Операнд равен нулю | Y0 | Запись RG2.  Очистка T1,T2,T3,T4,T5,T6 |
| P1 | Второй разряд первого регистра | Y1 | Запись RG1, CT1 |
| P2 | Младший разряд первого регистра | Y2 | Плечо В MS1 |
| P3 | Знаковый разряд второго регистра | Y3 | Сдвиг RG1 вправо |
| P4 | Не нормализованный результат | Y4 | Сдвиг RG2 вправо |
| P5 | Результат равен нулю | Y5 | Сдвиг RG2 влево |
| P6 | Старший разряд характеристики | Y6 | Очистка RG2 |
| P7 | ПМР | Y7 | СТ1+1 |
| P8 | Временное ПРС | Y8 | СТ1-1 |
| P9 | ПРС | Y9 | Очистка СТ1 |
| P10 | Характеристика равна нулю | Y10 | Инверсия RG2 и CRP на SM2 |
| P11 | Выход компаратора А>В | Y11 | Очистка RG3 |
| X | Проверка наличия операндов на ШИВх | Y12 | Запись RG3, T3 |
| Z | Проверка возможности выдачи результата на ШИВых | Y13 | Сдвиг RG3 вправо |
|  | | | |
| Таблица 6.1 – продолжение | | | |
| Из ОА в УА | | Из УА в ОА | |
| Сигнал | Логическое условие | Сигнал | Микрооперация |
|  | | Y14 | Сдвиг RG3 влево |
| Y15 | Инверсия СТ1 и CRP на SM3 |
| Y16 | Очистка СТ2 |
| Y17 | Запись СТ2 |
| Y18 | СТ2+1 |
| Y19 | СТ2-1 |
|  |  |
| Y20 | Запись в Т5 |
| Y21 | Запись в Т6 |
| Y22 | Заполнение 1 сдвиге RG2 |
| Y23 | Заполнение знаком при сдвиге RG2 |
| Y24 | CRP на SM1 |
| Y25 | Запись в Т1 |
| Y26 | Запись в Т2, Т14, выдача на шину |

Разработанная объединенная ФС представлена на рисунке А.4.

7 Разработка объединенной ГСА

Изм.

Лист

№ докум.

Подпись

Дата

Лист

31

ТПЖА.09.03.01.013 ПЗ

Для выбора операции в объединенном ОА каждой операции присваивается свой код. Коды представлены в таблице 7.1.

Таблица 7.1 – Коды операций

|  |  |  |
| --- | --- | --- |
| Операция | КОП | |
| q1 | q0 |
| Умножение | 0 | 0 |
| Инкремент | 0 | 1 |
| Сложение модулей | 1 | 0 |
| Вычитание | 1 | 1 |

На этапе разработки объединенной ГСА была добавлена вершина выбора кода операции. ГСА операций сложения модулей и вычитания были объединены в одну, поскольку они различаются в двух вершинах. Общие части всех ГСА были выделены отдельно.

Разработанная объединенная ГСА представлена на рисунке Б.4.1 и Б.4.2.

8 Разработка принципиальной схемы ОЧ АЛУ

Для разработки принципиальной схемы были использованы микросхемы ТТЛ серий 1533, 1531, 555, 561. Перечень требуемых для разработки микросхем представлен в таблице 8.1.

Таблица 8.1 – Перечень требуемых микросхем

|  |  |
| --- | --- |
| Микросхема | Функциональное назначение |
| К1533АП5 | Шинный формирователь |
| К1533ИЕ7 | 4-х разрядный счётчик |
| К1533ТМ2 | 2 D-триггера (2 шт. в корпусе) |
| К1533ЛИ1 | Логическая функция И (4 шт. в корпусе) |
| К1533ЛН1 | Логическая функция НЕ (6 шт. в корпусе) |
| К1533ЛЛ1 | Логическая функция ИЛИ (4 шт. в корпусе) |
| К1533ЛЕ11 | Логическая функция 2ИЛИ-НЕ с открытым коллектором (4 шт. в корпусе) |
| К1533ЛП16 | Повторитель с повышенной нагрузочной способностью |
| К155ИР13 | Реверсивный 8-и разрядный сдвиговый регистр |
| К555ИМ6 | 4-х разрядный сумматор |
| К1533ЛП5 | Логическая функция XOR (4 шт. в корпусе) |
| К1533СП1 | 4-х разрядный цифровой компаратор |
| К555КП16 | 4-х разрядный мультиплексор |
| К561ТР2 | RS-триггер (4 шт. в корпусе) |
| К1533АГ3 | Два мультивибратора с перезапуском (2 шт. в корпусе) |

Потребляемый микросхемами ток представлен в таблице 8.2.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

32

ТПЖА.09.03.01.013 ПЗ

Таблица 8.2 – Потребляемый микросхемами ток

|  |  |  |  |
| --- | --- | --- | --- |
| Микросхема | Ток одной  микросхемы,  мА | Кол-во,  шт | Суммарный  ток, мА |
| К1533АП5 | 24 | 4 | 96 |
| К1533ИЕ7 | 22 | 4 | 88 |
| К1533ТМ2 | 4 | 3 | 12 |
| К1533ЛИ1 | 4 | 2 | 4 |
| К1533ЛН1 | 4 | 3 | 12 |
| К1533ЛЛ1 | 4,9 | 4 | 14,7 |
| К1533ЛЕ11 | 9 | 7 | 63 |
| К1533ЛП16 | 10,6 | 1 | 21,2 |
| К155ИР13 | 40 | 16 | 640 |
| К555ИМ6 | 34 | 14 | 476 |
| К1533ЛП5 | 5,9 | 15 | 88,5 |
| К1533СП1 | 11 | 2 | 22 |
| К561ТР2 | 22 | 1 | 22 |
| К555КП16 | 4 | 6 | 24 |
| К1533АГ3 | 3,2 | 1 | 3,2 |
| **Всего:** | | **83** | **1574,3** |

Общая потребляемая мощность: .

Разработанный принципиальная схема представлена на рисунках В.1– В.3.

8.1 Регистры

Изм.

Лист

№ докум.

Подпись

Дата

Лист

33

ТПЖА.09.03.01.013 ПЗ

Реверсивный сдвиговый регистр собирается с использованием микросхемы К155ИР13. Способ подключения для наращивания разрядности представлен на рисунке 8.1.1.



Рисунок 8.1.1 – Соединение регистров для сдвигов в сторону младших и старших разрядов.

Временная диаграмма работы реверсивного сдвигового регистра представлена на рисунке 8.1.2.

Изм.

Лист

№ докум.

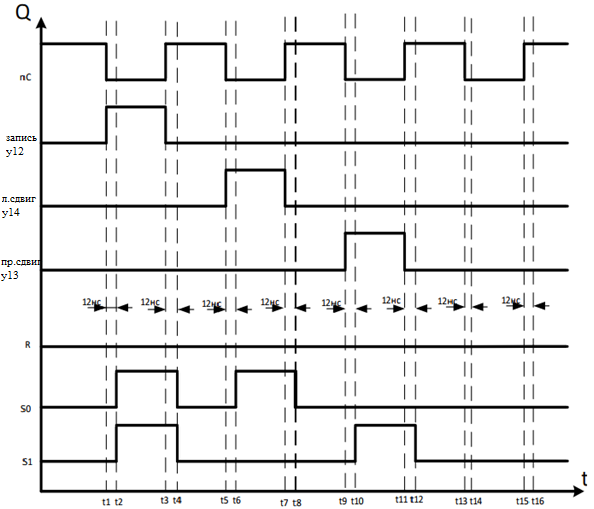
Подпись

Дата

Лист

34

ТПЖА.09.03.01.013 ПЗ



Изм.

Лист

№ докум.

Подпись

Дата

Лист

35

ТПЖА.09.03.01.013 ПЗ

Рисунок 8.1.2 – временная диаграмма реверсивного сдвигового регистра.

8.2 Сумматор

Для увеличения разрядности сумматора выход CR соединяется со входом переноса CR следующего сумматора. Схема соединения ИМ6 представлена на рисунке 8.2.

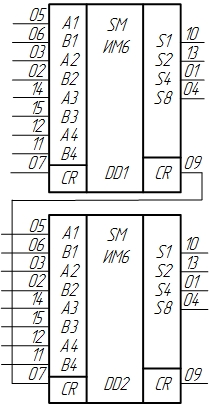


Рисунок 8.2 – Схема соединения ИМ6

Изм.

Лист

№ докум.

Подпись

Дата

Лист

36

ТПЖА.09.03.01.013 ПЗ

8.3 Счетчики

Для увеличения разрядности счётчика инверсные выходы ≥15 и ≤0 следует соединить со входами +1 и -1 следующего счётчика. Схема подключения ИЕ7 представлена на рисунке 8.3.1.

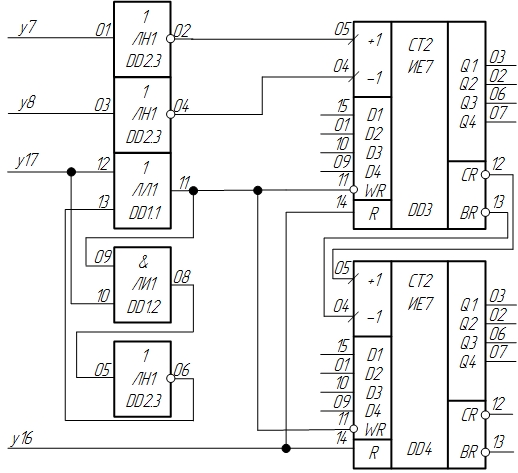


Рисунок 8.3.1 – Схема подключения ИЕ7

Изм.

Лист

№ докум.

Подпись

Дата

Лист

37

ТПЖА.09.03.01.013 ПЗ

Временная диаграмма работы ИЕ7 представлена на рисунке 8.3.2.

Такая схема подключения применяется только для счётчика СТ2, для счётчика СТ1 предполагается что данные будут на шине до конца такта.

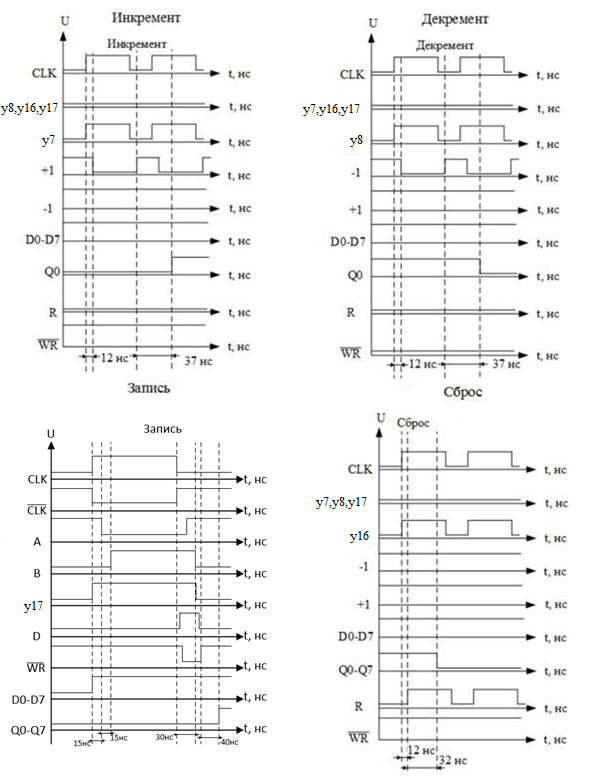


Рисунок 8.3.2 – Временная диаграмма работы счётчика ИЕ7

Изм.

Лист

№ докум.

Подпись

Дата

Лист

38

ТПЖА.09.03.01.013 ПЗ

8.4 Компараторы

Изм.

Лист

№ докум.

Подпись

Дата

Лист

39

ТПЖА.09.03.01.013 ПЗ

Для отлавливания ситуации, когда модуль разности характеристик больше 23, либо меньше 23 были использованы 2 компаратора. Схема подключения компараторов представлена на рисунке 8.6.



Рисунок 8.4 – Схема подключения компараторов

Для увеличения разрядности компаратора нужно присоединить выход «X>Y» первого компаратора к соответствующему входу второго.

8.5 Резисторы

Изм.

Лист

№ докум.

Подпись

Дата

Лист

40

ТПЖА.09.03.01.013 ПЗ

Поскольку используются выходы микросхемы К1533ЛЕ11 с открытым коллектором, необходимо добавить в схему ограничительный резистор. Ограничительное сопротивление R1 рассчитывается по формуле

где - минимальное напряжение микросхемы;

- максимальное напряжение микросхемы;

- максимальное напряжение логического нуля;

- Минимальное напряжение логической единицы

- токи утечки логического нуля и единицы;

- входные токи логических нуля и единицы;

- выходной ток логического нуля;

- количество элементов с открытым коллектором.

Для повышения быстродействия следует использовать наименьшее ограничительное сопротивление. Также в связи с тем, что ток утечки логического нуля очень мал, слагаемым (𝑁 − 1) ∗ 𝐼ут можно пренебречь. Ограничительное сопротивление можно рассчитать следующим образом:

где - максимальное напряжение микросхемы;

- максимальное напряжение логического нуля;

- входной ток логического нуля;

- выходной ток логического нуля;

- количество элементов с открытым коллектором.

Резистор R21 был выбран из ряда E24 равный 220 Ом.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

41

ТПЖА.09.03.01.013 ПЗ

Аналогично рассчитываются резисторы R2 и R3.

Резистор R2 был выбран из ряда E24 равный 220 Ом.

Резистор R3 был выбран из ряда E24 равный 220 Ом.

8.6 Логические элементы

УГО некоторых микросхем логических элементов представлены на рисунках 8.6.1 – 8.6.4.

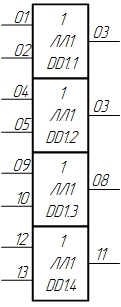


Рисунок 8.6.1 – УГО микросхемы К1533ЛЛ1



Изм.

Лист

№ докум.

Подпись

Дата

Лист

42

ТПЖА.09.03.01.013 ПЗ

Рисунок 8.6.2 – УГО микросхемы К1533ЛИ1



Рисунок 8.6.3 – УГО микросхемы К1533ЛП5



Изм.

Лист

№ докум.

Подпись

Дата

Лист

43

ТПЖА.09.03.01.013 ПЗ

Рисунок 8.6.4 – УГО микросхемы К1533ЛН1

8.7 Триггеры

В схеме присутствуют D-триггеры и RS-триггер.

Для реализации D-триггеров была взята микросхема К1533ТМ2. УГО данной микросхемы представлено на рисунке 8.7.1.

Для реализации RS-триггера была взята микросхема К561ТР2. УГО данной микросхемы представлено на рисунке 8.7.2.



Изм.

Лист

№ докум.

Подпись

Дата

Лист

44

ТПЖА.09.03.01.013 ПЗ

Рисунок 8.7.1 – УГО микросхемы К1533ТМ2



Рисунок 8.7.2 – УГО микросхемы К561ТР2

8.8 Шинный формирователь

Изм.

Лист

№ докум.

Подпись

Дата

Лист

45

ТПЖА.09.03.01.013 ПЗ

По завершении операции результат выдаётся на шину данных. Для корректного формирования результата используется усилитель-формирователь. Данный элемент реализуется с помощью микросхемы КР1533АП5. УГО данной микросхемы представлено на рисунке 8.8.



Рисунок 8.8 – УГО микросхемы К1533АП5

9 Расчет фильтра питания

Чтобы сгладить возможные скачки напряжения, для схемы необходимо разработать фильтр. Требуется рассчитать количество и ёмкости двух видов конденсаторов:

* электролитического – необходимого для сглаживания пульсирующего тока;
* керамического – необходимого для сглаживания напряжения.

9.1 Расчет амплитуды ступенчатого скачка тока

Изм.

Лист

№ докум.

Подпись

Дата

Лист

46

ТПЖА.09.03.01.013 ПЗ

Сначала найдем максимальную расчетную амплитуду ступенчатого скачка тока питания по формуле:

где – количество выходов микросхем;

– средняя емкость нагрузки выходов;

– амплитуда выходного сигнала;

– время переключения выходов.

Примем , , исходя из средних показателей микросхем. 369.(+4)

Выполним расчеты:

9.2 Расчет импеданса

Максимально допустимый импеданс рассчитывается по следующей формуле:

где допустимое напряжение помехи, равное 0.1 В;

– амплитуда ступенчатого скачка тока.

Рассчитаем по формуле:

Изм.

Лист

№ докум.

Подпись

Дата

Лист

47

ТПЖА.09.03.01.013 ПЗ

9.3 Расчет индуктивности

Вычислим индуктивность разводки питания по следующей формуле:

где – длина провода питания;

– среднее расстояние между центрами проводов;

– диаметр жилы провода.

Примем ,

Выполним расчёт:

9.4 Расчет частоты помех

Допустимую частота помех находится по следующей формуле:

гдемаксимально допустимый импеданс;

индуктивность разводки питания.

Выполним расчет:

Изм.

Лист

№ докум.

Подпись

Дата

Лист

48

ТПЖА.09.03.01.013 ПЗ

9.5 Расчет емкости конденсатора

Емкость электролитического конденсатора рассчитывается по следующей формуле:

где допустимая частота помех;

максимально допустимый импеданс.

Выполним расчёт по формуле:

# Из ряда Е24 берем значение для электролитического конденсатора

# Cэ = 180 мкФ.

9.6 Обеспечение устойчивости

Для обеспечения устойчивости от высокочастотных помех, возникающих из-за паразитных емкостей микросхем, в цепи питания ставятся керамические

конденсаторы малой емкости.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

49

ТПЖА.09.03.01.013 ПЗ

Для расчёта данной емкости сначала найдём максимальную допустимую индуктивность питания по следующей формуле:

гдемаксимально допустимый импеданс;

время переключения выходов.

Рассчитаем по формуле:

По следующей формуле рассчитаем частоту, до которой электролитический конденсатор справляется со своим назначением:

По следующей формуле рассчитаем общую емкость керамических конденсаторов:

Количество керамических конденсаторов рассчитывается по следующей формуле:

Емкость керамического конденсатора рассчитывается по следующей формуле:

Изм.

Лист

№ докум.

Подпись

Дата

Лист

50

ТПЖА.09.03.01.013 ПЗ

При расчёте этой формулой необходимо 31 керамический конденсатор.

Для керамического конденсатора берём значение ряда Е24 равное .

10 Расчет длительности такта

Схематически такт работы представлен на рисунке 10.1.

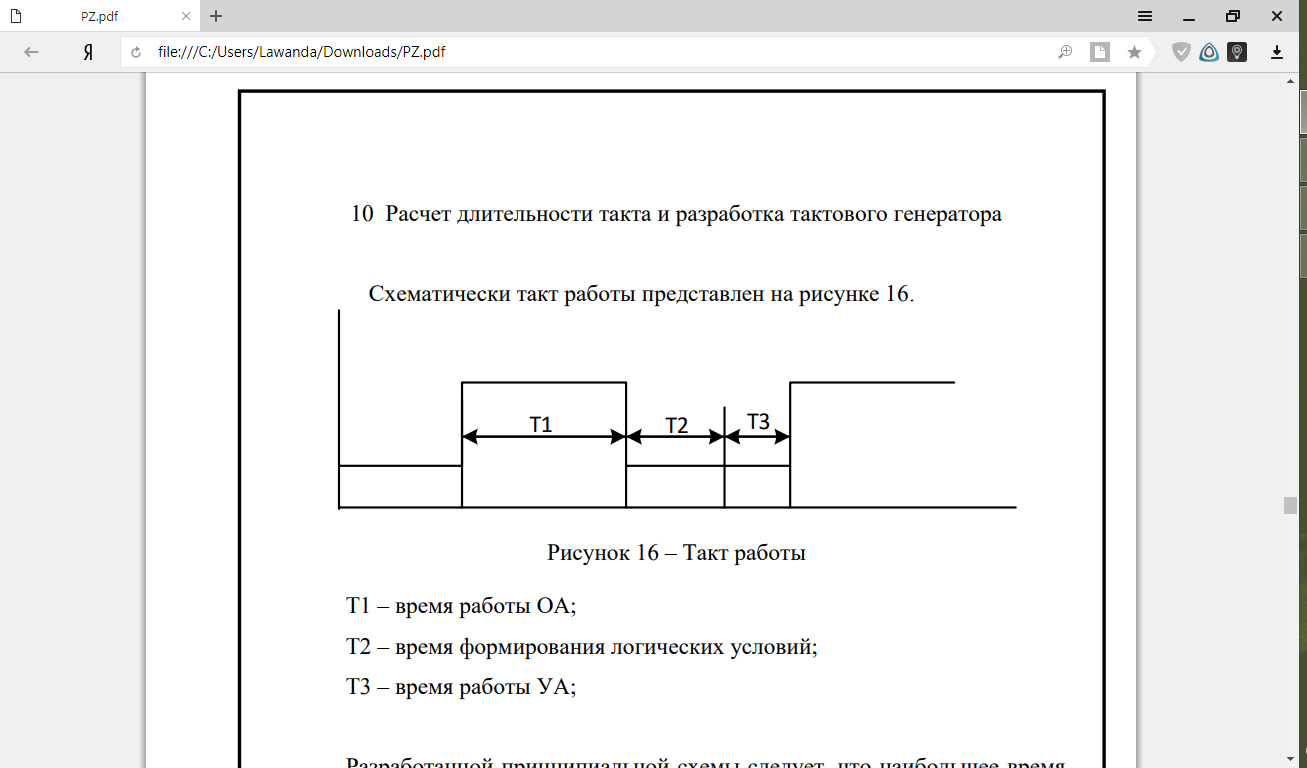


Рисунок 10.1– Такт работы

Т1 – время работы ОА;

Т2 – время формирования логических условий;

Т3 – время работы УА.

Для определения данной задержки необходимо сложить время задержки КС2 после второго регистра (t1), время задержки на сумматоре (t2.1) и время предустановки данных ИР13 (t3.1), либо сумма задержки на КС2 (t1), время задержки на разряде переноса сумматора (t2.2) и время предустановки данных ТМ2 (t3.2).

1) Определяем время Т1:

В первом случае время будет равно: Т1.1 = 17+252+22 = 291 нс

Во втором случае: Т1.2 = 17+90+15 = 122 нс

Следует выбрать большее из них, следовательно, выбираем время Т1.1 и прибавляем к нему 10% для повышения надёжности. В следствии чего оно становится равным: Т1 = 291\*1,1 = 321 нс.

2) Время Т2 определяется наибольшим временем формирования осведомительных сигналов. Наибольшее время формирования имеет сигнал р11. К этому времени следует прибавить задержку до начала предустановки в ИЕ7.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

51

ТПЖА.09.03.01.013 ПЗ

Для повышения надёжности время задержки Т2 необходимо увеличить на 10%, без учёта задержки на ЛЕ1. Конечное значение времени задержки при формировании осведомительного сигнала p11 равно 128 нс.

3) Время Т3 определяется временем задержки на УА.

КС состоит из трех слоёв элементов: «НЕ», «И», «ИЛИ». Таким образом, задержка формирования управляющих сигналов получается из суммы задержек этих элементов. Также к этому времени необходимо добавить задержку на элементе «И», необходимом для объединения управляющих сигналов с сигналом синхронизации.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

52

ТПЖА.09.03.01.013 ПЗ

4) Общее время такта: T = T1+T2+T3 = 321+128+57 = 506 нс.

11 Разработка тактового генератора

В качестве генератора возьмем микросхему К1533АГ3. Она представляет собой 2 одновибратора, которые соединятся в мультивибратор. Ее подключение показано на рисунке 11.1.



Рисунок 11.1 – Схема подключения тактового генератора

Для реализации тактового генератора требуется рассчитать номиналы C31, C32, R4, R5.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

53

ТПЖА.09.03.01.013 ПЗ

Для расчёта используется следующая формула:

где – время;

– ёмкость;

– сопротивление.

Время задержки на одновибраторах t3=39 нс.

Время работы на первом одновибраторе t1 = T1 = 321 нс.

Время работы на втором одновибраторе t2 = T2+T3-2\*t3 = 185-2\*39=107 нс.

Емкость конденсатора C2 выбирается из ряда E24 равной 330 пФ.

Сопротивление резистора R4 рассчитывается по формуле:

Сопротивление резистора выбирается из ряда E6 сопротивлением 2.2 кОм.

Емкость конденсатора C3 выбирается из ряда E24 равным 160 пФ.

Сопротивление резистора R5 рассчитывается по формуле. Сопротивление резистора выбирается из ряда E6 сопротивлением 1,5 кОм.

По формуле повторно рассчитывается t1 и t2:

t1=326,7нс;

t2=108нс.

Генератор вырабатывает тактовый импульс с временем   
Т = t1 + t2  = 435 нс.

Разработанная схема работает с частотой: F = = 2,3 МГц

Изм.

Лист

№ докум.

Подпись

Дата

Лист

54

ТПЖА.09.03.01.013 ПЗ

Временная диаграммы тактового генератора представлены на рисунке 11.2.

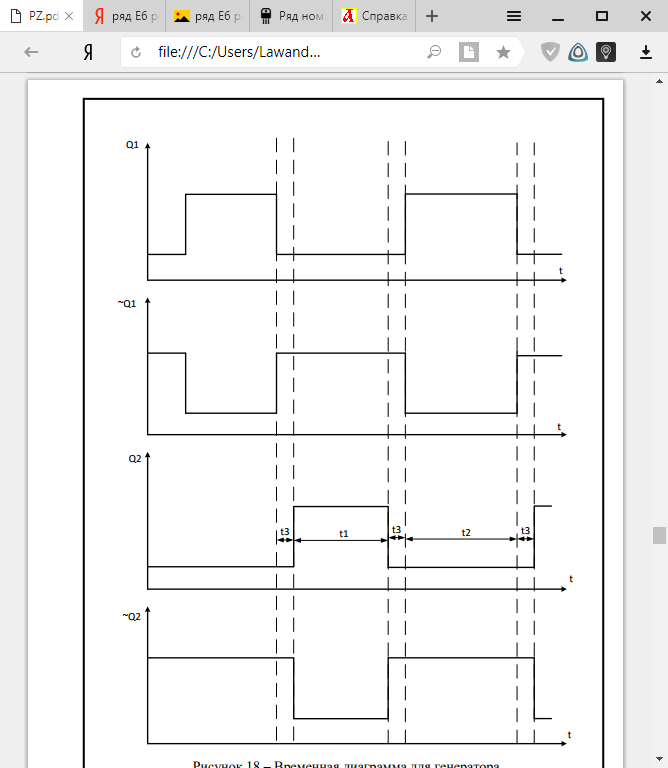


Рисунок 11.2 – Временные диаграммы для генератора

12 Расчет быстродействия

Вероятности возникновения различных ситуаций при работе представлены в таблице 12.1.

Таблица 12.1 – Вероятности различных ситуаций

Изм.

Лист

№ докум.

Подпись

Дата

Лист

55

ТПЖА.09.03.01.013 ПЗ

|  |  |
| --- | --- |
| Наименование | Вероятность |
| Операция умножения | 0.1 |
| Операция сложения модулей | 0.4 |
| Операция вычитания | 0.3 |
| Операция инкремент | 0.2 |
| Окончание операции умножения | 0.1 |
| ПРС в характеристике | 0.05 |
| Временное ПРС в характеристике | 0.05 |
| ПМР в характеристике | 0.05 |
| Операнд равен нулю | 0.01 |
| Модуль разности характеристик больше 23 | 0.2 |
| Получение денормализованного числа | 0.5 |
| Результат равен нулю | 0.01 |

Найдём среднее количество тактов для выполнения каждой операции.

Граф-схема алгоритма операции умножения представлена на   
рисунке 12.1.



Рисунок 12.1 – Граф-схема алгоритма операции умножения

N1 = А1+0.01(А8)+0.99(А2+А3+0.01(А8)+0.99(А4+0.05(А10)+0.95(0.05\* (А9+А8)+0.95(А5+А6)\*0.9\*15+0.1(0.5(А7)+0.5(0.05(А10)+0.95(0.05(А9+А8)+ +0.95\* (А8))))))) = 28.24

Изм.

Лист

№ докум.

Подпись

Дата

Лист

56

ТПЖА.09.03.01.013 ПЗ

Граф-схема алгоритма операции сложения модулей вычитания приведена на рисунке 12.2.

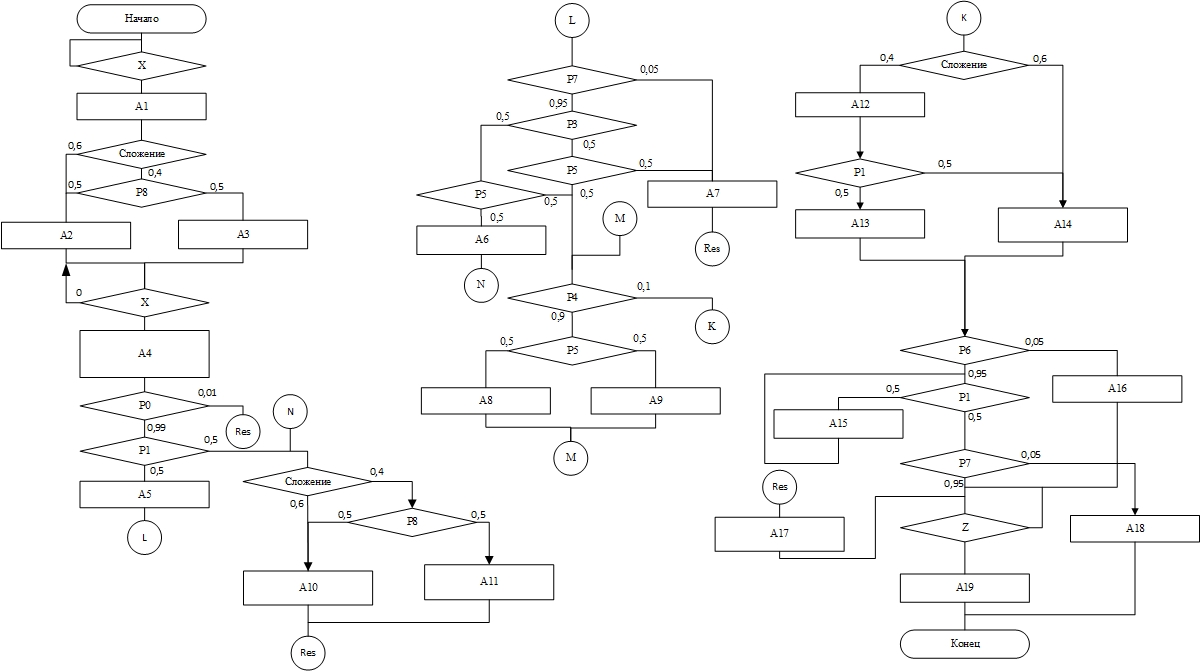


Рисунок 12.2 – Граф-схема алгоритма операций сложения модулей и вычитания

N2 = A1+0,6(А2+А4)+0,4(0,5(А2+А4+0,01(А17+А19)+0,99(0,5(0,6(А10+ +А17+А19)+0,4(0,5(А10+А17+А19)+0,5(А11+А17+А19)))+0,5(А5+0,05(А7+ +А17+А19)+0,95(0,5(0,5(А6+0,6(А10+А17+А19)+0,4(0,5(А10+А17+А19)+

+0,5(А11+А17+А19)))+0,5(0,9(0,5(А8)\*10+0,5(А9)\*10)+0,1(0,4(А12+0,5(А13+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19))))+0,5(А14+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19)))))+0,6(А14+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19)))))))))+

+0,5(0,5(0,9(0,5(А8)\*10+0,5(А9)\*10)+0,1(0,4(А12+0,5(А13+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19))))+0,5(А14+

Изм.

Лист

№ докум.

Подпись

Дата

Лист

57

ТПЖА.09.03.01.013 ПЗ

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19)))))+0,6(А14+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19))))))+0,5(А7+А17+

+А19)))))+0,5(А2+А4+0,01(А17+А19)+0,99(0,5(0,6(А10+ +А17+А19)+0,4(0,5(А10+А17+А19)+0,5(А11+А17+А19)))+0,5(А5+0,05(А7+ +А17+А19)+0,95(0,5(0,5(А6+0,6(А10+А17+А19)+0,4(0,5(А10+А17+А19)+

+0,5(А11+А17+А19)))+0,5(0,9(0,5(А8)\*10+0,5(А9)\*10)+0,1(0,4(А12+0,5(А13+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19))))+0,5(А14+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19)))))+0,6(А14+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19)))))))))+

+0,5(0,5(0,9(0,5(А8)\*10+0,5(А9)\*10)+0,1(0,4(А12+0,5(А13+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19))))+0,5(А14+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19)))))+0,6(А14+

+0,05(А16+А19)+0,95(0,5(А15)\*10+0,5(0,05(А18)+0,95(А19))))))+0,5(А7+А17+

+А19)))))))))) = 30,96

Граф-схема алгоритма операции инкремента приведена на рисунке 12.3.

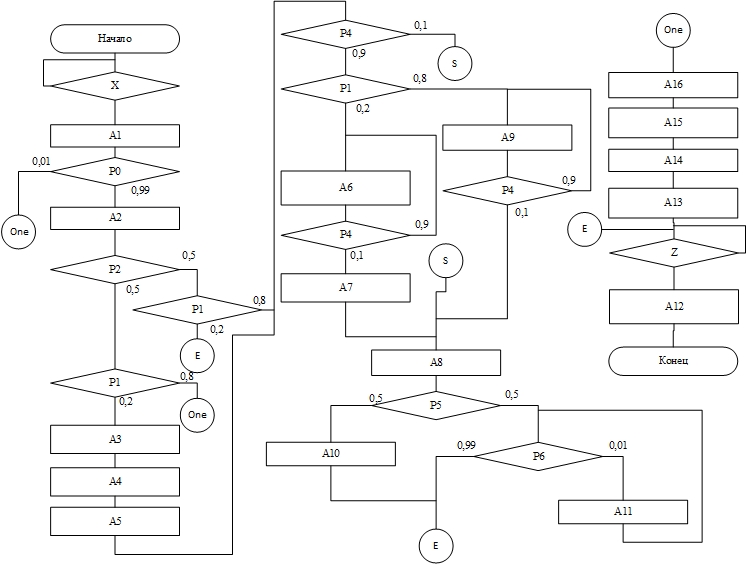


Рисунок 12.3 – Граф-схема алгоритма операции инкремента

N3 = А1+0,01(А16+А15+А14+А13+А12)+0,99(А2+0,5(0,2(А12)+

Изм.

Лист

№ докум.

Подпись

Дата

Лист

58

ТПЖА.09.03.01.013 ПЗ

+0,8(0,1(А8+0,5(А10+А12)+0,5(0,99(А12)+0,01(А11\*10+А12))+

+0,9(0,8(А9+А9\*10\*0,9+0,1\*А8+0,5(А10+А12)+0,5(0,99(А12)+

+0,01(А11\*10+А12)))+0,2(А6+0,9\*А6+0,1\*А7+А8+0,5(А10+А12)+

+0,5(0,99(А12)+0,01(А11\*10+А12)))))))+0,5(0,2(А3+А4+А5+0,9(0,8(А9+

+А9\*10\*0,9+0,1\*А8+0,5(А10+А12)+0,5(0,99(А12)+0,01(А11\*10+А12)))+

+0,2(А6+0,9\*А6+0,1\*А7+А8+0,5(А10+А12)+0,5(0,99(А12)+0,01(А11\*10+

+А12))+0,8(А16+А15+А14+А13+А12))) = 22,55

Используя данные предыдущих вычислений найдём среднее число операций, выполняемых на АЛУ.

N = N1\*0.1 + N2\*0.3 + N2\*0.4 + 0.2\*N3 = 0.1\*28.24 + 0.3\*30.96 + + 0.4\*30.96 + 0.2\*22.55 = 29,006

Отсюда число операций в секунду:

13 Выбор разъёма

Для подключения схемы необходимо:

* 32 разряда под входные данные;
* 32 разряда под выходные данные;
* 2 разряда для питания и заземления;
* 26 разрядов под управляющие сигналы;
* 11 разрядов под осведомительные сигналы;
* 4 разряда под флаги результата;
* 2 разряда под код операции.

Всего потребуется 109 разрядов.

Изм.

Лист

№ докум.

Подпись

Дата

Лист

59

ТПЖА.09.03.01.013 ПЗ

В качестве разъема для подключения схемы был выбран разъем

СНП34-135Р, имеющий разрядность 135 и ток на контакт до 2А. Плата присоединяется при помощи шлейфа.

Схема расположения контактов представлена на рисунке 13.1. Внешний вид разъема представлен на рисунке 13.2.

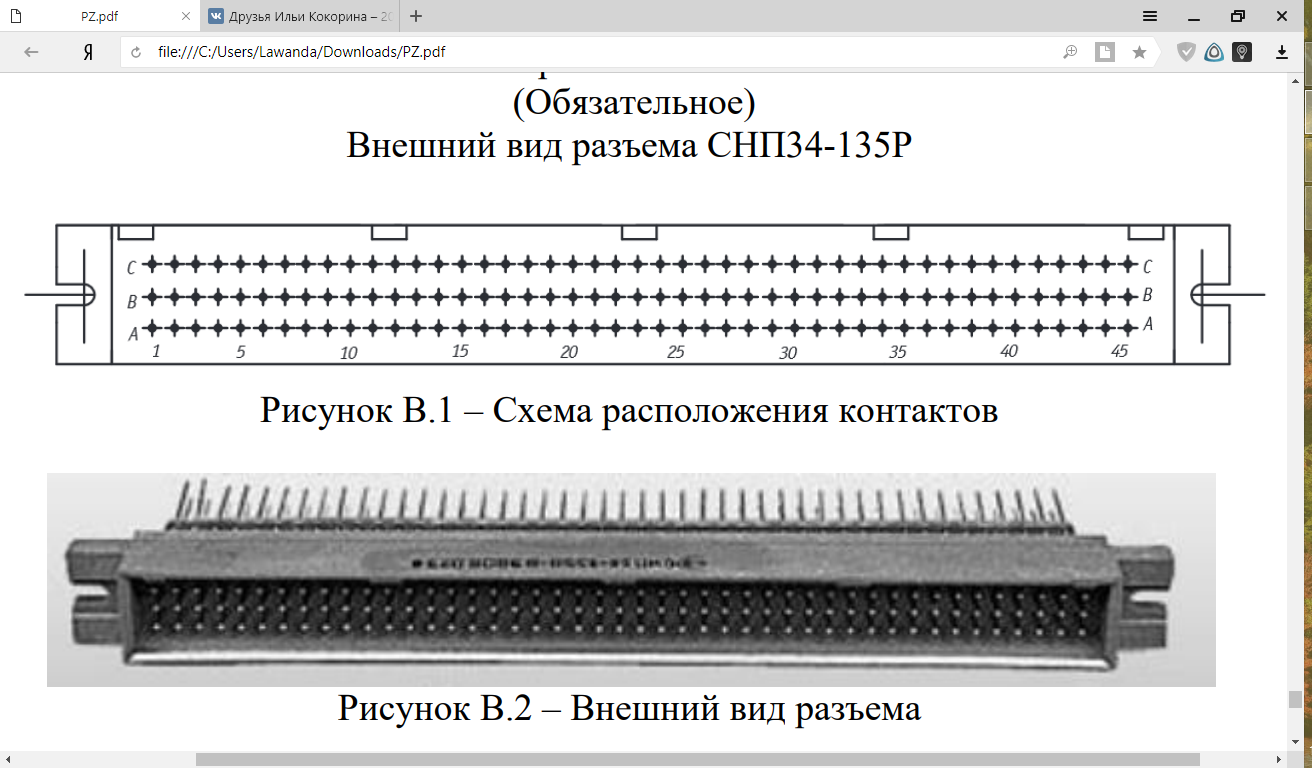


Рисунок 31.1 – Схема расположения контактов

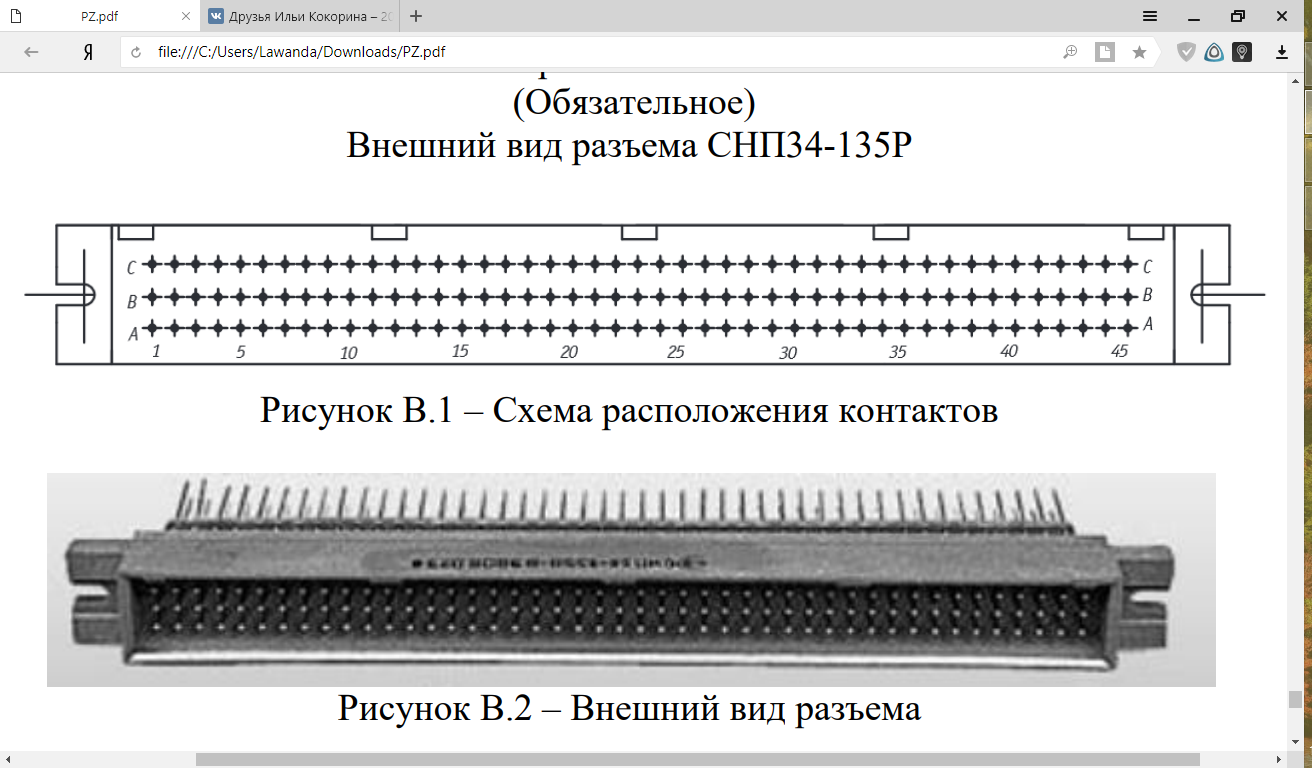


Рисунок 31.2 – Внешний вид разъема

Изм.

Лист

№ докум.

Подпись

Дата

Лист

60

ТПЖА.09.03.01.013 ПЗ

Заключение

В ходе выполнения курсового проекта были разработаны функциональные схемы для операции умножения в дополнительном коде II способом, сложения модулей, вычитания, инкремента, над числами с плавающей запятой с характеристиками. Разработаны граф-схемы алгоритмов для управления данными функциональными схемами. Разработана объединенная функциональная схема и объединенная граф-схема алгоритма. Разработана схема электрическая принципиальная на ТТЛ микросхемах 1533, 155, 555 и 561 серий. Для сглаживания скачков тока и напряжения был разработан фильтр питания и рассчитаны соответствующие номиналы конденсаторов. Был выбран тактовый генератор для генерации тактовых импульсов с рассчитанной длительностью. В результате получена схема, содержащая 83 микросхемы, с общей потребляемой мощностью 7,87 Вт. Среднее быстродействие – 79254 операций в секунду.

Список сокращений

Изм.

Лист

№ докум.

Подпись

Дата

Лист

61

ТПЖА.09.03.01.013 ПЗ

АЛУ – арифметико-логическое устройство

ГСА – граф-схема алгоритма

ДК – дополнительный код

ОА – операционный автомат

ОЧ – операционная часть

ПК – прямой код

ПМР – потеря младших разрядов

ПРС – переполнение разрядной сетки

СЧП – сумма частичных произведений

ТТЛ – транзисторно-транзисторная логика

УА – управляющий автомат

ФС – функциональная схема

Библиографический список

Изм.

Лист

№ докум.

Подпись

Дата

Лист

62

ТПЖА.09.03.01.013 ПЗ

1. Томчук М.Н. Лабораторный практикум по дисциплине “Схемотехника ЭВМ” [Текст] / Томчук М.Н. – издательство ВятГУ 2011. 62 с.
2. Справочник по стандартным цифровым ТТЛ микросхемам [Электронный ресурс] – Режим доступа http://www.cqham.ru/kozak/ttl/ttlh01.htm, свободный - Загл. с экрана.

# Приложение А

Изм.

Лист

№ докум.

Подпись

Дата

Лист

63

ТПЖА.09.03.01.013 ПЗ

(Обязательное)

Функциональные схемы отдельных операций

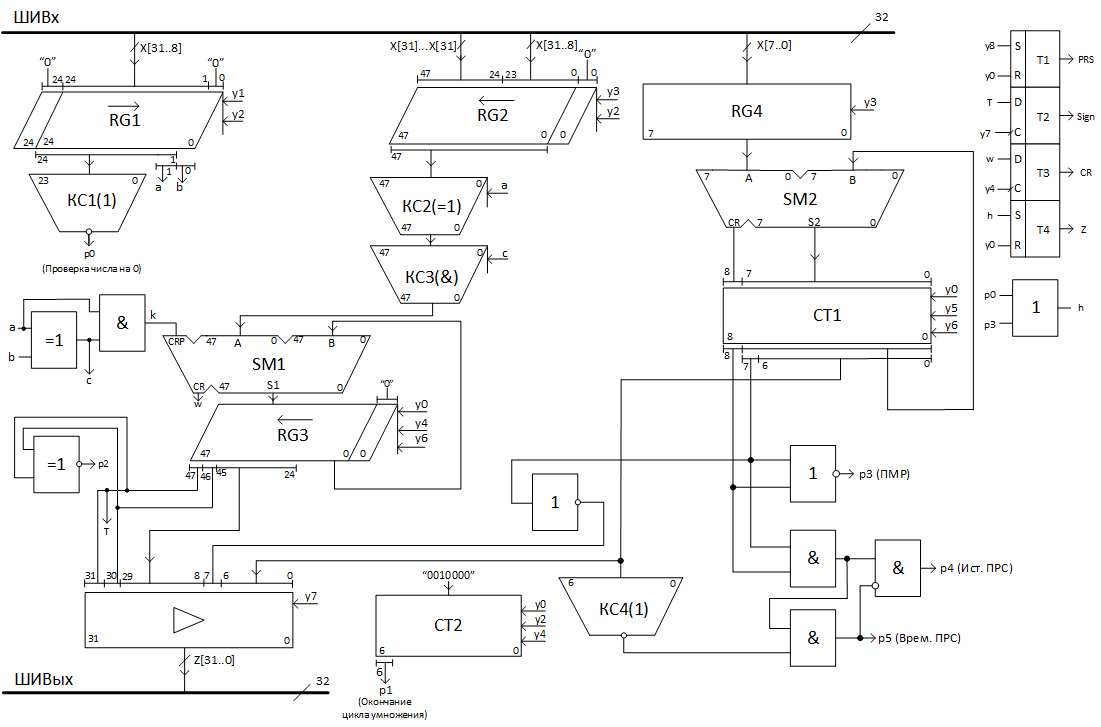
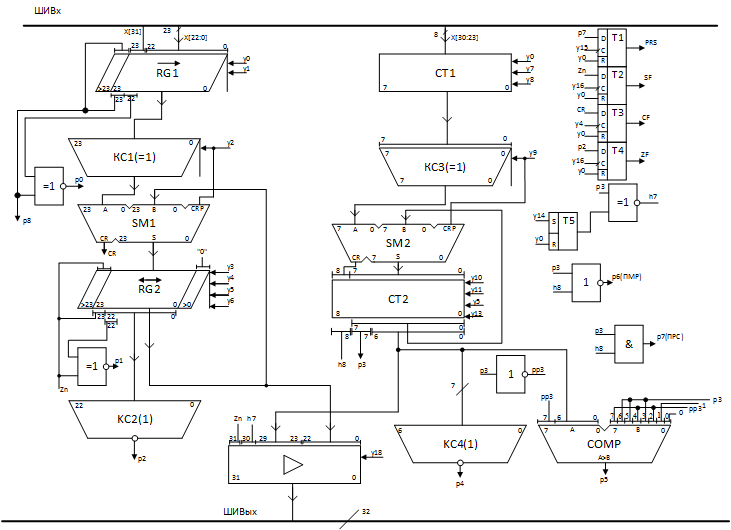


Рисунок А.1 – Функциональная схема ОЧ АЛУ операции умножения



Изм.

Лист

№ докум.

Подпись

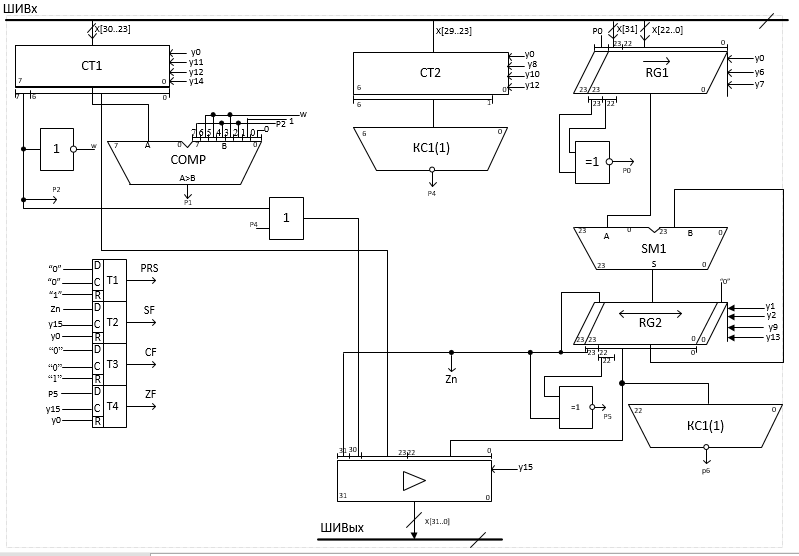
Дата

Лист

64

ТПЖА.09.03.01.013 ПЗ

Рисунок А.2 – Функциональная схема ОЧ АЛУ операции сложения модулей и вычитания



Изм.

Лист

№ докум.

Подпись

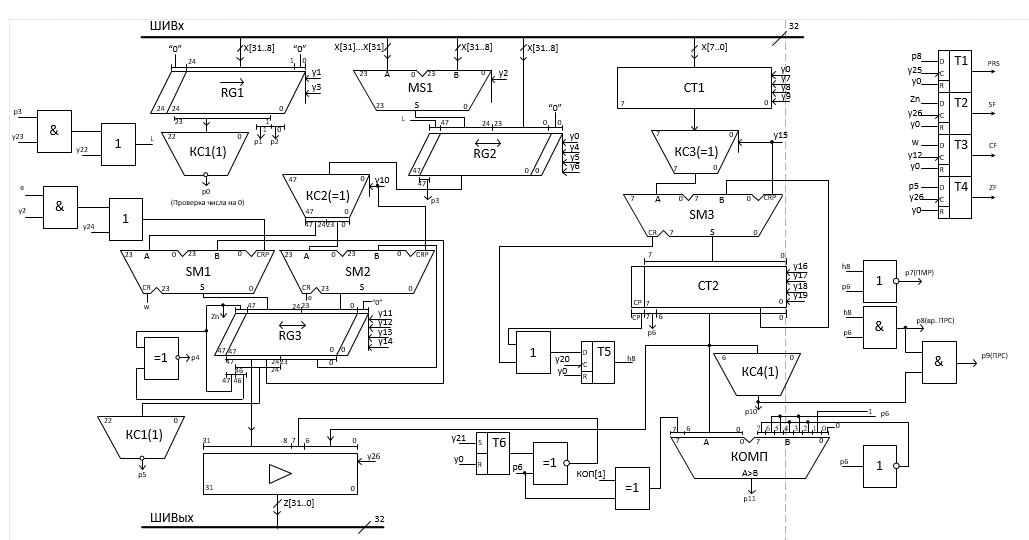
Дата

Лист

65

ТПЖА.09.03.01.013 ПЗ

Рисунок А.3 – Функциональная схема ОЧ АЛУ операции инкремента



Изм.

Лист

№ докум.

Подпись

Дата

Лист

66

ТПЖА.09.03.01.013 ПЗ

Рисунок А.4 – Объединенная функциональная схема

# Приложение Б

Изм.

Лист

№ докум.

Подпись

Дата

Лист

67

ТПЖА.09.03.01.013 ПЗ

(Обязательное)

Содержательные схемы алгоритмов



Рисунок Б.1 – Содержательная схема алгоритма умножения



Изм.

Лист

№ докум.

Подпись

Дата

Лист

68

ТПЖА.09.03.01.013 ПЗ

Рисунок Б.2 – Содержательная схема алгоритма сложения модулей и вычитания

Изм.

Лист

№ докум.

Подпись

Дата

Лист

69

ТПЖА.09.03.01.013 ПЗ

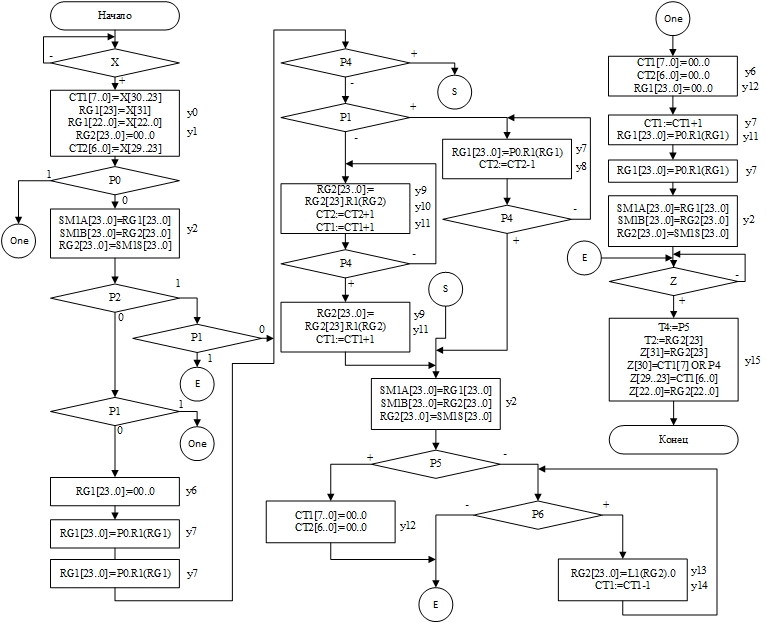
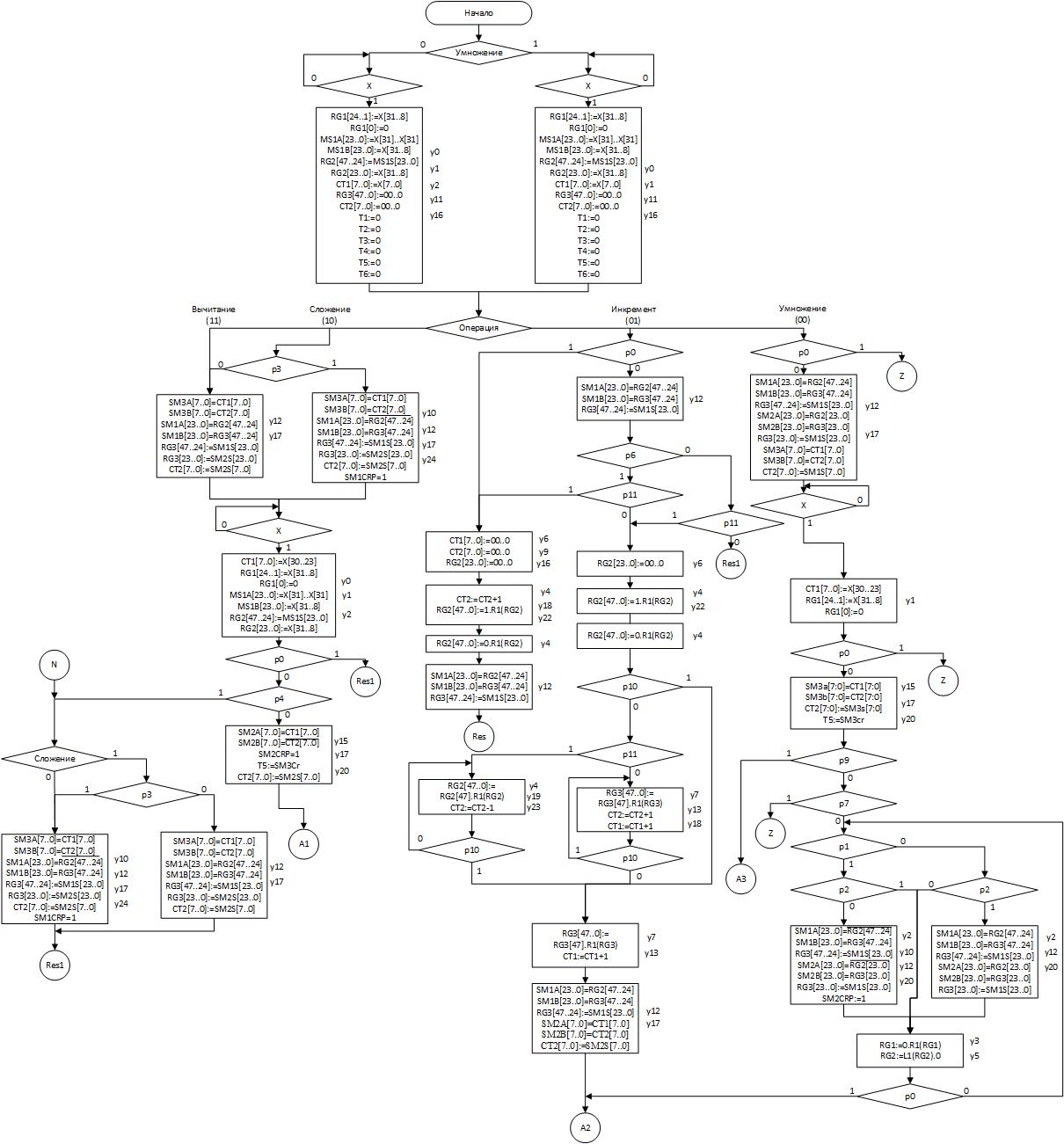


Рисунок Б.3 – Содержательная схема алгоритма инкремента



Изм.

Лист

№ докум.

Подпись

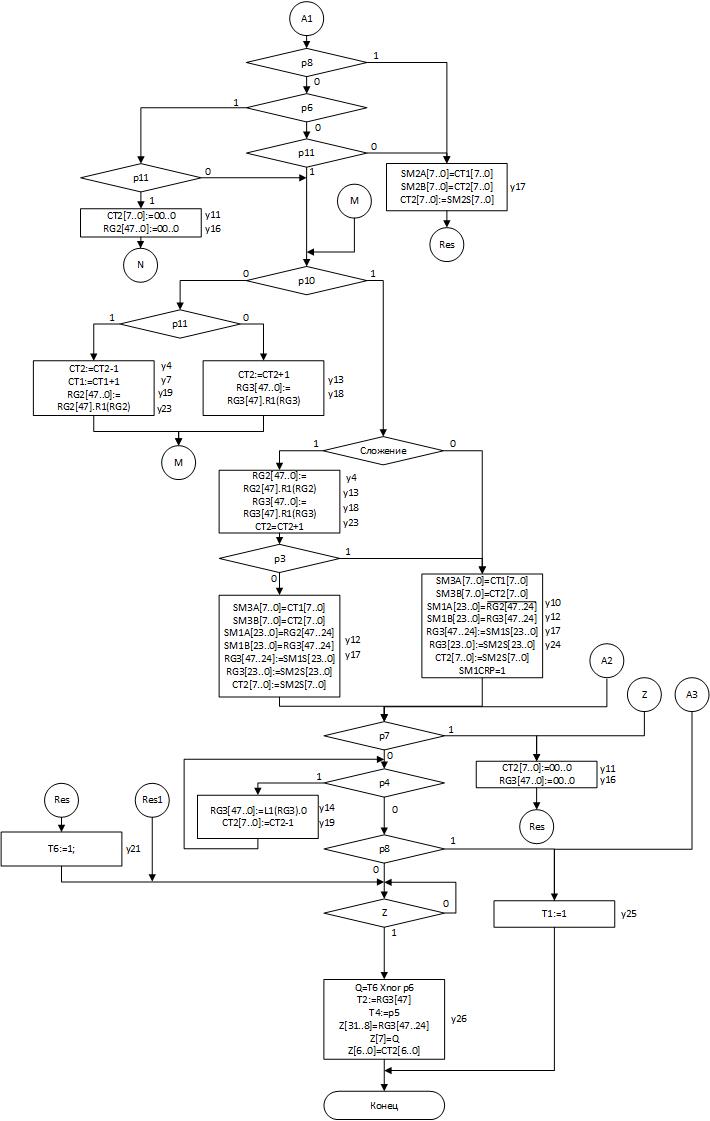
Дата

Лист

70

ТПЖА.09.03.01.013 ПЗ

Рисунок Б.4.1 – Объединенная ГСА (1 часть)



Изм.

Лист

№ докум.

Подпись

Дата

Лист

71

ТПЖА.09.03.01.013 ПЗ

Рисунок Б.4.2 – Объединенная ГСА (2 часть)

# Приложение В

Изм.

Лист

№ докум.

Подпись

Дата

Лист

72

ТПЖА.09.03.01.013 ПЗ

(Обязательное)

Разработанная принципиальная схема

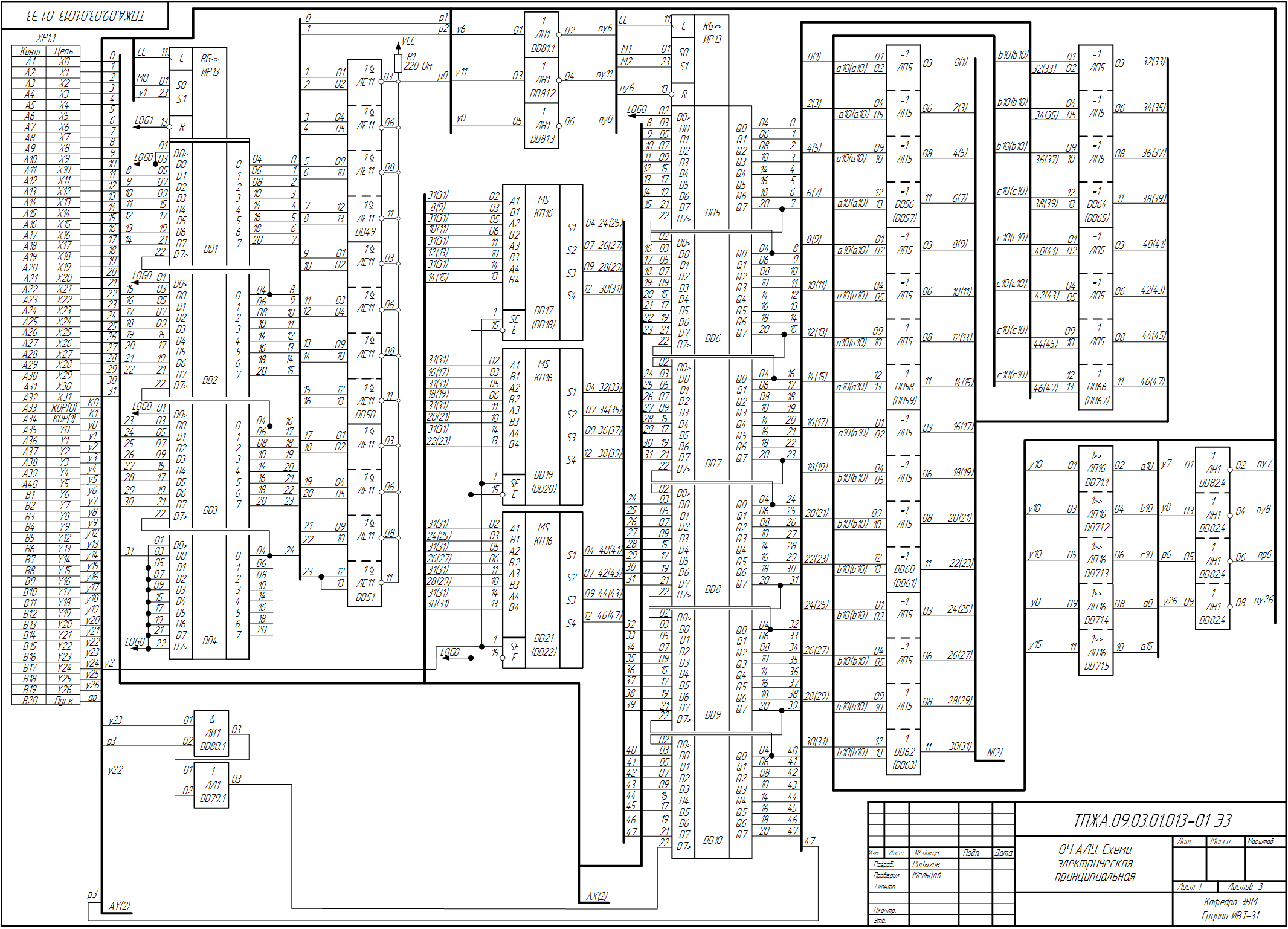
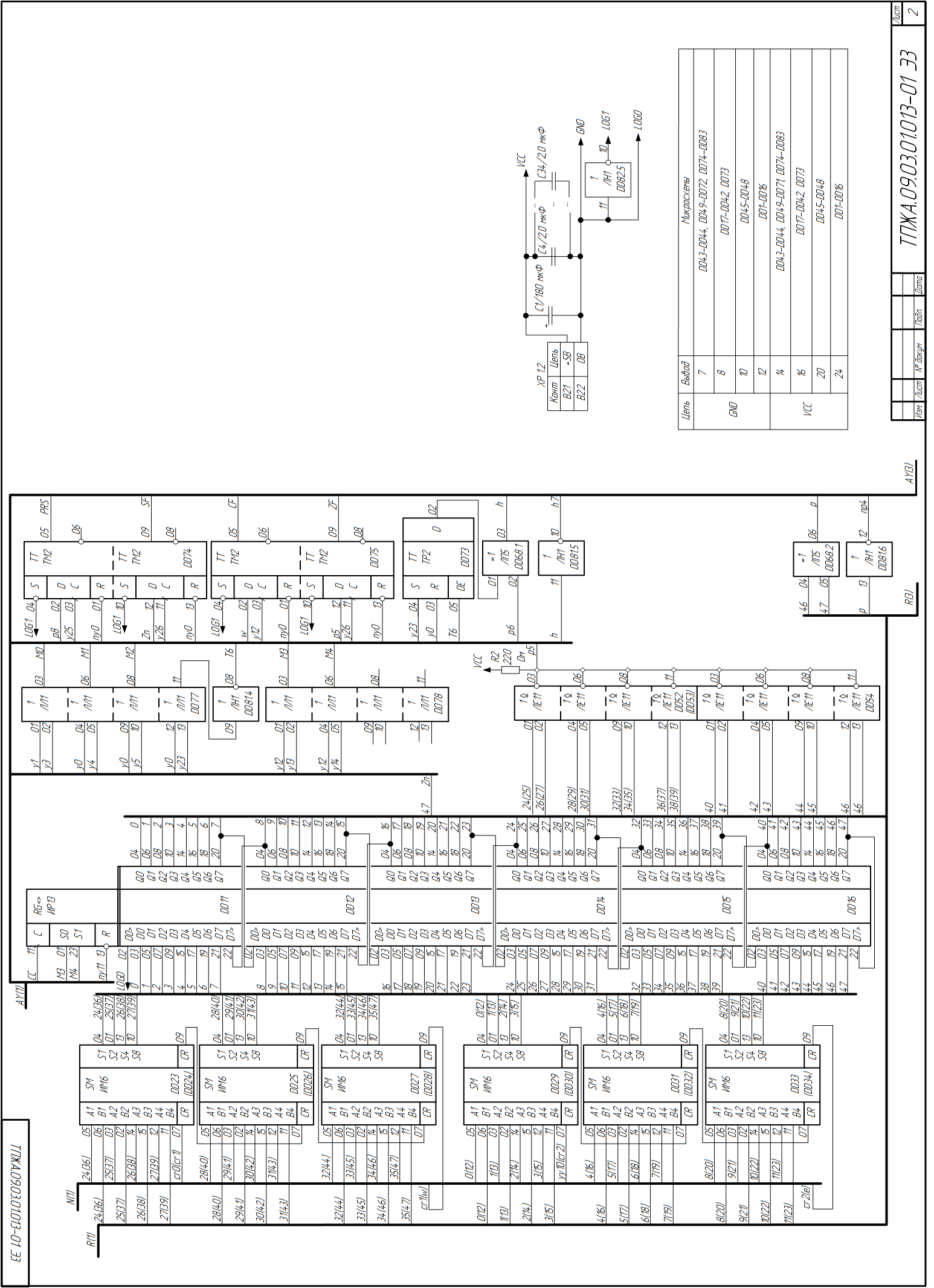


Рисунок В.1 – Разработанная принципиальная схема (лист 1)



Изм.

Лист

№ докум.

Подпись

Дата

Лист

73

ТПЖА.09.03.01.013 ПЗ

Рисунок В.2 – Разработанная принципиальная схема (лист 2)

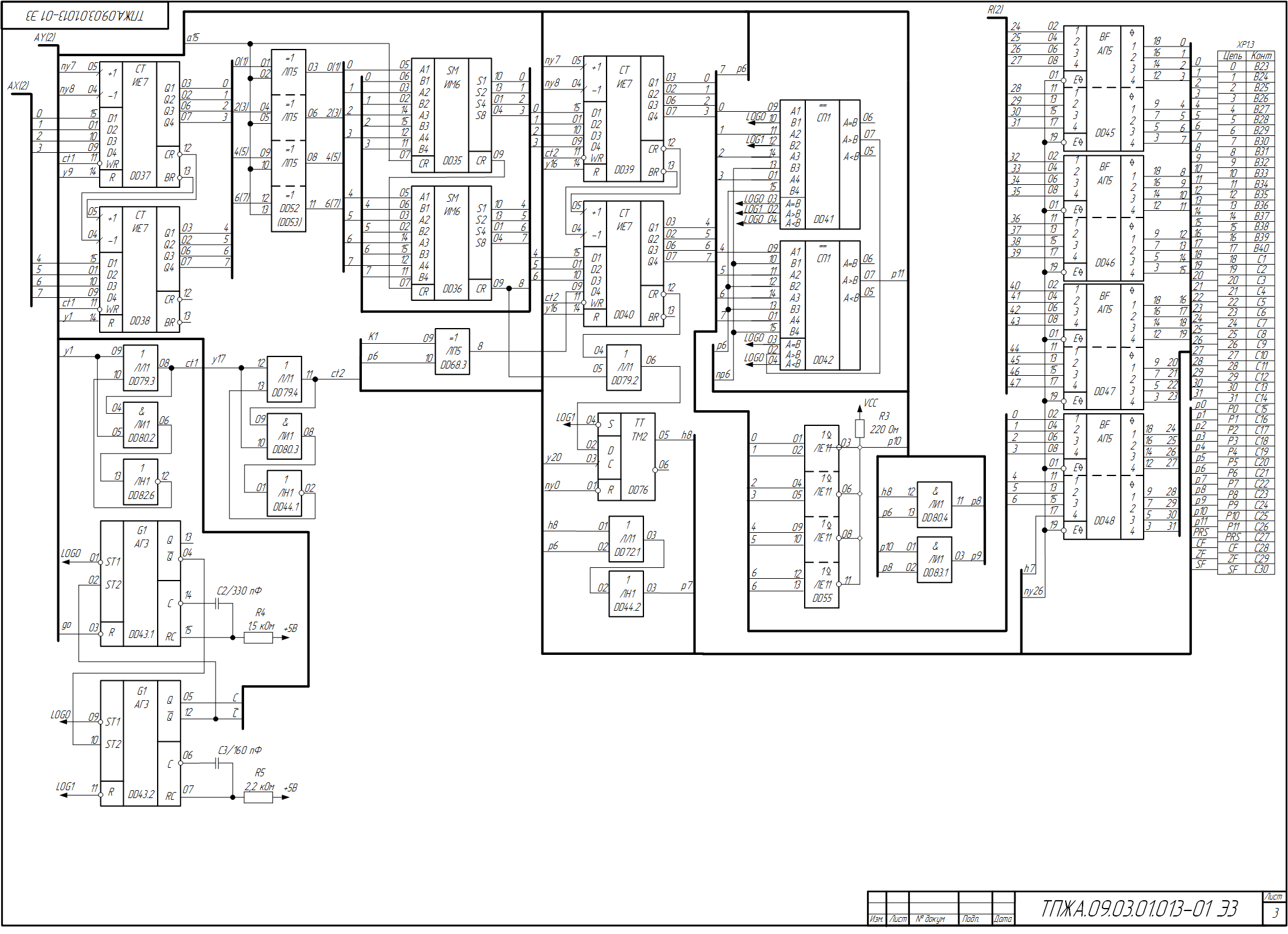


Рисунок В.3 – Разработанная принципиальная схема (лист 3)

Изм.

Лист

№ докум.

Подпись

Дата

Лист

74

ТПЖА.09.03.01.013 ПЗ

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *№строки* | *Формат* | | *Обозначение* | | | | *Наименование* | | | | *Кол.* | | *Приме-*  *чание* | |
| *1* |  | |  | | | | *Конденсаторы* | | | |  | |  | |
| *2* |  | | *C1* | | | | *180 мкФ 35В Е24* | | | | *1* | |  | |
| *3* |  | | *C4-C34* | | | | *2,0 мкФ 25В Е24* | | | | *31* | |  | |
| *4* |  | | *C2* | | | | *330 пФ 25В Е24* | | | | *1* | |  | |
| *5* |  | | *С3* | | | | *160 пФ 40В Е24* | | | | *1* | |  | |
| *6* |  | |  | | | |  | | | |  | |  | |
| *7* |  | |  | | | | *Микросхемы* | | | |  | |  | |
| *8* |  | | *DD43* | | | | *К1533АГ3* | | | | *1* | |  | |
| *9* |  | | *DD45-DD48* | | | | *К1533АП5* | | | | *4* | |  | |
| *10* |  | | *DD37-DD40* | | | | *К1533ИЕ7* | | | | *4* | |  | |
| *11* |  | | *DD49-DD55* | | | | *К1533ЛЕ11* | | | | *7* | |  | |
| *12* |  | | *DD80, DD83* | | | | *К1533ЛИ1* | | | | *2* | |  | |
| *13* |  | | *DD72, DD77-DD79* | | | | *К1533ЛЛ1* | | | | *4* | |  | |
| *14* |  | | *DD44, DD81, DD82* | | | | *К1533ЛН1* | | | | *3* | |  | |
| *15* |  | | *DD71* | | | | *К1533ЛП16* | | | | *1* | |  | |
| *16* |  | | *DD56-DD67* | | | | *К1533ЛП5* | | | | *15* | |  | |
| *17* |  | | *DD41,DD42* | | | | *К1533СП1* | | | | *2* | |  | |
| *18* |  | | *DD74-DD76* | | | | *К1533ТМ2* | | | | *3* | |  | |
| *19* |  | | *DD1-DD16* | | | | *К155ИР13* | | | | *16* | |  | |
| *20* |  | | *DD23-DD36* | | | | *К555ИМ6* | | | | *14* | |  | |
| *21* |  | | *DD6* | | | | *К555КП16* | | | | *6* | |  | |
| *22* |  | | *DD73* | | | | *К561ТР2* | | | | *1* | |  | |
| *23* |  | |  | | | |  | | | |  | |  | |
| *24* |  | |  | | | | *Разъем* | | | |  | |  | |
| *25* |  | | *ХP1* | | | | *СНП34-135/132х12,5Р-22* | | | | *1* | |  | |
| *26* |  | |  | | | |  | | | |  | |  | |
| *27* |  | |  | | | | *Резисторы* | | | |  | |  | |
| *28* |  | | *R1* | | | | *220 Ом 5% 0,25Вт Е24* | | | | *1* | |  | |
| *29* |  | | *R2* | | | | *220 Ом 5% 0,25Вт Е24* | | | | *1* | |  | |
| *30* |  | | *R3* | | | | *220 Ом 5% 0,25Вт Е24* | | | | *1* | |  | |
| *31* |  | | *R4* | | | | *1,5 кОм 5% 0,5Вт E24* | | | | *1* | |  | |
| *32* |  | | *R5* | | | | *2,2 кОм 5% 1,0Вт Е24* | | | | *1* | |  | |
| *33* |  | |  | | | |  | | | |  | |  | |
| *34* |  | |  | | | |  | | | |  | |  | |
| *35* |  | |  | | | |  | | | |  | |  | |
| *36* |  | |  | | | |  | | | |  | |  | |
|  | |  | |  |  |  | *ТПЖА.09.03.01.013 ПЭ3* | | | | | | | |
|  | |  | |  |  |  |  | | | | | | | |
| *Изм.* | | *Лист* | | *№ докум.* | *Подп.* | *Дата* |  | | | | | | | |
| *Разраб.* | | | | *Родыгин* |  |  | *Разработка* | *Лит.* | | | | *Лист* | | *Листов* |
| *Пров.* | | | | *Мельцов* |  |  | *операционной части* | *Э* |  |  | | *1* | | *1* |
| *Т.контр.* | | | |  |  |  | *арифметико-* | *Кафедра ЭВМ* | | | | | | |
| *Н.контр.* | | | |  |  |  | *логического* | *Группа ИВТ-31* | | | | | | |
| *Утв.* | | | |  |  |  | *устройства* |  | | | | | | |