

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ
ФЕДЕРАЦИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ
ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ ВЫСШЕГО ОБРАЗОВАНИЯ
«ВЯТСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»
Факультет автоматики и вычислительной техники
Кафедра электронных вычислительных машин

Допускаю к защите
Руководитель проекта

_____ Мельцов В.Ю.
подпись фамилия, инициалы

«_____» _____ 20____ г.

«РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО-
ЛОГИЧЕСКОГО УСТРОЙСТВА»
ПОЯСНИТЕЛЬНАЯ ЗАПИСКА
к курсовому проекту
по дисциплине «Проектирование цифровых устройств»

ТПЖА. 09.03.01.071 ПЗ

Студент Группы ИВТ-31 _____ / Альмухаметов М.И.
подпись фамилия, инициалы

Руководитель _____ / Мельцов В.Ю.
подпись фамилия, инициалы

Проект защищен с оценкой _____
дата защиты

Комиссия _____ (Мельцов В.Ю.)
подпись фамилия, инициалы

_____ (Клюкин В.Л.)
подпись фамилия, инициалы

Киров 2016

Содержание

| | |
|--|----|
| Введение..... | 4 |
| 1 Постановка задачи..... | 5 |
| 2 Описание алгоритмов функционирования арифметико-логического устройства | 6 |
| 2.1 Описание алгоритма операции умножения..... | 6 |
| 2.2 Описание алгоритма операции сложения модулей | 8 |
| 2.3 Описание алгоритма операции вычитания..... | 9 |
| 2.4 Описание алгоритма операции декремента..... | 11 |
| 2.5 Описание алгоритма операции «НЕ-А ИЛИ В» | 12 |
| 3 Численные примеры для операций арифметико-логического устройства .. | 13 |
| 3.1 Примеры операции умножения | 13 |
| 3.1.1 Операция умножения без исключительных ситуаций | 13 |
| 3.1.2 Операция умножения с возникновением устранимого ПРС | 14 |
| 3.1.3 Операция умножения с возникновением ПМР при сложении порядков | 15 |
| 3.1.4 Операция умножения с возникновением ПРС при сложении порядков | 15 |
| 3.1.5 Операция умножения, когда множитель (или множимое) равно нулю . | 15 |
| 3.2 Примеры операции сложения модулей/вычитания | 16 |
| 3.2.1 Пример операции с возникновением ПРС при сдвиге вправо | 16 |
| 3.2.2 Пример возникновения ситуации ПМР при нормализации | 16 |
| 3.3 Пример операции декремент..... | 17 |
| 3.4 Пример операции «НЕ-А ИЛИ В»..... | 18 |

| | | | | | | | | | |
|-------------|-------------|-----------------|----------------|-------------|--|--------------|--|-------------|---------------|
| | | | | | ТПЖА.09.03.01.071 | | | | |
| | | | | | Разработка операционной части арифметико-логического устройства | <i>Лит.</i> | | <i>Лист</i> | <i>Листов</i> |
| Изм. | Лист | № докум. | Подпись | Дата | | | | 2 | 92 |
| Разраб. | | Альмухаметов | | | | | | | |
| Провер. | | Мельцов | | | | | | | |
| Реценз. | | | | | | | | | |
| Реценз. | | | | | | <i>ВятГУ</i> | | | |
| Н. Контр. | | | | | | | | | |
| Утверд. | | | | | | | | | |

| | | |
|-----|---|----|
| 4 | Разработка функциональных схем для отдельных операций..... | 19 |
| 4.1 | Функциональная схема для операции умножения | 19 |
| 4.2 | Функциональная схема для операции сложения модулей и вычитания .. | 21 |
| 4.3 | Функциональная схема для операции декремента | 24 |
| 4.4 | Функциональная схема для операции НЕ-А ИЛИ В | 27 |
| 5 | Описание ГСА отдельных операций..... | 29 |
| 5.1 | Описание ГСА для операции умножения..... | 29 |
| 5.2 | Описание ГСА для операции сложения модулей /вычитания | 31 |
| 5.3 | Описание ГСА для операции декремента | 32 |
| 5.4 | Описание ГСА для логической операции НЕ-А ИЛИ В..... | 33 |
| 6 | Разработка объединенной функциональной схемы..... | 34 |
| 7 | Разработка объединенной ГСА..... | 37 |
| 8 | Разработка и описание принципиальной схемы ОЧ АЛУ | 38 |
| 9 | Расчет фильтра питания | 53 |
| 10 | Расчет длительности такта и разработка тактового генератора..... | 57 |
| 11 | Разработка тактового генератора | 59 |
| 12 | Расчет быстродействия..... | 62 |
| | Заключение | 71 |
| | Список сокращений | 72 |
| | Библиографический список | 73 |
| | Приложение А | 74 |
| | (Обязательное)..... | 74 |
| | Функциональные схемы отдельных операций..... | 74 |
| | Приложение Б | 79 |
| | (Обязательное)..... | 79 |
| | Содержательные схемы алгоритмов | 79 |
| | Приложение В..... | 86 |
| | (Обязательное)..... | 86 |
| | Внешний вид разъема СНП34-135Р | 86 |
| | Приложение Г | 87 |
| | (обязательное)..... | 87 |
| | Перечень элементов | 87 |

Введение

В вычислительных машинах различные арифметические и логические операции выполняются на арифметико-логическом устройстве. Ему на вход поступают операнды и код операции, определяющий, какую операцию должно выполнять АЛУ. АЛУ может выполнять большой набор операций.

Разработка АЛУ для конкретной вычислительной машины позволяет увеличить ее быстродействие, так как при использовании универсальных АЛУ часть операций в них просто не будет использоваться, в то время как в специализированном под какое-то определенное вычислительное устройство АЛУ будут только те операции, которые выполняются на этом устройстве.

Целью данного курсового проекта является разработка такого АЛУ, выполняющего заданный набор операций.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 4 |

1 Постановка задачи

Разработать операционную часть АЛУ для реализации следующих операций:

1. Умножение IV способом с плавающей запятой в дополнительном коде с порядками с автоматической коррекцией;
2. Сложение модулей;
3. Вычитание;
4. Декремент;
5. НЕ-А ИЛИ В;

Разрядность операндов – 32. 32 разряд – знаковый, 31-23 разряды – порядок, 22-0 – мантисса.

После окончания операции устройство должно выдавать в управляющий автомат следующие признаки:

1. ПРС;
2. Равенство результата нулю;
3. Знак результата;
4. Перенос из старшего разряда.

Разработанное устройство должно удовлетворять следующим требованиям:

1. Минимизация аппаратных затрат;
2. Приемлемое быстродействие;
3. Приемлемая потребляемая мощность.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 5 |

2 Описание алгоритмов функционирования арифметико-логического устройства

В данном разделе рассматриваются словесные описания алгоритмов выполнения операций и указаны возможные особые, с точки зрения построения автомата, ситуации при выполнении данных операций.

2.1 Описание алгоритма операции умножения

Алгоритм умножения состоит из следующих шагов:

- 1) Считать множимое;
- 2) Проверить множимое на равенство нулю:
 - если множимое равно нулю, то операцию умножения прекратить, результат равен нулю;
 - если множимое не равно нулю, то перейти к п.3;
- 3) Считать множитель
- 4) Проверить множитель на равенство нулю:
 - Если множитель равен нулю, то операцию умножения прекратить, результат равен нулю;
 - Если множитель не равен нулю, то перейти к п.5;
- 5) Определить порядок произведения путем сложения порядков исходных сомножителей;
- 6) Проверить сумму порядков на ПРС и ПМР (Если при сложении порядков положительного знака в результате получен порядок, знак которого отличается от знаков операндов, то эта ситуация

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| | | | | | | 6 |
| Изм. | Лист | № докум. | Подпись | Дата | | |

сигнализирует о возникновении ПРС, при котором следует прекратить операцию умножения. Особого внимания требует ситуация, когда «1» в знаковом разряде порядка, а во всех остальных – нули. Это может быть, как признак временного ПРС (в дальнейшем, если возникает необходимость в нормализации мантиссы результата, устраняется, в противном случае нужно выдать сигнал «ПРС»), так и ПМР, при котором результат равен 0). ПМР возникает при получении положительного знака суммы порядков, когда знаки порядков исходных операндов были отрицательными. В противном случае перейти к п.7;

7) Цикл умножения (анализируются сразу две смежные цифры множителя, знаковый и старший разряд) по следующим правилам:

- если знаковый разряд множителя равен единице, а цифра соседнего старшего разряда множителя равна нулю (10), то множимое надо вычитать из предыдущей частной суммы;
- если знаковый разряд множителя равен нулю, а цифра соседнего старшего разряда множителя равна единице (01), то множимое надо складывать с предыдущей частной суммой;
- если анализируемые цифры совпадают (00, 11), то никаких операций не производится;
- сдвиги производятся на один разряд. Множимое сдвигается в сторону старших разрядов, а множитель в сторону младших (правило сдвига отрицательных чисел в ДК: при сдвиге влево освобождающиеся младшие разряды заполняются нулями, при сдвиге вправо освобождающиеся старшие разряды заполняются единицами);
- Окончание цикла умножения происходит, когда все разряды множимого равны нулю;
- результат получается в ДК со знаком;

- 8) Если было зафиксировано временное ПРС и в нормализации нет необходимости, то произошло истинное ПРС, иначе, когда необходима нормализация, произведение сдвигается на один разряд влево и вычитается единица из порядка произведения, проверяется признак ПМР, в случае которого необходимо выдать результат равный нулю, иначе перейти к п.9.
- 9) Выдать результат

2.2 Описание алгоритма операции сложения модулей

Алгоритм сложения состоит из следующих шагов:

- 1) Считать первый операнд;
- 2) Считать второй операнд;
- 3) Выполнить вычитание порядков;
- 4) Проверить на ПРС:
 - если до вычитания в знаковых разрядах порядков обоих чисел был нуль, а в результате вычитания в знаковом разряде порядка результата оказалась единица, то произошло ПРС. Выдать сигнал о ПРС и завершить операцию;
 - иначе перейти к п. 5.
- 5) Проверить на ПМР:
 - если в знаковых разрядах порядков обоих чисел была единица, а после вычитания в знаковом разряде результата оказался нуль, то произошла ПМР. Выдать результат равный нулю;
 - иначе перейти к п. 6.
- 6) Выполнить сравнение разности порядков с -23 и 23:

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 8 |

- если разность порядков ≥ 23 , то выдать первый операнд в качестве результата сложения;
 - если разность порядков ≤ -23 , то выдать второй операнд в качестве результата сложения;
 - иначе, перейти к п. 7;
- 7) Выровнять порядки путем сдвигов мантиссы одного из чисел вправо и уменьшение порядка на единицу. Выполнять пока разность не окажется равной 0;
 - 8) Сложить модули мантиссы чисел;
 - 9) Если в знаковом разряде результата оказалась 1, то необходимо сдвинуть мантиссу суммы на один разряд вправо, увеличить порядок на 1, а также установить флаг переноса и перейти. Проверить на возникновение ПРС в порядках. Если ПРС произошло – установить флаг ПРС и прекратить операцию. Иначе перейти к п. 10;
 - 10) Нормализовать результат;
 - 11) Если при нормализации произошла ПМР в порядках, выдать результат равный нулю;
 - 12) Выдать результат;

2.3 Описание алгоритма операции вычитания

Алгоритм вычитания состоит из следующих шагов:

- 1) Считать первый операнд;
- 2) Считать второй операнд;
- 3) Выполнить вычитание порядков;
- 4) Проверить на ПРС:
 - если до вычитания в знаковых разрядах порядков обоих чисел был нуль, а в результате вычитания в знаковом

разряде порядка результата оказалась единица, то произошло ПРС. Выдать сигнал о ПРС и завершить операцию;

- иначе перейти к п. 5.

5) Проверить на ПМР:

- если в знаковых разрядах порядков обоих чисел была единица, а после вычитания в знаковом разряде результата оказался нуль, то произошла ПМР. Выдать результат равный нулю;
- иначе перейти к п. 6.

6) Выполнить сравнение разности с -23 и 23:

- если разность порядков ≥ 23 , то выдать первый операнд в качестве результата вычитания;
- если разность порядков ≤ -23 , то выдать второй операнд в качестве результата вычитания;
- если перечисленные выше условия не выполняются, перейти к п. 7;

7) Выровнять порядки путем сдвигов мантиссы одного из чисел вправо и уменьшение разности на 1. Выполнять пока разность не окажется равной 0;

8) Вычесть модули мантисс чисел;

9) Если знак первого операнда равен 1, второго операнда равен 0 и результирующий знак равен 0, то необходимо выполнить денормализацию мантиссы результата и увеличить порядок результата на 1, проверив ситуацию с ПРС в порядках.

10) Нормализовать результат;

11) Если при нормализации произошла ПМР в порядках, выдать результат равный нулю;

12) Выдать результат;

2.4 Описание алгоритма операции декремента

Особенностью данной операции является то, что сначала нужно сформировать «-1» и использовать ее в качестве второго операнда. Для упрощения операции формироваться будет не единица, а число «-0.999999», поскольку порядок – 1, что усложняет сравнение порядка операнда с 23, так как порядок придется сравнивать не с модулем числа 23, а с числами 24 и -22.

Так же в данной операции невозможна ситуация ПРС, так как при порядке ≥ 23 выдается сам операнд, а сдвиги вправо возможны только при порядках < -23 .

Алгоритм операции:

- 1) Считать операнд;
- 2) Представить -1 в качестве второго операнда.
 - Если порядок первого операнда ≥ 23 , выдать операнд в качестве результата;
 - Если порядок первого операнда ≤ -23 , выдать -1 в качестве результата;
- 3) Сложить операнды;
- 4) Установить флаг переноса;
- 5) Установит флаг знака и равенства результата нулю;
- 6) Выдать результата на шину.

2.5 Описание алгоритма операции «НЕ-А ИЛИ В»

Особенностью данной операции является то, что логическая операция проводится только над мантиссами и в качестве порядка результата используется порядок первого операнда.

Алгоритм операции:

- 1) Считать первый операнд;
- 2) Инверсное значение мантиссы первого операнда взять по ИЛИ с мантиссой второго операнда;
- 3) Если получившийся результат равен нулю, обнулить порядок и установить флаг равенства нулю;
- 4) Нормализовать результат;
- 5) Если при нормализации произошла ПМР, обнулить результат и установить флаг равенства нулю;
- 6) Установить флаги;
- 7) Выдать результат на шину;

3 Численные примеры для операций арифметико-логического устройства

3.1 Примеры операции умножения

3.1.1 Операция умножения без исключительных ситуаций

$A=3.625_{10}$ Мантисса (ДК): 0.1110100_2 Порядок: 0.010_2

$B=-5.75_{10}$ Мантисса (ДК): 1.0100100_2 Порядок: 0.011_2

Сложение порядков:

0.010

0.011

0.101 (ПРС не возникло)

Таблица 1 – Умножение мантисс

| Множитель ← | Множимое → | Сумма ЧП | Комментарий |
|------------------|-------------------|--|--------------------|
| <u>0,1110100</u> | 1,0100100 0000000 | 0,0000000 0000000 <u>1,0100100 0000000</u> 1,0100100 0000000 | Сложение |
| <u>1,1101000</u> | 1,1010010 0000000 | 1,0100100 0000000 | Сдвиг |
| <u>1,1010000</u> | 1,1101001 0000000 | 1,0100100 0000000 | Сдвиг |
| <u>1,0100000</u> | 1,1110100 1000000 | 1,0100100 0000000 <u>0,0001011 1000000</u> 1,0101111 1000000 | Сдвиг Вычитание |
| <u>0,1000000</u> | 1,1111010 0100000 | 1,0101111 1000000 <u>1,1111010 0100000</u> 1,0101001 1100000 | Сдвиг Сложение |
| <u>1,0000000</u> | 1,1111101 0010000 | 1,0101001 1100000 <u>0,0000010 1110000</u> 1,0101100 1010000 | Сдвиг Вычитание |
| <u>0,0000000</u> | 1,1111110 1001000 | 1,0101100 1010000 | Сдвиг |

$(A*B)_{ДК}=1,01011001010000_2$

$(A*B)_{ПК}=1,10100110110000_2$

Результат: $-10100,11011_2 = -20.84375_{10}$

Проверка: $3,625*(-5,75) = -20,84375$

3.1.2 Операция умножения с возникновением устранимого ПРС

A= 16 Мантисса: 0.100000₂ Порядок: 0.101₂

B= 4 Мантисса: 0.100000₂ Порядок: 0.011₂

Сложение порядков:

0.101

0.011

1.000 временное ПРС!

Таблица 2 – Умножение мантисс

| Множитель ← | Множимое → | Сумма ЧП | Комментарий |
|-------------------|-------------------|--|-------------|
| <u>0,1</u> 000000 | 0,1000000 0000000 | 0,0000000 0000000 <u>0,1000000 0000000</u> 0,1000000 0000000 | Сложение |
| <u>1,0</u> 000000 | 0,0100000 0000000 | 0,1000000 0000000 <u>0,0100000 0000000</u> 0,0100000 0000000 | Сдвиг |
| <u>0,0</u> 000000 | 0,0010000 0000000 | 0,0100000 0000000 | Сдвиг |

(A*B)_{ДК}=0,0100000 0000000

(A*B)_{ПК}=0,0100000 0000000

Мантисса не нормализована, следовательно, так как было зафиксировано временное ПРС, оно устранился. Сдвинем произведение на один разряд влево, вычтем «1» из порядка произведения.

1.000

1.111

0.111 = 0.111

Временное ПРС было устранено. Продолжаем операцию умножения.

Результат: 1000000₂ = 64₁₀

Проверка: 16*4 = 64

3.1.3 Операция умножения с возникновением ПМР при сложении порядков

$A = 0.0234375_{10}$ Мантисса: 0.1100000_2 Порядок: 1.011_2
 $B = 0.0078125_{10}$ Мантисса: 0.1000000_2 Порядок: 1.010_2

Сложение порядков:

1.011

1.010

0.101 ПМР!

ПМР. Прекращаем операцию умножения, вывести результат, равный нулю.

3.1.4 Операция умножения с возникновением ПРС при сложении порядков

$A = 7.25$ Мантисса: 0.1110100_2 Порядок: 0.011_2

$B = 46$ Мантисса: 0.1011100_2 Порядок: 0.110_2

0.011

0.110

1.001 ПРС!

ПРС. Прекращаем операцию умножения, выдаем сигнал о ПРС.

3.1.5 Операция умножения, когда множитель (или множимое) равно нулю

$A = 0$ Мантисса: 0.0000000_2 Порядок: 0.001_2

$B = 6$ Мантисса: 0.1100000_2 Порядок: 0.101_2

Множимое равно нулю. Результат 0.

3.2 Примеры операции сложения модулей/вычитания

3.2.1 Пример операции с возникновением ПРС при сдвиге вправо

$A=64_{10};$

Мантисса: $0.100000_2;$

Порядок: $0.111;$

$B=64_{10};$

Мантисса: $0.100000_2;$

Порядок: $0.111;$

Сложение:

0.100000 (ПК)

0.100000 (ПК)

1.000000 (ПК) – ПРС

Произошло временное ПРС. Устанавливаем флаг переноса. Сдвигаем мантиссу на 1 разряд вправо и увеличивает порядок на 1:

Увеличение порядка:

0.111 (ПК)

0.001 (ПК)

1.000 (ПК) - ПРС

Произошло ПРС в порядках. Устанавливаем флаг ПРС. Прекращаем операцию сложения.

3.2.2 Пример возникновения ситуации ПМР при нормализации

$A=64_{10};$

Мантисса: $0.110000_2;$

Порядок: $1.111;$

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 17 |

$$B=72_{10};$$

Мантисса: 0.100100_2 ;

Порядок: 1.111 ;

Сложение:

0.110000 (ПК)

0.100100 (ПК)

0.010000 (ПК)

Нормализуем результат. Для этого сдвинем мантиссу влево и уменьшим порядок на 1:

Уменьшение порядка:

1.001 (ДК)

1.111 (ДК)

1.000 (ПК) – ПМР

Произошло ПМР. Обнуляем результат и выдаем ответ – 0.

3.3 Пример операции декремент

$$A=3_{10};$$

Мантисса: 0.1100000_2 ;

Порядок: 0.010_2 ;

$$B=-0.9921_{10};$$

Мантисса: 1.0000001_2 ;

Порядок: 0.000_2 ;

Произведем выравнивание порядков – сдвинем мантиссу второго операнда вправо на 2 разряда и увеличим его порядок на 2.

Мантисса: 1.1100000_2 ;

Порядок: 0.010_2 ;

Сложение:

0.1100000 (ПК)

1.1100000 (ПК)

0.1000000 (ПК)

Мантисса: 0.1000000_2 ;

Порядок: 0.010_2 ;

Ответ: 2

3.4 Пример операции «НЕ-А ИЛИ В»

Таблица истинности для операции «НЕ-А ИЛИ В»

| A | B | Y |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 1 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |

$A = 0_{10}$;

Мантисса: 0.0000000 ;

Порядок: 0.000_2 ;

$B = 1$;

Мантисса: 0.1000000_2 ;

Порядок: 0.001_2 ;

0.1111111

0.1000000

0.1111111

В качестве порядка результата берем порядок первого операнда.

4 Разработка функциональных схем для отдельных операций

4.1 Функциональная схема для операции умножения

В результате разработки функциональной схемы для операции умножения был получен ОА, содержащий следующие элементы:

- 24-х разрядный сдвиговый регистр RG1 для хранения мантиссы множимого;
- 47 разрядный сдвиговый регистр RG2 для хранения мантиссы множителя;
- 47 разрядный сдвиговый регистр RG3 для хранения мантиссы СЧП;
- 8-разрядный регистр RG4 для хранения порядков;
- 24-х входовой элемент KC1 «или» для определения окончания операции;
- 47 разрядный управляемый инвертор KC2 для инвертирования множителя;
- 47 разрядный управляемый элемент KC3 «и» для формирования нуля, добавляемого к СЧП;
- 8 разрядный управляемый инвертор KC4 для инвертирования порядка (перевод в ДК);
- 7 разрядный управляемый инвертор KC5 для инвертирования суммы порядков;
- 7 входовой элемент KC6 «или» для проверки порядка на «00...00»
- 47 разрядный сумматор SM1 для суммы частичных произведений;
- 8-разрядный сумматор SM2 для сложения порядков;
- 8-разрядный счетчик СТ для хранения порядка произведения;

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 20 |

- D-триггер для хранения знака порядка множимого;
- D-триггер для хранения знака результата;
- Элемент «или» для проверки числа на нуль;
- Элемент сложения «по модулю два» для выбора «0» как слагаемого суммы частичных произведений;
- Элемент «и» для подачи единицы на вход CRP сумматора SM1;
- Элемент «и» для подачи сигнала на сдвиг RG3;
- R-S-триггер для хранения флага признака ПРС;
- R-S-триггер для хранения флага знака;
- D-триггер для флага переноса;
- D-триггер для флага нулевого результата;
- Усилитель-формирователь для выдачи результата на выходную шину.

Для выполнения операции умножения управляющий автомат формирует управляющие сигналы, которые затем подаются в операционный автомат. Сигналы реализуют следующие микрооперации:

- y_0 – сброс T2, T4, RG3;
- y_1 – запись в RG1, T5;
- y_2 – сдвиг RG1 влево, RG2 вправо, запись в T6;
- y_3 – запись в RG2, RG4;
- y_4 – запись в RG3;
- y_5 – запись в CT1;
- y_6 – вычитание 1 из счетчика CT1, сдвиг RG3;
- y_7 – запись 1 в T1;
- y_8 – запись 1 в T4;
- y_9 – выдача результата на шину.

Из операционного устройства в управляющий поступают осведомительные сигналы о состоянии ОА, выполняющие следующие логические условия:

- X – проверка наличия операндов на входной шине;
- p0 – проверка на окончание цикла умножения;
- p1 – проверка числа на 0;
- p2 – проверка нормализации мантиссы результата;
- p3 – проверка на ПРС;
- p4 – проверка на временное ПРС;
- p5 – проверка на ПМР;
- p6 – проверка знака суммы порядков;
- Z – проверка возможности выдачи результата на выходную шину.

Разработанная ФС представлена на рисунке А.1.

4.2 Функциональная схема для операции сложения модулей и вычитания

В результате разработки функциональной схемы для операций сложения модулей и вычитания был получен операционный автомат, содержащий следующие элементы:

- 24-х разрядный сдвиговый регистр RG1 для хранения мантиссы второго операнда;
- 8-разрядный счетчик СТ1 для хранения порядка второго операнда;

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 22 |

- 24-х разрядный управляемый инвертор для инвертирования мантисс;
- 8-разрядный управляемый инвертор для инвертирования порядков операндов;
- 8-разрядный сумматор SM2 для вычитания порядков;
- 24-х разрядный реверсивный сдвиговый регистр RG2 для хранения мантиссы первого операнда (после выполнения операции – для хранения результата);
- 8-разрядный счетчик СТ2 для хранения результата вычитания порядков операндов;
- 7-разрядный управляемый инвертор для вывода результата вычитания порядков операндов на выходную шину;
- 23-х разрядное логическое ИЛИ для проверки регистра RG2 на ноль;
- 8-разрядный компаратор СМР для проверки результата вычитания порядков с ± 23 ;
- 7-разрядная схема логического ИЛИ для проверки на ноль счетчика СТ1;
- 7-разрядная схема логического ИЛИ для проверки на ноль счетчика СТ2;
- Элемент «И» для проверки на проверки ситуации ПМР в порядках;
- Элемент «сложение по модулю 2» для проверки необходимо нормализации;
- Элемент «сложение по модулю 2» для управления 8-разрядным инвертором;
- Элемент «сложение по модулю 2» для управления 24-х разрядным инвертором;

- 2 элемента «ИЛИ», 2 элемента «НЕ», 2 элемента «И» для проверки ситуации ПРС в мантиссах;
- 2 элемента «сложение по модулю 2», элемент «И» для проверки ситуации ПРС в порядках;
- D-триггер для хранения флага признака ПРС;
- D-триггер для хранения флага знака;
- D-триггер для хранения флага переноса;
- D-триггер для хранения флага нулевого результата;
- Усилитель-формирователь для выдачи результата на выходную шину.

ОА формирует осведомительные сигналы:

- X – Наличие операнда на шине;
- p0 – Проверка регистра RG2 на равенство нулю
- p1 – Возникновение переноса из старшего значащего разряда;
- p2 – Проверка исключительных ситуаций в порядках;
- p3 – знак счетчика СТ1;
- p4 – знак счетчика СТ2;
- p5 – Разность порядков ≤ -23 ;
- p6 – Разность порядков > 23 ;
- p7 – Проверка счетчика СТ1 на ноль;
- p8 – Проверка счетчика СТ2 на ноль;
- p9 – Проверка на необходимость нормализации;
- p10 – знак регистра RG2

ОА выполняет микрокоманду по средствам следующих управляющих сигналов:

- у0 – Обнулить триггеры Т3, Т4, Т5, Т6, Т7, Т8;
- у1 – Запись в Т4;
- у2 – Сдвиг RG1 влево на один разряд;
- у3 – Обнуление RG2, СТ2;
- у4 – Запись в RG2;
- у5 – Сдвиг RG2 влево на один разряд;
- у6 – Сдвиг RG2 вправо на один разряд;
- у7 – Вычитание 1 из СТ1;
- у8 – Прибавить 1 в СТ1;
- у9 – Инверсия содержимого СТ1;
- у10 – Обнуление СТ1;
- у11 – Запись в СТ2, Т3;
- у12 – Вычитание 1 из СТ2;
- у13 – Прибавить 1 в СТ2;
- у14 - Инверсия содержимого RG1;
- у15 – Выдача результата на шину;

Разработанная ФС представлена на рисунке А.2.

4.3 Функциональная схема для операции декремента

В результате разработки ФС для операции декремента был получен ОА, содержащий следующие элементы:

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 25 |

- 24-х разрядный сдвиговый регистр RG1 для хранения мантиссы операнда;
- 8-разрядный счетчик СТ1 для хранения порядка операнда;
- 8-разрядный счетчик СТ2 проверки на окончание цикла выравнивания;
- 24-х разрядный регистр RG2 для хранения результата операции;
- 24-х разрядный сумматор для сложения мантис;
- 23-х разрядная схема логического «ИЛИ» для проверки содержимого регистра RG2 для проверки на ноль;
- 7-разрядная схема логического «ИЛИ» для проверки счетчика СТ1 на ноль;
- 7-разрядная схема логического «ИЛИ» для проверки счетчика СТ2 на ноль;
- 7-разрядный компаратор для проверки порядка операнда с ± 23 ;
- Элемент логического «И» для проверки на возникновение исключительной ситуации;
- Элемент логического «И» для проверки на возникновение временного ПРС мантис;
- Элемент «сложения по модулю 2» для проверки необходимости нормализации;
- R-S-триггер для хранения флага знака;
- R-S-триггер для хранения флага признака ПРС;
- D-триггер для хранения флага переноса;
- D-триггер для хранения флага нулевого результата;
- Усилитель-формирователь для выдачи результата на выходную шину.

ОА формирует осведомительные сигналы:

- p_0 – Проверка RG2 на равенство нулю;
- p_1 – Проверка СТ2 на равенство нулю;
- p_2 – Знак счетчика СТ2;
- p_3 – Проверка СТ2 на равенство нулю;
- p_4 – Исключительная ситуация в порядках;
- p_5 – Порядок $\geq |23|$;
- p_6 – Необходимость нормализации;
- p_7 – Временное ПРС мантисс

ОА выполняет микрокоманду по средствам следующих управляющих сигналов:

- y_0 – Обнуление регистра RG1, счетчика СТ2, запись в Т1;
- y_1 – Запись в регистр RG1, счетчики СТ1 и СТ2;
- y_2 – Сдвиг регистра RG2 влево на 1 разряд;
- y_3 – Сдвиг регистра RG1 вправо на 1 разряд;
- y_4 – управление заполнением разрядов при сдвигах RG1;
- y_5 – Обнуление регистра RG2;
- y_6 – Запись в регистр RG2;
- y_7 – Сдвиг регистра RG2 влево на 1 разряд;
- y_8 – Сдвиг регистра RG2 вправо на 1 разряд;
- y_9 – Запись в Т4 единицы;
- y_{10} – Вычесть единицу из счетчика СТ1;
- y_{11} – Вычесть единицу из счетчика СТ2;
- y_{12} – Добавить единицу к счетчику СТ2;
- y_{13} – Запись в триггер Т3;
- y_{14} – Выдача результата на шину;

Разработанная ФС представлена на рисунке А.3.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 27 |

4.4 Функциональная схема для операции НЕ-А ИЛИ В

В результате разработки ФС для операции НЕ-А ИЛИ В был получен ОА, состоящий из следующих элементов:

- 24-разрядный регистр RG1 для хранения мантиссы первого операнда;
- 24-разрядная схема логического «ИЛИ»
- 24-разрядный регистр RG2 для хранения результата операции
- 23-разрядная схема логического «ИЛИ» и элемент «НЕ» для проверки содержимого регистра RG2 на ноль;
- Элемент «сложение по модулю 2» для проверки необходимости нормализации;
- 8-разрядный счетчик СТ1 для хранения порядка первого операнда;
- D-триггер для хранения флага знака;
- D-триггер для хранения флага нулевого результата;
- Усилитель-формирователь для выдачи результата на выходную шину.

ОА формирует осведомительные сигналы:

- p_0 – Проверка содержимого регистра RG2 на ноль;
- p_1 – знак счетчика СТ1;
- p_2 – Проверка необходимости нормализации результата;
- p_3 – Проверка на исключительную ситуацию в порядках;

ОА выполняет микрокоманду по средствам следующих управляющих сигналов:

- у0- Запись триггера Т1, обнуление триггера Т3, Т4
- у1- Запись регистра RG1, счетчика СТ1
- у2- Обнуление регистра RG2
- у3-Запись регистра RG2
- у4- Сдвиг влево на 1 разряд регистра RG2
- у5- Обнуление счетчика СТ1
- у6- Вычесть единицу из счетчика СТ1;
- у7- Добавить единицу к счетчику СТ1;
- у8 – Выдача результата на шину;

Разработанная ФС представлена на рисунке А.4.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 29 |

5 Описание ГСА отдельных операций

5.1 Описание ГСА для операции умножения

В первом такте производится проверка наличия на входной шине множимого. При поступлении множимого его мантисса со знаком записывается в RG1 и в старшие разряды RG2. Порядок заносится в СТ1. Также в данном такте происходит обнуление RG3 и СТ2.

Во втором такте, если множимое равно нулю ($p1=1$), то выдается результат 0, иначе записывается порядок множимого из счетчика СТ1 в счетчик СТ2 через выход S сумматора SM2, на плече А которого порядок из RG1, если он отрицательный, то инвертируется, на плече В содержимое счетчика СТ1.

В третьем такте производится проверка на входной шине множителя. При поступлении множителя, его мантисса со знаком записывается в старшие разряды регистра RG2, порядок записывается в счетчик СТ1.

В четвертом такте, если множитель нуль ($p1=1$), то сбрасывается значение счетчика СТ2 и выдается результат 0, иначе в счетчик СТ2 записывается сумма порядков с выхода S сумматора SM1, на плече А которого порядок множителя, инвертированный, если он отрицательный, а на плече В содержимое счетчика СТ1.

В пятом такте проверяются исключительные ситуации. Если возникло ПРС($p3=1$), то триггер Т4 устанавливается в единицу и операция умножения прекращается. Если произошла ПМП ($p5=1$), то сбрасывается значение счетчика СТ2 и регистра RG3, тем самым сформировав нуль на выходной шине. Если ПМП не произошло, то начинается цикл умножения. В триггер Т3 записывается значение выхода CR сумматора SM1. В регистр RG3 записывается значение с выхода S сумматора SM1, где на плечо А подается содержимое регистра RG3, а на плечо В подается значение RG2,

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| | | | | | | 30 |
| Изм. | Лист | № докум. | Подпись | Дата | | |

инвертированное, если старший разряд RG1 равен единице или обнуленное, если значения двух старших разрядов RG1 равны «00» или «11». Далее производится запись знака в Т6, сдвиг регистров RG1 и RG2 влево и вправо соответственно. После чего если цикл не завершен, он повторяется сначала.

Если цикл завершен ($p_0=1$), то проверяется нормализация мантиссы, если она не нормализована ($p_2=1$), то значение счетчика СТ2 уменьшается на единицу, содержимое RG3 сдвигается влево и проверяется возникновение ПМР, если да ($p_5=1$), то сбрасывается значение счетчика СТ2 и регистра RG3, тем самым сформировав нуль на выходной шине, иначе проверяется, было ли зафиксировано временное ПРС, если да ($p_4=1$), то произошло истинное ПРС, триггер Т4 устанавливается в единицу и операция умножения прекращается. Далее проверяется порядок произведения, если он отрицательный ($p_6=1$), то значение счетчика СТ2 уменьшается на единицу и на выходную шину подается инвертированное содержимое СТ2 – порядок произведения в ПК. Знак подается из триггера Т6.

Разработанная ГСА представлена на рисунке Б.2.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 31 |

5.2 Описание ГСА для операции сложения модулей /вычитания

Мантисса первого операнда записывается в регистр RG1, порядок – в счетчик CT1, знак порядка записывается в триггер T7. Далее мантисса и порядок перезаписываются в регистр RG2 и счетчик CT2 соответственно. После этого считывается второй операнд.

Выполнить вычитание порядков и записать разность в счетчик CT2. Если в результате вычитания произошло ПРС порядков – установить флаг о ситуации ПРС и прекратить операцию сложения. После это необходимо сравнить содержимое CT2 и ± 23 (если разность отрицательна ($p_4=1$) в плечо компаратора В подать дополнительный код -23, иначе подать 23). Если разница ≥ 23 ($p_5 = 1$ и $p_4 = 0$), то на шину выдается первый операнд. При разнице ≤ -23 ($p_5 = 0$ и $p_4 = 1$) – обнулить регистр RG2 и счетчик CT2, перезаписать операнд в RG2 и CT2 и выдать второй операнд на шину. Если разница лежит в диапазоне от -23 до 23, то необходимо выполнить выравнивание порядков.

Если разница порядков не равна 0 ($p_8 = 0$) – выполнить выравниваем порядков (при отрицательной разности ($p_4 = 1$) – сдвинуть содержимое регистра RG2 на 1 разряд вправо и уменьшить CT2 на 1, иначе – сдвинуть содержимое регистра RG1 на 1 разряд право, уменьшить содержимое CT2 и уменьшить содержимое CT1. Выравнивание выполняется до тех пор, пока разность не станет равной 0 ($p_8 = 1$).

Выполнить сложение/вычитание модулей мантисс. Если результат операции равен 0 либо -0 – обнулить CT2, установить флаг нулевого результата и выдать результат на шину. После сложения модулей необходимо проверить, был ли перенос из старшего значащего разряда ($p_1 = 1$ или $p_{10}=1$). В случае возникновения переноса требуется изменить значение разряда при сдвиге мантиссы вправо, занеся его в триггер T2, денормализовать мантиссу,

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 32 |

занося в сдвиговый разряд значение триггера T2, и увеличить порядок на 1. Проверить на возникновение ПРС в порядках.

Если число не нормализовано ($p_2 = 0$), то сдвигать содержимое регистра RG2 и уменьшать порядок на 1, проверяя на возникновение ситуации ПМР в порядках, в случае которой выдать результат равный нулю (обнулив регистр RG2 и счетчик СТ2), продолжать, пока мантисса не станет нормализованной.

Выдать результат на шину.

Разработанная ГСА представлена на рисунке Б.2.

5.3 Описание ГСА для операции декремента

Мантисса первого операнда записывается в регистр RG1, порядок – в счетчик СТ1, знак порядка записывается в триггер Т6. Далее мантисса и порядок перезаписываются в регистр RG2 и счетчик СТ2 соответственно.

Сформировать «-0.999» в регистре RG1. Сравнить порядок операнда с «23», если по модулю он больше ($p_5 = 1$), то в зависимости от знака порядка выдать первый операнд ($p_2 = 1$) или выдать второй операнд ($p_2 = 0$).

Выполнить выравнивание порядков (при отрицательном порядке операнда ($p_2 = 1$) – сдвинуть содержимое регистра RG2 на 1 разряд вправо и уменьшить СТ1 на 1, иначе – сдвинуть содержимое регистра RG1 на 1 разряд право, уменьшить содержимое СТ1 и увеличить содержимое СТ2. Выравнивание выполняется до тех пор, пока $p_3 = 0$.

Выполнить операцию декремента, путем сложения RG1 и RG2, записать знак в триггер T2. Если результат операции равен «0», либо «-0» – обнулить СТ2, установить флаг нулевого результата и выдать результат на шину. После сложения необходимо проверить, был ли перенос из старшего значащего разряда. Если перенос был ($p_7 = 1$) – сдвинуть содержимое регистра RG2 и увеличить порядок на 1. Проверить на возникновение ситуации ПРС в порядках.

| | | | | | | |
|------|------|----------|---------|------|---------------------|------|
| | | | | | ТПЖА.09.03.01.071ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 33 |

Если число не нормализовано ($p_2 = 0$), то сдвигать содержимое регистра RG2 и уменьшать порядок на 1, проверяя на возникновение ситуации ПМР в порядках, в случае которой выдать результат равный нулю (обнулив регистр RG2 и счетчик СТ2), продолжать, пока мантисса не станет нормализованной.

Выдать результат на шину.

Разработанная ГСА представлена на рисунке Б.3.

5.4 Описание ГСА для логической операции НЕ-А ИЛИ В

Мантисса первого операнда(инверсированная) записывается в регистр RG1, порядок – в счетчик СТ1. Ожидать появления второго операнда на шине.

Выполнить операцию «НЕ-А ИЛИ В» над мантиссами операндов, записать знак операции в триггер Т2. Если результат операции равен 0 либо - 0 – обнулить СТ2, установить флаг нулевого результата (в Т1 записать единицу) и выдать результат на шину.

Если число не нормализовано ($p_2 = 0$), то сдвигать содержимое регистра RG2 и уменьшать порядок на 1, проверяя на возникновение ситуации ПМР в порядках, в случае которой выдать результат равный нулю (обнулив регистр RG2 и счетчик СТ2), продолжать, пока мантисса не станет нормализованной. Выдать результат на шину.

Разработанная ГСА представлена на рисунке Б.4

6 Разработка объединенной функциональной схемы

За основу объединенной ФС была выбрана схема операции умножения.

Для реализации других операций используются лишь дополнения и небольшие изменения ФС основной операции:

- Вместо регистра RG4 в схеме деления был взят счетчик СТ1;
- Вместо сумматора SM1 было выбрано ALU;
- Добавлен компаратор и КС, необходимые для сравнения порядка операнда с числом ± 23 ;
- КС для определения потери старшего разряда
- КС для проверки RG2 на ноль;
- КС для проверки СТ1 на ноль;
- КС для проверки СТ2 на ноль.

Введение АЛУ позволило сократить аппаратные затраты, так как не пришлось вводить отдельную КС для осуществления логической операции «НЕ-А ИЛИ В».

Объединенный ОА формирует осведомительные сигналы:

- X – проверка наличия операнда на шине;
- p0 – Проверка на окончание цикла умножения;
- p1 – Проверка операнда на нуль;
- p2 – Выбор операции в умножении;
- p3 – Знак регистра RG1;
- p4 – Проверка содержимого СТ1 на ноль без старшего разряда
- p5 – Исключительная ситуация при сложении порядков;

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 35 |

- p6 – Проверка содержимого СТ2 на ноль без старшего разряда;
- p7 – Знак операнда в СТ2;
- p8 – ПРС при вычитании порядков;
- p9 - ПМР при вычитании порядков;
- p10 – $A > B$ на компараторе;
- p11 – Проверка на ноль СТ2;
- p12 – Проверка на равенство нулю результата операции;
- p13 – Необходимость нормализации;
- p14 – Знак операнда в СТ1;
- p15 – Знак операнда в RG3;
- p16 – Знак операнда в RG2;
- p17 – Перенос из старшего значащего разряда в мантиссах;
- Z – вывод результата на шину.

Объединенный ОА выполняет микрокоманды с помощью следующих управляющих сигналов:

- y1 – Обнуление RG2;
- y2 – Сдвиг RG1 влево на 1 разряд;
- y3 – запись в RG2, СТ1;
- y4 – Сдвиг RG2 вправо на 1 разряд;
- y5 – Инверсия содержимого RG2;
- y6 - Выбор на АЛУ операции $A+B$
- y7 – Выбор на АЛУ операции $A-B-1$;
- y9 – Изменение знака результата;
- y10 - Выбор на АЛУ операции НЕ-А ИЛИ В ;
- y11 – Формировании единицы при сдвиге RG2;

- у12 – Обнуление RG3, CT2;
- у13 – Запись в RG3;
- у14 – Сдвиг RG3 на 1 разряд влево;
- у15 – Сдвиг RG3 на 1 разряд вправо;
- у16 – Запись в T5, T6;
- у17 – Запись в RG1;
- у18 – Вычесть единицу из CT1;
- у19 – Прибавить к CT1 единицу;
- у20 – Обнуление CT1;
- у21 – Запись в CT2;
- у22 – Вычесть единицу из CT1;
- у23 – Прибавить к CT1 единицу;
- у24 – Инверсия содержимого CT1;
- у25 – Запись T3.
- у26 – Установка флагов
- у27 – Выдача результата на шину;

Разработанная объединенная ФС представлена на рисунке А.5.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 37 |

7 Разработка объединенной ГСА

Для выбора операции в объединенном ОА каждой операции присваивается свой код. Коды представлены в таблице 3.

Таблица 3

| Операция | КОП | | |
|------------------|-----|----|----|
| | q2 | q1 | q0 |
| Умножение | 0 | 0 | 0 |
| Сложение модулей | 0 | 1 | 0 |
| Вычитание | 0 | 1 | 1 |
| Декремент | 1 | 0 | 0 |
| НЕ-А ИЛИ В | 0 | 0 | 1 |

При разработке объединенной ГСА была добавлена вершина выбора кода операции. ГСА операций сложения и вычитания модулей были объединены в одну, поскольку они различаются лишь одной вершиной. Общие части всех ГСА были выделены отдельно.

Разработанная объединенная ГСА представлена на рисунке Б.5.

8 Разработка и описание принципиальной схемы ОЧ АЛУ

Для разработки принципиальной схемы были использованы микросхемы ТТЛ серий 1533, 533, 1531.

Перечень требуемых для разработки микросхем представлен в таблице 4.

Таблица 4 – Перечень требуемых микросхем

| Микросхема | Функциональное назначение |
|------------|---|
| K1533АП5 | Шинный формирователь |
| K1533ИЕ7 | 4-х разрядный счетчик |
| K133ИР13 | Реверсивный 8- разрядный регистр |
| K1533ИП3 | АЛУ |
| K1533ИП4 | Схема ускоренного переноса АЛУ |
| K1533ТМ2 | D-триггер |
| K555ИМ6 | 4-х разрядный сумматор |
| K1533ЛИ1 | Логическая функция 2И |
| K1533ЛН1 | Логическая функция НЕ |
| K155ЛП5 | Логическая функция XOR |
| K1533ЛЛ1 | Логическая функция ИЛИ |
| K1533ЛЕ11 | Логическая функция 2ИЛИ-НЕ с открытым коллектором |
| K1531СП2 | 8-разрядный цифровой компаратор |
| K1533ЛП16 | Повторитель с повышенной нагрузочной способностью |

Потребляемый микросхемами ток представлен в таблице 5.

Таблица 5 – Потребляемый микросхемами ток

| Микросхема | Количество | Ток одной микросхемы | Суммарный ток |
|------------|------------|----------------------|---------------|
| К1533АП5 | 4 | 27мА | 108 мА |
| К1533ИЕ7 | 4 | 22 мА | 88 мА |
| К133ИР13 | 15 | 40мА | 600 мА |
| К1533ИП3 | 12 | 22мА | 264 мА |
| К1533ИП4 | 4 | 15мА | 60 мА |
| К1533ТМ2 | 6 | 4мА | 24 мА |
| К555ИМ6 | 2 | 39мА | 78 мА |
| К1533ЛИ1 | 2 | 4мА | 8 мА |
| К1533ЛН1 | 3 | 4.2мА | 12.6 мА |
| К1533ЛП5 | 7 | 5.9мА | 41.3 мА |
| К1533ЛЛ1 | 4 | 4.9мА | 19.6 мА |
| К1533СП1 | 2 | 11мА | 22 мА |
| К1533ЛЕ11 | 8 | 9мА | 72 мА |
| К1533ЛП16 | 1 | 10,6мА | 10,6мА |
| Всего: | 73 | | 1.4А |

Общая потребляемая мощность:

$$P = U * I = 5В * 1.4А = 7. Вт$$

Реверсивный регистр собирается с использованием микросхемы К133ИР13. Способ подключения для наращивания разрядности представлен на рисунке 1.

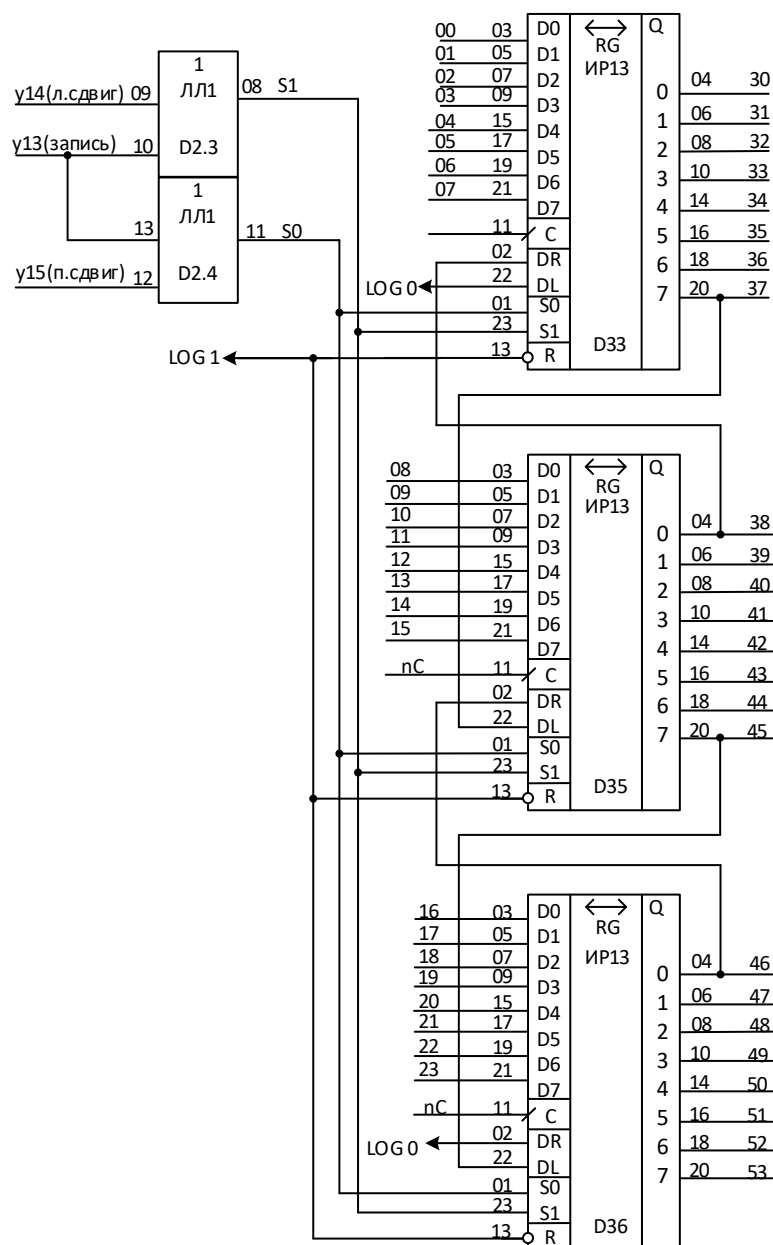


Рисунок 1 – Соединение регистров для сдвига в сторону младших и старших разрядов

Временная диаграмма работы реверсивного регистра представлена на рисунке 2.

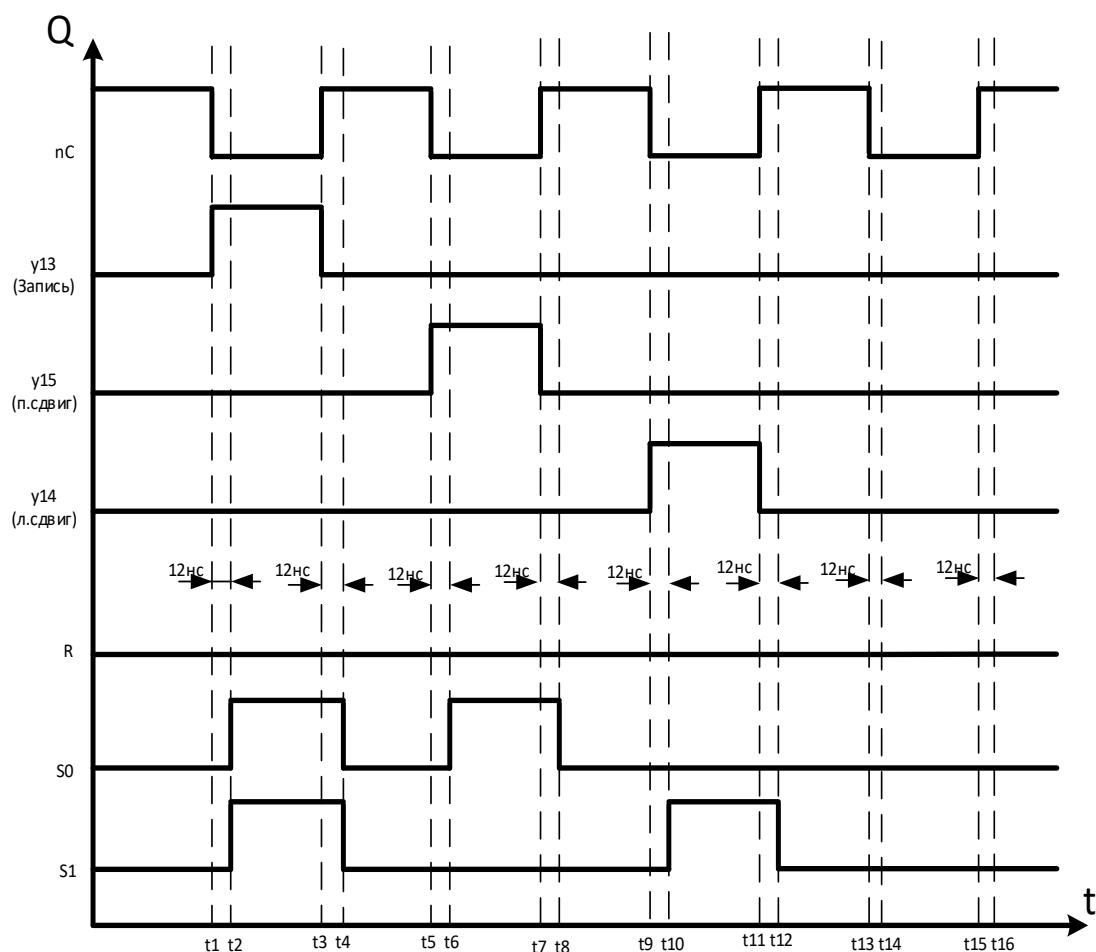


Рисунок 2 – Временная диаграммы работы реверсивного регистра

Для увеличения разрядности сумматора выход CR соединяют со входом переноса C следующего сумматора (рисунок 3).

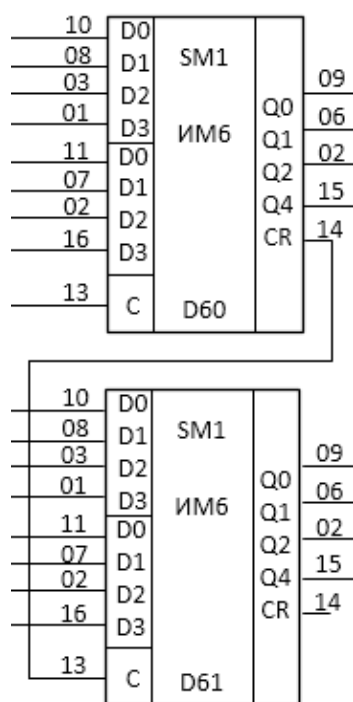


Рисунок 3 – Соединение сумматоров

Для увеличения разрядности счетчика инверсные выходы ≥ 15 и ≤ 0 необходимо соединить со входами +1 и -1 следующего счетчика. Схема подключения микросхема ИЕ7 представлена на рисунке 4.

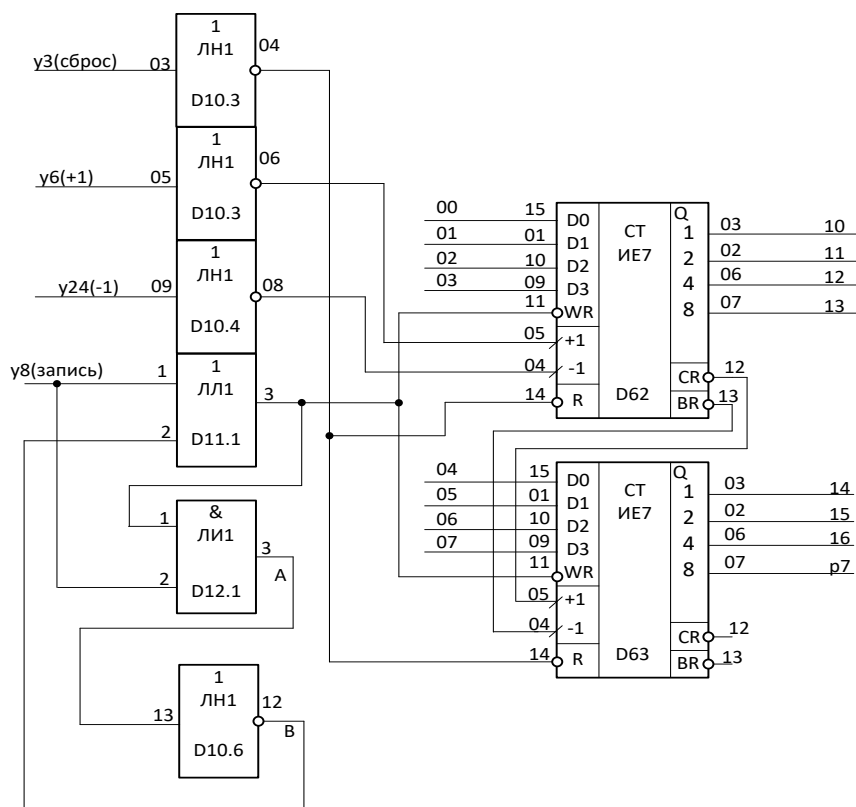


Рисунок 4 – Схема подключения ИЕ7

Временная диаграмма работы счетчика ИЕ7 представлена на рисунке 5.

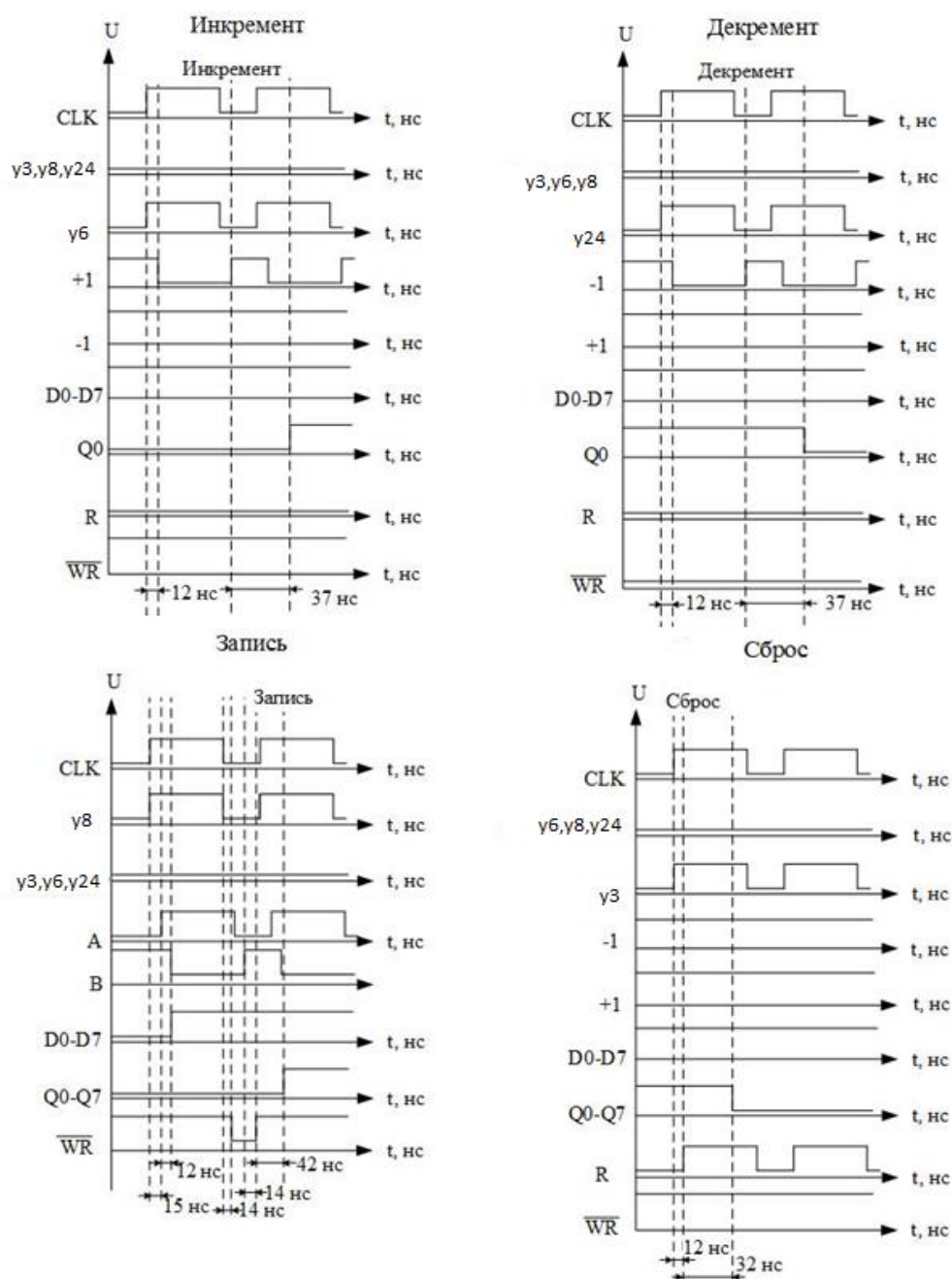


Рисунок 5 – Временная диаграмма работы счетчика ИЕ7

Для отлавливания ситуации, когда модуль разности порядков больше либо равен 23, было рассмотрено 3 различных варианта.

Первый вариант – использование сумматора для отлова данной ситуации. Схема с его использованием представлена на рисунке 6.

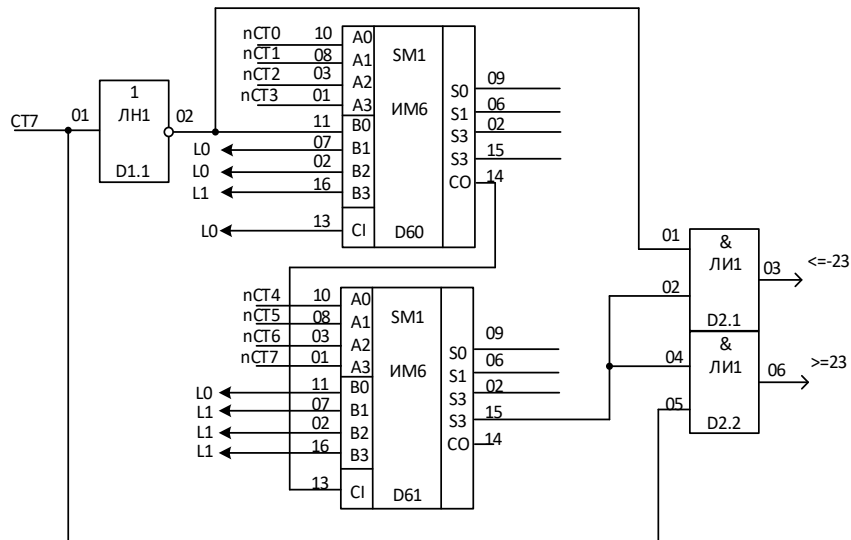


Рисунок 6 – Схема с использованием сумматора

Второй вариант – использование компаратора, представленная на рисунке 7.

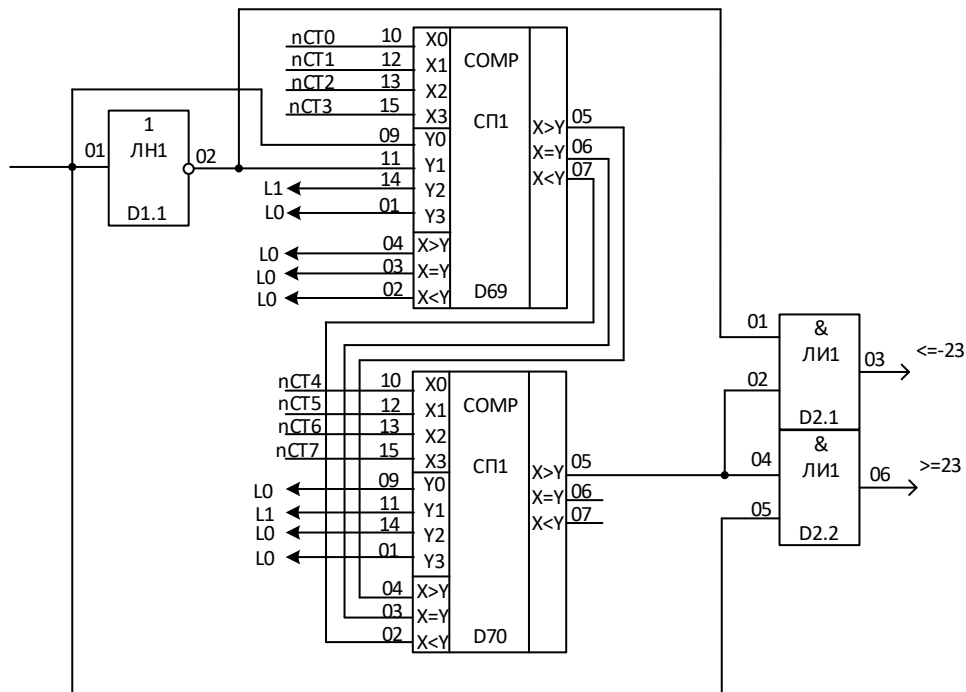


Рисунок 7 – Схема с использованием компаратора

Третий вариант – использование комбинационной схемы из логических элементов, представленная на рисунке 8.

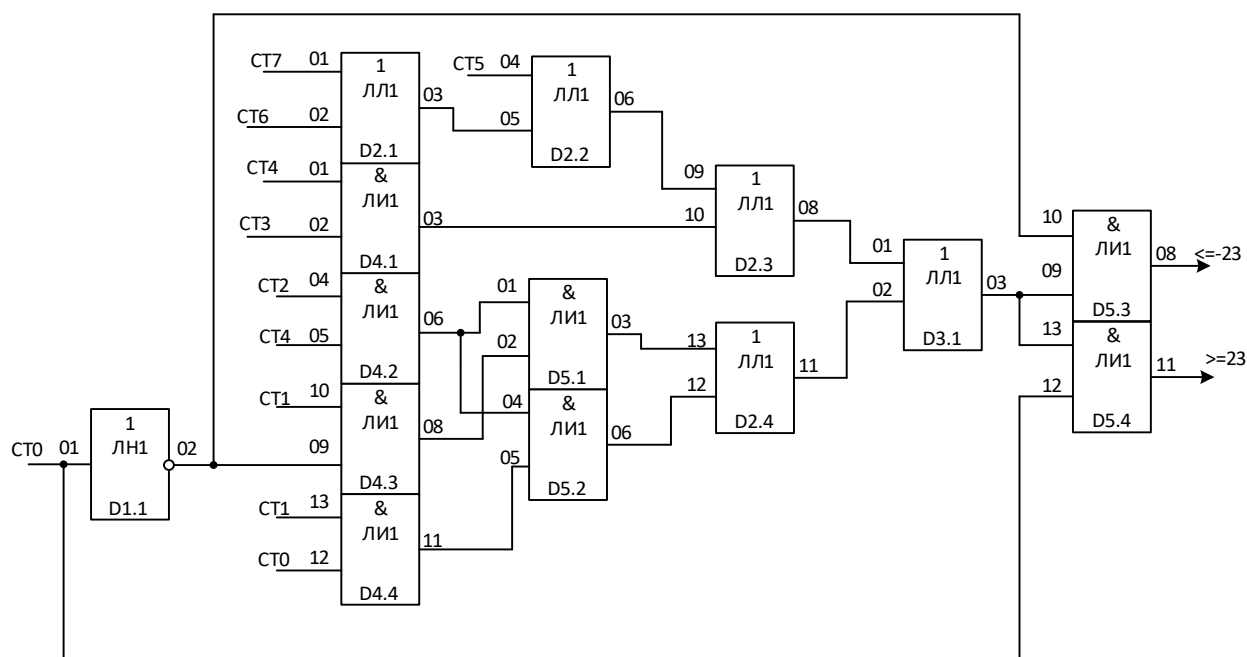


Рисунок 8 – Схема и использованием логических элементов

Для построения двух первых схем требуется 4 микросхемы, для третьей – 5, поэтому далее будем выбирать их схемы с использованием компаратора и схемы с использованием сумматора. Потребляемый ток сумматора – 39мА, компаратора – 11мА. На основании этого делаем выбор в пользу компаратора и используем его при построении схемы.

Для увеличения разрядности компаратора нужно присоединить выходы «X>Y», «X=Y», «X<Y» первого компаратора к соответствующим входам второго. Данное соединение показано на рисунке 9.

Потребляемый ток сумматора – 39мА, компаратора – 11мА. Так как потребляемый ток первой схемы меньше, поэтому выбрана схема с использованием компаратора.

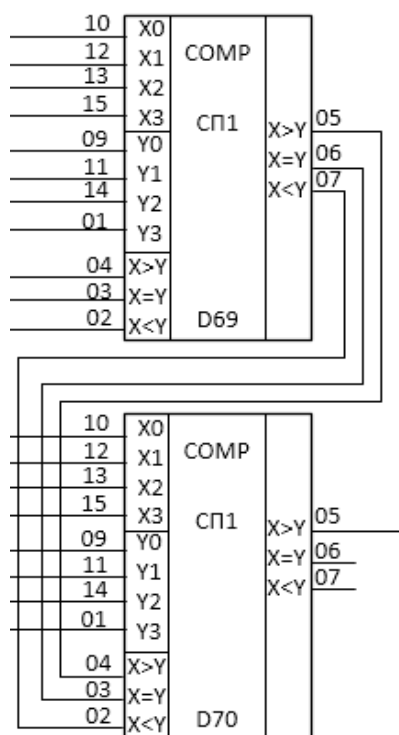


Рисунок 9 – Соединение компараторов

При использовании АЛУ для увеличения быстродействия необходимо воспользоваться схемой ускоренного переноса ИП4, представлена на рисунке 10.

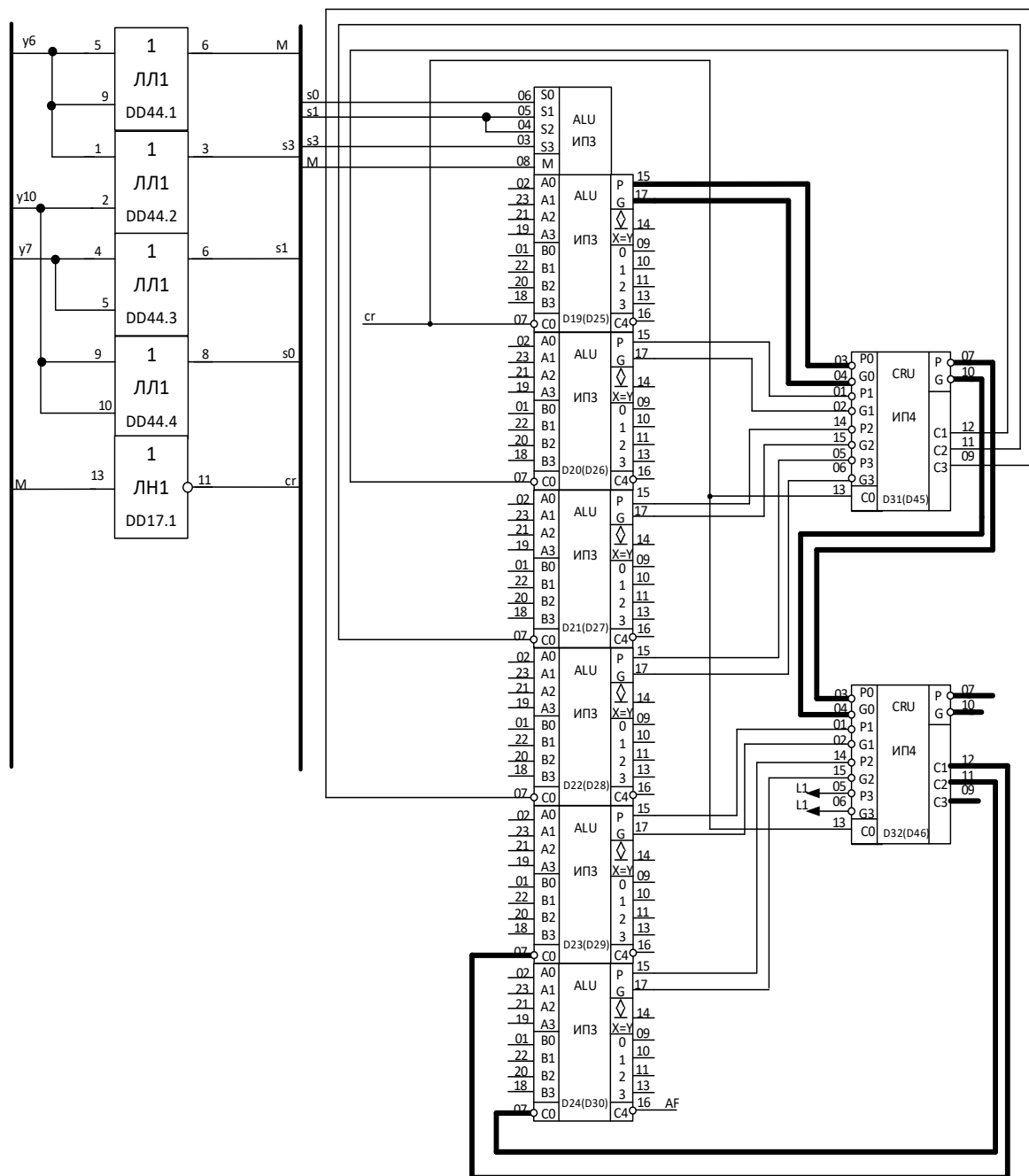


Рисунок 10 – Схема подключения АЛУ ИП3

Без использования ИП4 скорость работы АЛУ:

$$T = t_{\text{ИП3}}^{X,Y-C^4} * 11 + t_{\text{ИП3}}^{X,Y-F} = 44 * 11 + 34 = 518 \text{ нс}$$

С использованием ИП4:

$$T = t_{\text{ИП3}}^{X,Y-P} + t_{\text{ИП4}}^{0,1} * 4 + t_{\text{ИП3}}^{C^0-C^4} = 44 + 38 * 4 + 34 = 230 \text{ нс}$$

Таким образом использование схему ускоренного переноса ИП4 позволило увеличить скорость работы АЛУ в 2.2 раз.

Поскольку используются выходы микросхемы КР533ЛЕ11 с открытым коллектором, необходимо добавить в схему ограничительный резистор. Ограничительное сопротивление R рассчитывается по формуле:

$$\frac{E_{\min}^{num} - U_{\min}^1}{N * I_{ym}^1 - n_1 I_{ex}^1} \geq R \geq \frac{E_{\max}^{num} - U_{\max}^0}{I_{вых}^0 + (N - 1) * I_{ym}^0 - n_0 * I_{ex}^0}, \quad (1)$$

где

$E_{\min}^{пит}$ – минимальное напряжение питания микросхемы;

$E_{\max}^{пит}$ – максимальное напряжение питания микросхемы;

U_{\max}^0 – максимальное напряжение логического нуля;

U_{\min}^1 – минимальное напряжение логической единицы;

$I_{ут}^0, I_{ут}^1$ – токи утечки логических нуля и единицы;

$I_{вх}^0, I_{вх}^1$ – входные токи логических нуля и единицы;

$I_{вых}^0$ – выходной ток логического нуля;

N – количество элементов с открытым коллектором.

Для повышения быстродействия следует использовать наименьшее ограничительное сопротивление. Также в связи с тем, что ток утечки логического нуля очень мал и количество подключаемых выходов с открытым коллектором невелико, слагаемым $(N - 1) * I_{ут}^0$ можно пренебречь. Ограничительное сопротивление можно рассчитать следующим образом:

$$R1 \geq \frac{E_{\max}^{nut} - U_{\max}^0}{I_{вых}^0 - n_0 * I_{ex}^0}, \quad (2)$$

$$R1 \geq \frac{5,5B - 0,5B}{24,4A - 2 * 0,1A} = 2100 \text{ Ом}$$

Резистор был выбран из ряда E6, R1=330 Ом.

УГО некоторых микросхем представлены на рисунках 10-13.

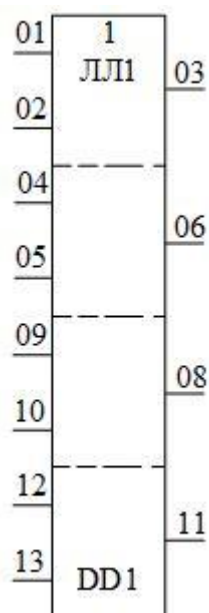


Рисунок 10 – УГО микросхемы КР1533ЛЛ1

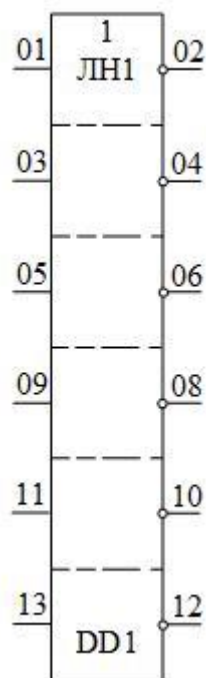


Рисунок 11 – УГО микросхемы КР1533ЛН1

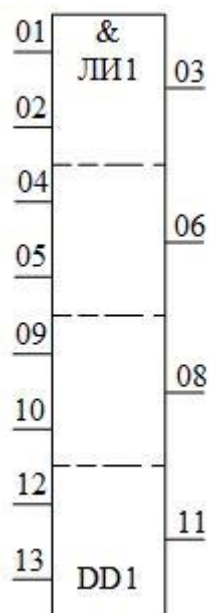


Рисунок 12 – УГО микросхемы КР1533ЛИ1

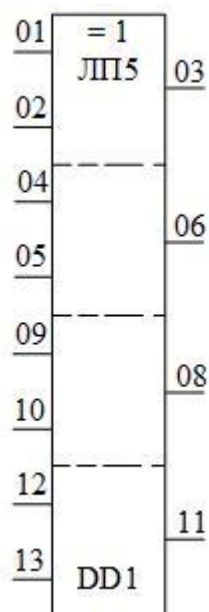


Рисунок 13 – УГО микросхемы КР1533ЛП5

В схеме присутствуют D-триггеры. Для реализации D-триггеров используется микросхема КР1533ТМ2. УГО данной микросхемы представлено на рисунке 14.

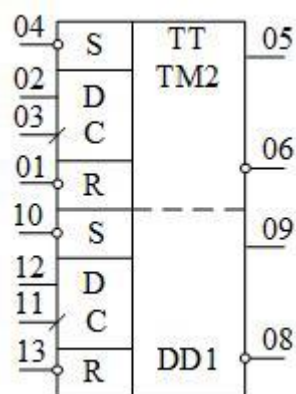


Рисунок 14 – УГО микросхемы KP1533TM2

По завершении операции результат выдаётся на шину. Для корректного формирования результата используется усилитель-формирователь. Данный элемент реализуется с помощью микросхемы KP1533АП5. УГО данной микросхемы представлено на рисунке 15.

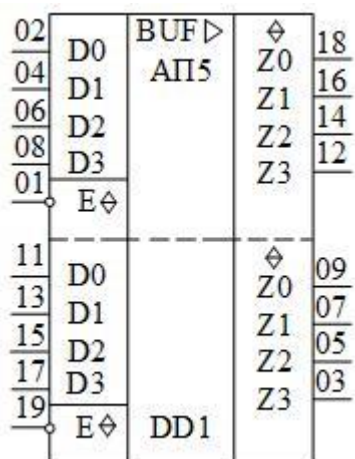


Рисунок 15 – УГО микросхемы KP1533АП5

9 Расчет фильтра питания

Чтобы сгладить возможные скачки напряжения, для схемы необходимо разработать фильтр.

Требуется рассчитать количество и ёмкости двух видов конденсаторов:

- электролитического – необходимого для сглаживания пульсирующего тока;
- керамического – необходимого для сглаживания напряжения.

Сначала найдем максимальную расчетную амплитуду ступенчатого скачка тока питания по формуле (3).

$$\Delta I = NC \left(\frac{\Delta V}{\Delta t} \right), \quad (3)$$

где N – количество выходов микросхем;

C – средняя емкость нагрузки выходов;

ΔV – амплитуда выходного сигнала;

Δt – время переключения выходов.

Примем $C = 10 \text{ пФ}$, $\Delta V = 5.25 \text{ В}$, $\Delta t = 5 \text{ нс}$, $N = 404$. Подставим в формулу и выполним расчеты

$$\Delta I = NC \left(\frac{\Delta V}{\Delta t} \right) = 404 * 10 * 10^{-12} * \left(\frac{5.25}{5 * 10^{-9}} \right) = 4.24 \text{ А}$$

Рассчитаем максимально допустимый импеданс по формуле (4).

$$X_{\max} = \frac{\Delta V_{\pi}}{\Delta I}, \quad (4)$$

где ΔV_{π} – допустимое напряжение помехи, равное 0.1 В.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 54 |

Для данного случая

$$X_{max} = \frac{\Delta V_{\pi}}{\Delta I} = \frac{0.1}{4.24} = 0.025 \text{ Ом.}$$

Вычислим индуктивность разводки питания по формуле (5).

$$L_{psw} = 4X \ln \left(\frac{2H}{D} \right), \quad (5)$$

где X – длина провода питания;

H – среднее расстояние между центрами проводов;

D – диаметр жилы провода.

Примем X = 30см, H = 5мм, D = 1мм. Подставив значения в формулу, найдем

$$L_{psw} = 4X \ln \left(\frac{2H}{D} \right) = 4 * 30 * \ln \left(\frac{2 * 0.5}{0.1} \right) = 276 \text{ нГн}$$

По формуле (6) найдем допустимую частоту помех.

$$F_{psw} = \frac{X_{max}}{2\pi L_{psw}} \quad (6)$$

$$F_{psw} = \frac{X_{max}}{2\pi L_{psw}} = \frac{0.025}{2 * 3.1415927 * 276 * 10^{-9}} = 13.9 \text{ кГц}$$

По формуле (7) рассчитаем емкость электролитического конденсатора.

$$C_{\text{э}} = \frac{1}{2\pi F_{psw} X_{max}} \quad (7)$$

$$C_{\text{э}} = \frac{1}{2\pi F_{psw} X_{max}} = \frac{1}{2 * 3.1415927 * 13.9 * 10^3 * 0.02} = 453 \text{ мкФ}$$

Для обеспечения устойчивости от высокочастотных помех, возникающих из-за паразитных емкостей микросхем, в цепи питания ставятся керамические конденсаторы малой емкости.

Для расчета данной емкости сначала найдем максимально допустимую индуктивность разводки питания по формуле (8).

$$L_{tot} = \frac{X_{max} * \Delta t}{\pi} \quad (8)$$

$$L_{tot} = \frac{X_{max} * \Delta t}{\pi} = \frac{0.02 * 5 * 10^{-9}}{3.1415927} = 0.031 \text{ нГн}$$

По формуле (9) рассчитаем частоту, до которой электролитический конденсатор справляется со своим назначением и по формуле (10) рассчитаем общую емкость керамических конденсаторов

$$F_{\text{эmax}} = \frac{X_{max}}{2\pi L_{\text{э}}}, \quad (9)$$

где $L_{\text{э}}$ – индуктивность выводов конденсатора, равная 15 нГн.

$$C_{\text{общ}} = \frac{1}{2\pi * F_{\text{эmax}} X_{max}} \quad (10)$$

Подставив значения в формулы, получим

$$F_{\text{эmax}} = \frac{X_{max}}{2\pi L_{\text{э}}} = \frac{0.02}{2 * 3.1415927 * 15 * 10^{-9}} = 212.2 \text{ кГц}$$

$$C_{\text{общ}} = \frac{1}{2\pi * F_{\text{эmax}} X_{max}} = \frac{1}{2 * 3.1415927 * 212.2 * 10^3 * 0.02} = 37,5 \text{ мкФ}$$

Расчёт количества керамических конденсаторов

$$N = \frac{L_{CK}}{L_{tot}}, \quad (11)$$

где $L_{CK} = 5 \text{ нГн}$

$$N = \frac{L_{CK}}{L_{tot}} = \frac{5}{0,031} = 162 \text{ конденсатора}$$

При расчете по формуле (11) необходимое керамических конденсаторов равно 162. Для определения окончательного числа данных конденсаторов следует воспользоваться правилом: на каждые 5 микросхем требуется 1 конденсатор. Так как микросхемы АЛУ имеют большее число переключений, необходимо установить на каждую микросхему по одному керамическому конденсатору.

Таким образом, общее количество требуемых керамических конденсаторов равно 48.

Отсюда емкость одного конденсатора:

$$C_k = \frac{C_{\text{общ}}}{N} = \frac{37,5 * 10^{-6}}{48} = 0,77 \text{ мкФ}$$

Получившиеся емкости: $C_3 = 453 \text{ мкФ}$, $C_k = 0,77 \text{ мкФ}$.

Из ряда Е6 берем значение для электролитического конденсатора

$C_3 = 470 \text{ мкФ}$. А для керамического конденсатора берем значение из ряда Е24 – $C_k = 0,82 \text{ мкФ}$.

10 Расчет длительности такта и разработка тактового генератора

Схематически такт работы представлен на рисунке 16.

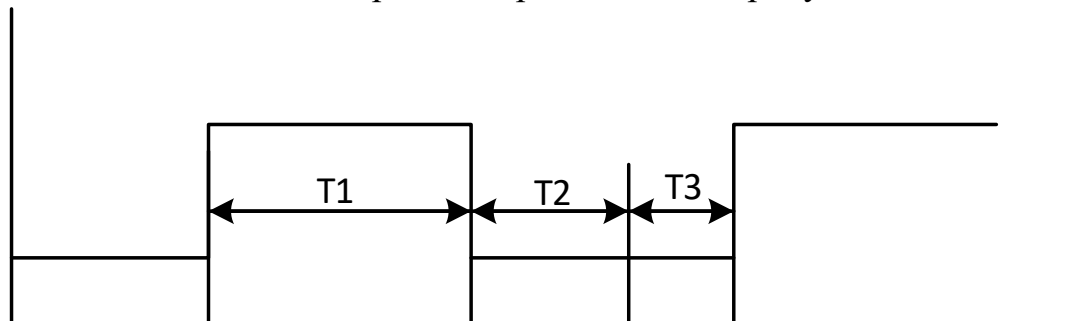


Рисунок 16 – Такт работы

T1 – время работы ОА;

T2 – время формирования логических условий;

T3 – время работы УА;

Разработанной принципиальной схемы следует, что наибольшее время задержки в ОУ требуется для перезаписи данных из одного регистра в другой через АЛУ. Для определения данной задержки необходимо сложить время задержки КС управления АЛУ (t_1), время задержки на АЛУ (t_2) и время предустановки ИР13 (t_3).

$$t_1 = t_{\text{ЛН1}}^{0,1} + t_{\text{ЛЛ1}}^{0,1} = 11\text{нс} + 14 = 25\text{нс}$$

$$t_2 = t_{\text{ИПЗ}}^{A,B-P} + t_{\text{ИП4}}^{0,1} * 4 + t_{\text{ИПЗ}}^{C0-C4} = 44 + 38 * 4 + 26 = 222\text{нс}$$

$$t_3 = t_{\text{ИР13}} = 22\text{нс}$$

$$T1 = 16.5 + 222 + 22 = 269\text{нс}$$

Для повышения надежности время задержки T1 необходимо увеличить на 10%. Конечное значение время задержки на ОУ равно 296нс.

Время T2 определяется наибольшим временем формирования осведомительных сигналов. Наибольшее время формирования имеет сигнал p13.

$$T2 = t_{зд.ИР13} + \max(t_{ЛЕ11}^{0,1}; t_{ЛП5}^{0,1}; t_{ЛН1}^{0,1}) + \max(t_{ЛН1}^{0,1} + t_{ЛИ1}^{0,1}) + t_{ЛЕ11}^{0,1} = 22 + \max(33; 17; 11) + \max(11; 14) + 33 = 22 + 33 + 14 + 33 = 102 \text{ нс}$$

Для повышения надежности время задержки T2 необходимо увеличить на 10%. Конечное значение время задержки при формировании осведомительного сигнала p13 равно 112 нс.

Время T3 определяется временем задержки на управляющем автомате.

КС состоит из трех слоев элементов: «НЕ», «И», «ИЛИ». Таким образом, задержка формирования управляющих сигналов. Также к этому времени необходимо добавить задержку на элементе «И», необходимом для объединения управляющих сигналов с сигналом синхронизации.

$$T3 = t_{ЛН1}^{0,1} + t_{ЛИ1}^{0,1} + t_{ЛЛ1}^{0,1} = 11 + 14 + 18 + 14 = 57 \text{ нс}$$

$$\text{Общее время такта : } T = T1 + T2 + T3 = 296 + 112 + 57 = 465 \text{ нс.}$$

11 Разработка тактового генератора

В качестве генератора возьмем микросхему К1533АГ3. Она представляет собой 2 одновибратора, которые соединяются в мультивибратор. Её подключение показано на рисунке 17.

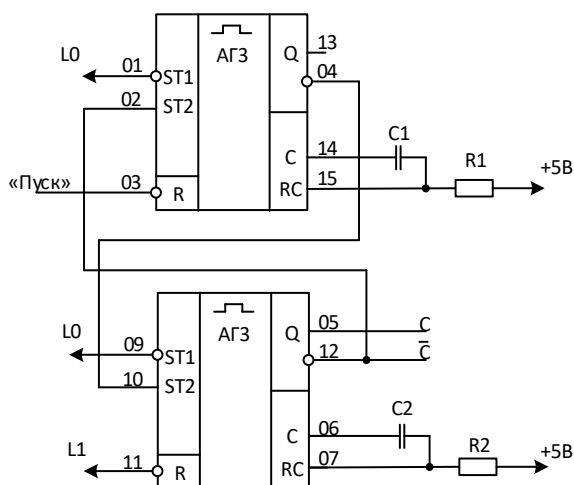


Рисунок 17 – Генератор

Для реализации тактового генератора требуется рассчитать номиналы $C1$, $C2$, $R1$, $R2$. Для расчета используются следующие формулы:

$$t = 0.45RC$$

где

t – время;

C – ёмкость;

R – сопротивление.

Время задержки на одновибраторах $t_3 = 39$ нс.

Время работы на первом одновибраторе $t_1 = T_{oy} = 260.5$ нс.

Время работы на втором одновибраторе $t_2 = T_p + T_{yy} - 2 * t_3 = 156 - 78 = 78$ нс.

C_1 выбирается из ряда E24 равным 330 пФ. R_1 рассчитывается по формуле:

$$R = \frac{t}{0,45C} \quad (14)$$

Резистор выбирается из ряда E6 сопротивлением 1.5 кОм.

C_2 выбирается из ряда E24 равным 39 пФ. R_2 и рассчитывается по формуле (14). Резистор выбирается из ряда E6 сопротивлением 4,7 кОм.

По формуле (13) повторно рассчитываются t_1 и t_2 :

$$t_1 = 193 \text{ нс};$$

$$t_3 = 77 \text{ нс}.$$

Получается, что генератор вырабатывает тактовый импульс с временем $T = 270 \text{ нс}$.

Разработанная схема работает с частотой $F = 1/T = 3.7 \text{ МГц}$

Временные диаграммы тактового генератора представлены на рисунке 18.

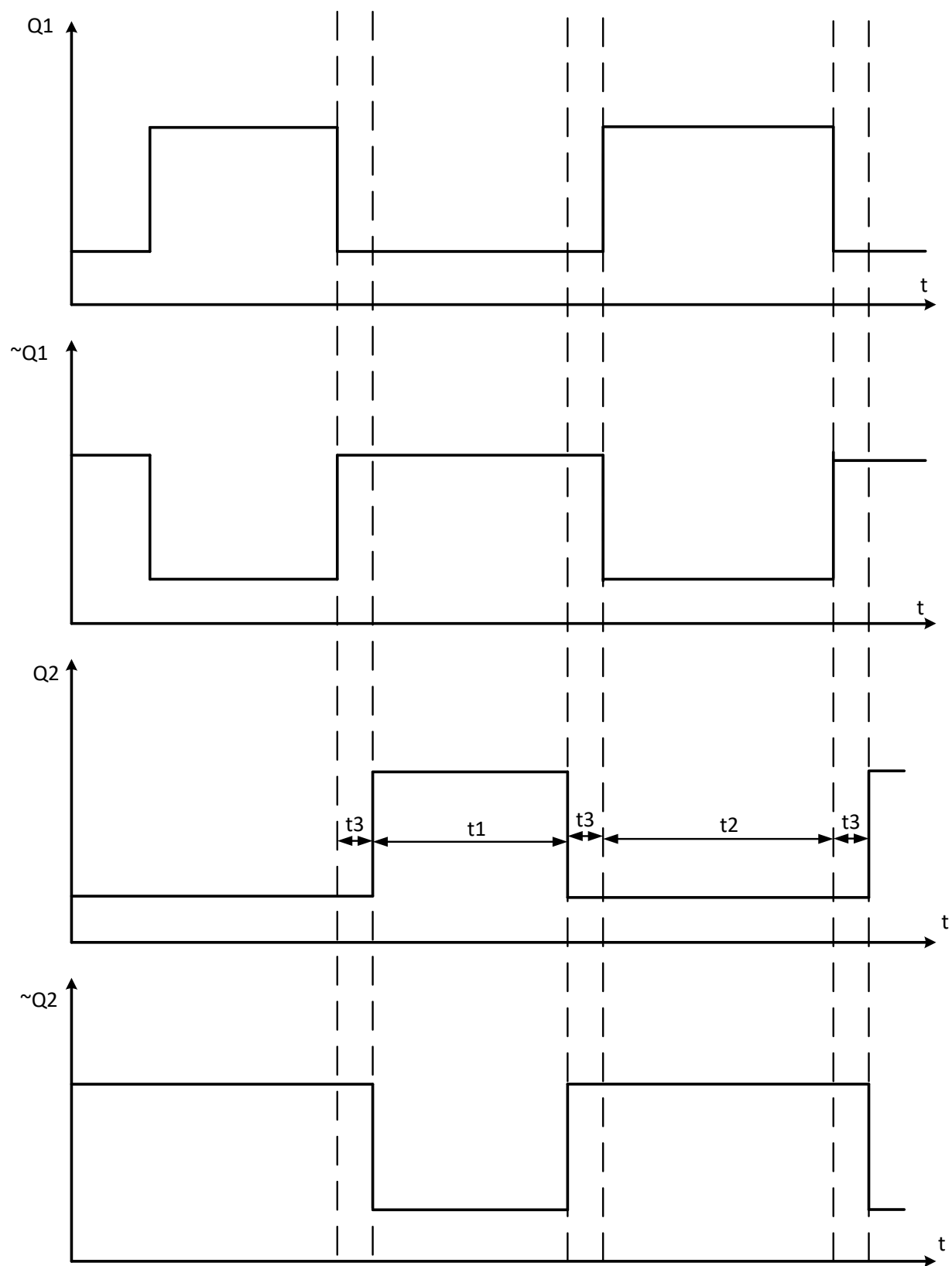


Рисунок 18 – Временная диаграмма для генератора

12 Расчет быстродействия

Вероятности возникновения различных ситуаций при работе устройства представлены в таблице 6.

Таблица 6

| Наименование | Вероятность |
|------------------------------------|-------------|
| Операция умножения | 0.1 |
| Операция сложения модулей | 0.4 |
| Операция вычитания | 0.3 |
| Операция декремента | 0.15 |
| Операция НЕ-А ИЛИ В | 0.05 |
| ПРС в порядках | 0.05 |
| ПМР в порядках | 0.05 |
| Временное ПРС мантисс | 0.5 |
| Временное ПРС порядков | 0.05 |
| Операнд равен нулю | 0.01 |
| Модуль разности порядков ≥ 23 | 0.4 |
| Получение денормализованного числа | 0.5 |
| Потеря старшего разряда | 0.5 |

Найдем среднее количество тактов для выполнения каждой операции.

Граф-схема алгоритма операции деления представлена на рисунке 19.

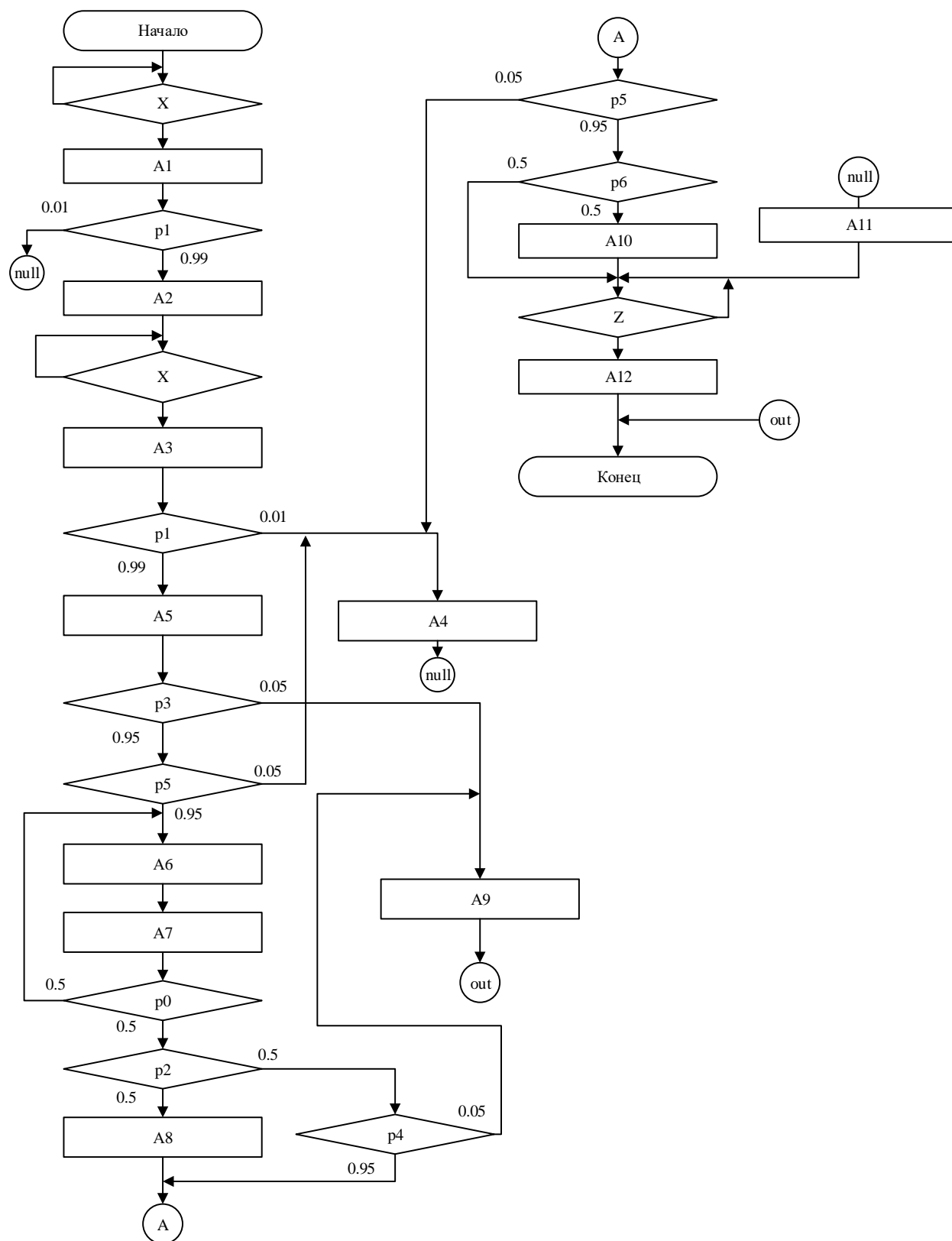


Рисунок 19 – Граф-схема операции умножения

$$A1+0.01(A11+A12)+0.99(A2+A3+0.01(A4+A11+A12)+0.99(A5+0.05(A4+A11+A12)+0.95(0.05(A4+A11+A12)+0.95(A6+A7+0.5*23(A6+A7)+0.5(0.5(0.05(A4+A11+A12)+0.5(A10+A12)+0.5(A12)))+(0.5(0.05(A9)+0.95(0.05(A4+A11+A12)+0.5(A10+A12)+0.5(A12))))))) = 27.132$$

Граф-схема алгоритма операций сложения модулей/вычитания представлена на рисунке 20.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 65 |

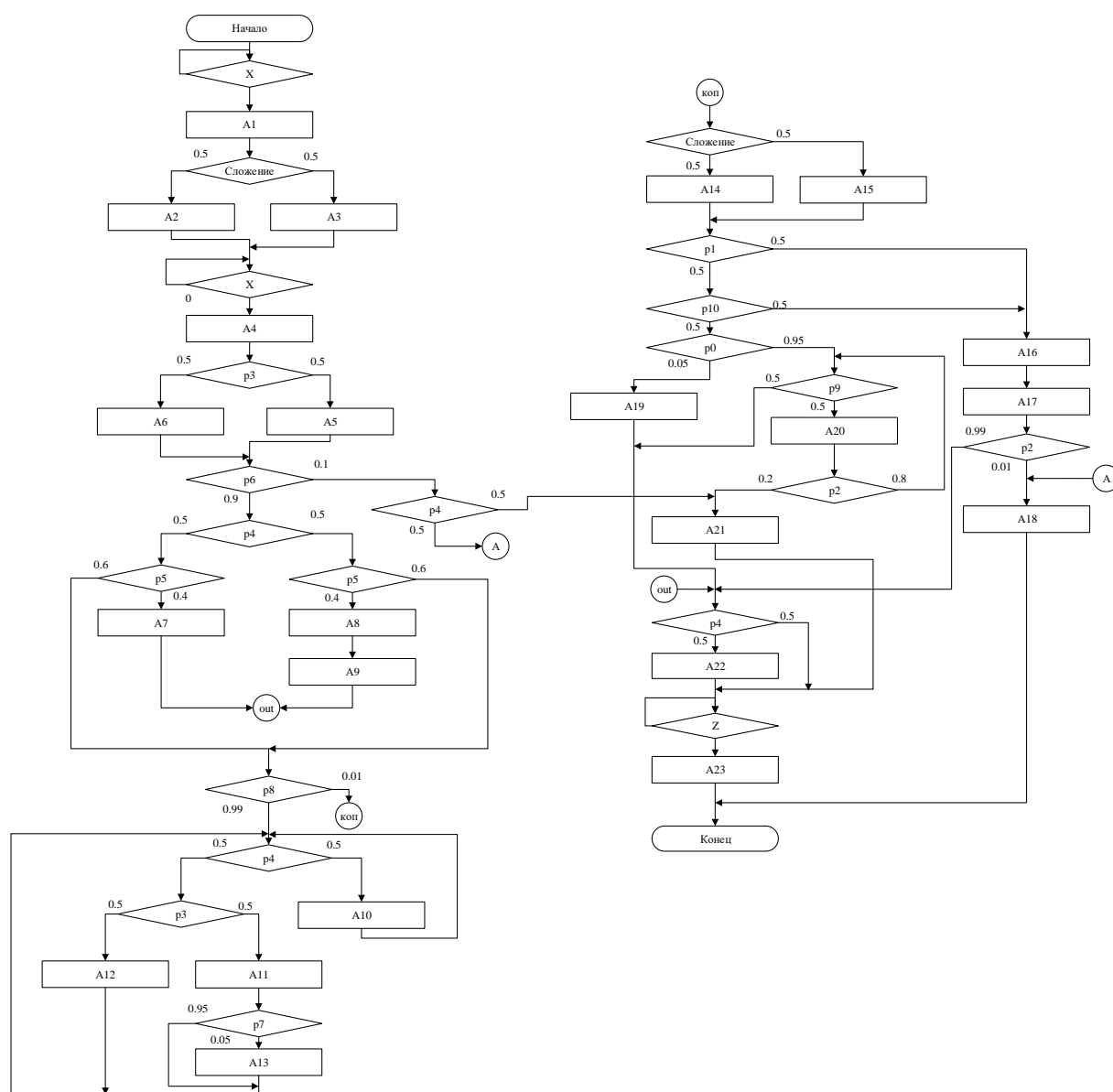


Рисунок 20 – Граф-схема операций сложения модулей/вычитания

$A1 + A23 + A4 + A56 + 0.1(0.5(A21 + A23) + 0.5(A18)) + 0.9(0.5(0.6(0.99(0.5(A10) + 0.5(0.5(A12) + 0.5(A11 + 0.05(A13)))) + 0.01(A1415) + 0.5(A16 + A17 + 0.01(A18) + 0.99(0.5(A22 + A23) + 0.5(A23))) + 0.5(0.5(A16 + A17 + 0.01(A18) + 0.99(0.5(A22 + A23) + 0.5(A23)))) + 0.05(A19 + 0.5(A22 + A23) + 0.5(A23)) + 0.95(0.5(0.5(A23) + 0.5(A22 + A23)) + 0.5(A20 + 0.2(A21 + A23) + 0.8 * 50(A20)))) + (0.5(0.4(A7 + 0.5(A23) + 0.5(A22 + A23))) + 0.5(0.4(A8 + A9 + 0.5(A23) + 0.5(A22 + A23))) + 0.4(A8 + A9 + 0.5(A22 + A23) + 0.5(A23)) + 0.6(0.99(0.5(A10) + 0.5(0.5(A12) + 0.5(A11 + 0.05(A13)))) + 0.01(A1415) +$

$$+0.5(A16+A17+0.01(A18)+0.99(0.5(A22+A23)+0.5(A23)))+0.5(0.5(A16+A17+0.01(A18)+0.99(0.5(A22+A23)+0.5(A23)))+0.05(A19+0.5(A22+A23)+0.5(A23))+0.95(0.5(0.5(A23)+0.5(A22+A23))+0.5(A20+0.2(A21+A23)))))) = 17.267$$

Граф-схема алгоритма операции декремента с вероятностями перехода представлена на рисунке 21.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 67 |

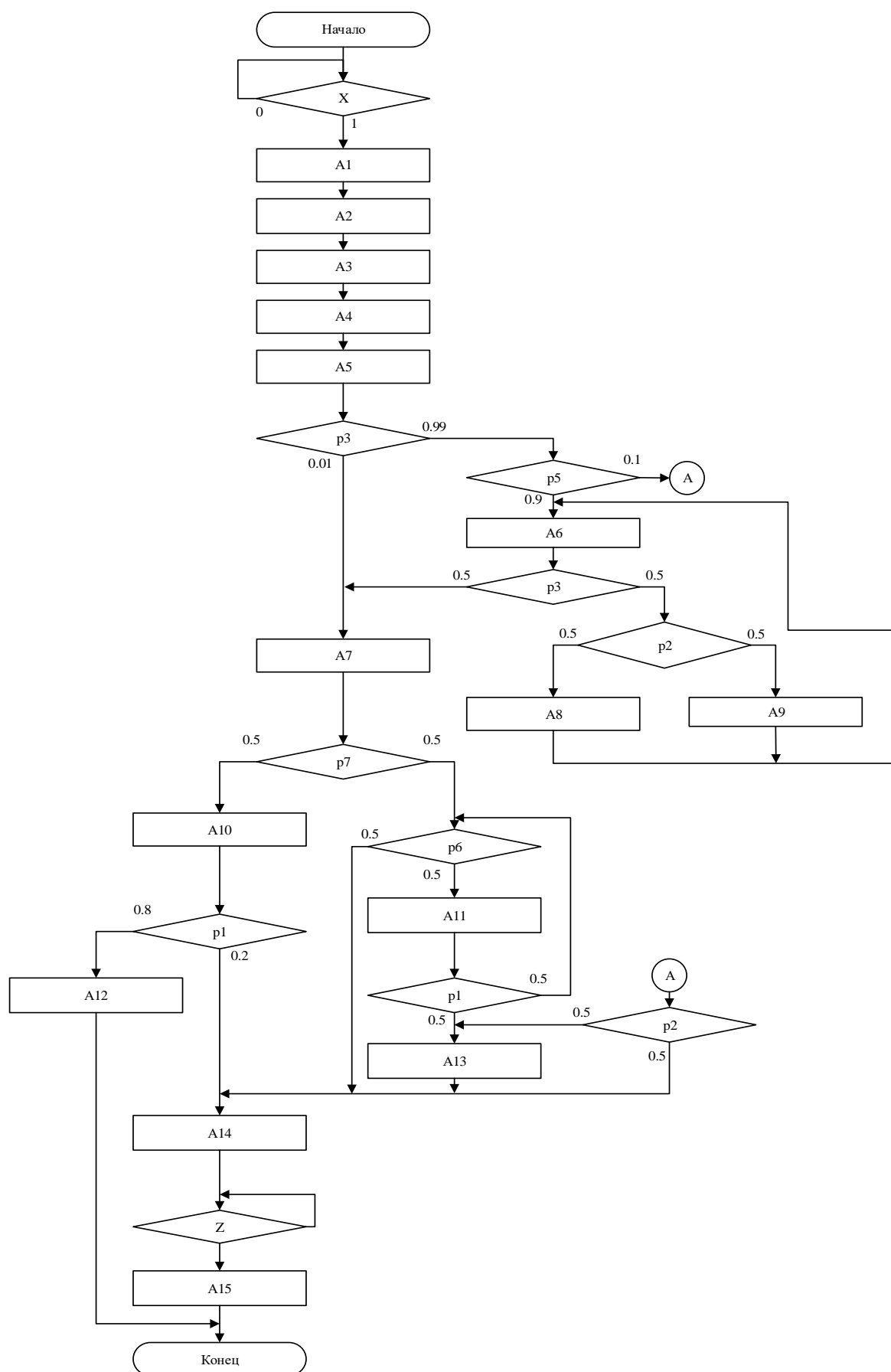


Рисунок 21 – Граф-схема операции декремента

$$A1+A2+A3+A4+A5+0.99(0.1(0.5(A14+A15)+0.5(A13+A14+A15))+0.9(A6+0.5*10(1)+0.5(A7+0.5(A10+0.8(A12)+0.2(A14+A15))+0.5(0.5(A14+A15)+0.5(A11+0.5*10(A11)+0.5(A13+A14+A15)))))) = 12.58$$

Граф-схема алгоритма операции НЕ-А ИЛИ В с вероятностями переходов представлена на рисунке 22.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 69 |

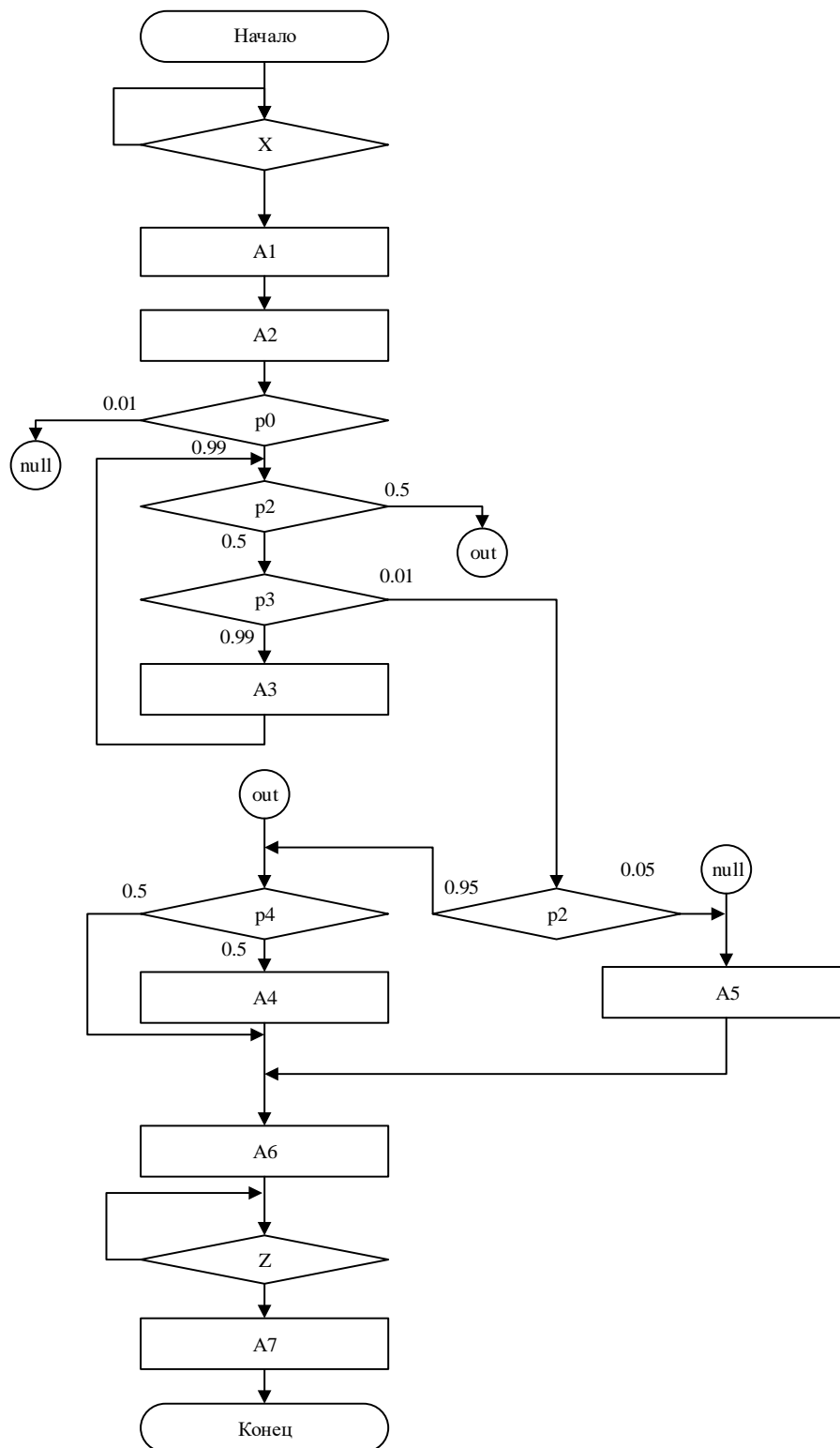


Рисунок 22 – Граф-схема алгоритма операции НЕ-А ИЛИ В

$$A1+A2+0.01(A5+A6+A7)+0.99(0.5(0.5(A4+A6+A7)+0.5(A6+A7))+0.5(0.9*10+0.1(0.05(A5+A6+A7)+0.95(0.5(A6+A7)+0.5(A4+A6+A7))))) = 9.2$$

Используя данные предыдущих вычислений найдем среднее число операций, выполняемых на АЛУ.

$$\begin{aligned}
 N &= N_{MUL} * 0.1 + N_{AS} * 0.4 + N_{AS} * 0.3 + N_{DEC} * 0.15 + N_L * 0.05 \\
 &= 27.13 * 0.1 + 17.267 * 0.4 + 17.267 * 0.3 + 12.58 * 0.15 \\
 &\quad + 9.2 * 0.05 = 17.14
 \end{aligned}$$

Отсюда число операций в секунду:

$$\frac{4.2 * 10^6}{17.14} = 245040 \left[\frac{\text{оп}}{\text{с}} \right]$$

13 Выбор разъема

Для подключения схемы необходимо 65 разряда под входные и выходные данные, два разряда для питания и заземления, 27 разрядов под управляющие сигналы, 18— под осведомительные сигналы и еще 8 разрядов под код операции, синхросигнал и флаги результата. Всего потребуется 127 разрядов.

В качестве разъема для подключения схемы был выбран разъем СНПЗ4-135Р, имеющий разрядность 135 и имеющий ток на контакт 2А. Плата присоединяется при помощи шлейфов.

Внешний вид разъема представлен в приложении В.

Заключение

В ходе выполнения курсового проекта были разработаны функциональные схемы для операции умножения в дополнительном коде IV способом, сложения модулей, вычитания, декремента, НЕ-А ИЛИ В над числами с плавающей запятой с порядками. Разработаны граф-схемы алгоритмов для управления данными функциональными схемами. Разработана объединенная функциональная схема, а также граф-схема алгоритма. Разработана схема электрическая принципиальная на ТТЛ микросхемах. Для сглаживания скачков тока и напряжения был разработан фильтр питания и рассчитаны соответствующие номиналы конденсаторов. Был выбран тактовый генератор для генерации тактовых импульсов с рассчитанной длительностью. В результате получена схема, содержащая 73 микросхемы, с потребляемой мощностью 7 Вт. Среднее быстродействие – 245040 операций в секунду.

| | | | | | | |
|------|------|----------|---------|------|---------------------|------|
| | | | | | ТПЖА.09.03.01.071ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 72 |

Список сокращений

АЛУ – арифметико-логическое устройство

ГСА – граф-схема алгоритма

ДК – дополнительный код

ОА – операционный автомат

ОЧ – операционная часть

ПК – прямой код

ПМР – потеря младших разрядов

ПРС – переполнение разрядной сетки

СЧП – сумма частичных произведений

ТТЛ – транзисторно-транзисторная логика

УА – управляющий автомат

ФС – функциональная схема

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| Изм. | Лист | № докум. | Подпись | Дата | | 73 |

Библиографический список

1. Томчук М.Н. Лабораторный практикум по дисциплине “Схемотехника ЭВМ” [Текст]/ Томчук М.Н. – издательство ВятГУ 2011. 62 с.
2. Справочник по стандартным цифровым ТТЛ микросхемам [Электронный ресурс] – Режим доступа <http://www.cqham.ru/kozak/ttl/ttlh01.htm>, свободный - Загл. с экрана.

| | | | | | | |
|------|------|----------|---------|------|----------------------|------|
| | | | | | ТПЖА.09.03.01.071 ПЗ | Лист |
| | | | | | | 74 |
| Изм. | Лист | № докум. | Подпись | Дата | | |

Функциональные схемы отдельных операций

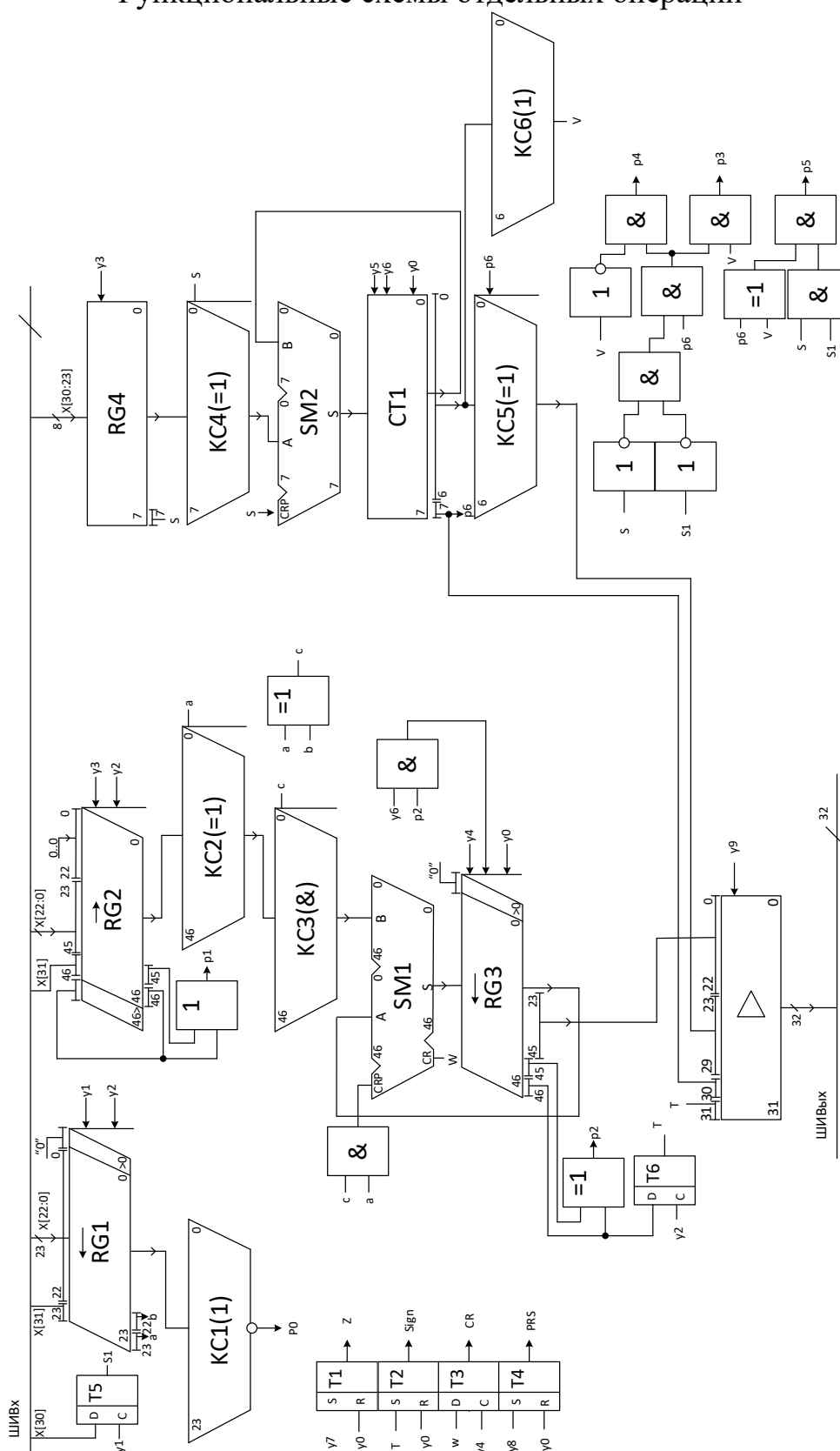


Рисунок А.1 – Функциональная схема ОЧ АЛУ операции умножения

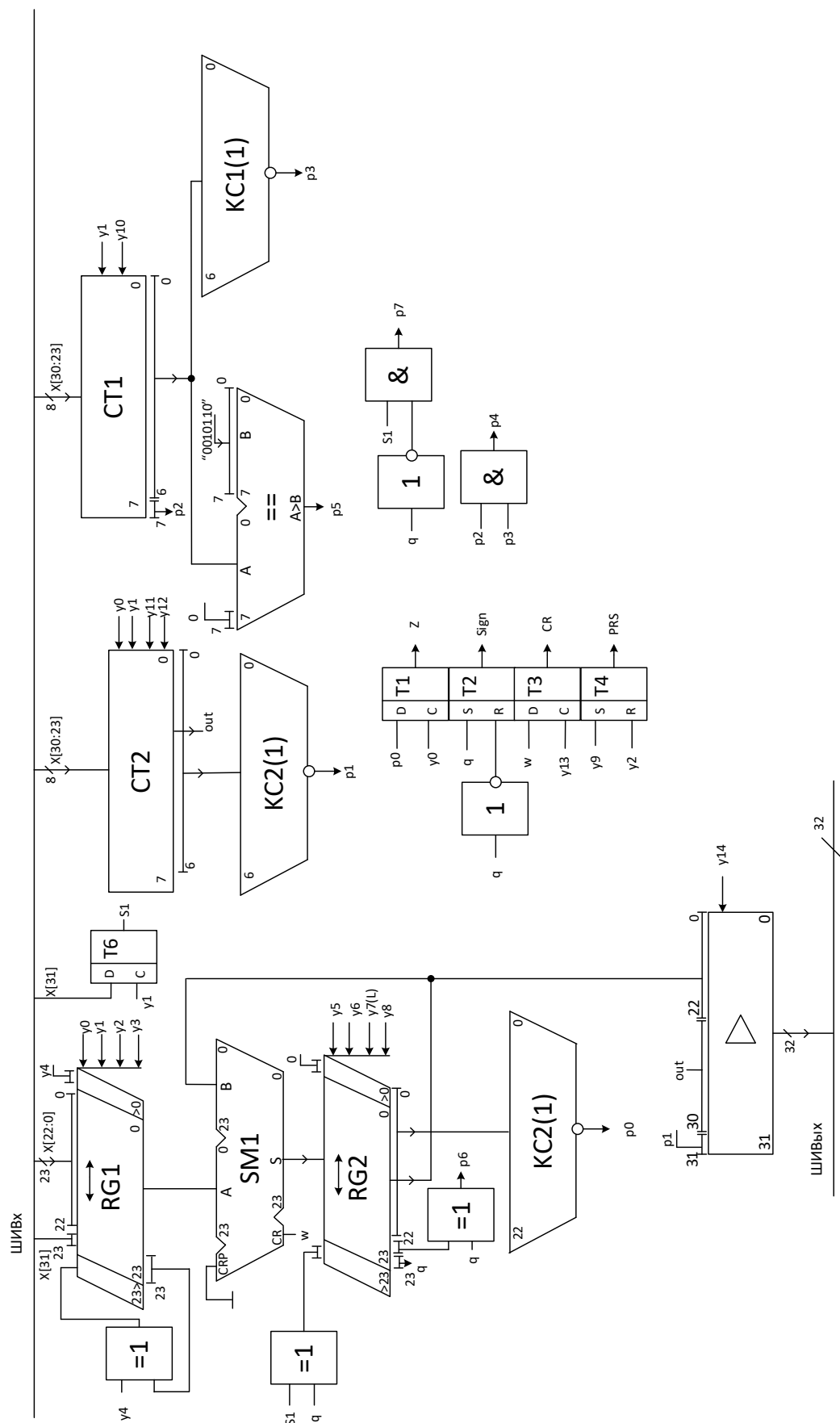


Рисунок А.3 – Функциональная схема ОЧ АЛУ операции декремент

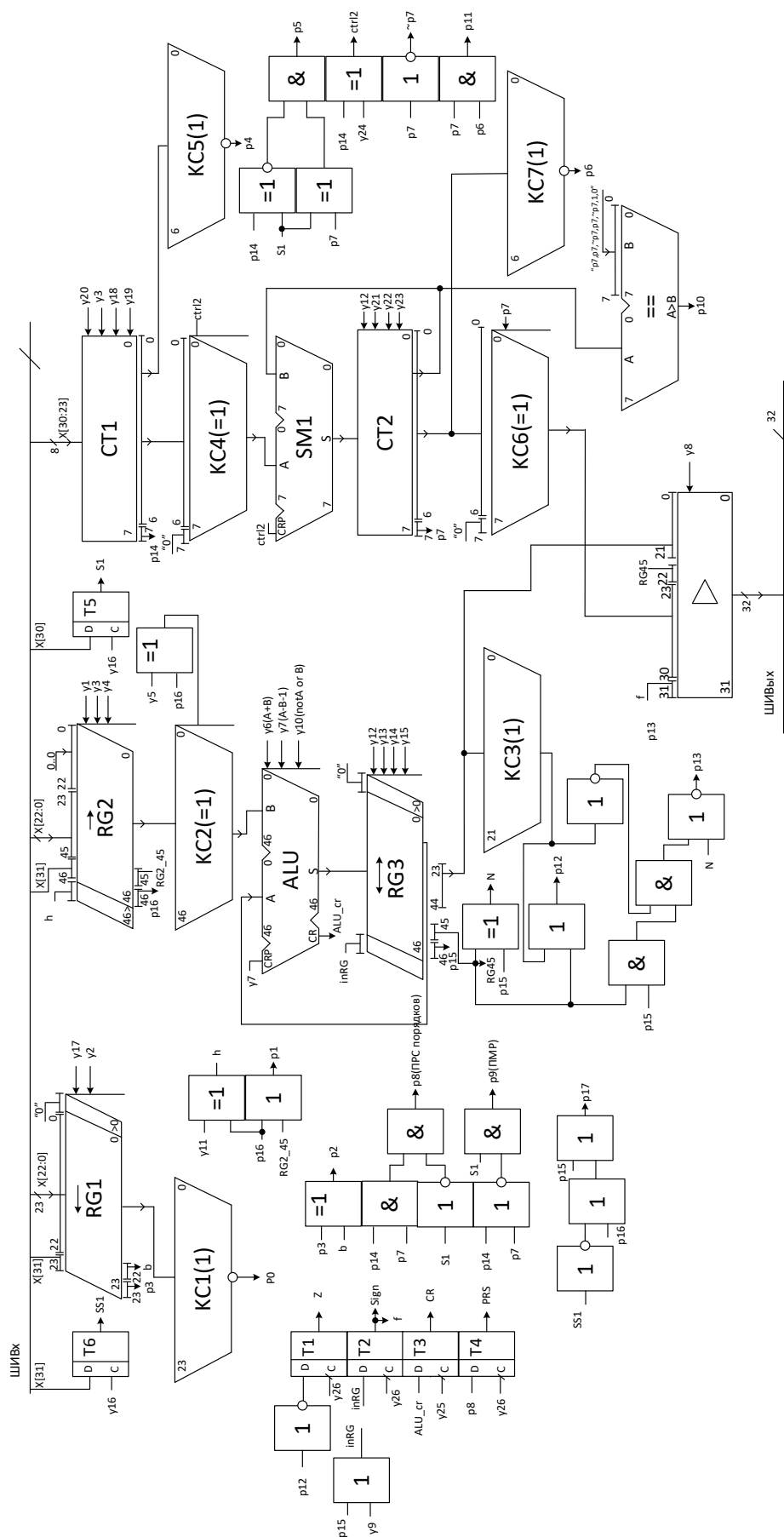
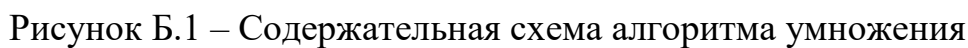


Рисунок А.5 – Объединенная функциональная схема

| | | | | |
|------|------|----------|---------|------|
| | | | | |
| Изм. | Лист | № докум. | Подпись | Дата |

ТПЖА.09.03.01.071ПЗ

Содержательные схемы алгоритмов



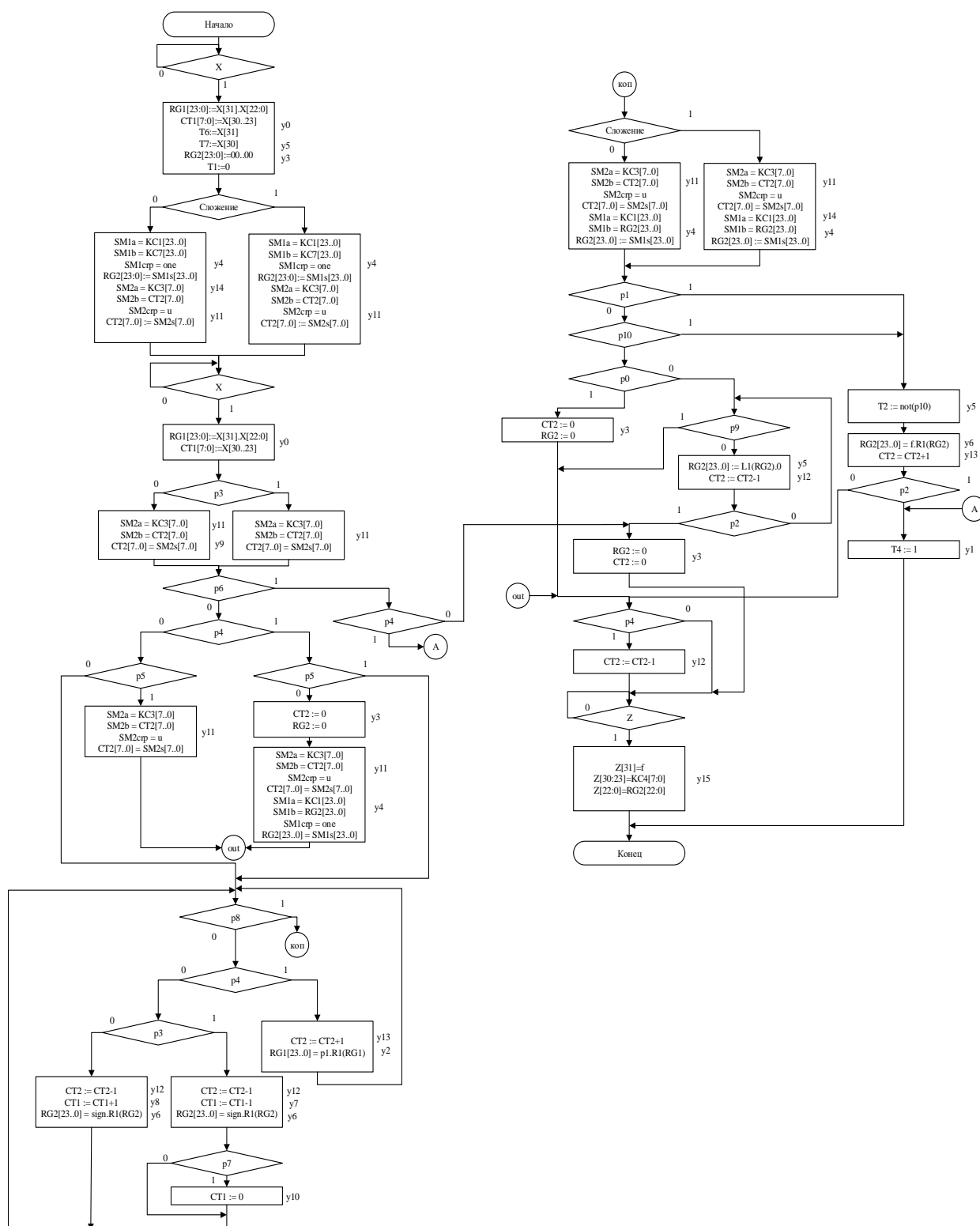


Рисунок Б.2 – Содержательная схема алгоритмов сложения модулей и
вычитания

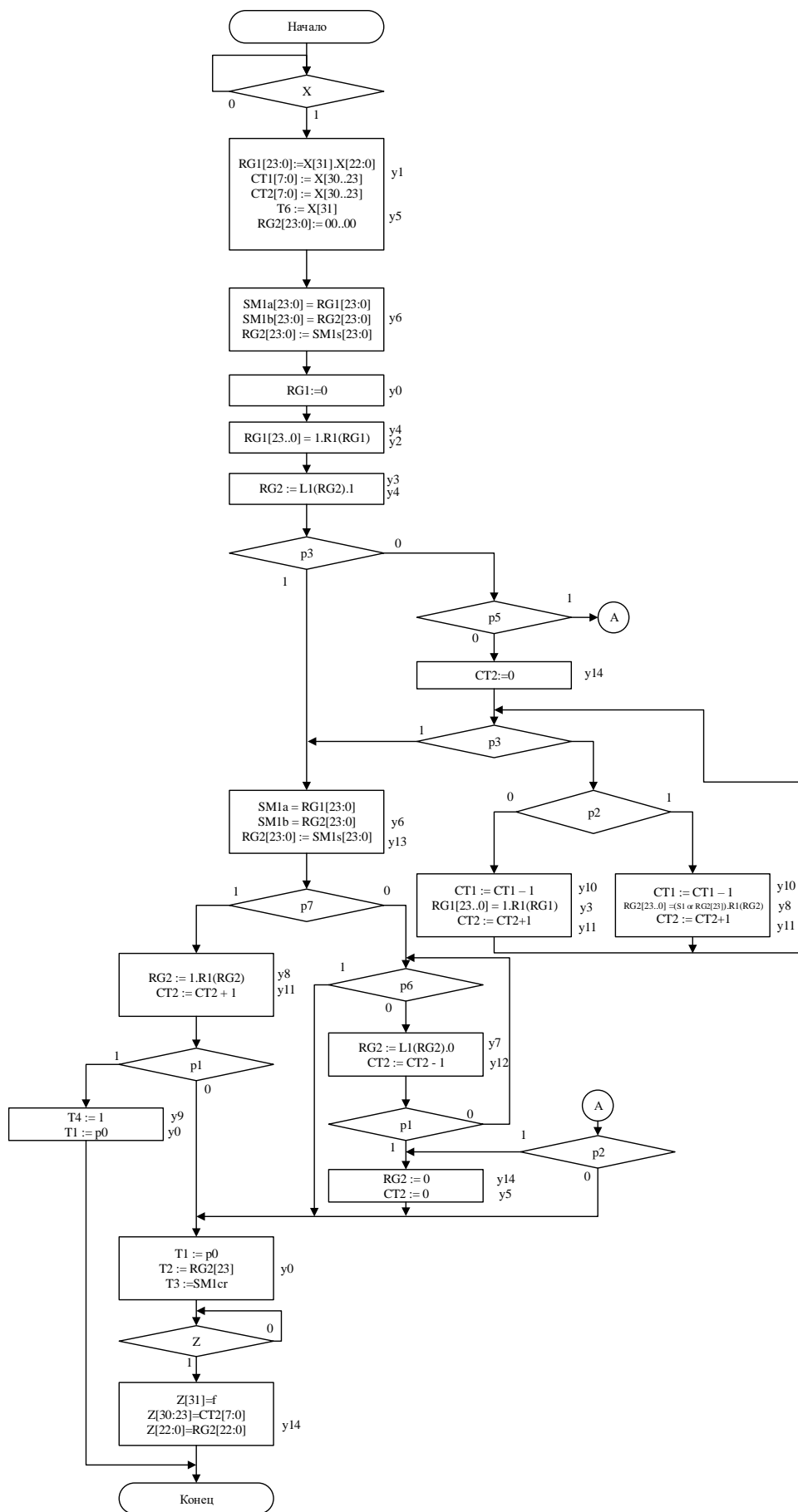


Рисунок Б.3 – Содержательная схема алгоритма операции декремент

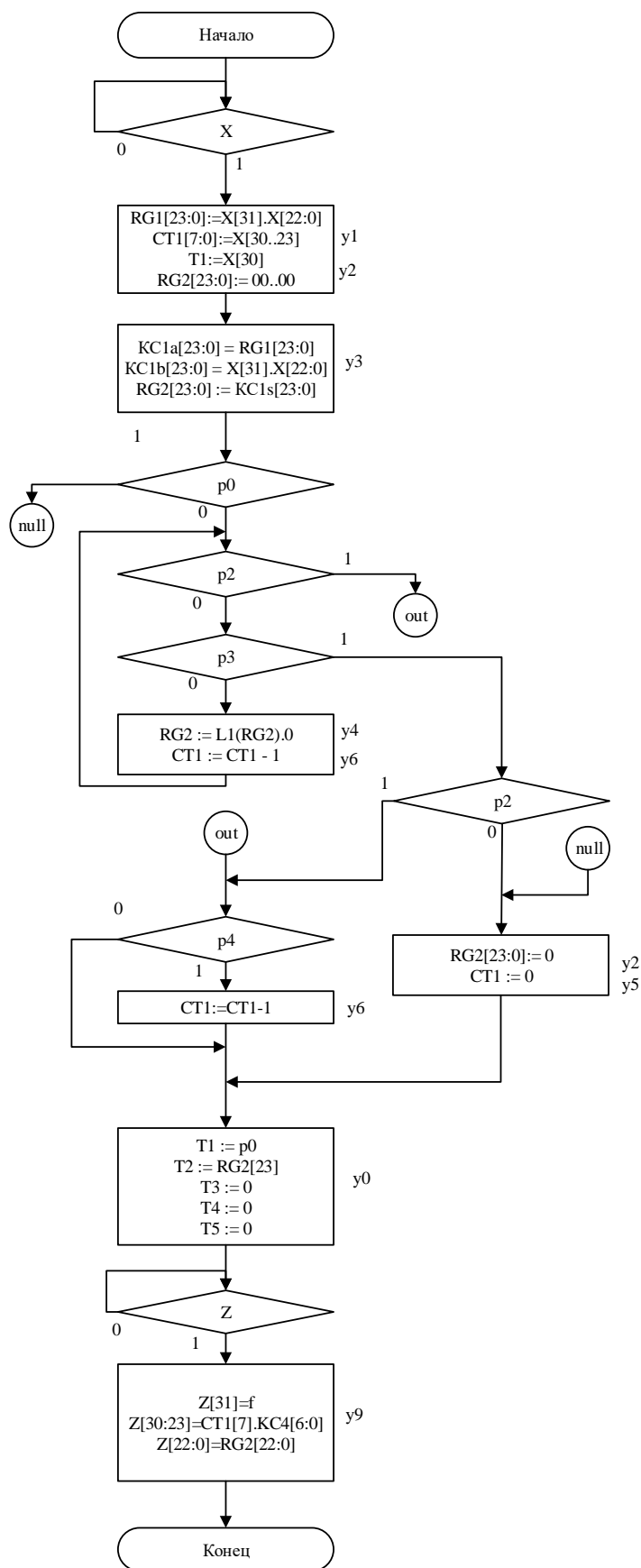
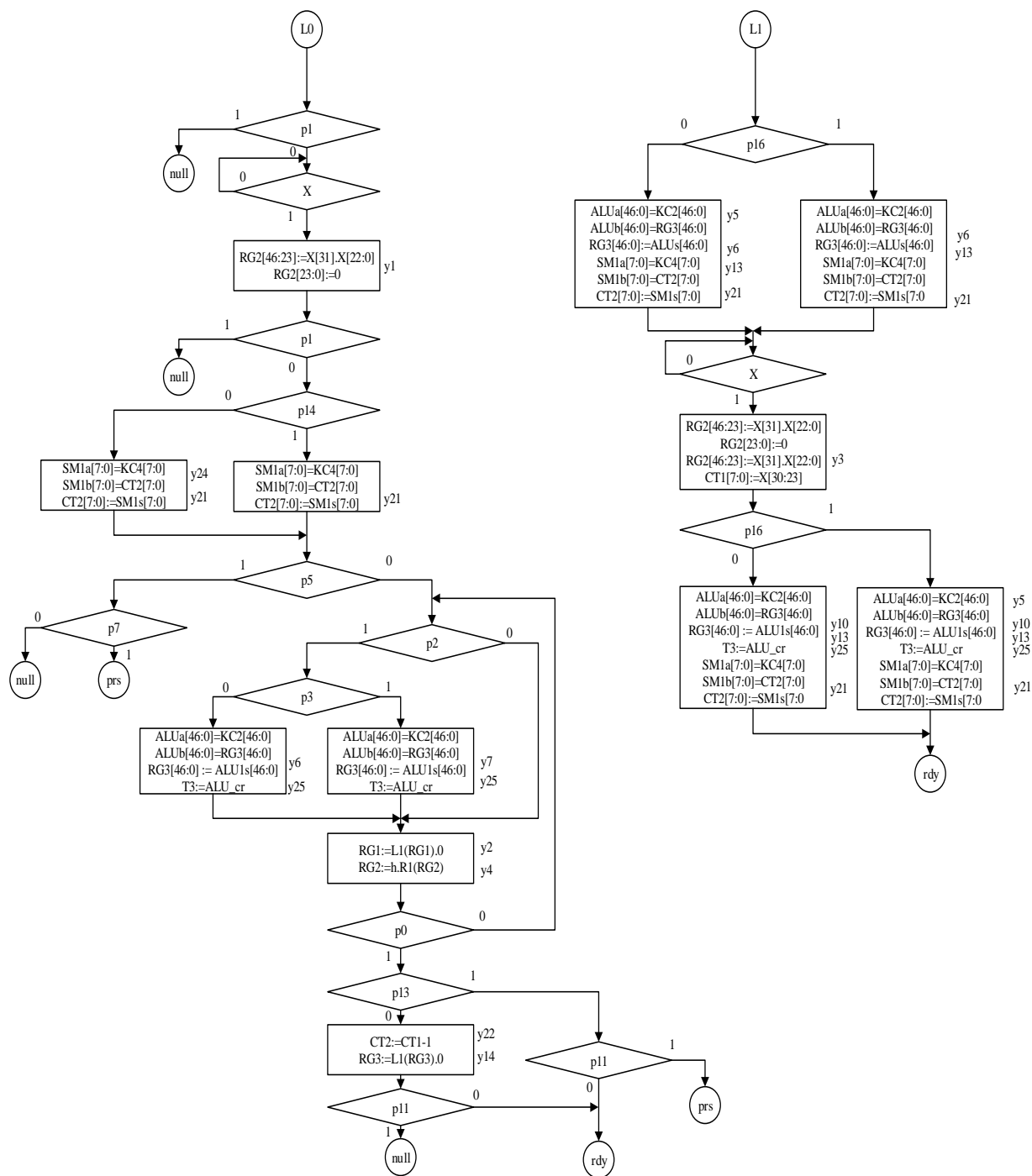


Рисунок Б.4 – Содержательная схема алгоритма операции НЕ-А ИЛИ В



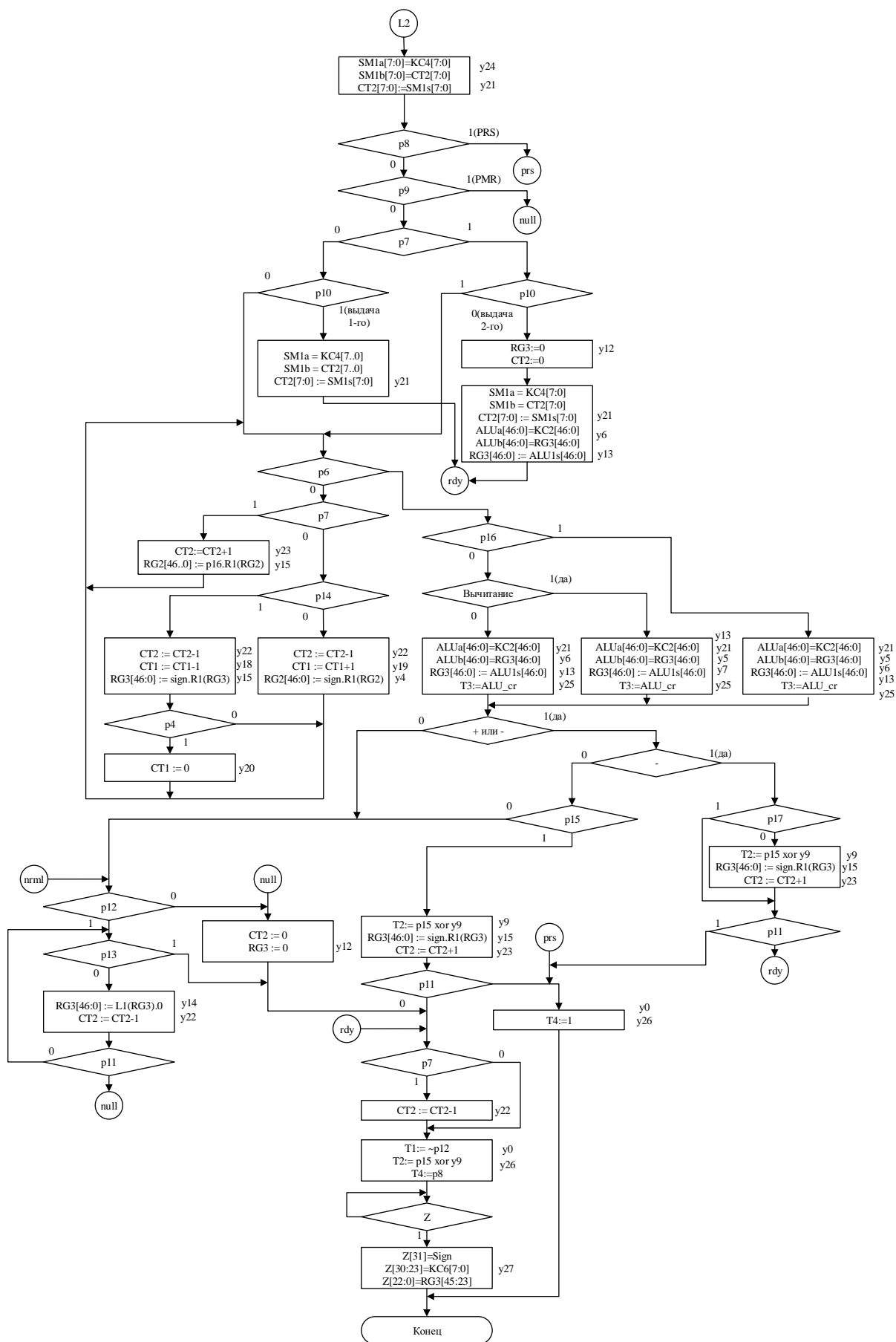


Рисунок Б.5 – Объединенная ГСА

Приложение В
(Обязательное)
Внешний вид разъема СНПЗ4-135Р

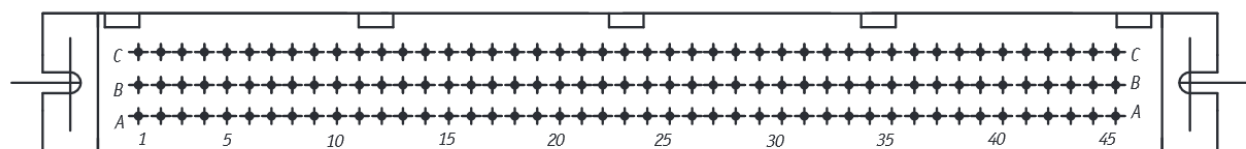


Рисунок В.1 – Схема расположения контактов

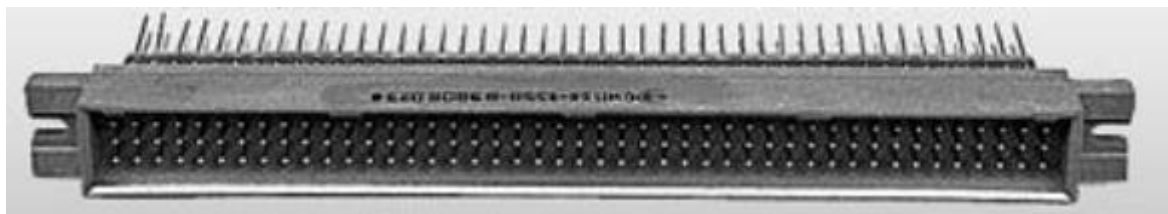


Рисунок В.2 – Внешний вид разъема

Приложение Г (обязательное) Перечень элементов

| №строки | Формат | Обозначение | Наименование | Кол. | Примечание | | |
|----------|--------|-------------------------------|----------------------|------|--|-------|------|
| 1 | | | Резисторы | | | | |
| 2 | | R1 | 330 Ом | 5 | | | |
| 3 | | R2 | 1кОм | 1 | | | |
| 4 | | | Микросхемы | | | | |
| 5 | | DD65-68 | K1533АП5 | 4 | | | |
| 6 | | DD9,DD10,DD53,DD54 | K1533ИЕ7 | 4 | | | |
| 7 | | DD1-DD3, DD11-DD16, DD33-DD38 | K133ИР13 | 15 | | | |
| 9 | | DD19-DD30 | K1533ИП3 | 12 | | | |
| 10 | | DD31,DD32, DD45,DD46 | K1533ИП4 | 4 | | | |
| 11 | | DD58,DD63,DD64 | K1533ТМ2 | 3 | | | |
| 12 | | DD51,DD52 | K555ИМ6 | 2 | | | |
| 13 | | DD43, DD61 | K1533ЛИ1 | 2 | | | |
| 14 | | DD8,DD17,DD62 | K1533ЛН1 | 3 | | | |
| 15 | | DD18, DD55,DD56,DD60 | K1533ЛП5 | 4 | | | |
| 16 | | DD4,DD39,DD44,DD59 | K1533ЛЛ1 | 4 | | | |
| 17 | | DD49 | KP1533ЛП16 | 1 | | | |
| 18 | | DD40,DD41 | K1533СП1 | 2 | | | |
| | | DD5-DD7,DD40-DD42,DD50,DD57 | K1533ЛЕ11 | 9 | | | |
| 19 | | | Разъем | | | | |
| 20 | | XP1 | СНП34-135Р | 1 | | | |
| 21 | | | | | | | |
| 22 | | | Конденсаторы | | | | |
| 23 | | C1 | 470мкФ | 1 | | | |
| 24 | | C2-C105 | 0.82мкФ | 48 | | | |
| | | | ТПЖА.09.03.01.071ПЭЗ | | | | |
| | | | | | | | |
| | | | | | | | |
| Изм. | Лист | № докум. | | | | Подп. | Дата |
| Разраб. | | Альмухаметов | | | | | |
| Пров. | | Мельцов | | | | | |
| Т.контр. | | | | | Разработка операционной части арифметико- логического устройства | | |
| Н.контр. | | Ростовцев | | | | | |
| Утв. | | Страбыкин | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |
| | | | | | | | |

Ведомость

| Листы | Формат | Обозначение | | | Наименование | Кол-во листов | № экз. | Примеч |
|----------|--------|------------------------|-------|------|--|------------------------------|--------|--------|
| 1 | | | | | Документация общая | | | |
| 2 | | | | | Вновь разработанная | | | |
| 3 | | | | | | | | |
| 4 | A2 | ТПЖА09.03.01.071 Э2 | | | Схема электрическая функциональная ОЧ АЛУ | 1 | | Чертеж |
| 5 | A2 | ТПЖА.09.03.01.071 КПЛ | | | Граф-схема алгоритма содержательная объединенная | 1 | | Плакат |
| 6 | A2 | ТПЖА.09.03.01 Э3 | | | Схема электрическая принципиальная ОЧ АЛУ | 2 | | Чертеж |
| 7 | A4 | ТПЖА.230100.62.038 ПЭ3 | | | Перечень элементов | 1 | | |
| 8 | A4 | ТПЖА. 09.03.01.071 ПЗ | | | Пояснительная записка | 88 | | |
| 9 | | | | | | | | |
| 10 | | | | | | | | |
| 11 | | | | | | | | |
| 12 | | | | | | | | |
| 13 | | | | | | | | |
| 14 | | | | | | | | |
| 15 | | | | | | | | |
| 16 | | | | | | | | |
| 17 | | | | | | | | |
| 18 | | | | | | | | |
| 19 | | | | | | | | |
| 20 | | | | | | | | |
| 21 | | | | | | | | |
| 22 | | | | | | | | |
| 23 | | | | | | | | |
| | | | | | ТПЖА.09.03.01.071 ДКП | | | |
| | | | | | | | | |
| Изм. | Лист | № докум. | Подп. | Дата | Разработка операционной части арифметического устройства | Лит. | Лист | Листов |
| Разраб. | | Альмухаметов | | | | Э | | 1 |
| Пров. | | Мельцов | | | | Кафедра ЭВМ Группа ИВТ-31 | | |
| Т.контр. | | | | | | | | |
| Н.контр. | | Ростовцев | | | | | | |
| Утв. | | Страбыкин | | | | | | |

Реферат

Альмухаметов М.И. РАЗРАБОТКА ОПЕРАЦИОННОЙ ЧАСТИ АРИФМЕТИКО-ЛОГИЧЕСКОГО УСТРОЙСТВА: ТПЖА.09.03.01.071 ПЗ: Курс. проект / ВятГУ, каф. ЭВМ; рук. В.Ю. Мельцов - Киров, 2016. – Гр. ч. 4 л. ф.А2; ПЗ 88с., 6 табл., 2 источника, 4 прил.

АРИФМЕТИКО-ЛОГИЧЕСКОЕ УСТРОЙСТВО, ПЛАВАЮЩАЯ ЗАПЯТАЯ, ПОРЯДОК, ПРИНЦИПИАЛЬНАЯ СХЕМА, СЛОЖЕНИЕ МОДУЛЕЙ, ВЫЧИТАНИЕ, НЕ-А ИЛИ В, ДЕКРЕМЕНТ, УМНОЖЕНИЕ.

Объект исследования и разработки – операционная часть арифметико-логического устройства, выполняющего операции умножения в дополнительном коде IV способом с плавающей запятой с порядками, сложения модулей, вычитания, декримента, НЕ-А ИЛИ В.

Цель курсового проекта – синтезировать с наименьшими аппаратными затратами операционную часть арифметико-логического устройства, выполняющего операции умножения в дополнительном коде IV способом с плавающей запятой с порядками, сложения модулей, вычитания, декримента, НЕ-А ИЛИ В.

Результатом работы является принципиальная схема арифметико-логического устройства.