



UNIVERSIDADE FEDERAL DO SUL E SUDESTE DO PARÁ

CIRCUITOS SEQUENCIAIS

MARABÁ/PÁ

2020



UNIVERSIDADE FEDERAL DO SUL E SUDESTE DO PARÁ

Gabriel Machado

Iago Flores

Kayro Santos

Warley Galvão

CIRCUITOS SEQUENCIAIS

Trabalho apresentado à
disciplina Microprocessadores e
Microcontroladores para
avaliação pelo prof. Elton
Rafael Alves.

MARABÁ - PA

2020

Sumário

INTRODUÇÃO	4
CIRCUITOS COMBINACIONAIS	4
CIRCUITOS SEQUENCIAIS	5
FLIP-FLOP S-R	6
FLIP-FLOP J-K	8
FLIP-FLOP JK MASTER-SLAVE	8
FLIP FLOP D	10
FLIP FLOP T	12
CONCLUSÃO	13
REFERÊNCIAS	13

INTRODUÇÃO

Hoje em dia, o termo digital tornou-se parte do nosso vocabulário diário devido ao modo intenso pelo qual os circuitos digitais e as técnicas digitais passaram a ser utilizados em quase todas as áreas: computadores, automação, robôs, tecnologia e ciência médica, transportes, telecomunicações, entretenimento, exploração espacial, e assim por diante. Dessa forma, é necessário que entender como os sistemas digitais funcionam e como são projetados para manipular informações lógicas ou quantidades físicas representadas no formato digital.

Um dos circuitos mais importantes da eletrônica digital são os circuitos combinacionais a qual será dedicado uma pequena parte deste trabalho para a explicação e entendimento, e assim entender melhor como funcionam os circuitos sequenciais, sendo este último, o foco deste trabalho acadêmico.

Outro ponto a ser destacado são os Flip-Flops. Diferente dos circuitos combinacionais, circuitos de memória podem ser conectados de tal forma que possam armazenar informações do seu “estado anterior”, ou seja, os valores de saída não dependem necessariamente dos estados atuais das entradas do circuito, veja o exemplo da figura 1.

Para melhor compreensão dos circuitos, são usados diagramas de tempo para fazer a análise de estados (alto e baixo) em relação ao tempo e tabela verdade para resumir as possíveis combinações de entrada e saída de um determinado circuito.

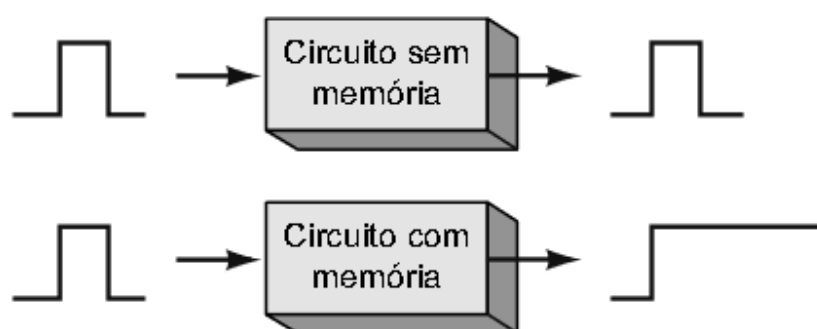


Figura 1: Demonstrações dos circuitos

CIRCUITOS COMBINACIONAIS

Esses circuitos podem ser classificados como combinacionais porque, em qualquer instante de tempo, o nível lógico da saída do circuito depende da combinação dos níveis lógicos presente nas entradas. Um circuito combinacional não possui a característica de memória, portanto sua saída depende apenas dos valores atuais das entradas.

No entanto, são fundamentais para o entendimento do que são Circuitos Sequenciais, já que estes, em sua implementação, usam circuitos combinacionais com elementos de memória para configurar por exemplo, um Flip-Flop. Na figura 2 é possível ver que as entradas

A, B e C definem a saída X para o circuito. Veja que a figura 3 mostra uma versão simplificada deste mesmo circuito.

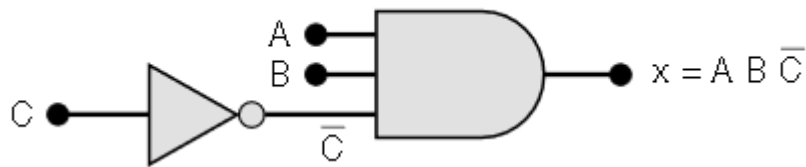


Figura 2: Circuito simplificado

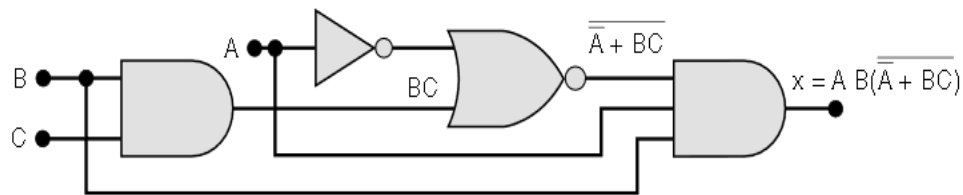


Figura 3: Circuito aberto

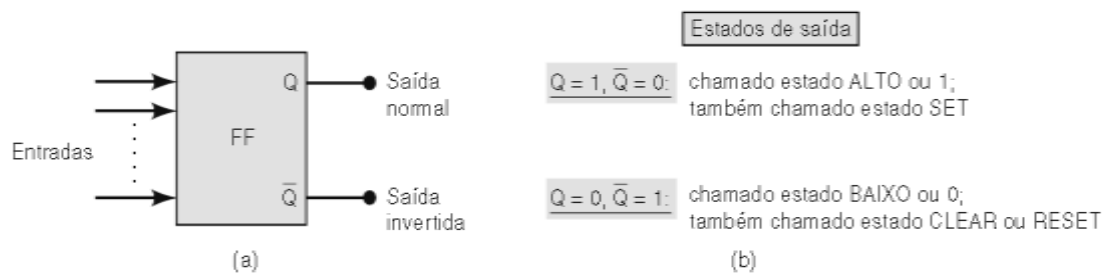


Figura 4: Exemplo de Flip Flop

CIRCUITOS SEQUENCIAIS

Os circuitos lógicos estudados até agora são considerados combinacionais, porque os níveis lógicos de saída, em qualquer instante de tempo, dependem apenas dos presentes nas entradas nos mesmos instantes. Nenhuma condição de entrada anterior tem efeito sobre as saídas atuais, afinal, um circuito lógico combinacional não possui memória. A maioria dos sistemas digitais é constituída de circuitos combinacionais e de elementos de memória.

O elemento de memória mais importante é o flip-flop, composto por um conjunto de portas lógicas. Embora uma porta lógica, por si só, não tenha capacidade de armazenamento, algumas podem ser conectadas entre si de modo a permitir o armazenamento de informação. Um elemento de memória pode ser criado aplicando-se o conceito de realimentação. Esta é conseguida conectando-se determinadas saídas de porta de volta às entradas de porta apropriadas. A realimentação é um conceito de engenharia extremamente importante, que tem muitas aplicações na eletrônica. Algumas formas diferentes de arranjo de portas são usadas para produzir flip-flops (FF). De forma simplificada podemos definir um FLIP-FLOP de acordo com a Figura 4.

Os dois estados possíveis de operação para um FF estão resumidos na Figura 4.2(b). Observe que o estado ALTO ou 1 ($Q = 1/\bar{Q} = 0$) também é denominado estado SET. Sempre que os níveis nas entradas de um FF fazem sua saída ir para o estado $Q = 1$, denominamos essa operação setar o FF; o FF foi setado. De maneira similar, o estado BAIXO ou 0 da saída ($Q = 0/\bar{Q} = 1$) é denominado CLEAR ou RESET. Sempre que os níveis nas entradas do FF fazem sua saída ir para o estado $Q = 0$, denominamos essa operação resetar o FF; o FF foi limpo (resetado). Conforme estudaremos, muitos FFs têm entrada SET e/ou entrada CLEAR (RESET), usadas para colocar a saída em um estado específico.

FLIP-FLOP S-R

A Figura 6(a) mostra o símbolo lógico para um flip-flop S-R com clock disparado na borda de subida do sinal de clock. Isso significa que o FF pode mudar de estado apenas quando o sinal aplicado na entrada de clock transitar de 0 para 1. As entradas **S** e **R** controlam o estado do FF, mas o FF não responde a essas entradas até que ocorra uma borda de subida no sinal de clock.

A tabela-verdade na Figura 6(b) mostra, para várias combinações das entradas **S** e **R**, como a saída do FF responde a uma borda de subida na entrada CLK. Essa tabela-verdade usa algumas nomenclaturas novas. A seta para cima (\uparrow) indica que uma borda de subida é necessária na entrada CLK; a denominação Q_0 indica o nível na saída Q antes da borda de subida do clock.

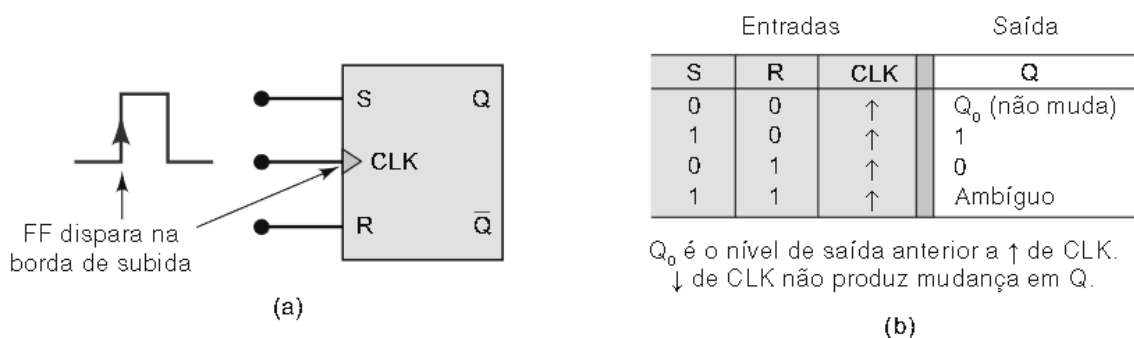


Figura 5: Estrutura e Tabela verdade

As formas de onda mostradas na Figura 5(c) ilustram a operação do flip-flop S-R com clock. Se levarmos em conta que os parâmetros de tempo de setup e hold são considerados em todos os casos, poderemos analisar essas formas de onda da seguinte maneira:

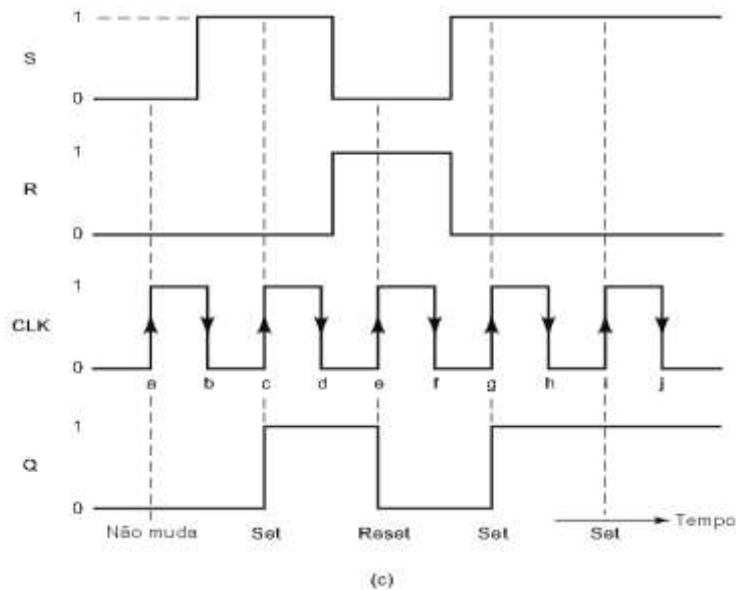


Figura 6: Exemplo

1. Inicialmente, todas as entradas estão em nível 0; vamos supor que a saída Q esteja em nível 0, ou seja, $Q_0 = 0$.

2. Quando ocorre a borda de subida do primeiro pulso de clock (ponto a), as entradas S e R estão em nível 0, de modo que a saída do FF não é afetada, permanecendo no estado $Q = 0$ (ou seja, $Q = Q_0$).

3. Quando ocorre a borda de subida do segundo pulso de clock (ponto c), a entrada S está em nível alto e a entrada R ainda está em nível baixo. Assim, o FF é setado para o estado 1 no instante da borda de subida do pulso de clock.

4. Quando ocorre a borda de subida no terceiro pulso de clock (ponto e), S é igual a 0 e R é igual a 1, fazendo com que o FF seja resetado para o estado 0.

5. No quarto pulso de clock, o FF é setado novamente, levando a saída Q para o estado 1 (ponto g), porque $S = 1$ e $R = 0$ no instante em que ocorre a borda de subida do clock.

6. No instante da borda de subida do quinto pulso de clock, as entradas são as mesmas ($S = 1$ e $R = 0$). Entretanto, como a saída Q já está em nível alto, ela permanece nesse estado.

7. A condição em que $S = R = 1$ não deve ser usada, porque resulta em condição ambíguo.

FLIP-FLOP J-K

As entradas J e K controlam o estado lógico do FF da mesma maneira que fazem as entradas S e R para um flip-flop S - R com clock, exceto por uma diferença: *a condição em que $J = K = 1$ não resulta em uma saída ambígua*. Para essa condição, o FF sempre muda para o estado lógico *oposto* no instante da borda de subida do sinal de clock. Esse modo é denominado **modo de comutação** (*toggle mode*). Nesse modo, se ambas as entradas J e K forem nível ALTO, o FF mudará de estado lógico (comutará) para cada borda de subida do sinal de clock. Na figura 7 um mostra-se a tabela verdade. Na figura 8 é possível ver como ficaria as formas de onda da tabela verdade.



Figura 7: Tabela verdade e demonstração do circuito Flip-Flop JK

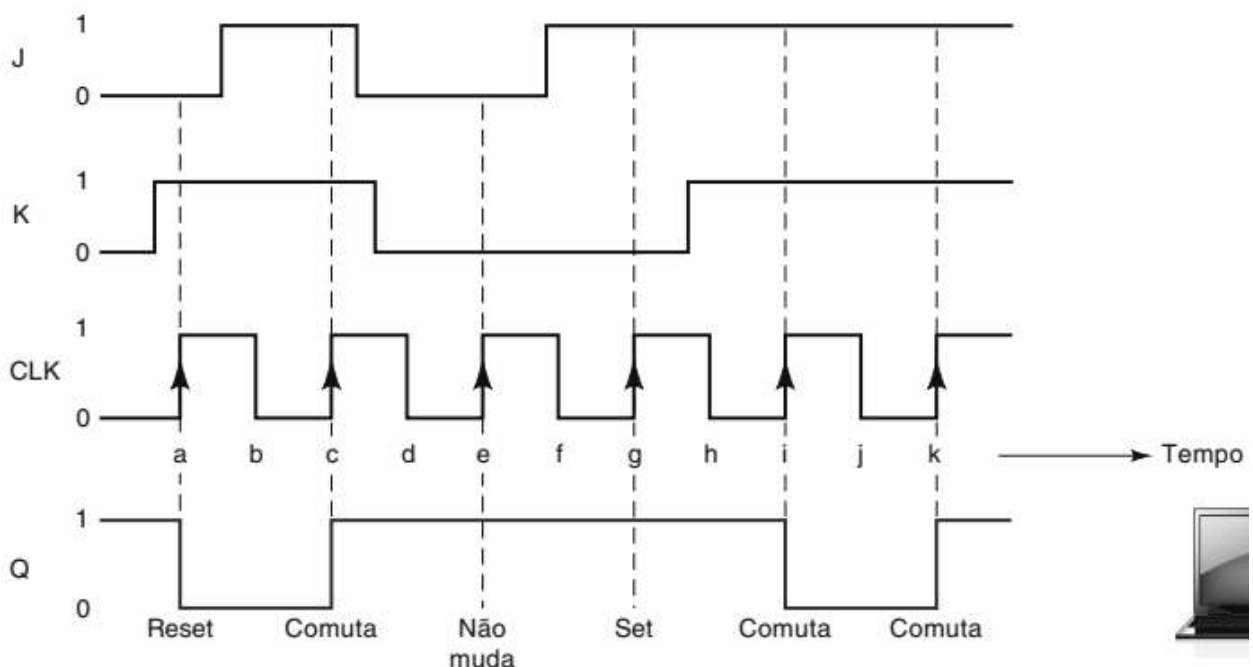


Figura 8A: Formas de Onda ao longo do tempo para a tabela verdade do Flip-Flop JK.

FLIP-FLOP JK MASTER-SLAVE

Estruturas Master-Slave são constituída basicamente por dois flip-flops RST básicos, chamando-se o de entrada Master (Mestre) e o de saída Slave (Escravo).

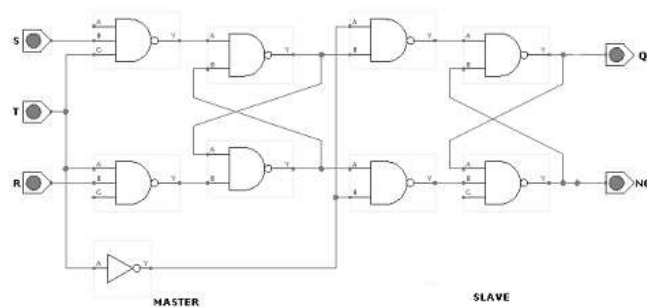


Figura 8B- Estrutura básica de um Flip-Flop RST

O funcionamento dos flip-flops Master-Slave funcionam em duas formas, onde na primeira temos $T=1$, abre o Master e mantém fechado o Slave, portanto as entradas S e R determinem o estado das saídas internas do Master, quando não existir qualquer variação das saídas do Slave, que são as saídas do flip-flop Master-Slave. Na segunda fase T vai a 0 e nesse instante o Master é fechado, o Slave abre, resultando assim que o que foi memorizado nas saídas internas passe para as saídas exteriores. Conclui-se assim que neste flip-flop a saída só pode mudar quando o relógio ou Trigger T transita de 1 para 0.

Outro tipo de flip-flop bastante usado em circuitos digitais é o JK Master Slave cuja estrutura interna se representa abaixo.

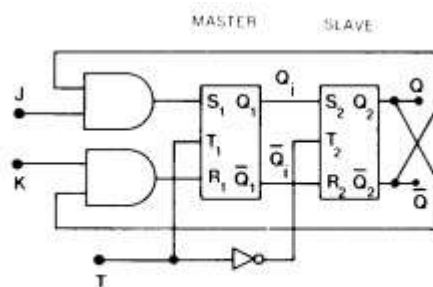


Figura 8C-Flip-Flop tipo JK

Em virtude de haver duas linhas de realimentação das saídas Q e para Q negativo para as entradas, evita-se ter $S_1=R_1=1$ mesmo que esteja $J=K=1$, pois ou se tem $Q=0$ ou NÃO $Q=0$; portanto, ou se fecha a porta do J ou a do K. Temos então que fazemos $J=K=1$ onde $Q=0$. Nesta situação, a porta da entrada K se fecha, pelo que se tem $S_1=1$ e $R_1=0$, que é a condição que põe a saída em 1. Se pelo contrário tivermos $Q=1$, é a entrada J que fica inibida pela linha de realimentação de Q, obtendo-se $S_1=0$ e $R_1=1$, que é a condição que põe a saída em 0.

FLIP FLOP D

O flip-flop D de *data* (dados), possui basicamente duas entradas e duas saídas, e é disparado pela borda de subida do clock. Mas ao contrário dos flip-flops S-R e J-K, o FF D tem apenas uma entrada síncrona, ou seja, que é possível controlar.

O modo de operação do FF D é muito simples: a saída Q irá para o mesmo estado lógico da entrada sempre que ocorrer uma borda de subida no CLK. Sendo assim, podemos dizer que em outras palavras o bit de entrada de D será *armazenado* na saída Q. Para explicar melhor usaremos à ilustração da **figura 9**.

- a. Considere inicialmente a saída Q em nível ALTO. Desse modo, na primeira subida do CLK à entrada D está no nível lógico BAIXO, sendo assim a saída D será setada para 0.
- b. No segundo momento da borda de subida, o nível lógico da entrada D se encontra em ALTA e assim a saída Q vai para o 1.
- c. Na terceira subida do CLK à entrada D está em 0, dessa forma a saída Q será setada para o nível lógico BAIXO.
- d. No momento 'd' à entrada D tá em ALTA, sendo assim, posteriormente, a saída Q irá para ALTA também.
- e. Igualmente para o item 4 o processo se repete.
- f. Neste momento a saída Q é setada para o nível lógico baixo, pois a entrada está BAIXA também.
- g. Da mesma forma que em 'f' o processo se repete, e assim sucessivamente, seguindo o pulso de CLK.

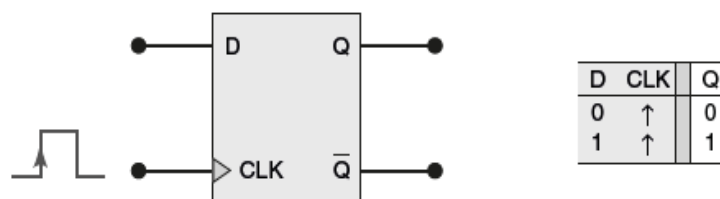


Figura 9: Tabela verdade do flip flop D

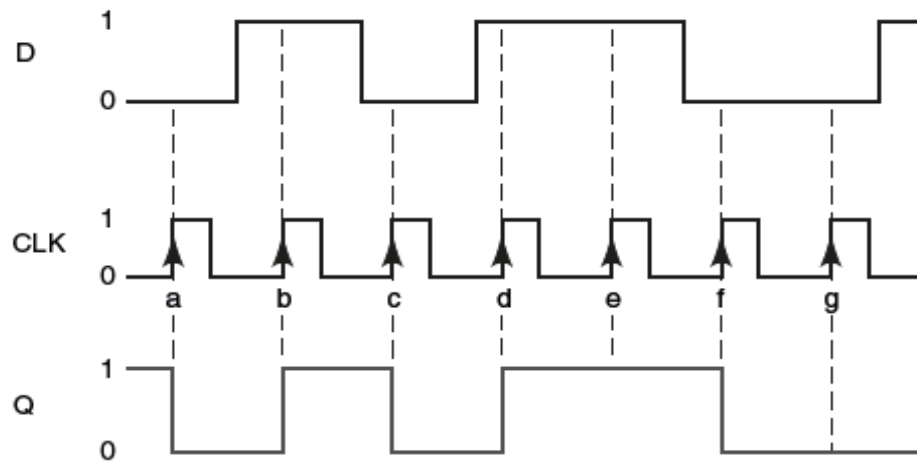


Figura 10: Ondas lógicas

O flip flop D é facilmente implementado pelo FF J-K, acrescentando um único inversor na entrada K, dessa forma se comportando da mesma forma que a tabela verdade do J-K.

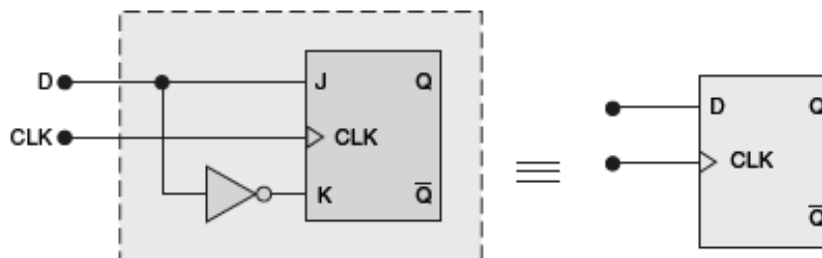


Figura 11: Implementação do FF D

O flip flop D é muito utilizado para transferência paralela de dados binário, pois como já foi citado ele praticamente armazena o bit de entrada na sua saída, ou seja, é perfeito para essa aplicação de transferência paralela de um dado binário. Muito utilizado também em registradores.

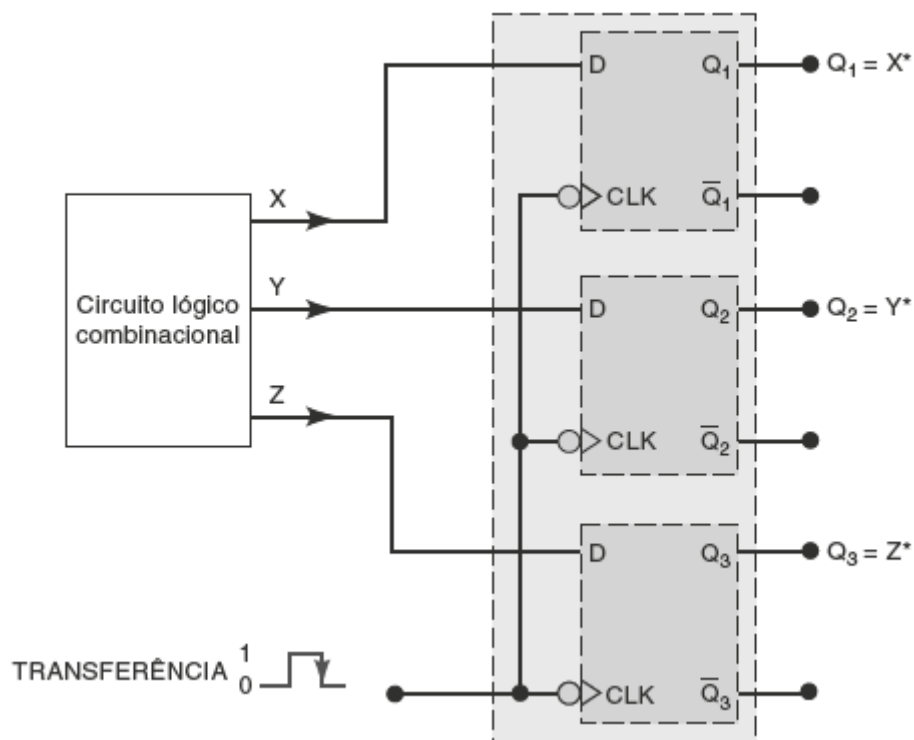


Figura 12: Exemplo de transferência paralela de um dado binário

FLIP FLOP T

Igualmente ao FF D, o flip flop T *toggle* (comuta), também possui duas entradas e duas saídas, sendo que uma é para o Clock, sendo ativado na borda de subida.

Diferentemente do FF D o FF T não seta sua entrada na saída, e sim à comuta toda vez que a entrada for ALTA, ou seja, 1. Caso o valor seja 0 a saída não se altera, já que esse flip flop também é implementado por meio do FF J-K, sendo assim, quando as entradas K e J forem 0 simplesmente não acontece nada.

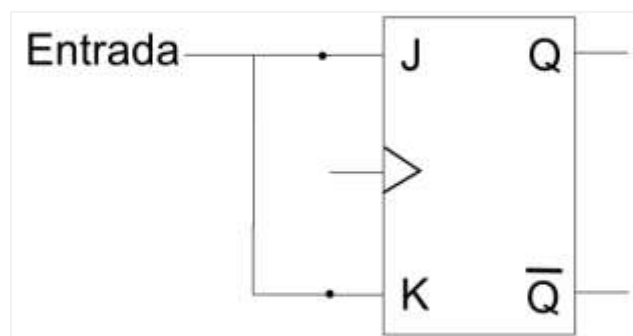


Figura 13: Esquema do flip flop T

Clock	T(J-K)	Q	Q	Memória
1	1	1	0	0
1	1	0	1	1
1	0	Ñ comuta	Ñ comuta	x

Figure 14: Tabela verdade do flip flop T

Uma utilidade do flip flop T, é que ele pode ser usado para comutar o estado do ponteiro de um relógio toda vez que for enviado um pulso de Clock.

CONCLUSÃO

Como mencionou-se no trabalho os circuitos sequenciais são formados de circuitos combinacionais e um elemento de memória. Esse elemento de memória pode ser os flip-flop tem aplicações bem específicas e simplificadas como armazenamento de bit. Essa informação armazenada pode significar o um contador, um sequenciador, um caractere ASCII na memória do computador e qualquer outro tipo de informação.

REFERÊNCIAS

TOCCI, Ronald J.. **Sistemas Digitais: Princípios e Aplicações**. 11. ed. são paulo: PEARSON, 2011. p. 1-842.

<http://nerdeletrico.blogspot.com/2013/08/flip-flop-d-e-flip-flop-t-funcionamento.html>