



SERVIÇO PÚBLICO FEDERAL
UNIVERSIDADE FEDERAL DO SUL E SUDESTE DO PARÁ - UNIFESSPA
INSTITUTO DE GEOCIÊNCIAS E ENGENHARIAS - IGE
FACULDADE DE COMPUTAÇÃO E ENG. ELÉTRICA – FACEEL
CURSO ENGENHARIA DE COMPUTAÇÃO

Microeletrônica

T- 2018

Prof. José Carlos Da Silva
jcdsilv@hotmail.com
jose-carlos.silva@unifesspa.edu.br
whatsApp: 19-993960156

Março/2022

Conteúdo

- Introdução;
- Processo de fabricação de CI-CMOS;
- Introdução ao desenvolvimento de fabricação de máscaras de CI (Layout – CI);
- Introdução a ferramenta “*Eletric*” como ferramenta para desenvolvimento de máscaras de CI (Layout – CI).

Introdução

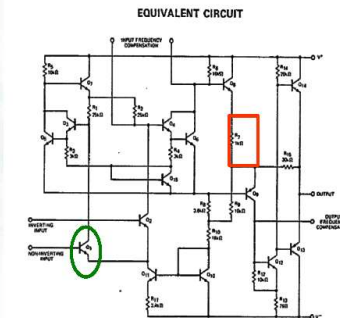
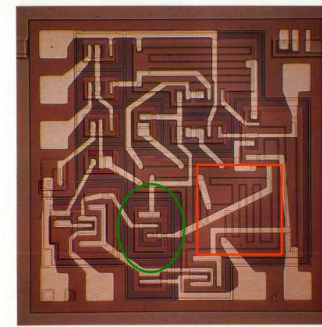
Vacuum Tube Op-Amps

- First op amps built in 1930's-1940's
 - Technically feedback amplifiers due to only having one useable input
- Used in WWII to help how to strike military targets
 - Buffers, summers, differentiators, inverters
- Took $\pm 300V$ to $\pm 100V$ to power

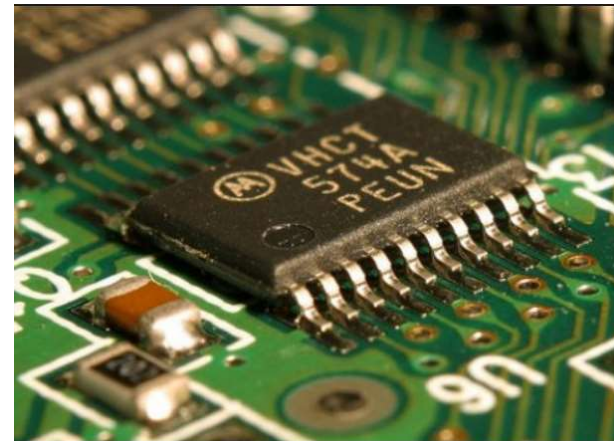
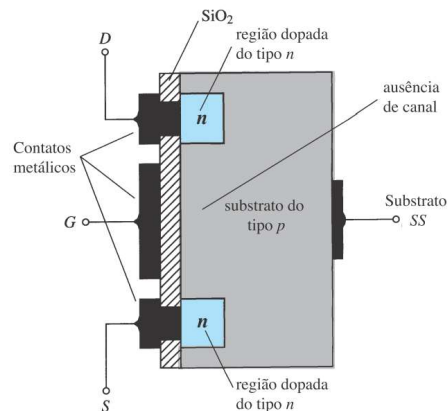


http://en.wikipedia.org/wiki/Image:K2-W_vacuum_tube_op-amp.jpg

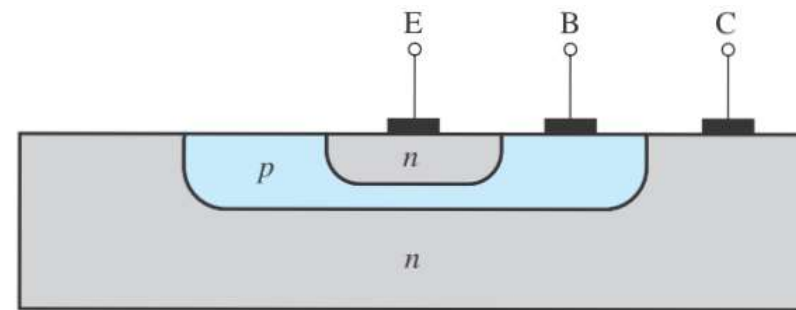
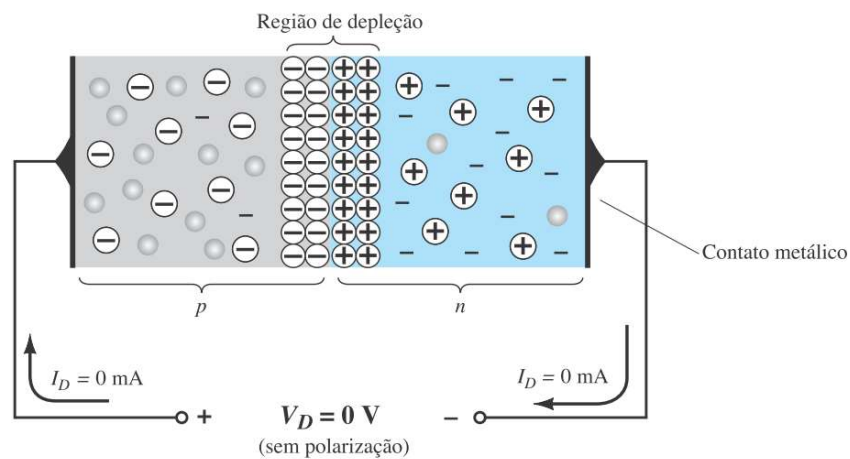
(Exemplos de AmpOp - 1964 - Op-Amp A702, Fairchild)



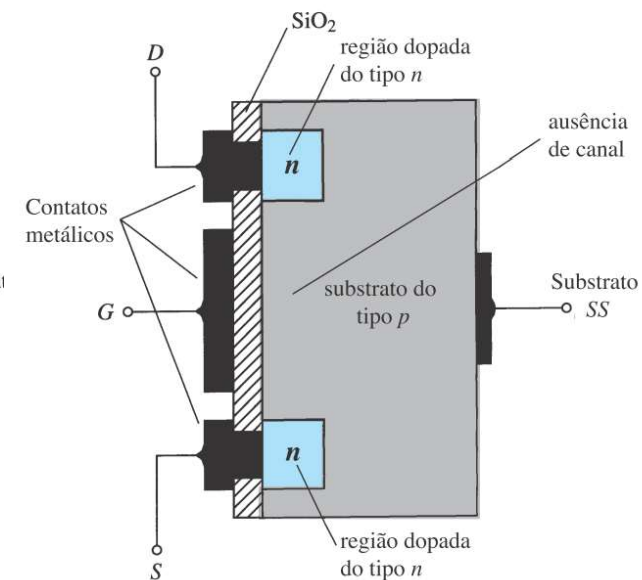
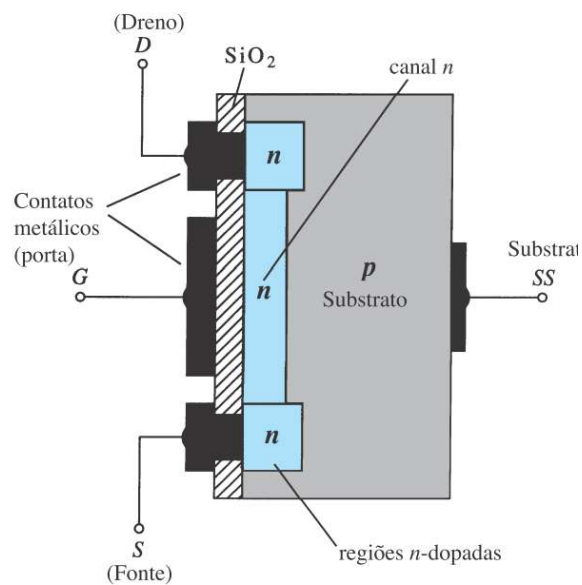
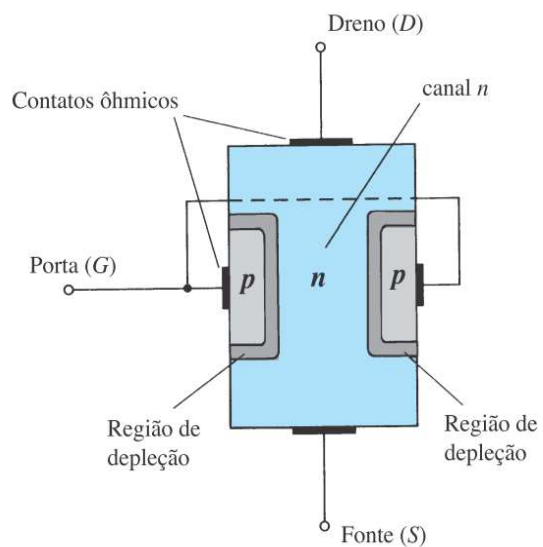
Referência: Notas de Aulas do Prof. Wilhelmus Van Noije



Introdução

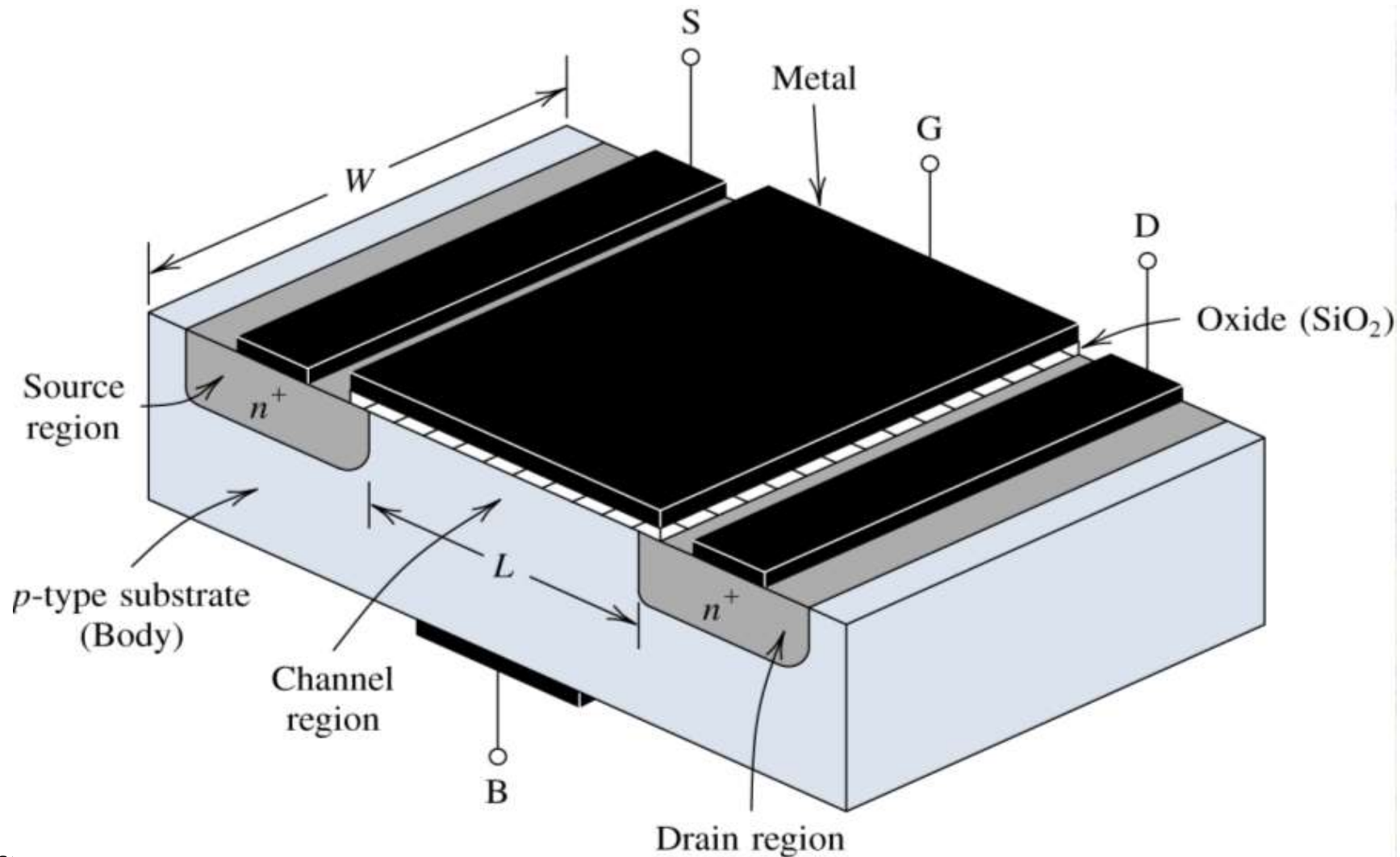


Cross section of an npn BJT.



Processo de fabricação de circuitos integrados (CMOS)

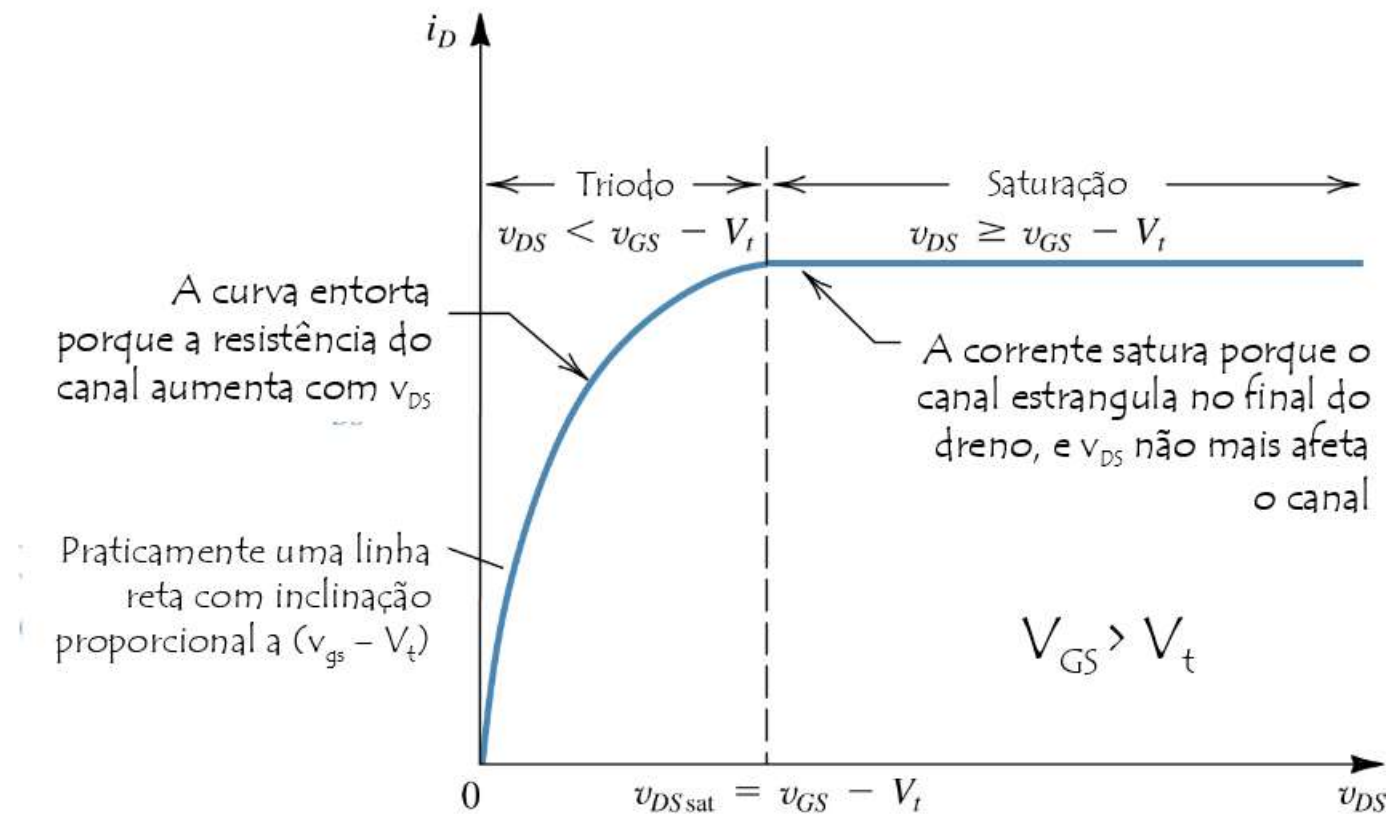
Design → Layout



Processo de fabricação de circuitos integrados (CMOS)

Design → Layout

I_D versus V_{DS} – Transistor NMOS



Processo de fabricação de circuitos integrados (CMOS)

Design → Layout

Relação $I_D - V_{DS}$

Região Triodo:

$$i_D = \mu_n C_{ox} \frac{W}{L} \left[(v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

Região de Saturação:

$$i_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (v_{GS} - V_t)^2$$

$$k'_n = \mu_n C_{ox}$$

Parâmetro de transcondutância do processo

Transistor Efeito de Campo (FET)

- JFET:

$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P} \right)^2$$

- MOSFET

$$I_D = k(V_{GS} - V_T)^2$$

Design → Layout



Processo de fabricação de circuitos integrados (CMOS)

- Principais Etapas de Processo:

- ⇒ WAFER

- ⇒ Oxidação Térmica

- ⇒ Deposição de óxido de silício

- ⇒ Fotogravação

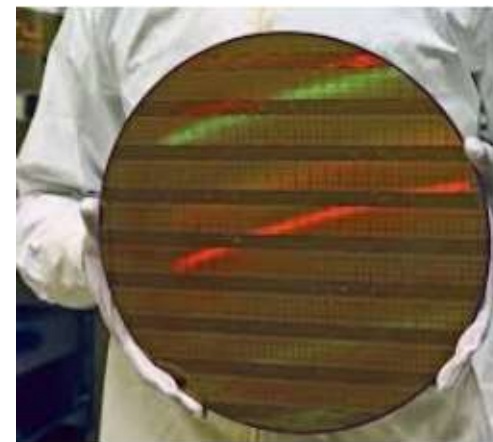
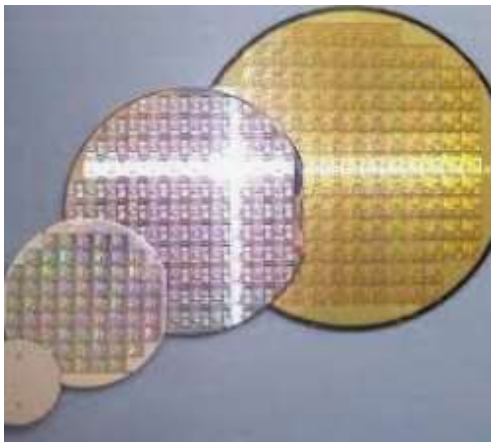
- ⇒ Corrosão Química

- ⇒ Difusão de Impurezas

- ⇒ Implantação Iônica

Processo de fabricação de circuitos integrados (CMOS)

“WAFER - Método Czochralski”



Processo de fabricação de circuitos integrados (CMOS)

Sala Limpa (“Cleanroom”)



Processo de fabricação de circuitos integrados (CMOS)

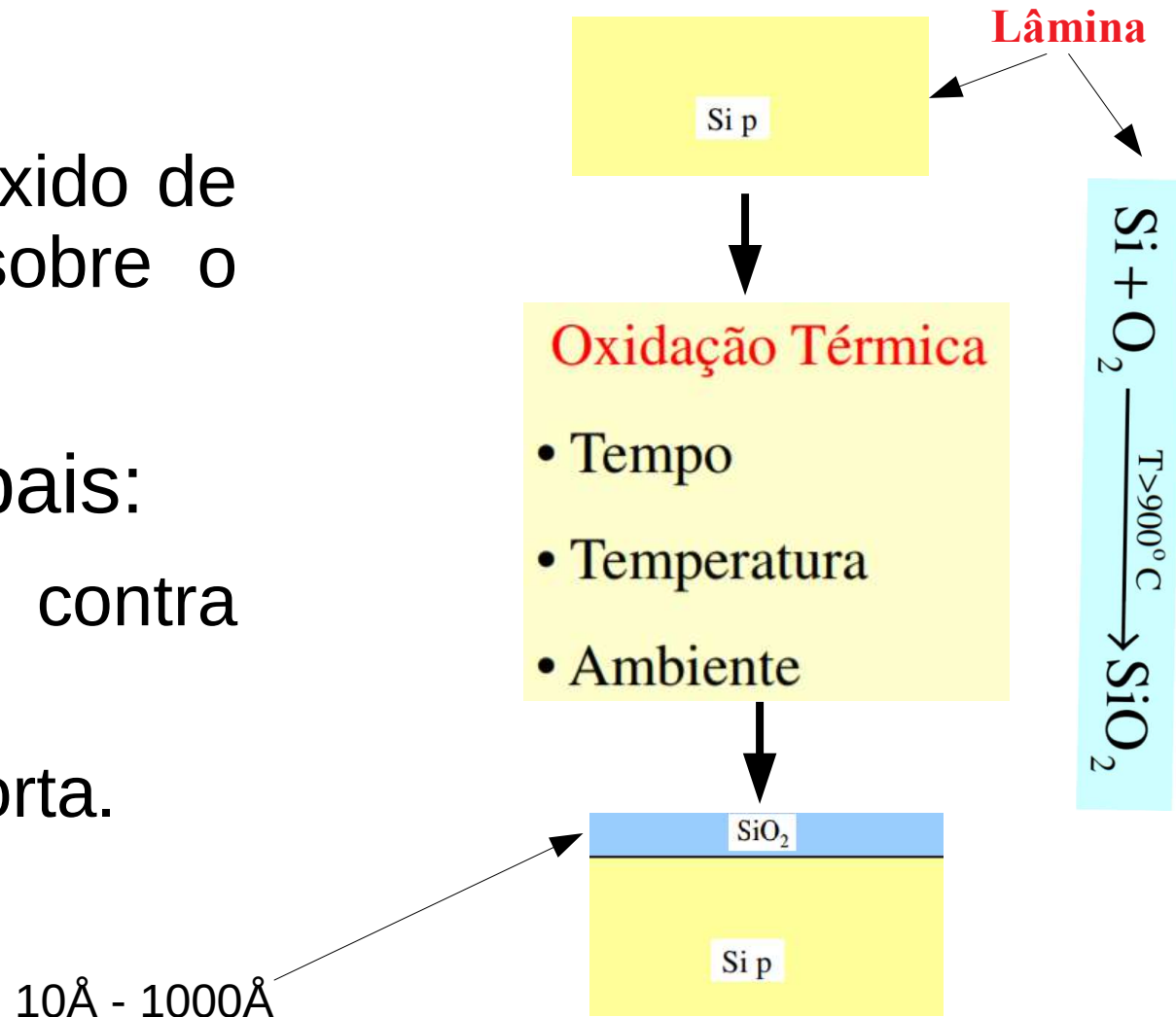
Oxidação Térmica

Objetivo:

- Obtenção de óxido de silício (SiO_2) sobre o silício.

Funções Principais:

- Mascaramento contra impurezas;
- Dielétrico de porta.



Processo de fabricação de circuitos integrados (CMOS) Oxidação Térmica



Processo de fabricação de circuitos integrados (CMOS)

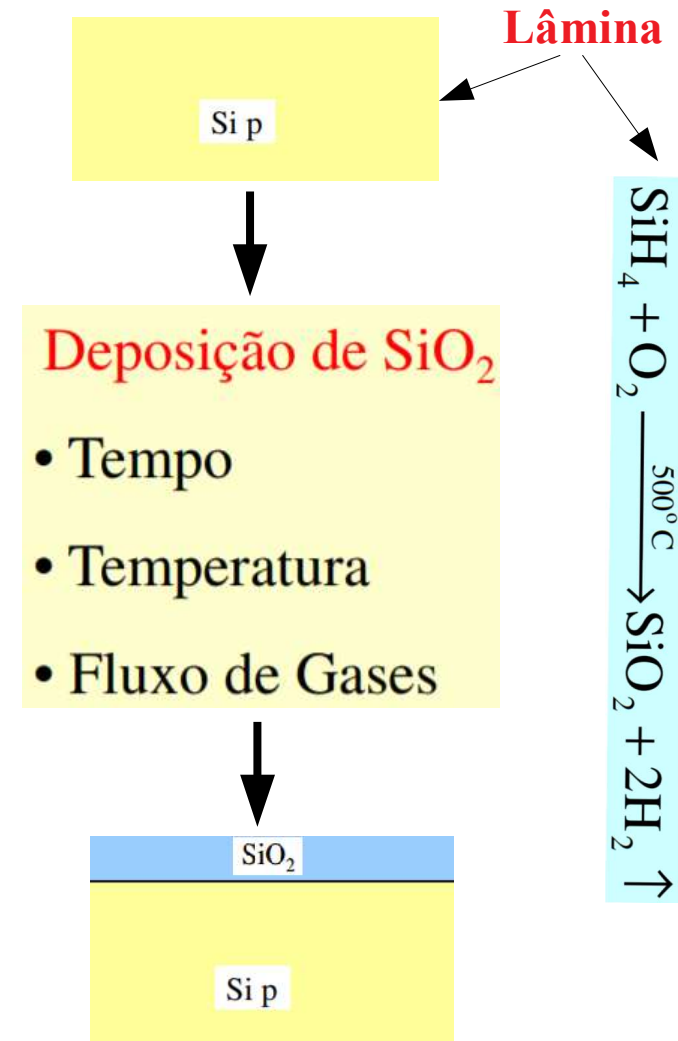
Deposição de Óxido de Silício: (Chemical Vapor Deposition)

Objetivo:

- Obtenção de óxido de silício (SiO_2) sobre o silício ou outra superfície qualquer.

Funções Principais:

- Mascaramento contra impurezas.



Processo de fabricação de circuitos integrados (CMOS)

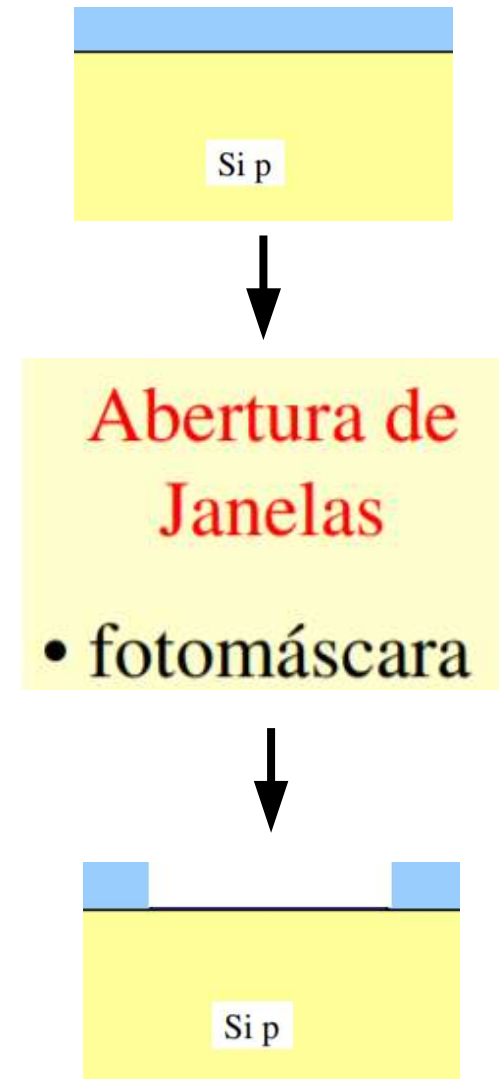
Retirada do Oxido de Silício

Objetivo:

- processo pelo qual retiramos o óxido de silício, silício policristalino ou alumínio de certas regiões, determinadas pela fotomáscara.

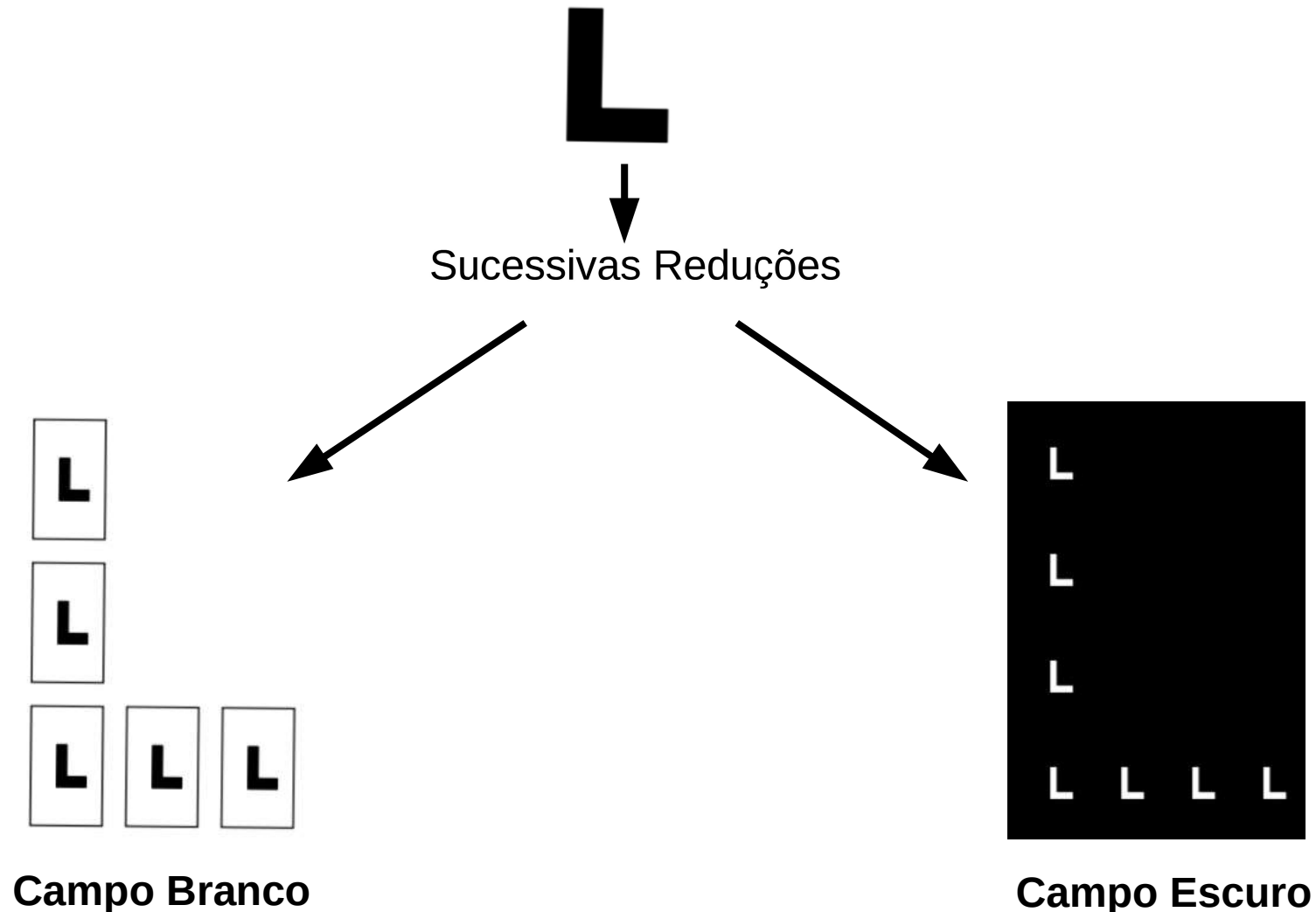
Funções Principais:

- No SiO_2 : posterior difusão localizada;
- No alumínio ou silício policristalino: definição das vias de interconexão.



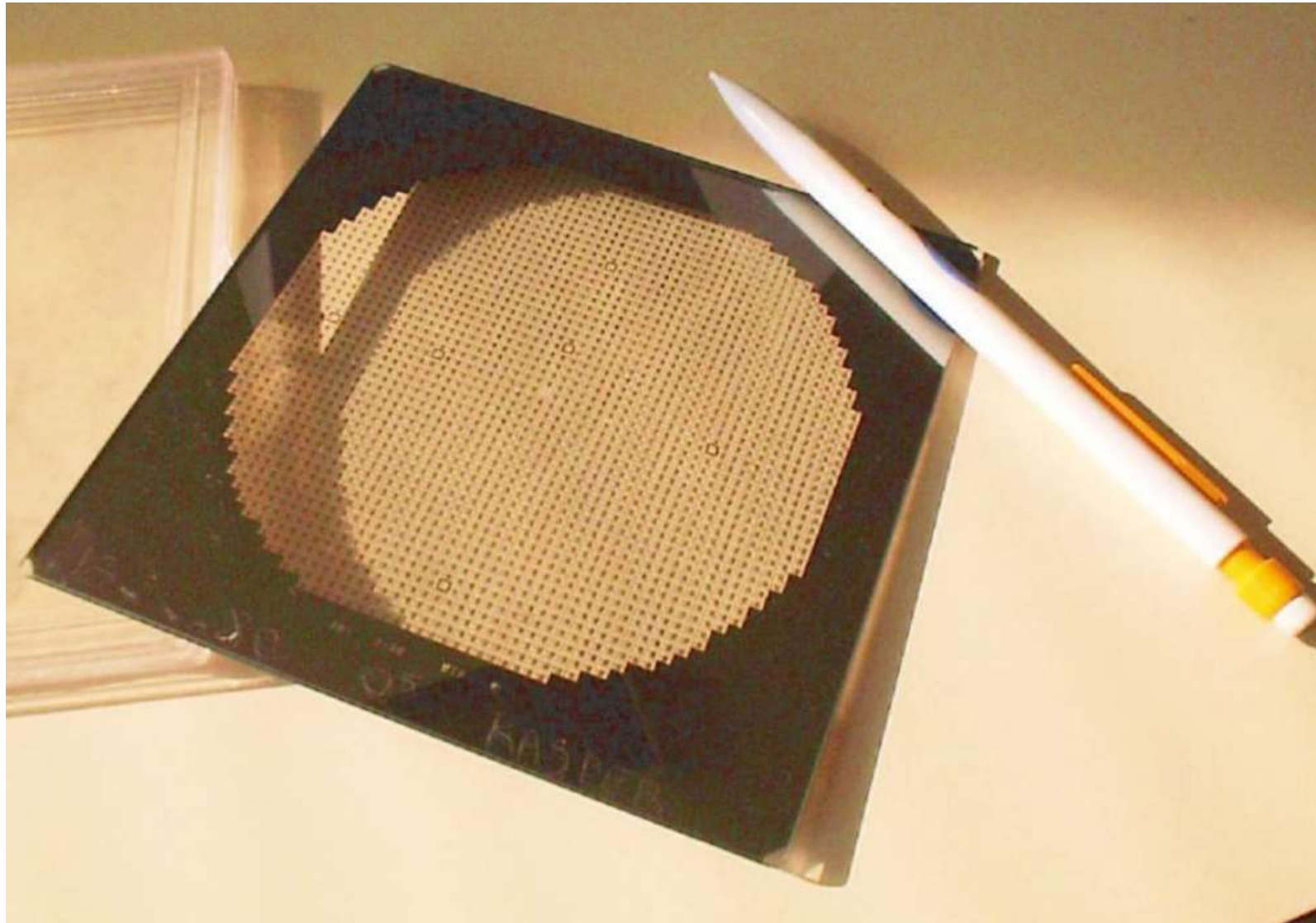
Processo de fabricação de circuitos integrados (CMOS)

Obtenção da Fotomáscara (Fotolitografia)



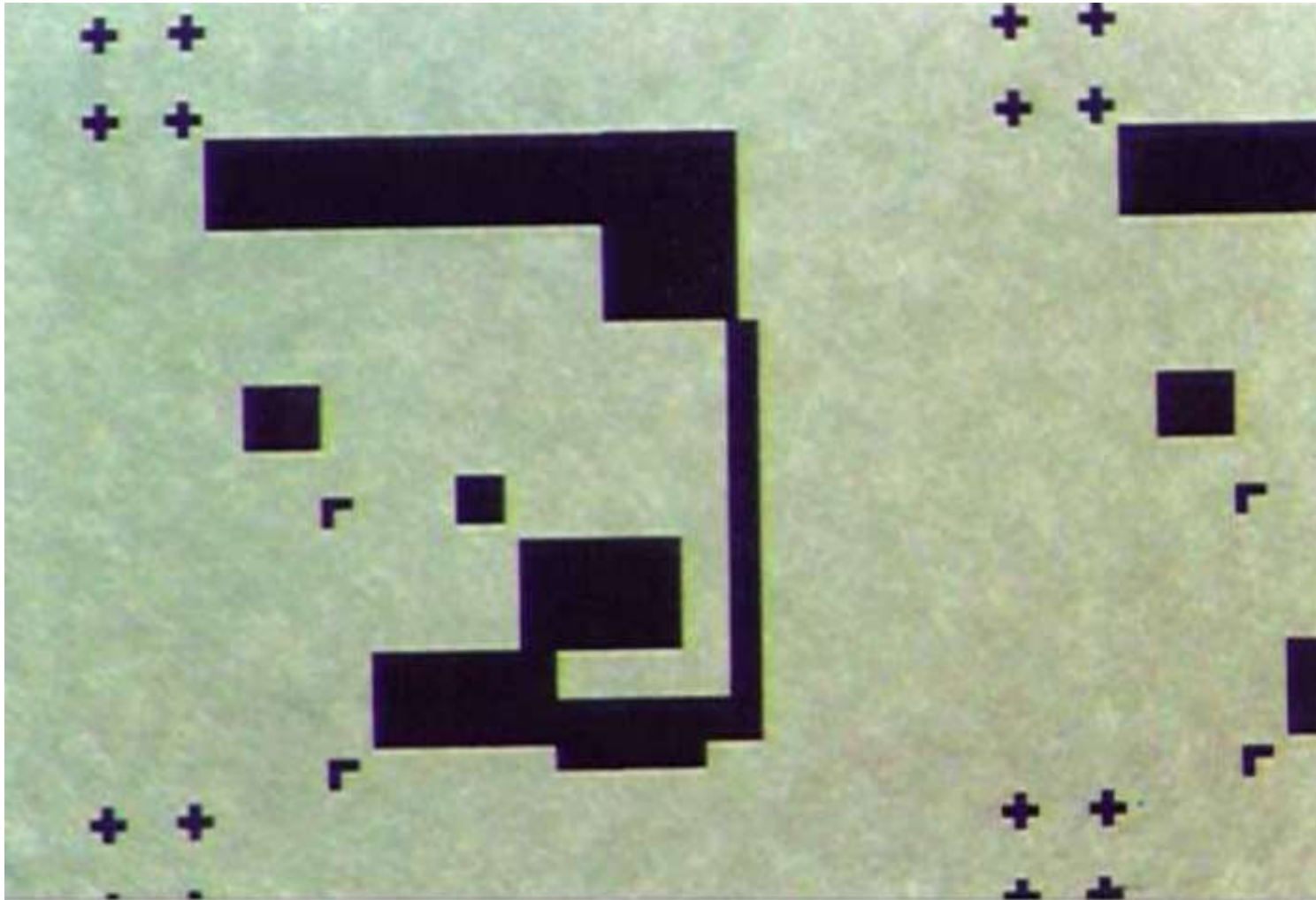
Processo de fabricação de circuitos integrados (CMOS)

Exemplo de Fotomáscara



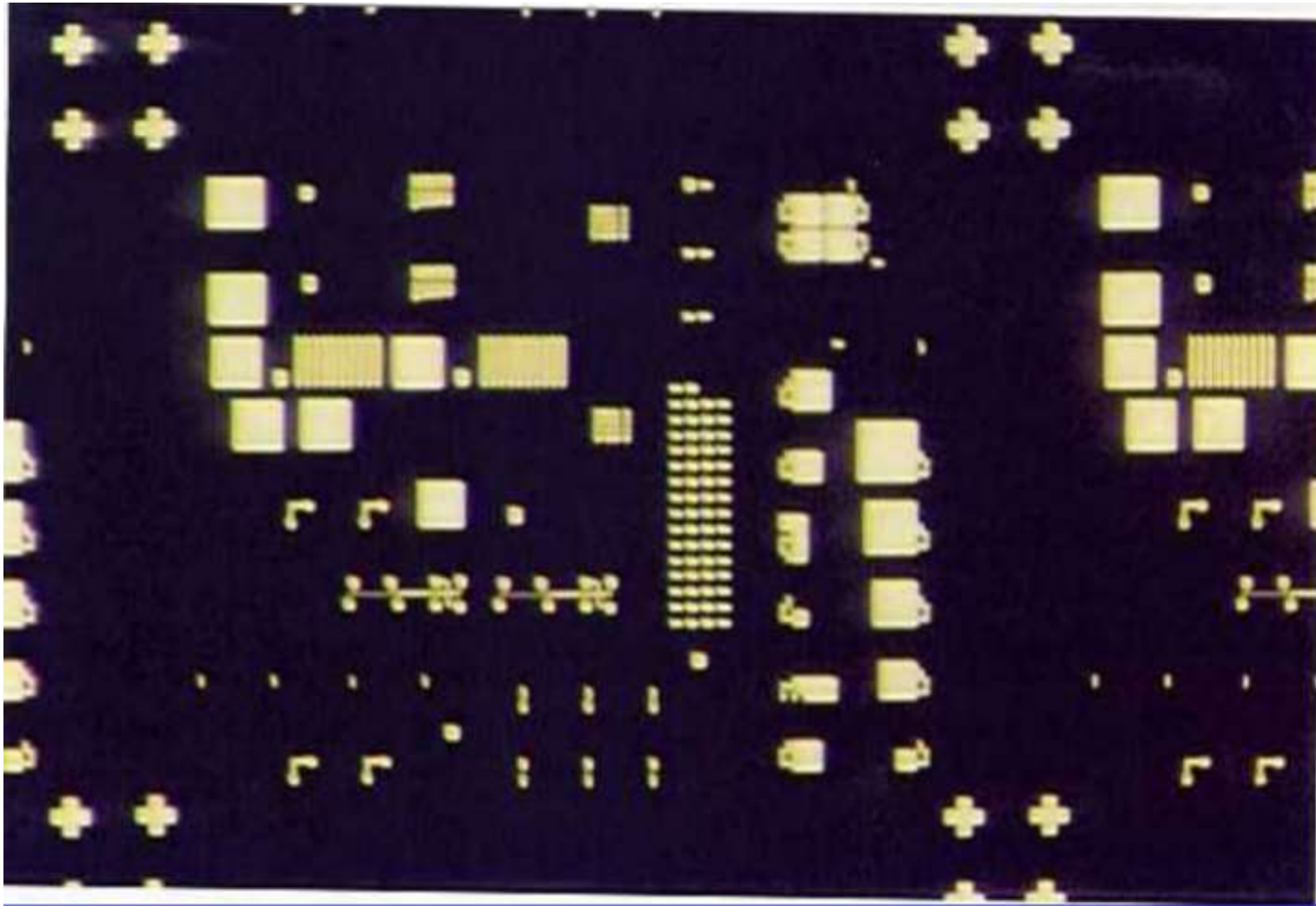
Processo de fabricação de circuitos integrados (CMOS)

Exemplo de Ampliação de uma fotomáscara de campo claro



Processo de fabricação de circuitos integrados (CMOS)

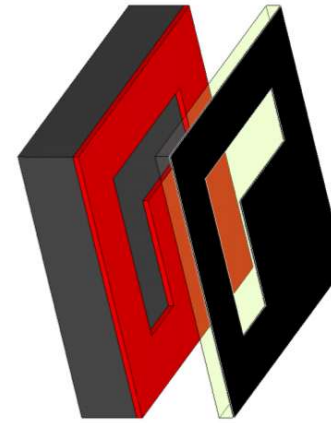
Exemplo de Ampliação de uma fotomáscara de campo escuro



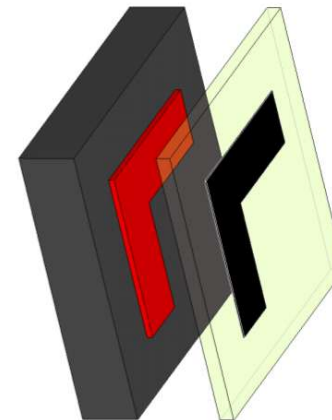
Processo de fabricação de circuitos integrados (CMOS)

Aplicação de Fotorresiste na lâmina

1. Limpeza da lâmina de Si e aplicação do promotor de aderência (HMDS);
2. Deposição do fotoresiste (positivo, tipo 1518, por “Spin coating”);
3. Secagem em estufa a 80°C, por 20 minutos;
4. Alinhamento da máscara;
5. Exposição a luz ultravioleta (λ);
6. Revelação do fotoresiste;
7. Cura (endurecimento) do fotoresiste; em estufa a 100°C por 30 minutos;
- 8 - Corrosão química;
- 9 - Remoção do Fotorresiste.



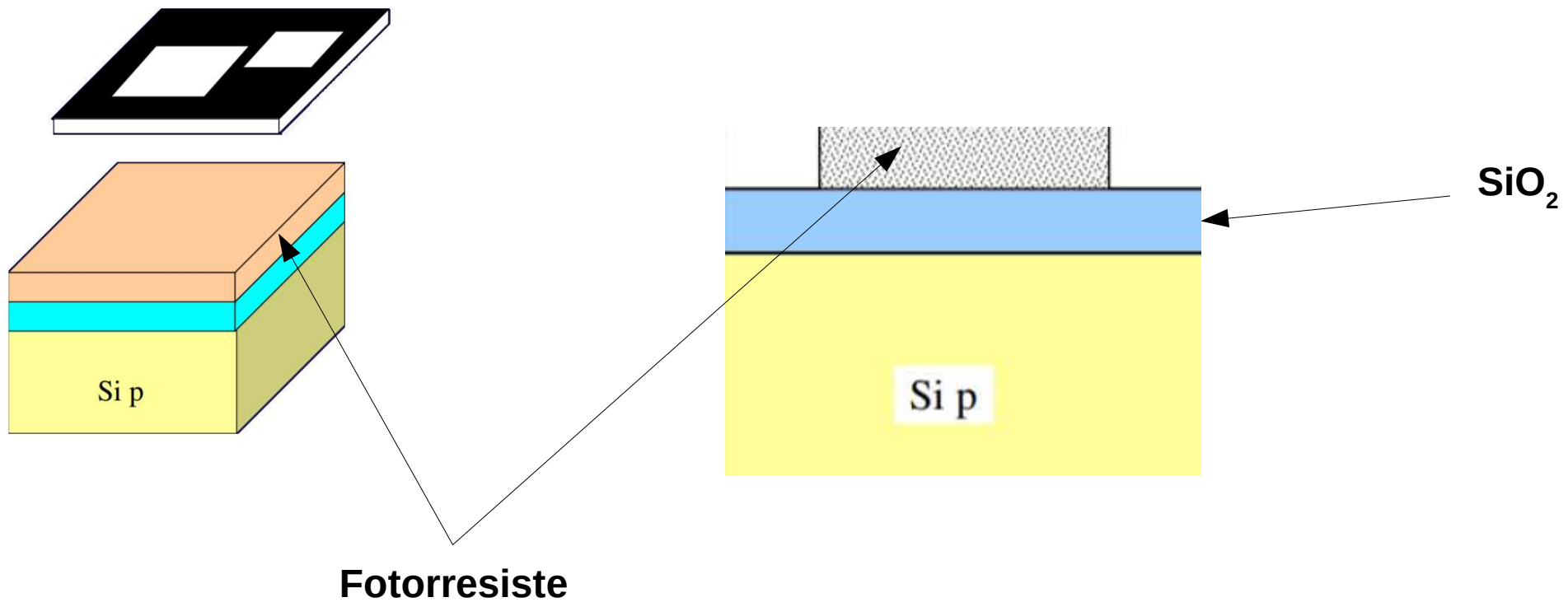
Mascar de campo escuro



Mascar de campo claro

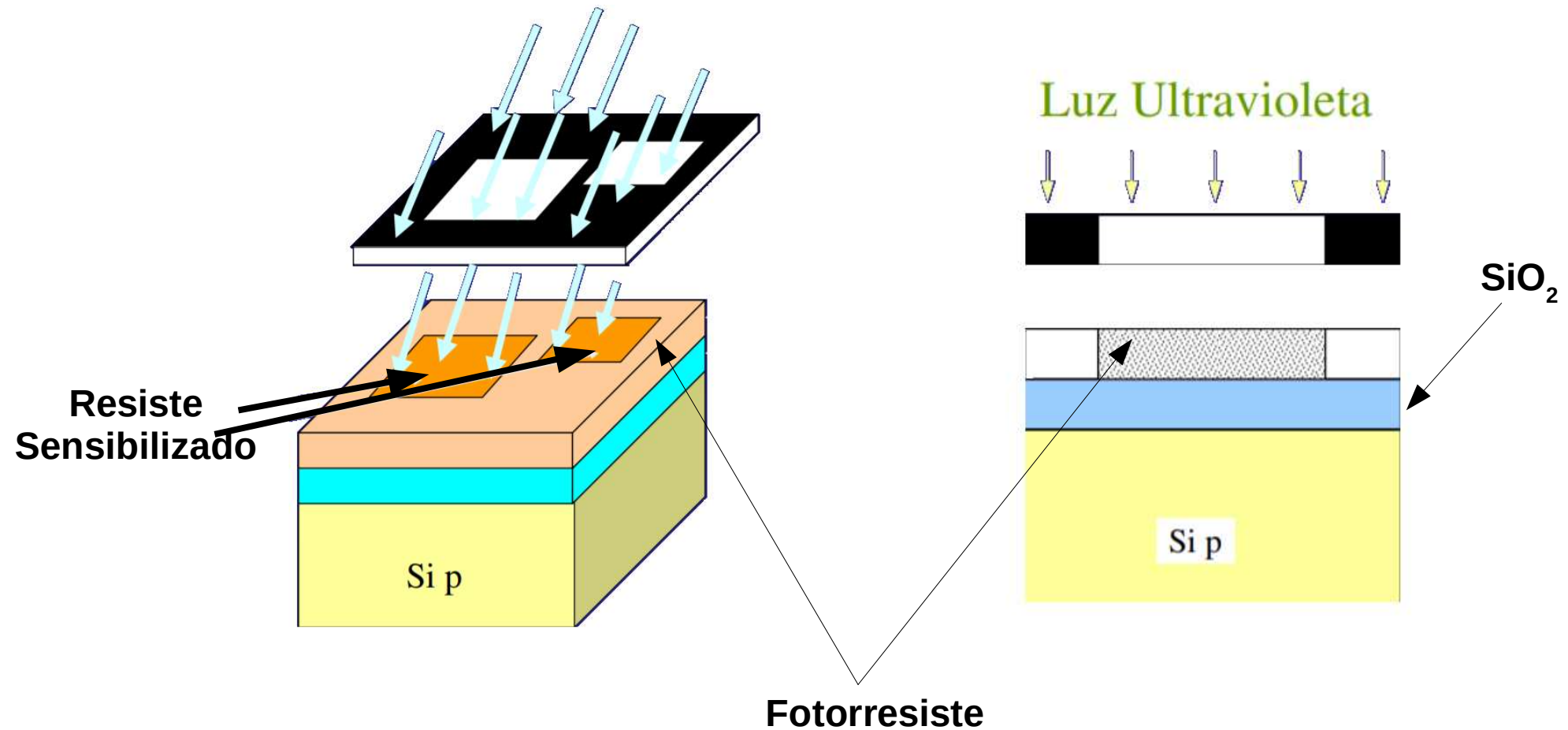
Processo de fabricação de circuitos integrados (CMOS)

Aplicação de Fotorresiste na lâmina



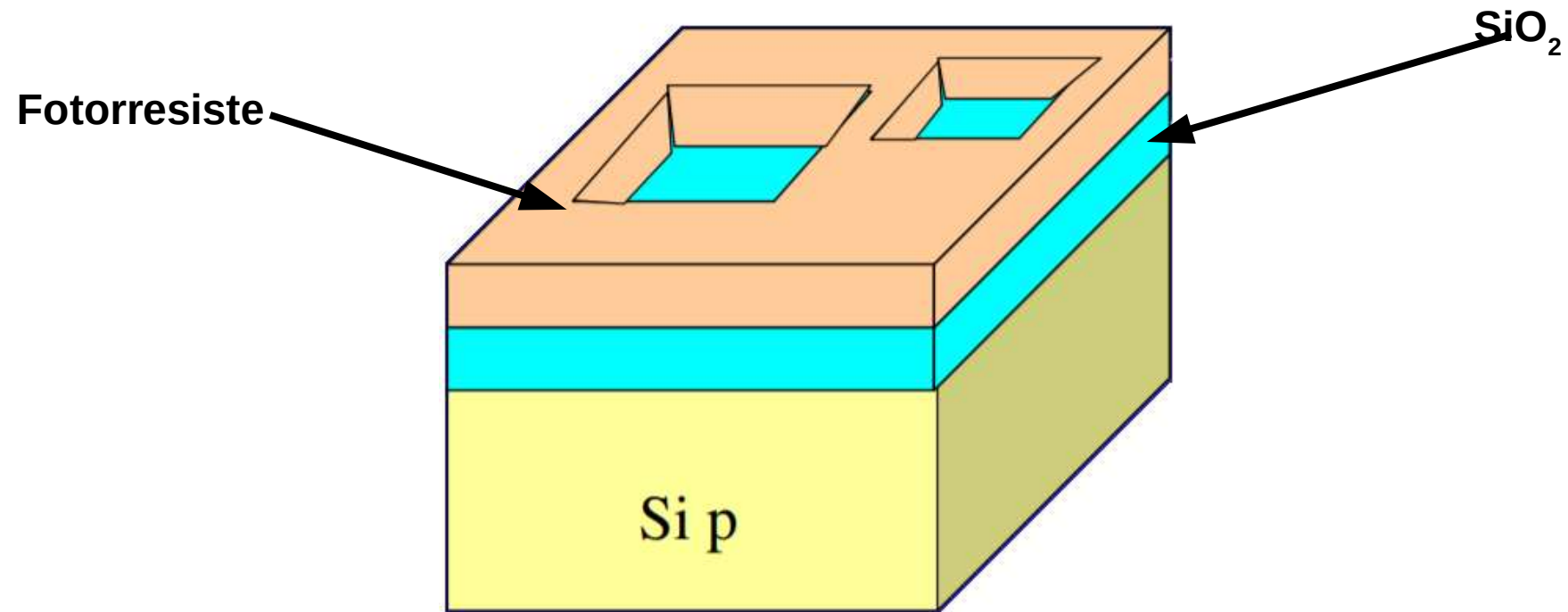
Processo de fabricação de circuitos integrados (CMOS)

Exposição à luz ultravioleta



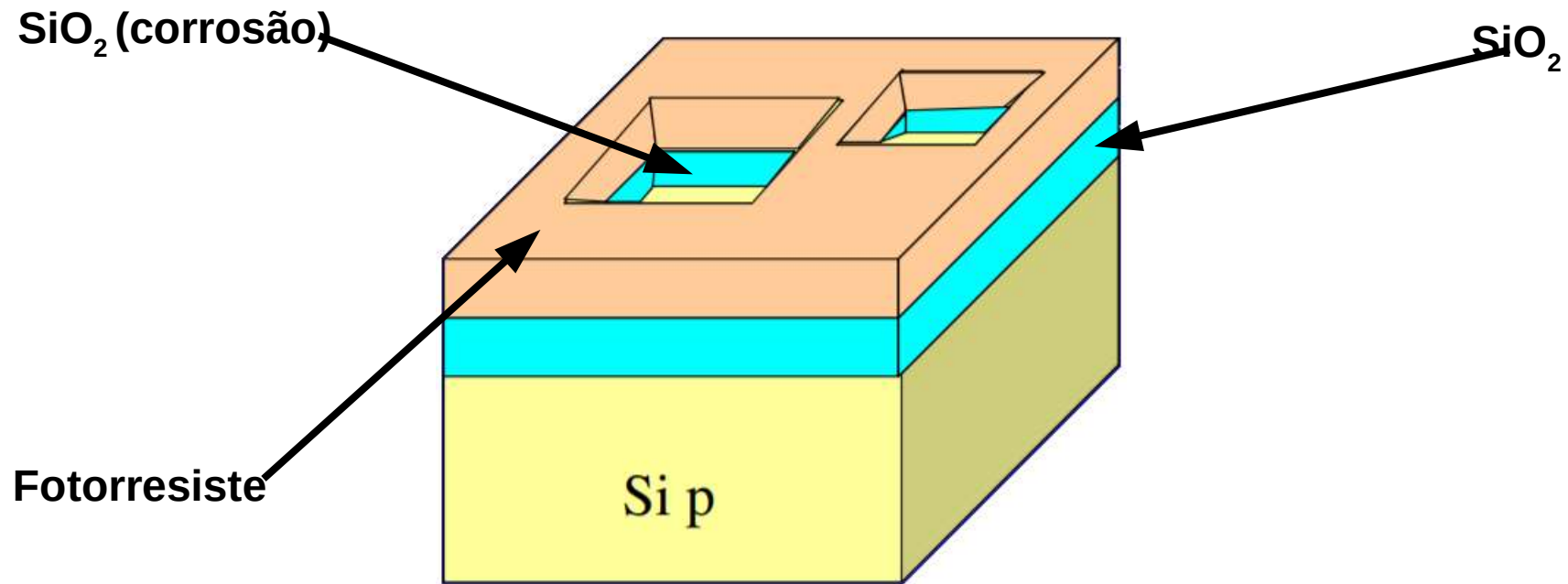
Processo de fabricação de circuitos integrados (CMOS)

Visão após a revelação do fotorresiste



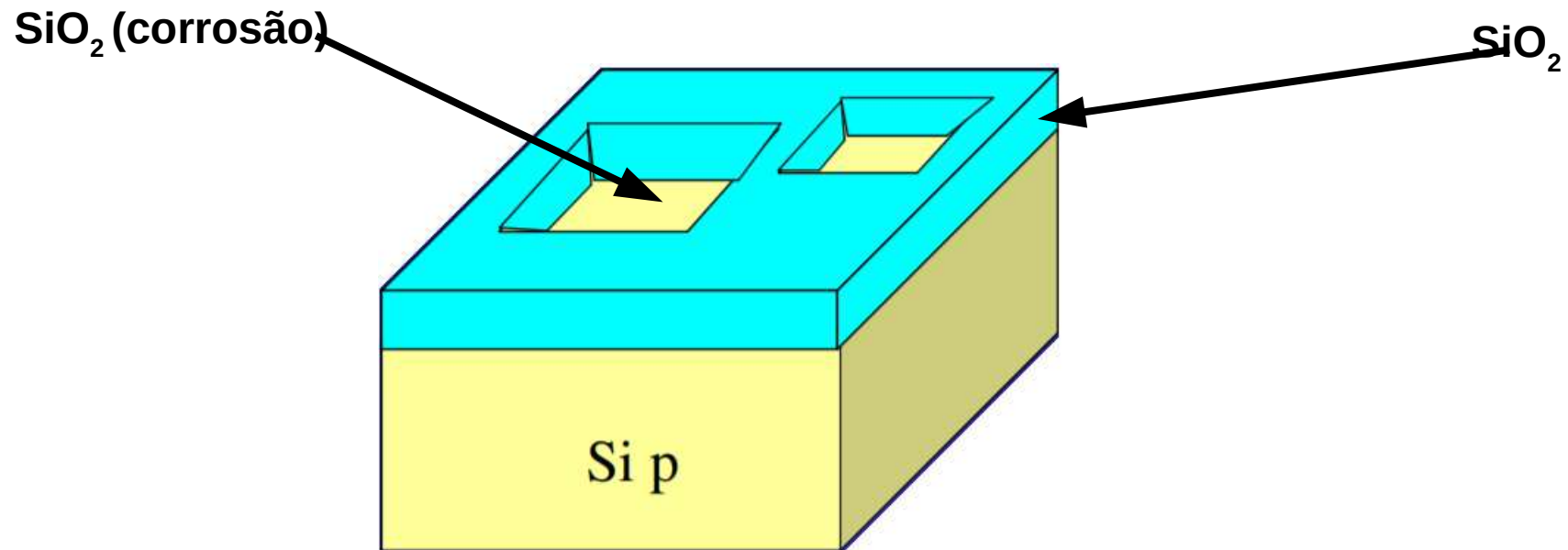
Processo de fabricação de circuitos integrados (CMOS)

Visão após a corrosão do SiO_2



Processo de fabricação de circuitos integrados (CMOS)

Visão após a remoção do fotorresiste



Processo de fabricação de circuitos integrados (CMOS)

Exemplo de “Sala Limpa” para realização do processo



Processo de fabricação de circuitos integrados (CMOS)

Difusão de Impurezas

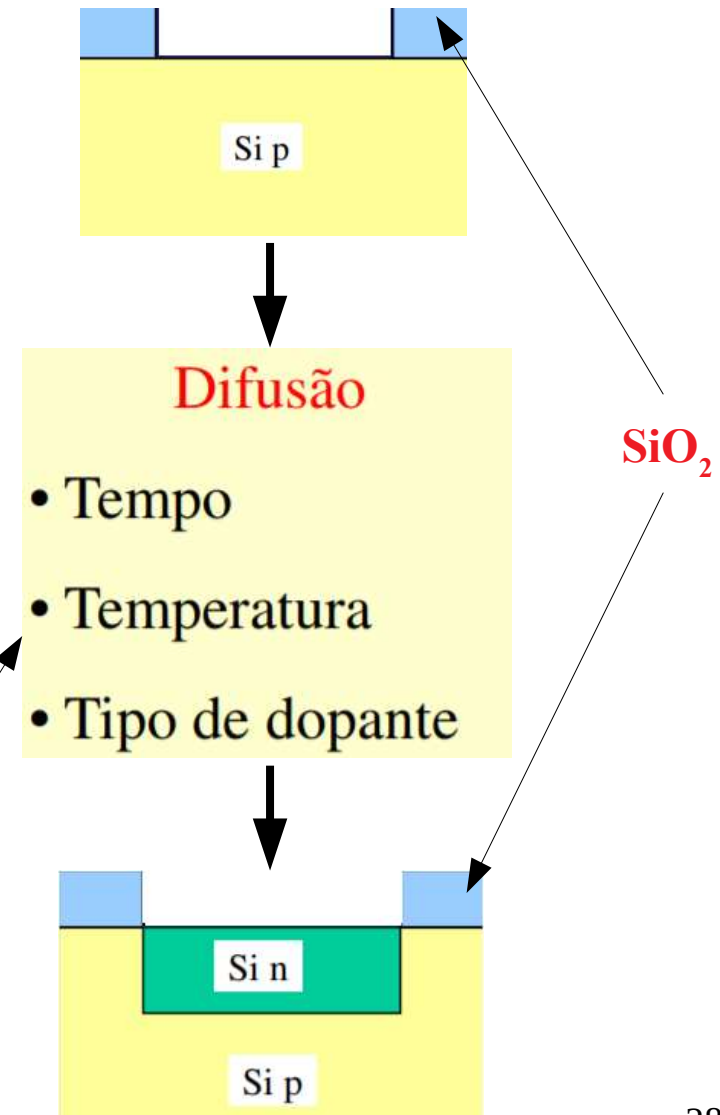
Objetivo:

- Introduzir na rede cristalina do Si impurezas doadoras (fósforo, arsênio...) ou aceitadoras (boro...).

Funções Principais:

- criação de uma região com características doadora ou aceitadora.

800°to 1400°C



Processo de fabricação de circuitos integrados (CMOS)

Difusão de Impurezas

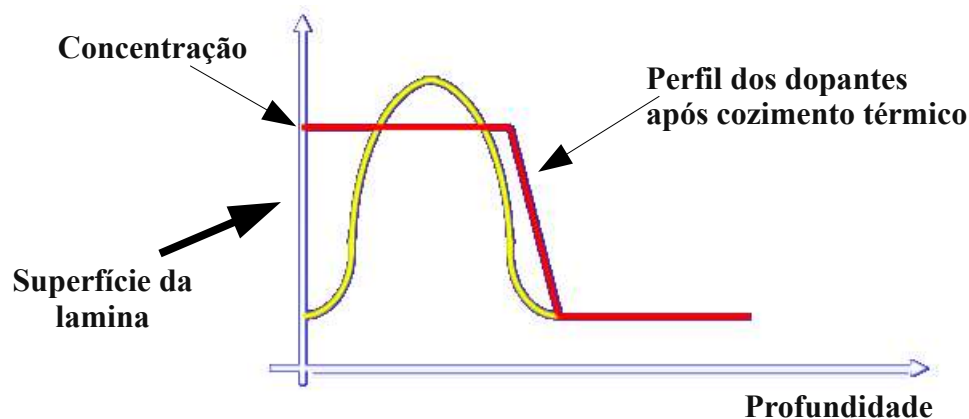
Objetivo:

- Introduzir na rede cristalina do Si impurezas doadoras ou aceitadoras por impacto.

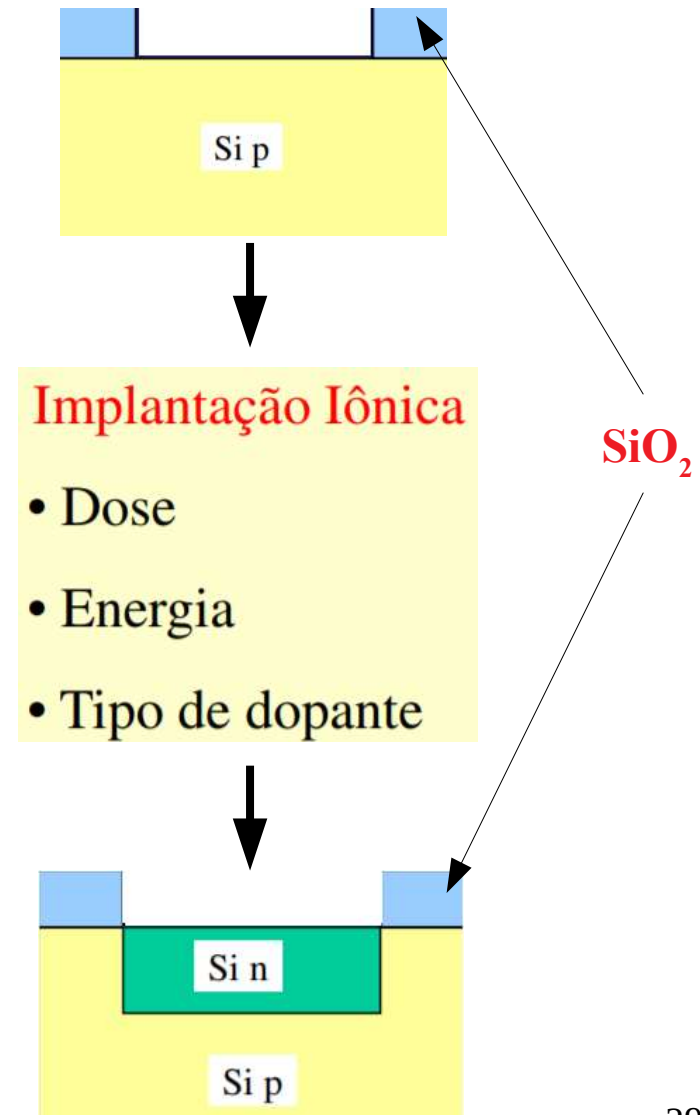
Funções Principais:

- criação de uma região com características doadora ou aceitadora.

Perfil da concentração:



Processo



Processo de fabricação de circuitos integrados (CMOS)

Tecnologia CMOS cavidade N de $1,2\mu\text{m}$ (FoundryEuropean Silicon Structure (ES2))

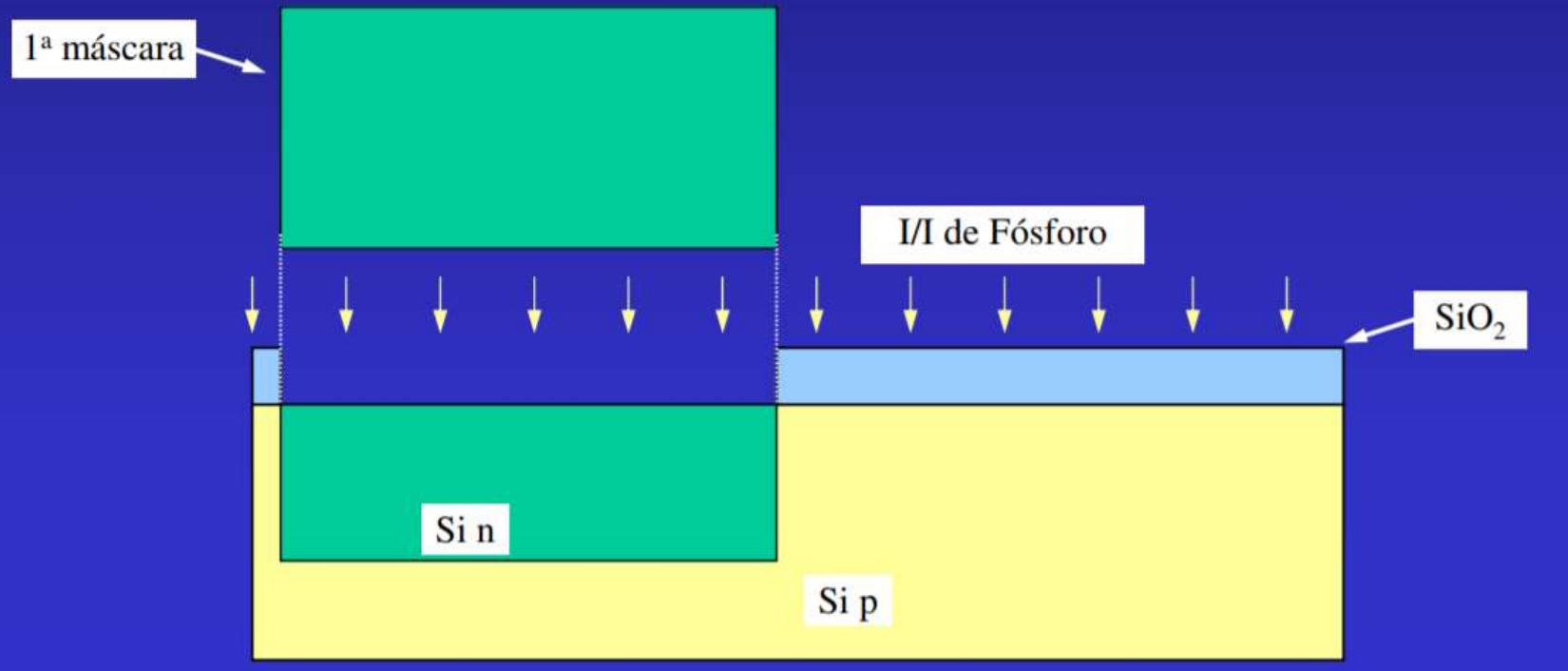
1 - Oxidação térmica

Lâmina de silício tipo p $\langle 100 \rangle$

2 - Fotogravação e corrosão do SiO_2

Máscara (NW) - Definição das regiões que serão cavidades tipo N (NWELL)

3 - Implantação Iônica de Fósforo



Processo de fabricação de circuitos integrados (CMOS)

Tecnologia CMOS cavidade N de 1,2 μ m (Foundry ES2)

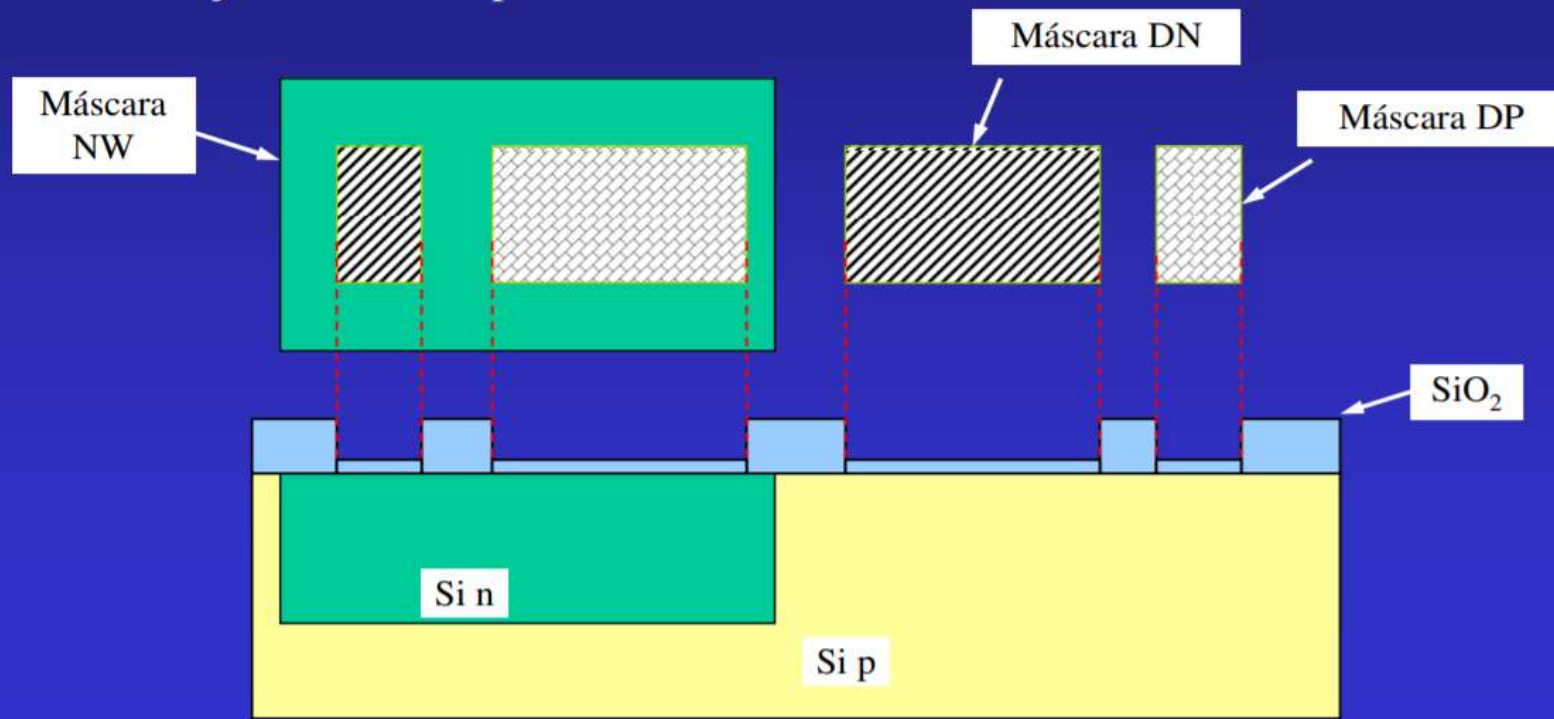
4 - Remoção total do SiO₂

5 - Deposição de SiO₂

6 - Fotogravação e Corrosão do SiO₂

Máscaras (DN e DP)- Definição das regiões de difusão tipo N e P (diffn e diffp)

7 - Oxidação térmica de porta



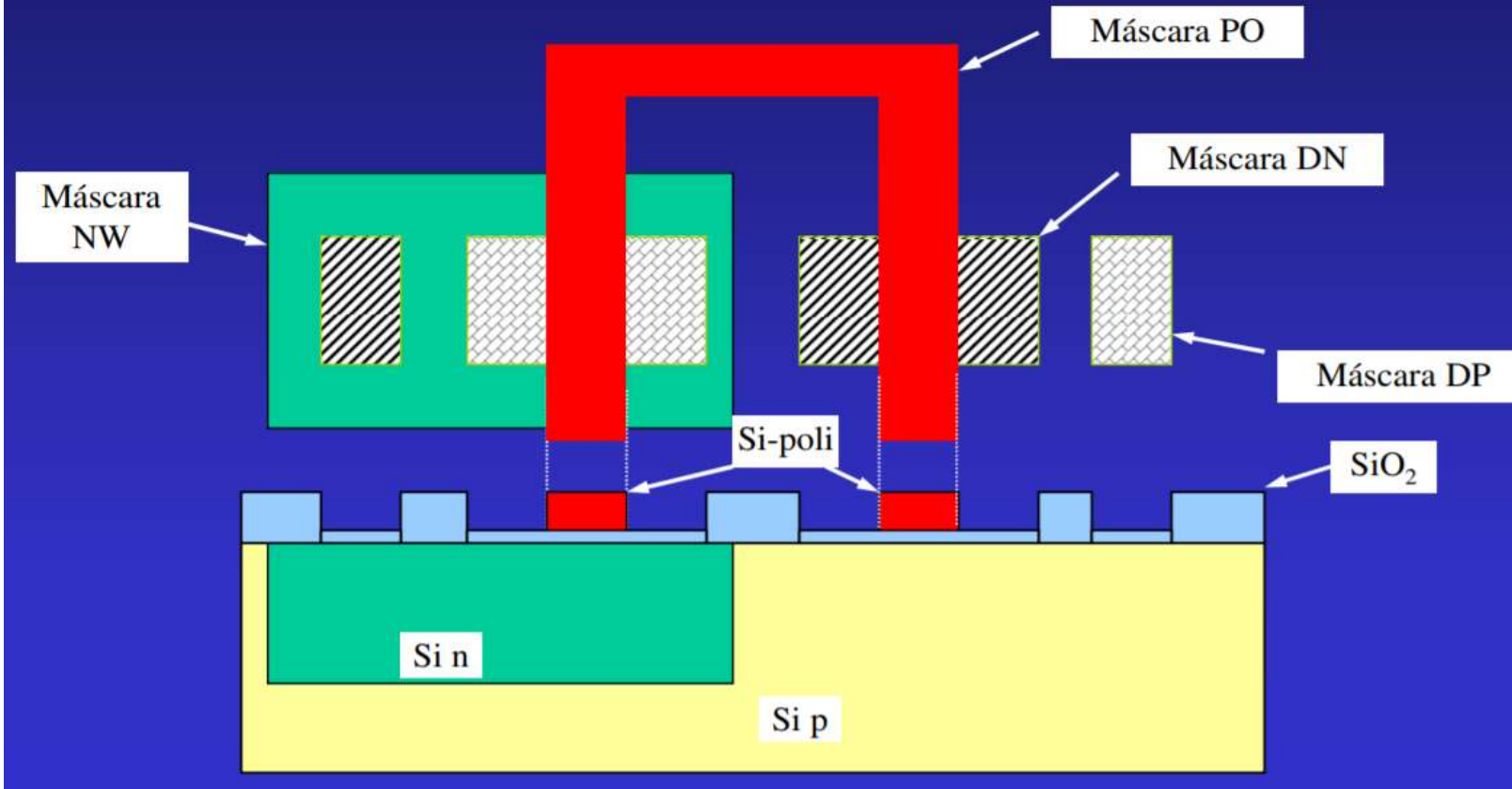
Processo de fabricação de circuitos integrados (CMOS)

Tecnologia CMOS cavidade N de 1,2 μ m (Foundry ES2)

8 - Deposição de silício policristalino dopado

9 - Fotogravação e Corrosão do Silício policristalino

Máscara (PO)- Definição do silício policristalino (poly)



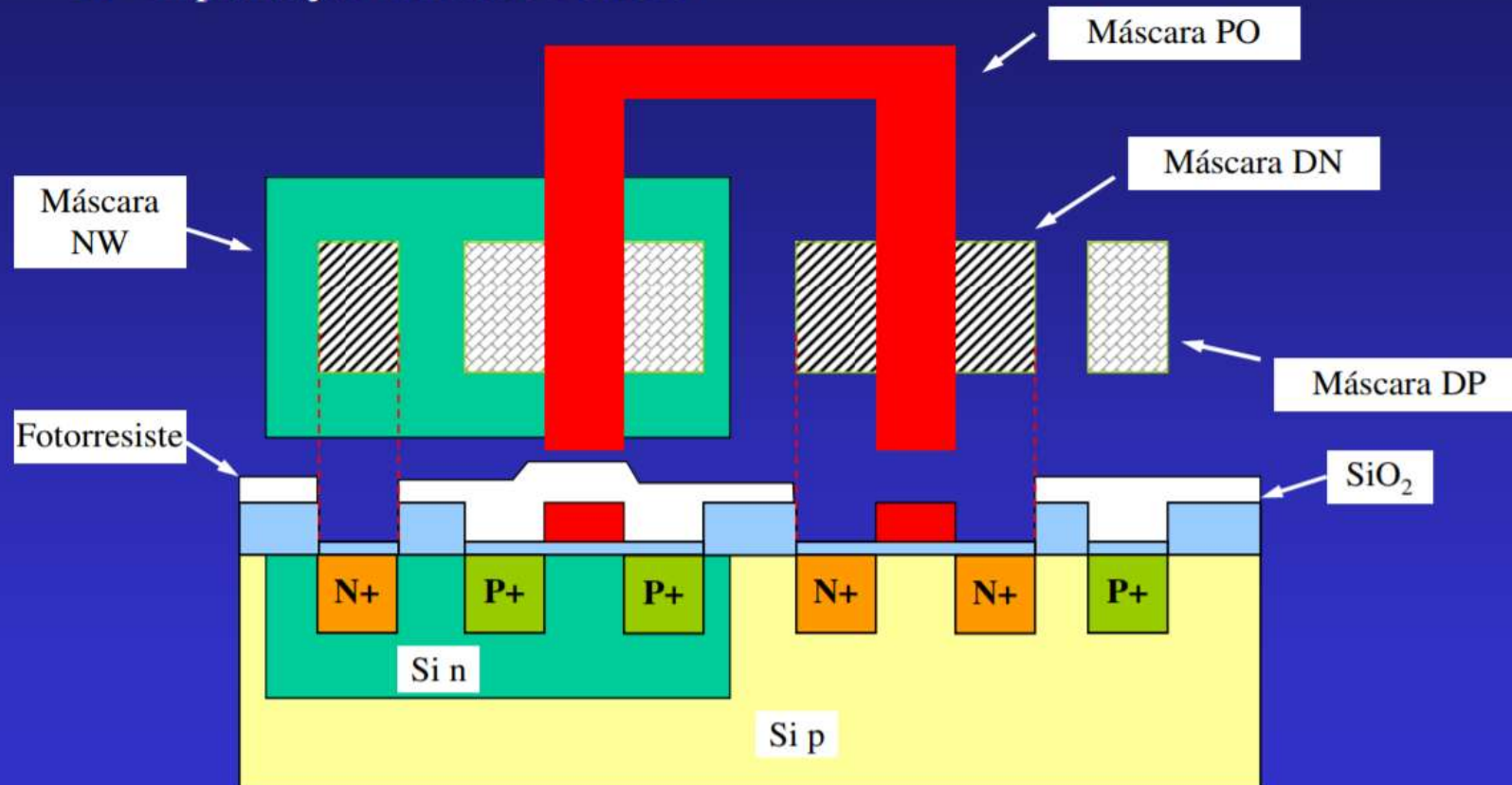
Processo de fabricação de circuitos integrados (CMOS)

Tecnologia CMOS cavidade N de 1,2 μ m (Foundry ES2)

13 - Fotogração do Fotorresiste

Máscara (DN)- Definição das regiões N+ (diffn)

14 - Implantação Iônica de Fósforo



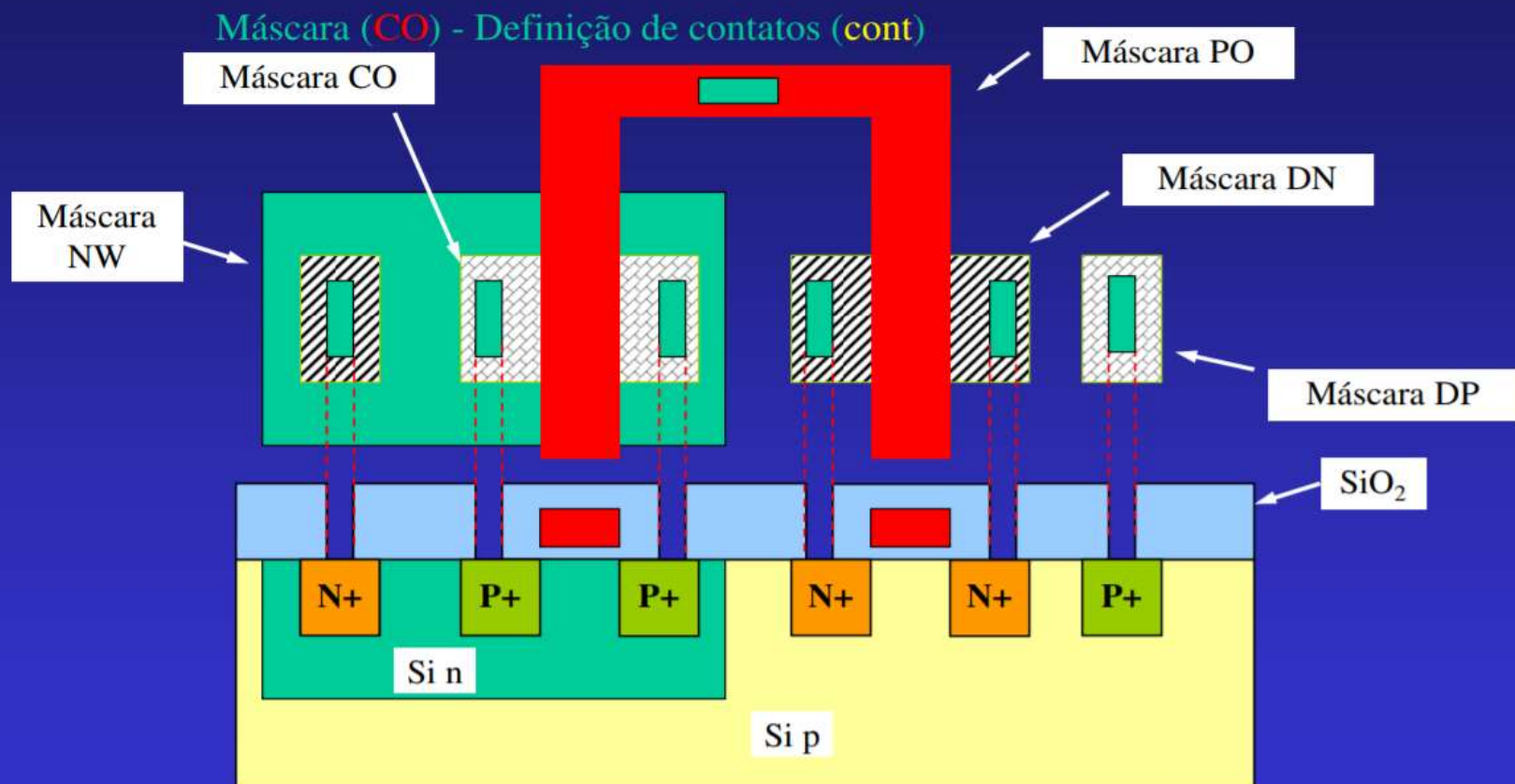
15 - Remoção do Fotorresiste

Processo de fabricação de circuitos integrados (CMOS)

Tecnologia CMOS cavidade N de 1,2 μ m (Foundry ES2)

16 - Deposição de SiO₂

17 - Fotogravação e Corrosão do SiO₂

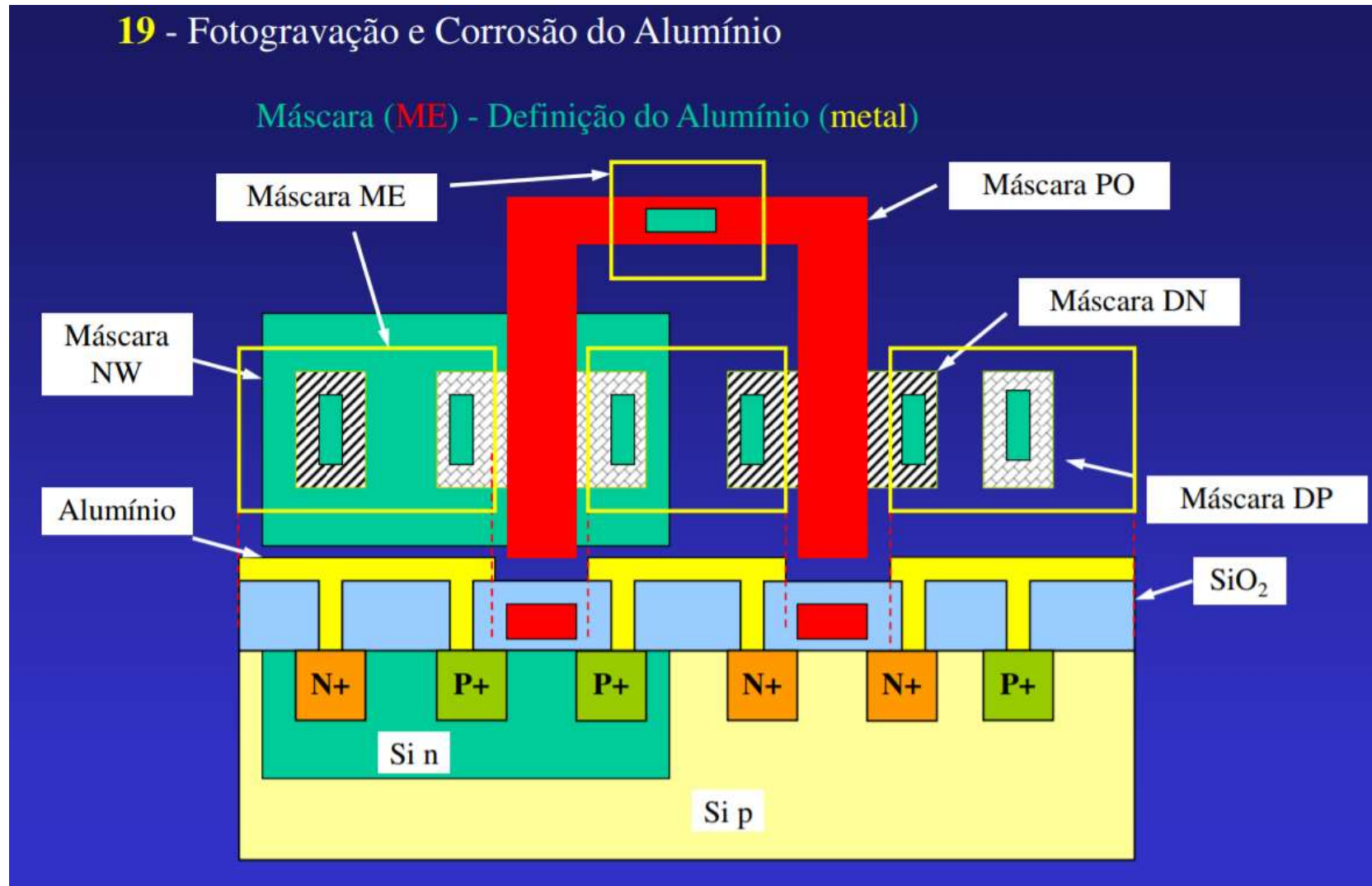


18 - Deposição de Metal - Alumínio

Processo de fabricação de circuitos integrados (CMOS)

Tecnologia CMOS cavidade N de 1,2 μ m (Foundry ES2)

19 - Fotogravação e Corrosão do Alumínio



Referencias

- <http://www4.pucsp.br/~elo2eng/Processo%20de%20fabricacao%20de%20dispositivos.pdf>;
- http://gnmd.webgrupos.com.br/arquivo_disciplinas_download/1-2-Revisao-Microeletronica-2a-Aula-2.pdf;
- Boylestad e Nashelsky. “Dispositivos Eletrônicos e teoria de circuitos”, Prentice Hall, 11 Edição, 784p, 2013;
- Sedra e Smith, “Microeletrônica”, Pearson Prentice Hall, 5 Edição, 948p, 2007.