

**Universidade Federal do Sul e Sudeste do Pará**

**Faculdade de Computação e Engenharia Elétrica**

**Curso de Engenharia da Computação**

**Iago Costa das Flores - 201840601017**

**Gabriel Oliveira Machado - 201540601037**

**Gustavo Oliveira Lacerda - 201840601015**

**Mateus Araujo Carvalho - 201840601025**

**Jefferson Yure Silva Pereira - 201840601019**

**Trabalho de Microeletrônica**

**Marabá**

**2021**

**Iago Costa das Flores - 201840601017**

**Gabriel Oliveira Machado - 201540601037**

**Gustavo Oliveira Lacerda - 201840601015**

**Mateus Araujo Carvalho - 201840601025**

**Jefferson Yure Silva Pereira - 201840601019**

**Trabalho de Microeletrônica**

Relatório apresentado no curso de Engenharia da Computação, turma de 2018 como obtenção de nota parcial na disciplina de Microeletrônica, ministrada pelo Professor Dr. José Carlos.

**Marabá**

**2021**

# Sumário

[**Sumário**](#_ytc4pin3f8l8) **3**

[**1 - Introdução**](#_ksekxabu9mje) **3**

[**2 - Experimento 01**](#_6kf1g2z7ofo7) **4**

[**3 - Experimento 04**](#_wyq45ou1k747) **6**

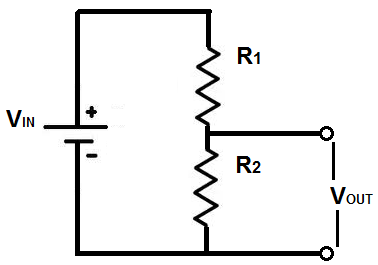
[**4 - Conclusão**](#_wmwmgprlshgf) **9**

# 1 - Introdução

Os experimentos realizados introduzem o conhecimento para a utilização dos programas necessários para os próximos. Depois de configurar o Eletric e o LTSpice para a simulação, vamos entender como funciona a execução DRC, a correção de erros DRC e também fazer uma verificação de consistência rede (NCC), e também construir e testar uma porta lógica Anandb usando os transistores NMOS e PMOS.

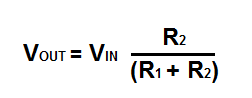
# 2 - Experimento 01

O experimento 1 faz a introdução dos experimentadores, as ferramentas usadas para criação e simulação, propondo um simples circuito divisor de tensão, como demonstrado na figura 1.



**Figura 01: Circuito de um divisor de tensão.**

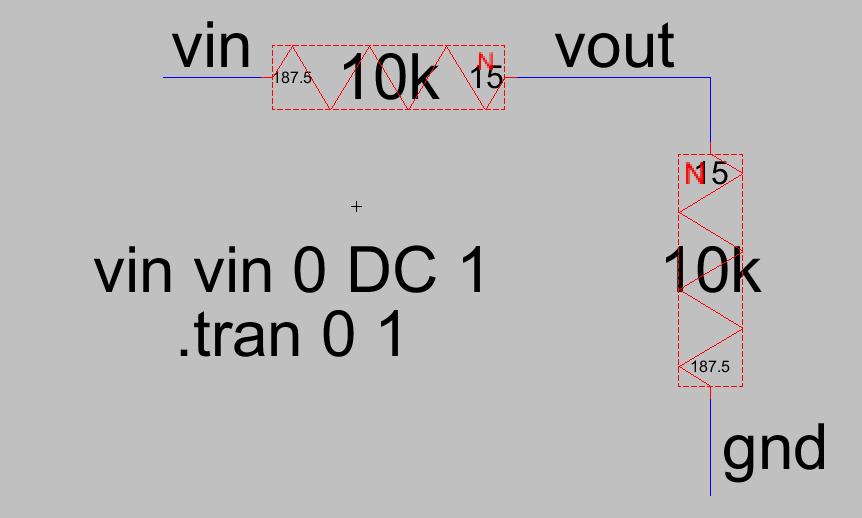
O divisor de tensão se comporta a partir da relação:



No roteiro é proposto os valores de 10k ohm para R1 e R2, e é definido a tensão de 1V para Vin. A seguir temos o esquema e o layout para o circuito da figura 1.

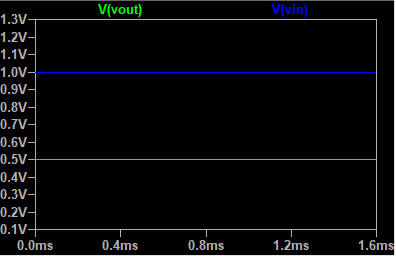


**Figura 02: Layout construído a partir do circuito proposto.**



**Figura 03: Esquemático construído a partir do circuito proposto.**

Simulando no LTSpice a partir do Eletric, temos os seguintes resultados para Vout, comparados a Vin.

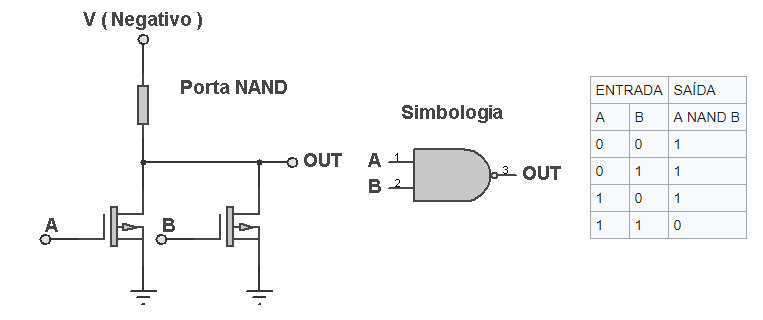


**Figura 04: Resultado obtido na simulação no LTSpice.**

É obtido exatamente os mesmos resultados simulando tanto o esquemático quanto o layout no LTSpice.

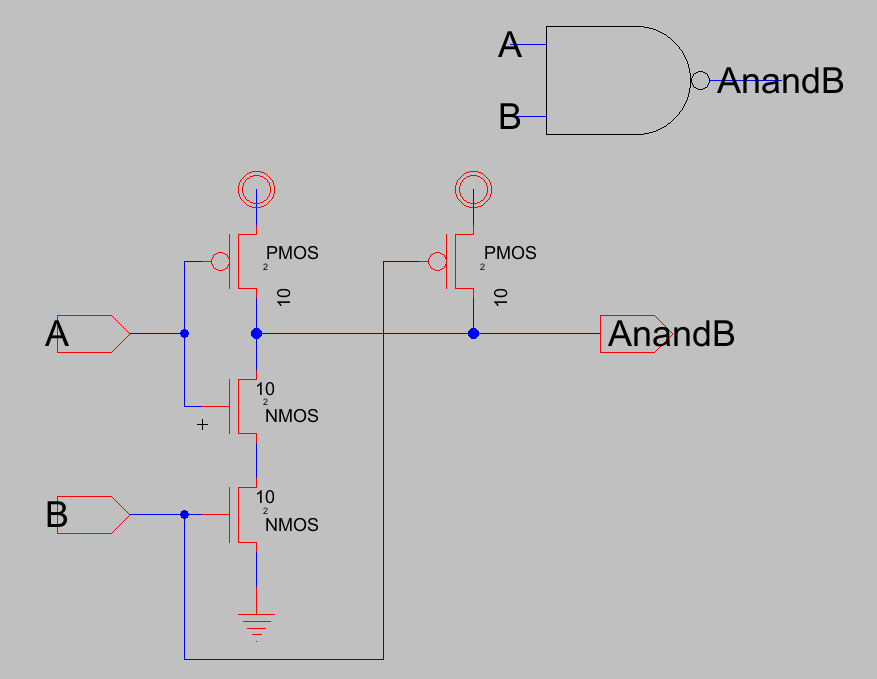
# 3 - Experimento 04

O experimento 04 é realizado com objetivo de construir e testar uma porta lógica AnandB usando os transistores NMOS e PMOS. Na figura X vemos a relação da tabela verdade de uma porta lógica NAND.



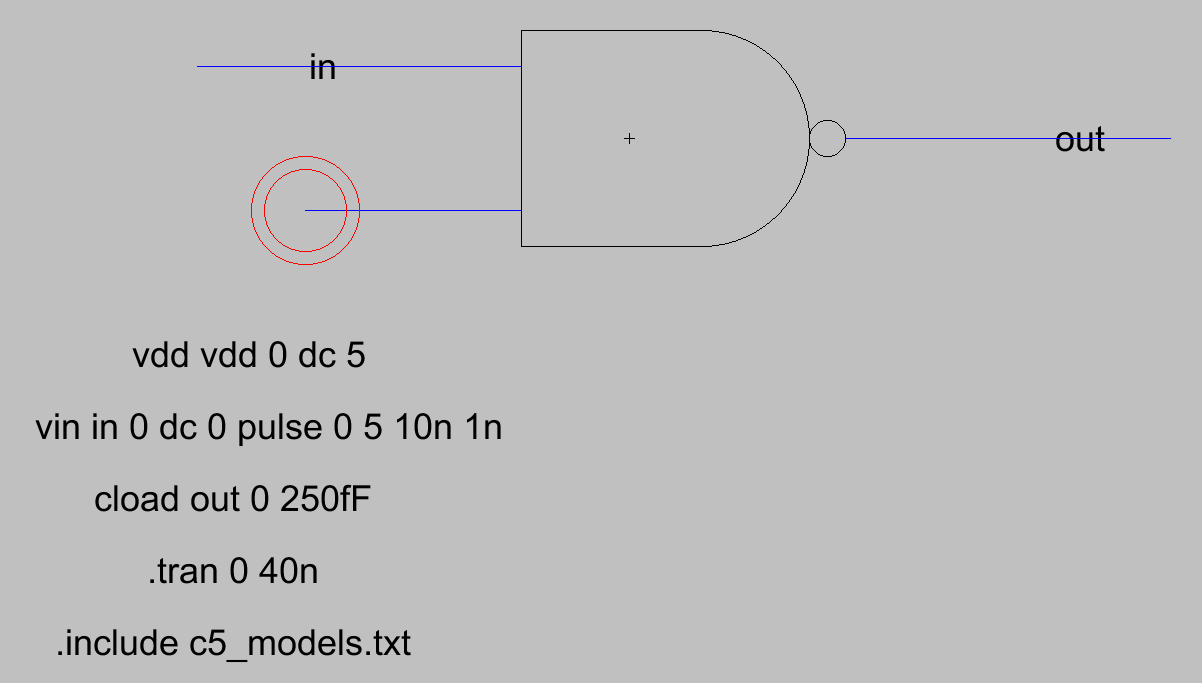
**Figura 05: Tabela verdade porta NAND.**

No primeiro passo é criado um esquema da porta lógica usando 2 PMOS e 2 NMOS como um é o inverso do outro na entrada A encontra-se 1 PMOS e 1 NMOS como mostra a figura X, na entrada B temos a mesma configuração 1 PMOS e 1 NMOS.



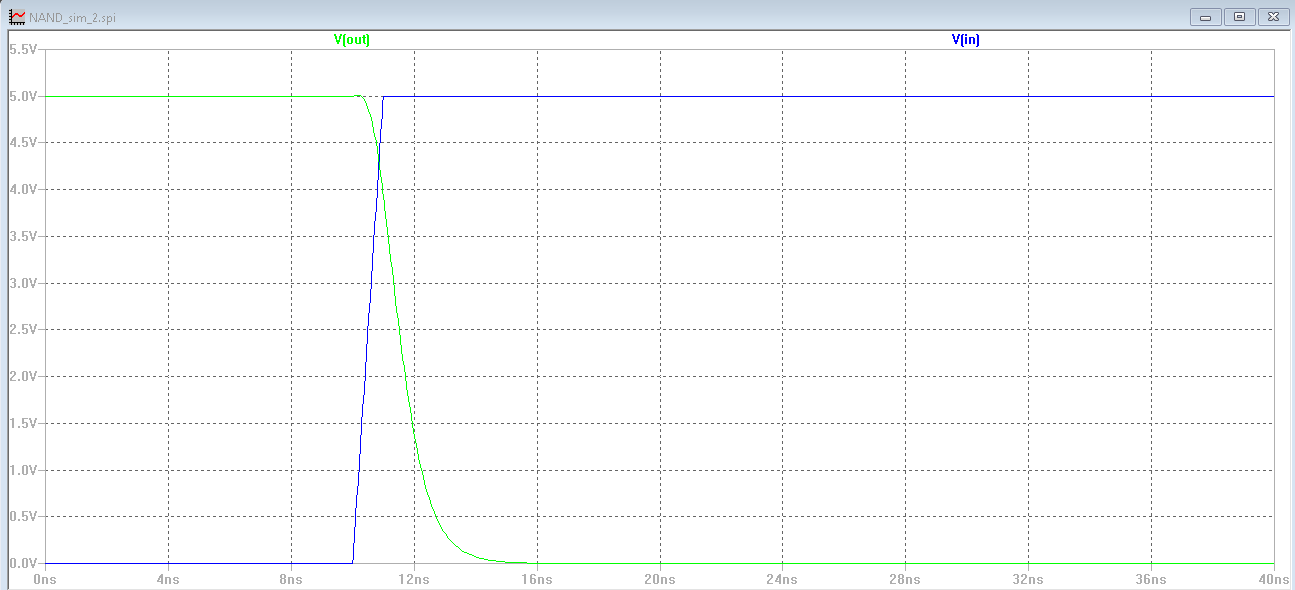
**Figura 06: Esquemático no Electric porta NAND.**

Após a criação do esquemático faz-se o teste com o programa ltspice para verificar se está tudo ocorrendo bem no circuito. Para isso ativa-se uma das entradas como demonstrado na figura X.



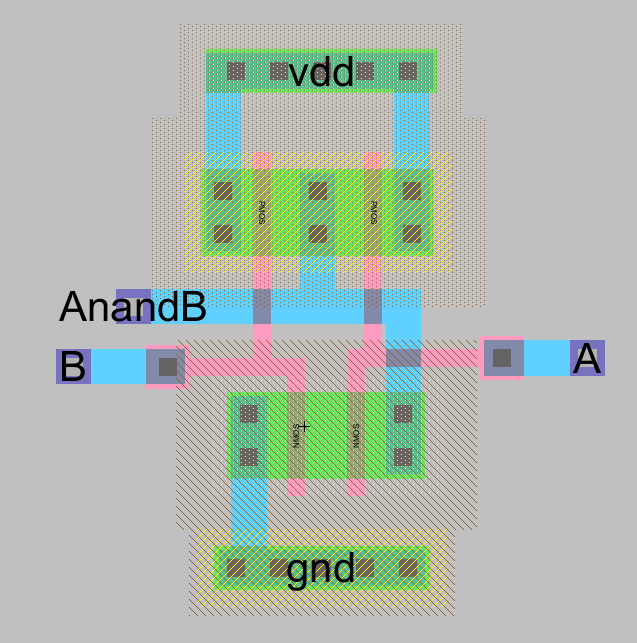
**Figura 07: Esquemático no Electric para teste, porta NAND.**

A outra entrada é ativada depois de um certo período para verificar no gráfico do ltspice o comportamento da saída com uma entrada ativa e quando as duas entradas ativas. Como pode-se verificar no gráfico da figura X.



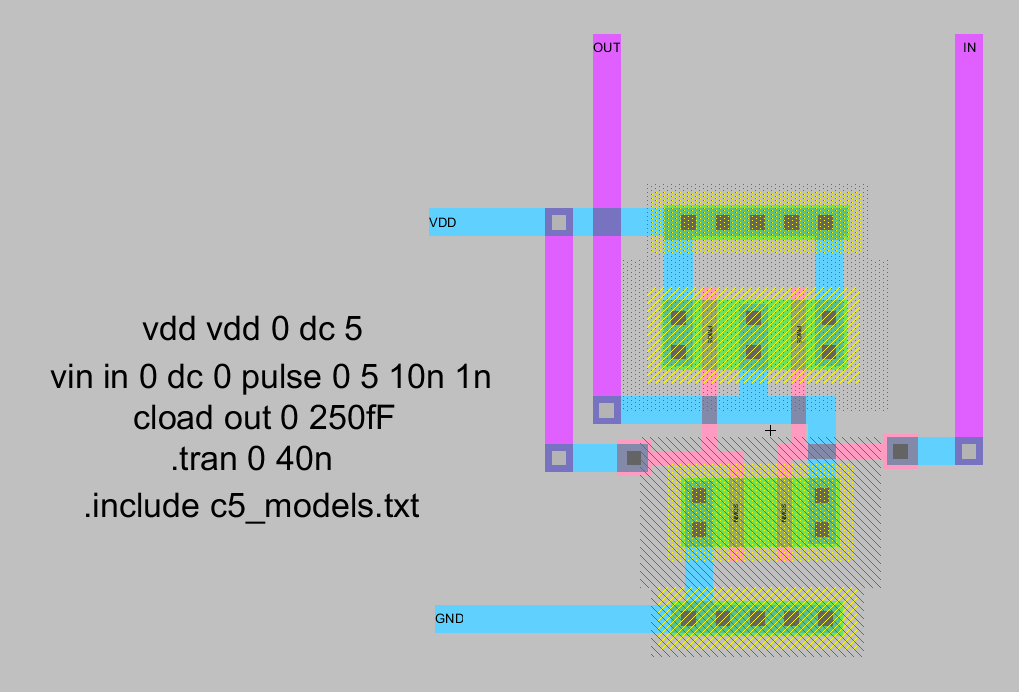
**Figura 08: Gráfico no LTSpice, porta NAND.**

No segundo passo criamos o layout a partir do esquemático. Como é demonstrado na figura X.



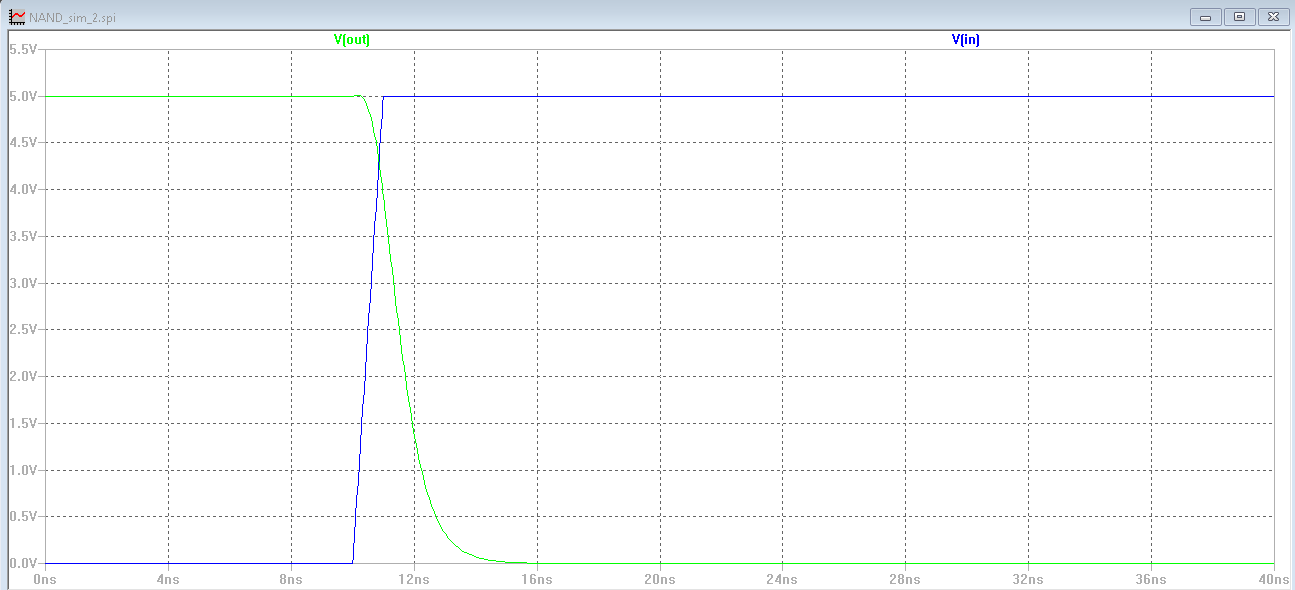
**Figura 09: NAND sim layout 2**

Já na figura X temos a versão final do layout junto com o script que será executado no ltspice para gerar o gráfico de entrada e saída e fazer a verificação e constatar se o layout está funcionando corretamente.



**Figura 10: NAND sim layout final**

Por fim faz-se o teste do layout para verificar se está tudo funcionando como devido. Como pode-se verificar na figura X.



**Figura 11: Gráfico LTSpice porta NAND do layout**

# 4 - Conclusão

Diante da proposta dos dois projetos, foi utilizado LTSpice e o Eletric como ambiente de simulação para mostrar o comportamento deles. O primeiro experimento teve como base um circuito divisor de tensão, foi demonstrado a parte visual e matemática do circuito logo em seguida foi realizado um layout do circuito Eletric construindo um esquemático do circuito e por fim foi mostrado o resultado no LTSpice. No experimento 4 é apresentado um uma porta lógica AnandB que usa um par de transistores o NMOS e PMOS. Foi montado o circuito no Eletric e logo em seguida foi realizada a simulação no LTSpice e observado o resultado obtido.

# 