

（深圳）

实验报告

开课学期： 2021春季

课程名称： 计算机体系结构(实验)

实验名称： 存储层次分析及程序优化

实验性质： 综合设计型

实验时间： 6 地点： T2210

学生班级： 2018级计算机5班

学生学号： 180110505

学生姓名： 胡聪

评阅教师：

报告成绩：

实验与创新实践教育中心印制

2021年4月

# 1. 实验内容

本实验一方面将通过编写程序测量Cache的结构或参数，进一步加深对Cache结构、替换算法、写策略的理解；另一方面通过矩阵乘法的算法优化案例，学会利用Cache加速程序。

本实验的实验内容包括：

（1）使用C/C++语言编写程序，以测量所用机器的L1 DCache与L2 Cache的容量、测量各级Cache块的大小与相联度、测量Cache使用的是写回法还是写直达法，以及测量Cache是否使用LRU替换策略等。除了所列举之外，鼓励同学们自行设计程序，以挖掘其他有意义的Cache参数；

（2）根据所用机器的Cache结构及参数，对给出的矩阵乘法程序进行优化。

# 2. 设计与实现

## 2.1 题目分析

测量Cache容量需要在内存中进行数据读取，通过改变数据块的大小，然后观察数据的平均读取速度。

当数据块大小超过L1 Cache后，平均访问时延会增加，在数据块大小超过L2 Cache后，平均访问时延也会出现增加，因此在测量Cache块大小时，需要利用访问不同Cache之间的速度差异来进行。

如果一个数据大小小于L1 DCache，那么第一遍读取时，就会被存放于L1 DCache中，速度会较快，而存放于L2 Cache中的数据读取速度就会低于L1 DCache，通过这个原理可以测量出Cache容量。

## 2.2 实验过程}

我们使用完全随机的地址进行内存访问，那么：

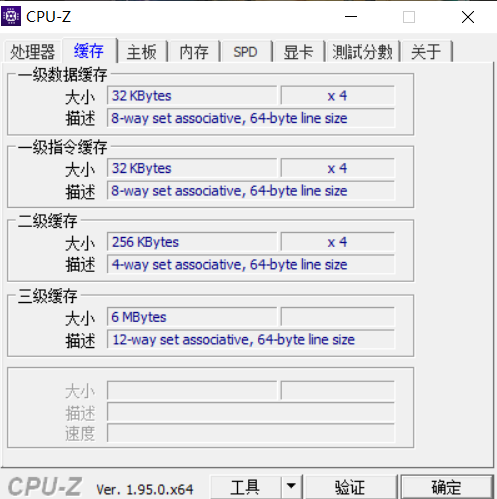
如果该内存能够被完整装入 cache，我们只需要花费很少的时间就可以访问到

如果内存块大小 size 超过我们的 cache 大小，即当前内存块不能被完整的放入 cache，那么我们的随机访问时间就会大大增加。

当 size 超出某一级 cache 的大小时，miss 增加，吞吐量会减少。观察图表我们可以得知，第一级 cache 大小大概在 256-384 这个范围。第二级 cache 大小大概为 2048-3072KB 左右。第三级 cache 大小大概在 3072-4096KB 左右。

## 2.3 实验结果及分析

（1）CPU-Z截图



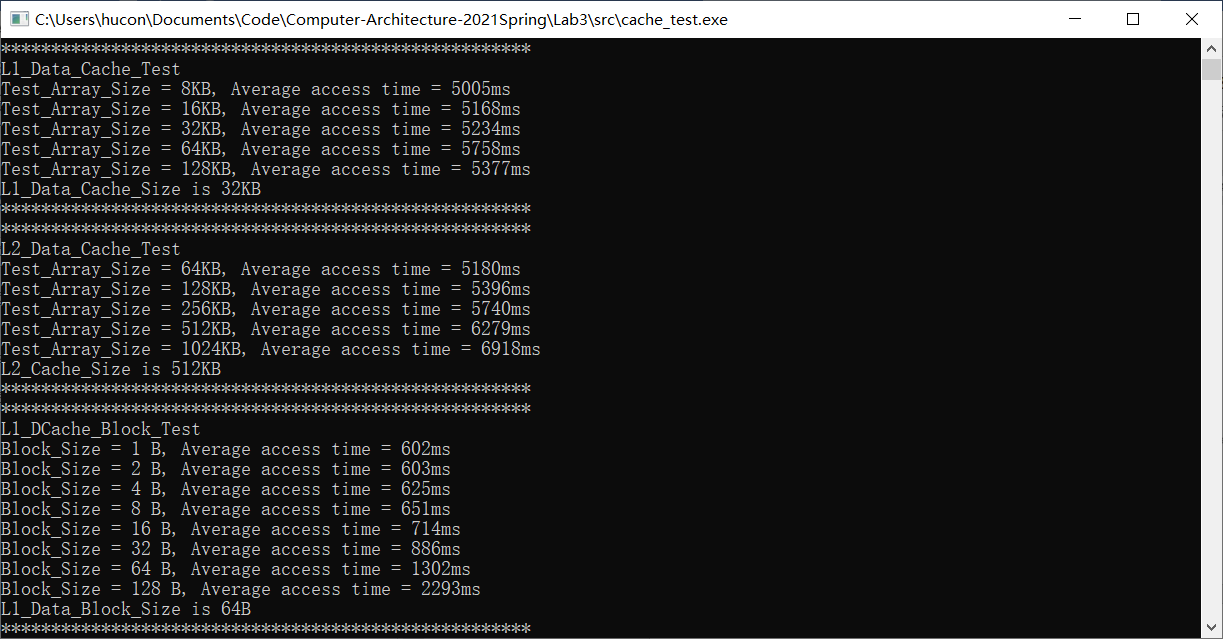
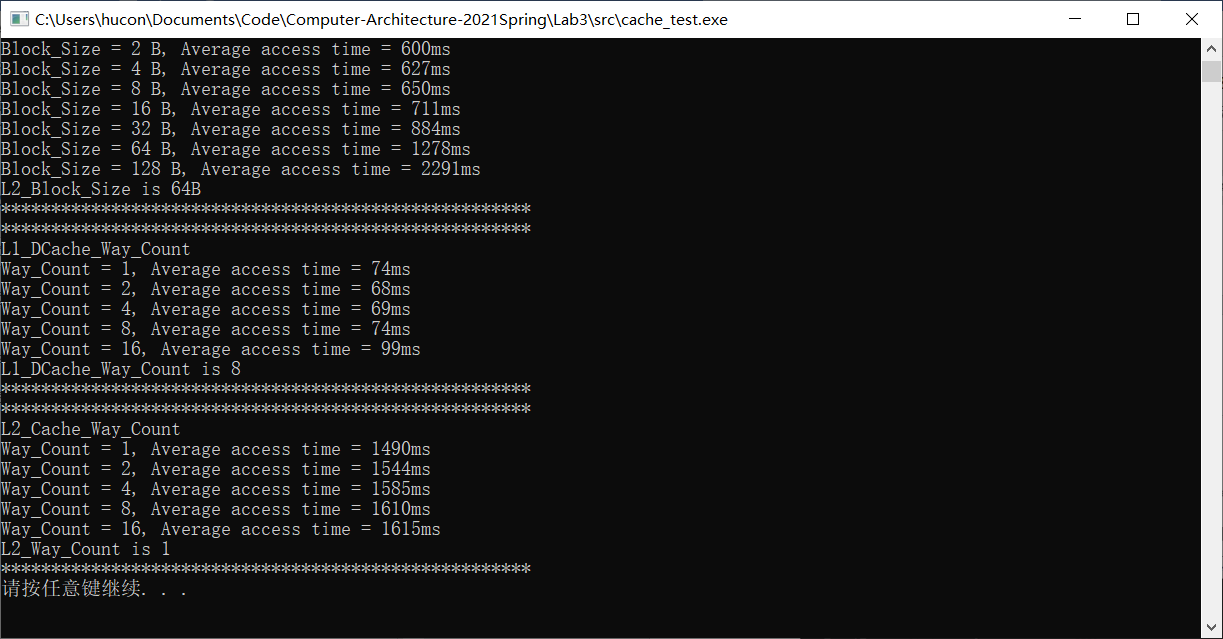
（2）CPU Cache测试结果

L1DCache大小为32KB，L2Cache大小为256KB；

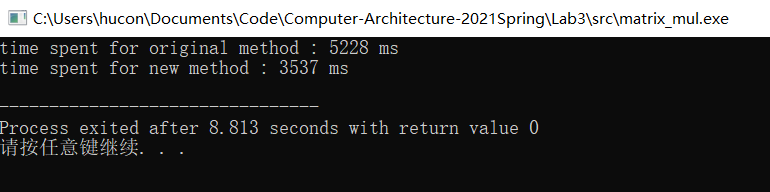
L1DCache块大小为64B，L2Cache块大小为64B：

L1DCache为8组相联，L2Cache为4路组相联：

结果如图（检查的时候结果是正确的，但是截图的时候又出现了错误）：



（3）乘法矩阵优化结果



# 3. 总结和感想

在本次实验中遇到了很多困难，个人认为实验指导书中有些内容描述得不是很清楚，导致写实验的时候没有足够的理解实验要求，而且实验结果复现不是很稳定，矩阵乘法得到的结果也没有达到预期，希望下一届实验的目的性和指向性能够更加强一些。