**Лабораторна робота №4**

**Тема:** Побудова і дослідження елементів пам’яті на базі тригерних схем

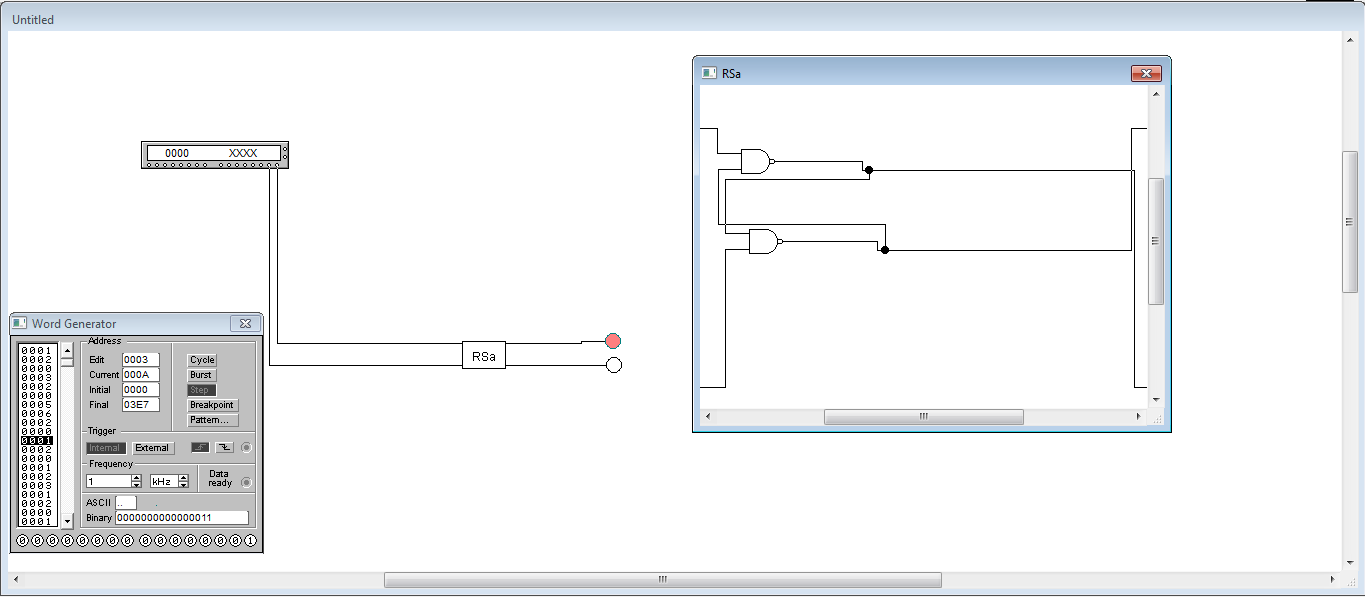
**Мета роботи:** З використанням можливостей пакета EWB побудувати логічні схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер). Перевірити роботу схем, скласти таблиці істинності та створити макроелементи кожної схеми.

**Кізло Т. М. ПМі-24**

**Методика:**

1. За допомогою логічних елементів І, НЕ, АБО синтезував у робочому полі комбінаційні схеми тригерів.
2. Входи синтезованих схем приєднав до вихідних клем молодших розрядів генератора слів, а виходи – до індикатора.
3. Деталізував зображення генератора слів і на відповідних місцях комбінаційної матриці генератора слів записати усі можливі комбінації вхідних сигналів.
4. За допомогою клавіші STEP генератора слів покроково перебрав всі комбінації вхідних сигналів. Результати роботи схеми спостерігав за допомогою індикатора і записав їх у таблицю істинності.
5. Синхронізувальний імпульс подавав від клеми Data Ready генератора слів. Під час дослідження D-тригера на вхід D подавав серію з логічних 1 та 0. Під час дослідження Т-тригера на вхід Т подавати логічні 1.
6. За допомогою клавіші STEP генератора слів покроково перебрав усі комбінації вхідних сигналів. Результати роботи схеми спостерігав за допомогою аналізатора логічних рівнів або індикатора і записав їх у таблицю істинності.
7. Створив макроелементи – JK-тригер, D-тригер, T-тригер. Записав у пам’ять файли зі створеними макроелементами.

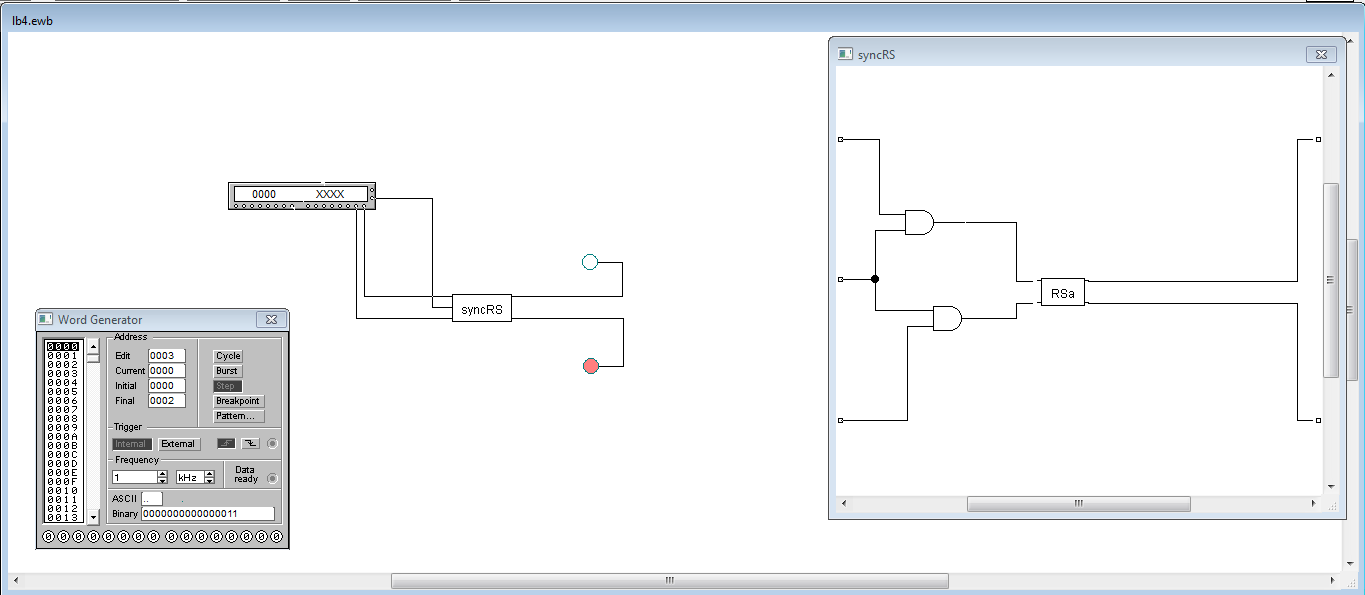
**Зображення досліджуваної схеми RS-тригера на основі стрілки Пірса:**

****

**Таблиця істинності:**

|  |  |  |  |
| --- | --- | --- | --- |
| **S** | **R** | **Q** | **Q̅** |
| **1** | **0** | **1** | **0** |
| **0** | **1** | **0** | **1** |
| **0** | **0** | **0** | **1** |
| **1** | **1** | **—** | **—** |

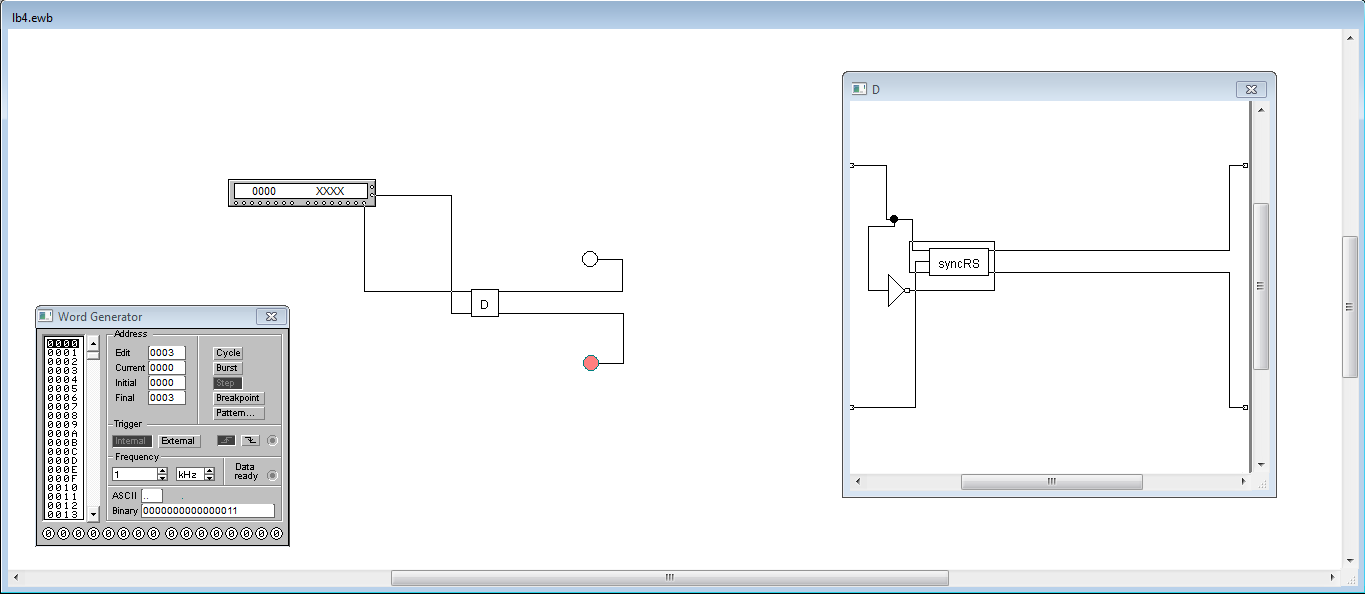
**Зображення досліджуваної схеми синхронного RS-тригера:**

****

**Таблиця істинності:**

|  |  |  |  |
| --- | --- | --- | --- |
| **S** | **R** | **Q** | **Q̅** |
| **0** | **0** | **0** | **1** |
| **0** | **1** | **0** | **1** |
| **1** | **0** | **1** | **0** |
| **1** | **1** | **1** | **0** |

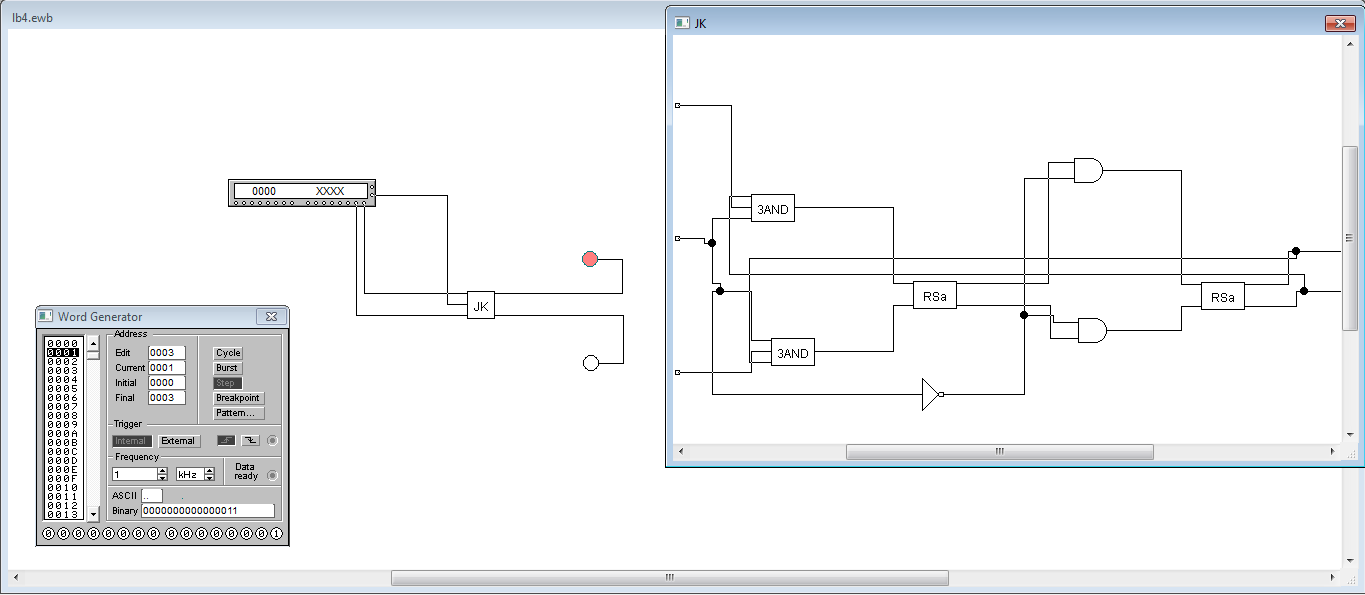
**Зображення досліджуваної схеми D-тригера:**

****

**Таблиця істинності:**

|  |  |  |
| --- | --- | --- |
| **D** | **Q** | **Q̅** |
| **0** | **0** | **1** |
| **1** | **1** | **0** |
| **0** | **0** | **1** |
| **1** | **1** | **0** |

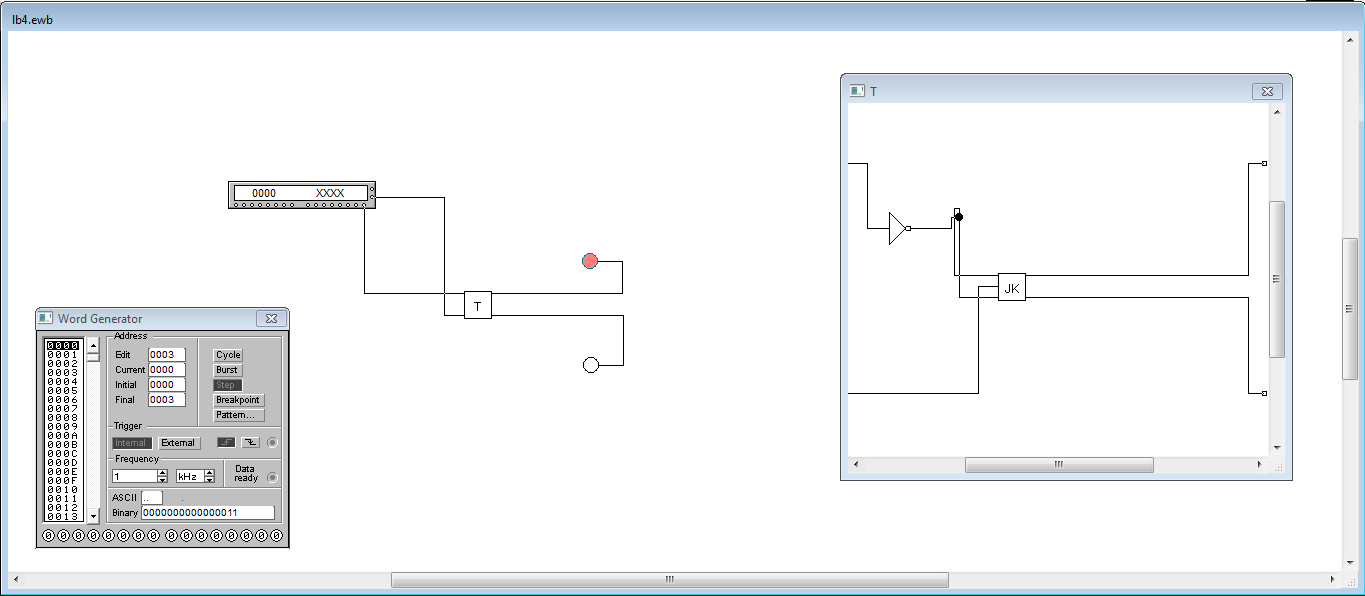
**Зображення досліджуваної схеми JK-тригера:**

****

**Таблиця істинності:**

|  |  |  |  |
| --- | --- | --- | --- |
| **K** | **J** | **Q** | **Q̅** |
| **0** | **0** | **1** | **0** |
| **0** | **1** | **1** | **0** |
| **1** | **0** | **0** | **1** |
| **1** | **1** | **1** | **0** |

**Зображення досліджуваної схеми T-тригера:**

****

**Таблиця істинності:**

|  |  |  |
| --- | --- | --- |
| **T** | **Q** | **Q̅** |
| **0** | **1** | **0** |
| **1** | **1** | **0** |
| **0** | **0** | **1** |
| **1** | **0** | **1** |
| **0** | **1** | **0** |
| **1** | **1** | **0** |

**Висновок:**

В ході виконання лабораторної роботи я побудував логічні схеми елементів пам’яті (RS-тригер, D-тригер, JK-тригер, Т-тригер). Перевірив роботу схем, склав таблиці істинності та створив макроелементи кожної схеми.