**Лабораторна робота №5**

**Тема:** Побудова і дослідження регістрових схем

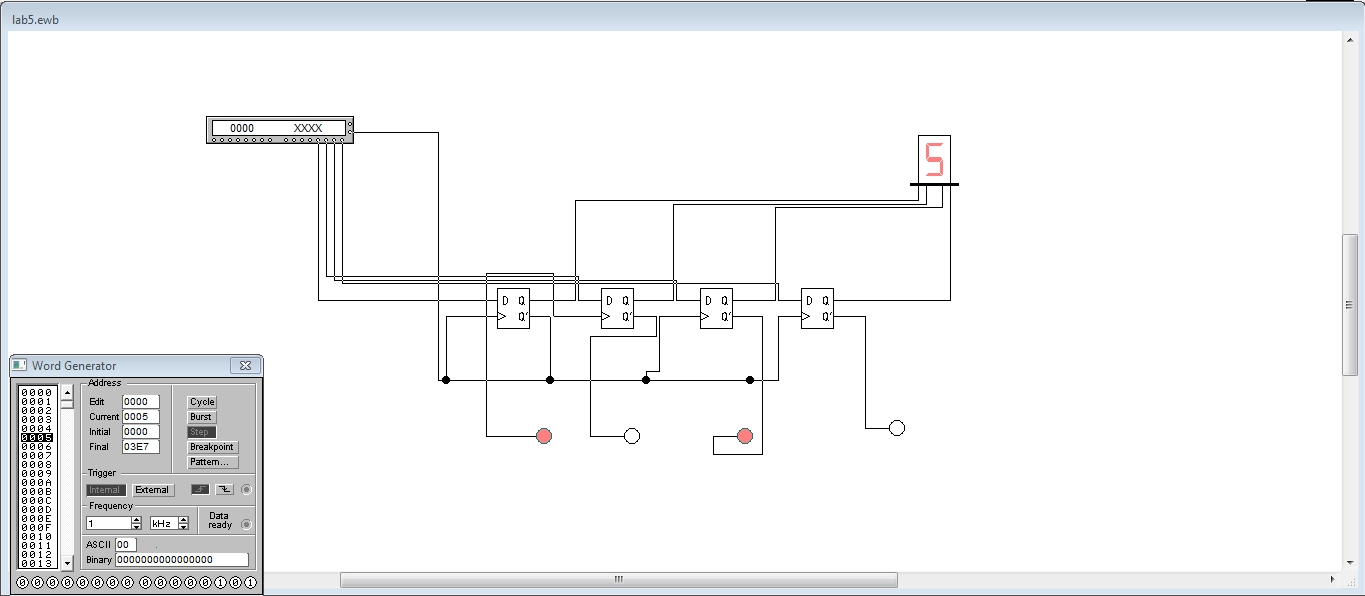
**Мета роботи:** З використанням можливостей пакета EWB побудувати логічні схеми регістрових схем на базі тригерних елементів пам’яті. Перевірити роботу схем та створити макроелементи кожної схеми.

**Кізло Т. М. ПМі-24**

**Методика:**

1. За допомогою D-тригерних схем синтезував у робочому полі логічні схеми чотирирозрядних регістрів паралельної та послідовної дії.
2. Входи синтезованих схем приєднав до вихідних клем молодших розрядів генератора слів, а виходи – до аналізатора логічних рівнів та індикатора.
3. Деталізував зображення генератора слів і на відповідних місцях комбінаційної матриці генератора слів записав усі можливі комбінації вхідних сигналів.
4. Синхронізувальний імпульс подавав від клеми Data Ready генератора слів. Під час дослідження регістра паралельної дії на входи D0-D3 подавав відповідні виходи генератора слів.
5. Під час дослідження регістра послідовної дії (зсувального) на вхід подавав серію з логічних 1 та 0.
6. За допомогою клавіші STEP генератора слів покроково перебирав всі комбінації вхідних сигналів. Результати роботи схеми спостерігав за допомогою аналізатора логічних рівнів та індикатора і записав їх у таблицю істинності.
7. Створив макроелемент – Р-регістр для регістра паралельної дії та S-регістр для регістра послідовної дії. Записав у пам’ять файли зі створеними мікроелементами (функція меню Create Subcircuit).

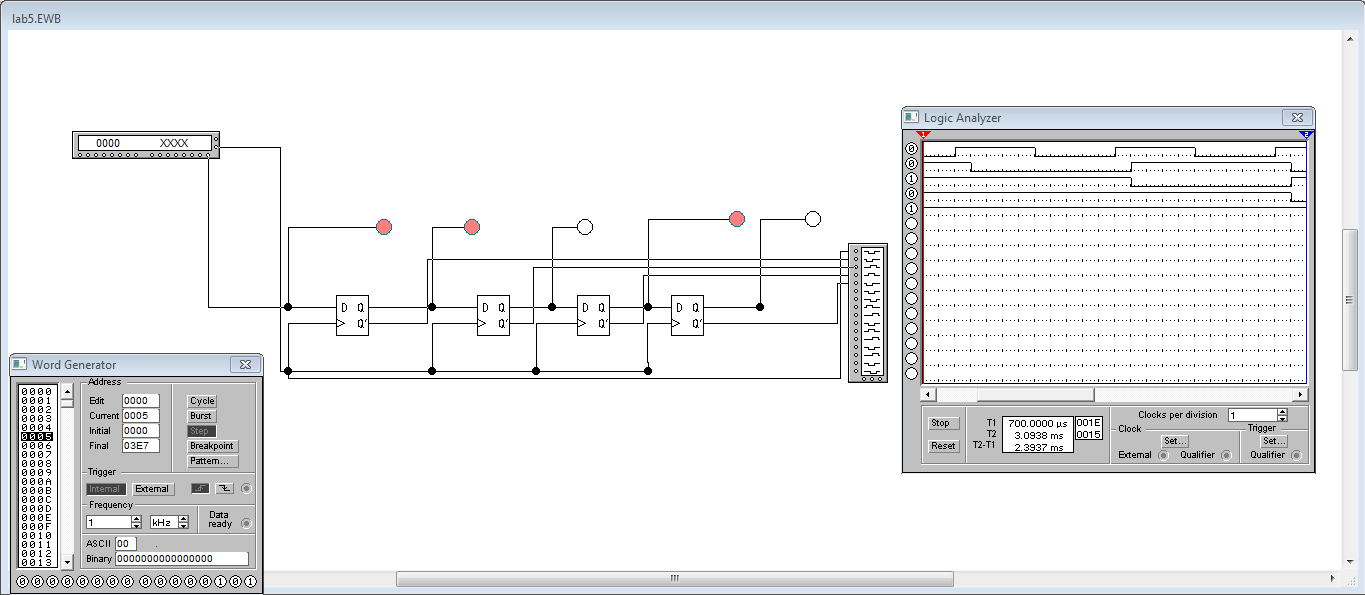
**Зображення досліджуваної схеми чотирирозрядного регістра паралельної дії:**



**Таблиця істинності до схеми:**

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **D1** | **D2** | **D3** | **D4** | **!Q1** | **!Q2** | **!Q3** | **!Q4** | **Q** |
| 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 |
| 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 2 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 3 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 4 |
| 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 5 |
| 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 6 |
| 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 7 |
| 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 8 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 9 |
| 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | A |
| 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | B |
| 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | C |
| 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | D |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | E |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | F |

**Зображення досліджуваної схеми чотирирозрядного регістра послідовної дії:**

****

**Таблиця істинності до схеми:**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **D** | **Q1** | **Q2** | **Q3** | **Q4** |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |

**Висновок:**

В ході виконання лабораторної роботи я побудував логічні схеми елементів регістрових схем на базі тригерних елементів пам’яті. Перевірив роботу схем та створив макроелементи кожної схеми.