

## 實驗單元(十一)—加減法器電路

### ◎實驗單元摘要

實驗單元介紹補數的應用，這可以當作計算機的操作模式來思考此項實驗問題。實驗內容是組合邏輯，為最簡單的 2 進位 4 位元計算方式，輸出則是 BCD 碼顯示。

實驗內容不是很困難，但要知道補數的概念及如何使用正確的邏輯閘，正負數的轉換及 BCD 碼轉換等概念，使用 Maxplus2 及數位邏輯閘實驗器來完成實驗室，故此實驗可以很快完成實驗驗證計算結果的。

挑戰進階題：題目是如何完成連續加減法運算，這需要發揮您的設計能力了，也提供你更進化的學習成效，歡迎來挑戰。

### ◎實驗學習目標

- 1.了解補數運算的邏輯觀念及加減法器的電路結構。
- 2.了解前瞻進位加法器(look-ahead carry)的原理及應用。
- 3.學習使用 CPLD 設計電路。

### ◎實驗單元目錄

- 一、實驗儀器設備(P.02)
- 二、實驗預報(P.02)
- 三、實驗電路說明(P.02)
- 四、實驗要求(P.08)
- 五、實驗設計程序(P.09)
- 六、實驗步驟(P.14)
- 七、實驗問題與討論(P.15)
- 八、實驗電路圖(P.16)
- 九、撰寫實驗結論與心得(P.16)
- 十、實驗綜合評論(P.16)
- 十一、附上實驗進度紀錄(照片檔) (P.17)
- 十二、附上 FPGA 實驗儀器測試結果(照片檔) (P.17)
- 十三、實驗參考資料來源(P.17)

## ◎實驗內容

### 一、實驗儀器設備

表(一)：實驗儀器設備

項次	儀器名稱	數量
1	個人電腦	1 部
2	數位邏輯設計實驗器	1 部

### 二、實驗預習

- 1.何謂補數(Complement)? 何謂 2's 的補數運算? 在數位電路上補數的運算可以應用在那些方面?
- 2.寫出半加器、全加器的真值表, 依據真值表設計出一個半加器、全加器的邏輯電路圖。
- 3.何謂迴端進位(end-around carry)? 何謂進位捨棄(carry-out)? 參考交換電路—第五章節, 請以 1's 及 2's 舉例說明之。
- 4.參閱交換電路課本 P.251~P.258 內容, 請說明何謂「Lookahead Carry Adder」? 此電路結構有何優缺點?

### 三、實驗電路說明

#### 1.補數運算

補數的計算可分為下列兩方式: r 的補數及(r-1)的補數。

底數(r): 就是 10 進位、2 進位、8 進位等等.....。

數(N): 就是數值大小。

數字(n): 數(N)的位元數。

r 的補數[基數補數]: N 之 r 補數  $= r^n - N = (r-1)$  的補數 + 1。

(r-1)的補數[基數減 1 的補數]: N 的(r-1)的補數  $= (r^n - 1) - N$ 。

補數的補數運算: 若 N 之 r 補數  $= r^n - N = \overline{N}$ , 則  $\overline{N}$  的 r 補數  $= r^n - \overline{N} = r^n - (r^n -$

$N) = N[\text{原數}]$ 。

例如二進位( $r=2$ )，則可分為 2 的補數(2's)及 1 的補數(1's)。

數字  $N$  的 1's =  $(2^n - 1) - N$ ，其中  $2^n$  表示 1 後有  $n$  個 0 的二進位表示式。

例題 1. 求  $X=10100$  其 1's?

$X$  的 1's =  $(2^5 - 1) - 10100 = (100000 - 1) - 10100 = 11111 - 10100 = 01011$ ，即是

$$\begin{array}{r} X = 1 \quad 0 \quad 1 \quad 0 \quad 0 \\ X\text{之}1's = 0 \quad 1 \quad 0 \quad 1 \quad 1 \end{array}$$

2. 補數的應用——減法運算以加法運算來表示。

例題 2. 已知  $n$  位元，底數  $r$ ，求  $A-B=?$

$A$  為被減數， $B$  為減數，則  $B$  使用  $r$  的補數來運算。

$A-B = A + [B \text{ 的 } r \text{ 補數}] = A + [r^n - B] = r^n + (A-B)$ ，其中  $r^n$  稱為端進位。

討論：

a. 若  $A \geq B$  時，則  $A-B = r^n + (A-B)$ ，增加  $r^n$  項， $r^n$  稱為端進位，此時捨棄端進位，運算結果 =  $(A-B)$ 。

b. 若  $A < B$  時，則  $A-B = r^n + (A-B) = r^n - [B-A] = (r^n - \Delta)$ ，其中  $\Delta = (B-A)$ ，依補數定義， $(r^n - \Delta)$  此為  $\Delta$  的  $r$  補數，即運算結果為負值，沒有端進位產生。若我們要得到正確的數值大小，必須將上述結果再取一次  $r$  的補數運算，

$$\text{即 } r^n - [r^n - (B-A)] = B-A = -[A-B]。$$

由上得知，如果  $A < B$  做減法運算  $A-B$  時，其結果沒有端進位，需要再取一次  $r$  補數，才能表示其大小值且為負號。

例題 3. 如前題，若使用  $(r-1)$  的補數，該如何列式。

首先因  $(r-1)$  補數是比  $r$  補數少 1，即  $r's = (r-1)'s + 1$ 。

$$\begin{aligned} A-B &= A + [B \text{ 的 } r \text{ 補數}] = A + [r^n - B] = A + [(r^n - 1) - B + 1] = A \\ &\quad + \underline{[(r^n - 1) - B]} + 1。 \end{aligned}$$

a. 當端進位 = 1 時，運算結果 = 和[捨棄端進位] + 1。

b. 當端進位 = 0 時，表示負值，運算結果 = -[和需再取一次  $(r-1)$  補數運算]。

上述運算中當端進位=1 捨棄端進位，同時和再加上 1，此即所謂的端迴進位 (End-Around Carry)。

### 3.TTL IC 74LS83A 並列加法器

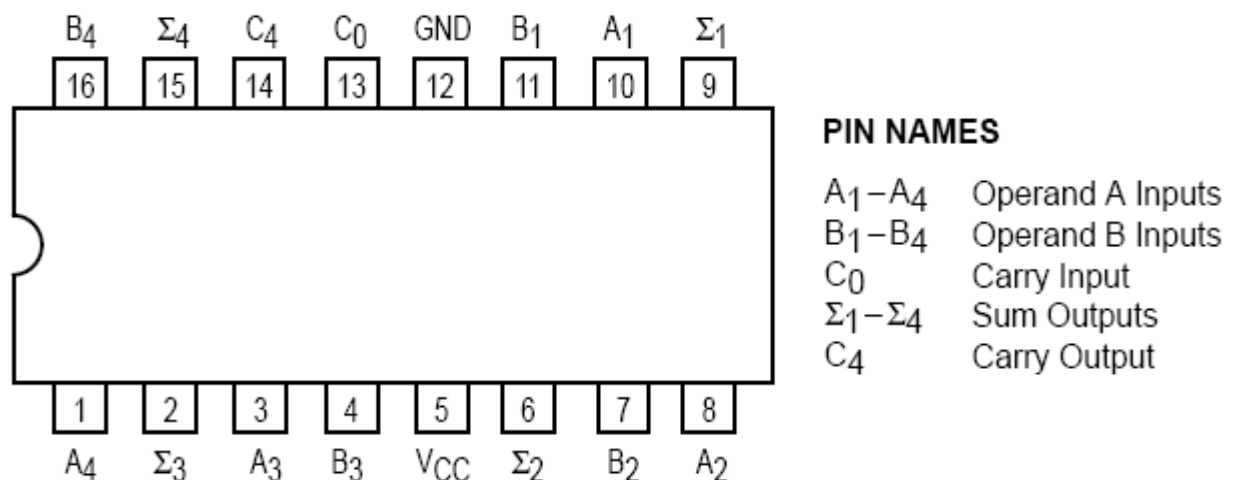
參閱MOTOROLA DATA SHEET

SN54/74LS83A

4-BIT BINARY FULL ADDER WITH FAST CARRY

The SN54/74LS83A is a high-speed 4-Bit binary Full Adder with internal carry lookahead. It accepts two 4-bit binary words ( $A_1-A_4$ ,  $B_1-B_4$ ) and a Carry Input ( $C_0$ ). It generates the binary Sum outputs  $\Sigma_1-\Sigma_4$  and the Carry Output ( $C_4$ ) from the most significant bit. The LS83A operates with either active HIGH or active LOW operands (positive or negative logic). The SN54/74LS283 is recommended for new designs since it is identical in function with this device and features standard corner power pins.

#### CONNECTION DIAGRAM DIP (TOP VIEW)



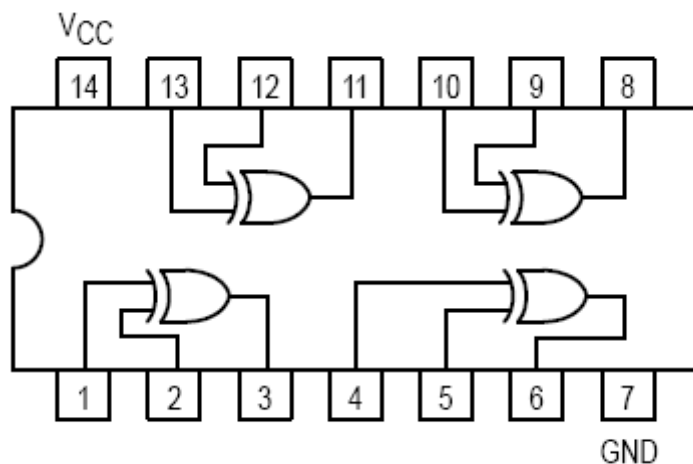
圖(一)：74LS83A 接腳圖

IC 74LS83A 其內部運算方式如下：

$$\begin{array}{r}
 A_4 A_3 A_2 A_1 \\
 B_4 B_3 B_2 B_1 \\
 + \quad \quad \quad C_0 \\
 \hline
 C_4 S_4 S_3 S_2 S_1
 \end{array}$$

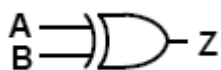
#### 4.使用 74LS86 元件做為 1's 運算元

參閱MOTOROLA DATA SHEET  
QUAD 2-INPUT EXCLUSIVE OR GATE



TRUTH TABLE		
IN		OUT
A	B	Z
L	L	L
L	H	H
H	L	H
H	H	L

圖(二)：74LS86 接腳圖與其真值表



若取  $B=0$  或  $1$ ，則  $A \oplus 0 = Z = A$ ， $A \oplus 1 = Z = \bar{A}$ 。

上述  $A \oplus 1 = Z = \bar{A}$ ，為  $A$  之 1's 運算。

#### 5.實驗基本電路圖

應用 IC74LS83A、74LS86、2 補數運算及 1 補數運算等，可以求出  $A \pm B$  運算。

◎實驗基本電路圖的操作如下：

將 74LS86 的輸入端接一輸入位元 M[作為加法/減法按鍵使用]。

a.當  $M=0$  時，為加法運算，B 輸入經 74LS86 邏輯運算後，74LS86 輸出仍為原 B 輸入值，然後輸入到 74LS83A[B4B3B2B1]輸入接腳。

經 74LS83A 運算：

A4 A3 A2 A1	A INPUT : [A4A3A2A1]
B4 B3 B2 B1	B INPUT : [B4B3B2B1]
+ C0	C0 INPUT : M=0
C4 S4 S3 S2 S1	C4 OUTPUT : CARRY OUT
	SUM OUTPUT : [S4S3S2S1]

b. 當  $M=1$  時，為減法運算，B 輸入經 74LS86 邏輯運算後，其輸出為輸入 B 的反向，即為  $\overline{B}$ ，此時取得 B 之 1's 運算，然後輸入到 74LS83A[B4B3B2B1] 輸入接腳。

經 74LS83A 運算：

$$\begin{array}{r}
 A4 \ A3 \ A2 \ A1 \\
 \overline{B4} \ \overline{B3} \ \overline{B2} \ \overline{B1} \\
 + \qquad \qquad C0 \\
 \hline
 C4 \ S4 \ S3 \ S2 \ S1
 \end{array}$$

A INPUT : [A4A3A2A1]

B INPUT : [ $\overline{B4}$   $\overline{B3}$   $\overline{B2}$   $\overline{B1}$ ]

C0 INPUT : M=1

C4 OUTPUT : CARRY OUT

SUM OUTPUT : [S4S3S2S1]

左列運算中，B INPUT =  $\overline{B}$  為 B 之 1's，然後加 1 = B 之 2's。

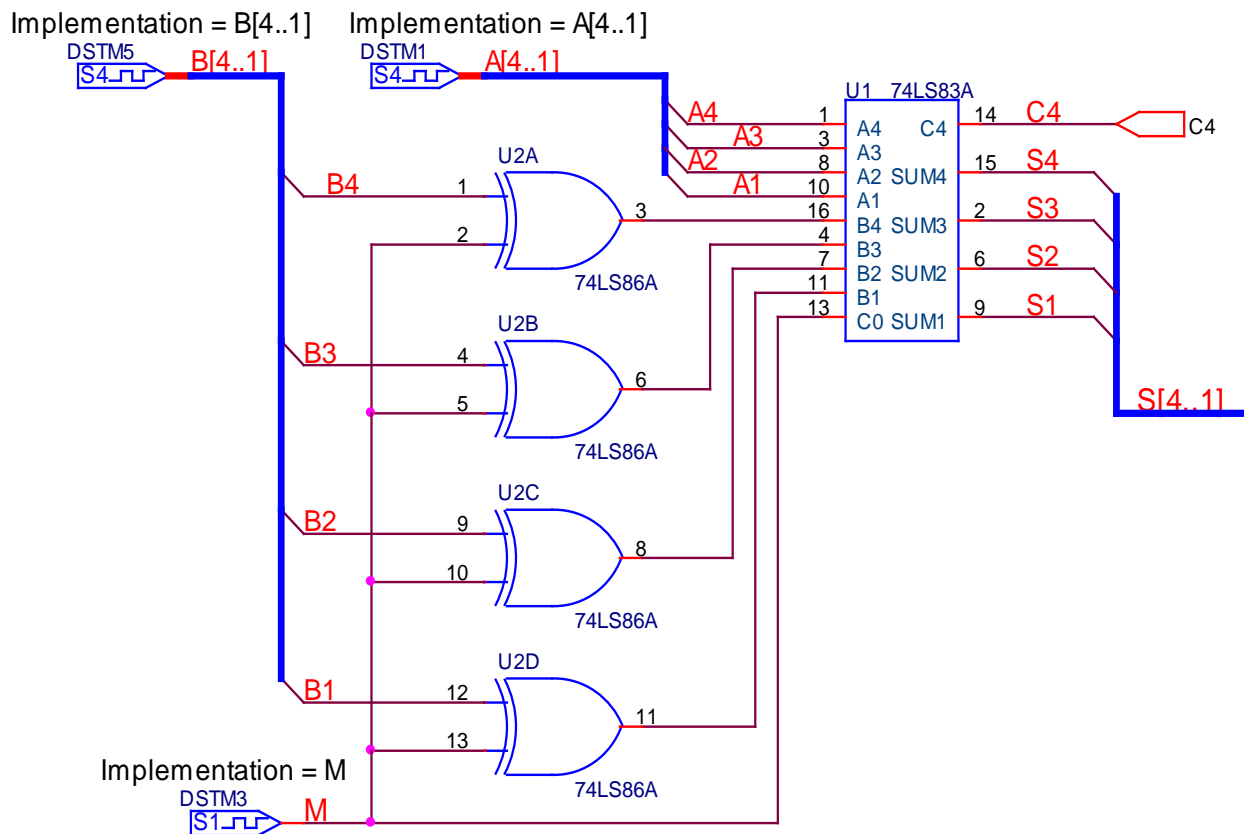
c. 當  $M=CO=0$  時，做加法運算，SUM = A + B。

若  $A+B \geq 16$  時；則  $C4=1$ ，進位輸出 = 1。

d. 當  $M=CO=1$  時，做減法運算，SUM = A + (B 輸入之 2's) 運算。

若  $A \geq B$  時，則 SUM = A - B；同時  $C4=1$ ，進位輸出 = 1。

若  $A < B$  時，則 SUM = -(B - A)；同時  $C4=0$ ，進位輸出 = 0。



圖(三)：實驗基本電路圖

## 6.BCD 加減法器

在應用系統中，有時需要以十進位方式來實現加減法之運算，以方便與使用者溝通，此時輸入運算元與輸出結果皆為 BCD 碼表示之數值，但數位電路為二進位元資料，故需要找出二進位碼與 BCD 碼運算結果上的差異性，再將二進位碼運算之結果適當的修正為 BCD 碼來顯示，即可完成以十進位之 BCD 加減法器。參考表格(二)為在加法運算時，二進位碼與 BCD 碼的比較，由表中可以看出，當加法之和小於或等於 9 時之時，兩者結果相同；當數值大於 9 時，兩者之間相差為 6[0110]，而兩個 BCD 數值相加時，其和最大不超過 19。故製作 BCD 之加法器單元可以由下列步驟完成之：

- a. 將兩 BCD 輸入數位以二進位制相加。
- b. 檢查其和是否超過 9。
- c. 若其值超過 9，則將其再加 6[0110]以修正之，否則其保持原值。

表(二)：二進位碼與 BCD 碼之比較

BINARY SUM					BCD SUM					Decimal SUM
BIG	Z4	Z3	Z2	Z1	$C_{OUT}$	D4	D3	D2	D1	
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	0	0	0	0	10

BINARY SUM					BCD SUM					Decimal SUM
BIG	Z4	Z3	Z2	Z1	$C_{OUT}$	D4	D3	D2	D1	
0	1	0	1	1	1	0	0	0	1	11
0	1	1	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19

#### 四、實驗要求

1. 利用平行加法器 74LS83A、74LS86 及若干邏輯閘來完成加、減法器。
2. 使用 LED 顯示數值，以表示 SUM 的大小，需是正確值，數值顯示分為個位數及十位數(BCD 碼顯示)。
3. 使用 LED=PN 來顯示所運算結果是正數或負數。
  - a. 當 LED=ON 時，代表正數。
  - b. 當 LED=OFF 時，代表負數。
4. 使用 LED=BIG 來顯示所 A 運算結果大小是、否  $\geq 16$ 。
  - a. 當 LED=ON 時，代表 YES。
  - b. 當 LED=OFF 時，代表 NO。
5. 使用 LED=CO1 來顯示運算(S4S3S2S1)結果是否需要再做一次補數運算。
  - a. 當 LED=ON 時，代表需要做補數運算。
  - b. 當 LED=OFF 時，代表不需要做補數運算。
6. 請自行推導此電路的組合電路。



## 五、電路設計程序

### 1.補數運算

使用紙上計算下列數值，依據圖(三)：實驗基本電路圖，預測其輸出值，並完成表(11-1)的內容。

**a.** $5+1$

**b.** $5-1$

**c.** $5+5$

**d.** $5-5$

**e.** $5+9$

**f.** $5-9$

**g.** $9+9$

**h.** $9-9$

表(11-1)：數值計算結果

INPUT			OUTPUT			邏輯值	邏輯值	邏輯值
數值	M	C0	C4	S4S3S2S1	數值	PN	BIG	CO1
5+1								
5-1								
5+5								
5-5								
5+9								
5-9								
9+9								
9-9								

◎填表說明：

a.數值：填入輸出 S4S3S2S1 二進位之大小數值。

b.PN：表示計算結果之正負值，填入邏輯準位(正值=Hi、負值=Low)。

c.BIG：表示加法運算時，和(S4S3S2S1)是否大於等於 16，填入邏輯準位(當 C4=1 時為 Hi，當 C4=0 時為 Low)。

d.CO1：表示和輸出結果(S4S3S2S1)是否需要再做一次補數運算，填入邏輯準位(當 PN=Low 時為 Hi，當 PN=Hi 時為 Low)。

由表格(11-1)內容，有些SUM輸出結果是無法提供正確的計算數值大小，請勾選出那寫數值運算，並說明原因，並提出解決方法。

☐ 5+1

☐ 5-1

☐ 5+5

☐ 5-5

☐ 5+9

☐ 5-9

☐ 9+9

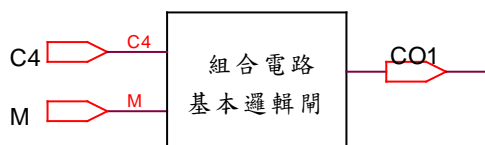
☐ 9-9

## 2. 負值大小的補數運算

由前述說明中，當減法運算時，在  $A < B$  情況下，其和輸出為正確負值大小之 2's，為了得到正確運算值(指正確的負值大小)，則和輸出[S4S3S2S1]需再一次 2's 補數運算，此時需要產生判斷邏輯 CO1，CO1 的要求如下所示：

a. 加法運算( $M=0$ )時， $CO1=0$ 。

b. 減法運算( $M=1$ )且  $C4=0$  時， $CO1=1$ 。



CO1 組合電路輸出方程式：  
 $CO1 = \underline{\hspace{2cm}}$ 。

c. 真值表

M	C4	CO1
0	0	
0	1	
1	0	
1	1	

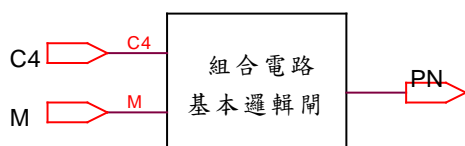
d. 卡諾圖(K-map)

	0	1
0		
1		

3. 設計正數/負數 LED 顯示，PN 邏輯位元的要求如下所示：

a. 加法運算( $M=0$ )時， $PN=1$ ，LED=ON。

b. 減法運算( $M=1$ )且  $C4=0$  時， $PN=0$ ，LED=OFF。



PN 組合電路輸出方程式：  
 $PN = \underline{\hspace{2cm}}$ 。

c. 真值表

M	C4	PN
0	0	
0	1	
1	0	
1	1	

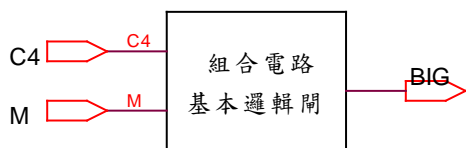
d. 卡諾圖(K-map)

	0	1
0		
1		

4.設計所運算結果大小是、否  $A+B \geq 16$ ，BIG 邏輯位元的要求如下所示：

a.加法運算( $M=0$ )且  $C4=1$  時， $BIG=1$ ， $LED=ON$ 。

b.減法運算( $M=1$ )時， $BIG=0$ ， $LED=OFF$ 。



BIG 組合電路輸出方程式：  
BIG = \_\_\_\_\_。

c.真值表

M	C4	BIG
0	0	
0	1	
1	0	
1	1	

d.卡諾圖

	0	1
0		
1		

## 5.BCD 碼檢查邏輯產生電路

參閱前面電路說明及表格(11-1)內容，檢查其和是否超過 9，其檢查邏輯 K 可由下列卡諾圖中推導而得。

a.邏輯輸出  $K=$

BIG=0

Z2Z1 Z4Z3	00	01	11	10
00				
01				
11				
10				

b.邏輯輸出  $K=$

BIG=1

Z2Z1 Z4Z3	00	01	11	10
00				
01				
11				
10				

整個電路的檢查邏輯  $K=$

此檢查邏輯可作為是否需要加 6 修正之依據，且為 BCD 進位之輸出  $C_{OUT}$ 。

6.附上上述各實驗電路圖。

## 六、實驗步驟

1.使用 Maxplus2 軟體模擬電路，完成 CPLD 設計電路程序及實現實驗結果。

2.畫出實驗電路方塊圖。

3.使用 LED 來顯示數值。

4.實驗圖檔：完成下列相關圖檔及表格。

a.下列項目使用 Maxplus2 軟體。

①.附上實驗電路圖，參閱實驗單元(十)P.12，圖(3.19)。

②.請附上電路的內定符號，參閱實驗單元(十)P.14，圖(3.23)。

③.請附上功能模擬結果，參閱實驗單元(十)P.29，圖(4.26)。

◎下列是參考 LP-2900 CPLD 邏輯設計實驗平台及 Altera Cyclone VE 的晶片板使用手冊。

b.下列項目使用 Quartus 軟體，參閱 LP-2900(第二版)使用手冊，請完成實驗腳位配置表格內容，見下列表格(11-2)，使用 Altera Cyclone VE 的晶片，型號為 5CEFA2F23C8。

①.附上 Layout 腳位配置圖，參閱單元(十)教材(P.22)。

②.請附上編譯合成後結果(P.23)。

③.完成檔案燒錄結果(P.25)。

◎有關 LED 顯示，請參閱 Altera Cyclone VE 的晶片板使用手冊(P.26)。

◎有關輸入開關，請參閱 Altera Cyclone VE 的晶片板使用手冊(P.33)。

表格(11-2)：實驗結果—數位邏輯實驗器輸入設定

輸入	A4	A3	A2	A1	M	B4	B3	B2	B1
代號	SW1	SW2	SW3	SW4	SW9	SW5	SW6	SW7	SW8
腳位	AA15	AA14	AB18	AA18	AA19	AB17	AA17	AB20	AA20

表格(11-3)：實驗結果—數位邏輯實驗器輸出設定

輸出	PN	K	BIG	CO1	D4	D3	D2	D1	LED_COM
代號	L2	L3	L4	L5	L6	L7	L8	L9	LED_COM
腳位	D3	C2	C1	L2	L1	G2	G1	U2	N20

## 七、實驗問題與討論

- 1.參閱圖(四)：並列加減法器電路及實驗補充資料 IC Data Sheet MC14560B 及 MC14561B，首先請簡介上述兩 IC 的特性，其次試舉例(給數值)說明下列電路圖的運算方式。

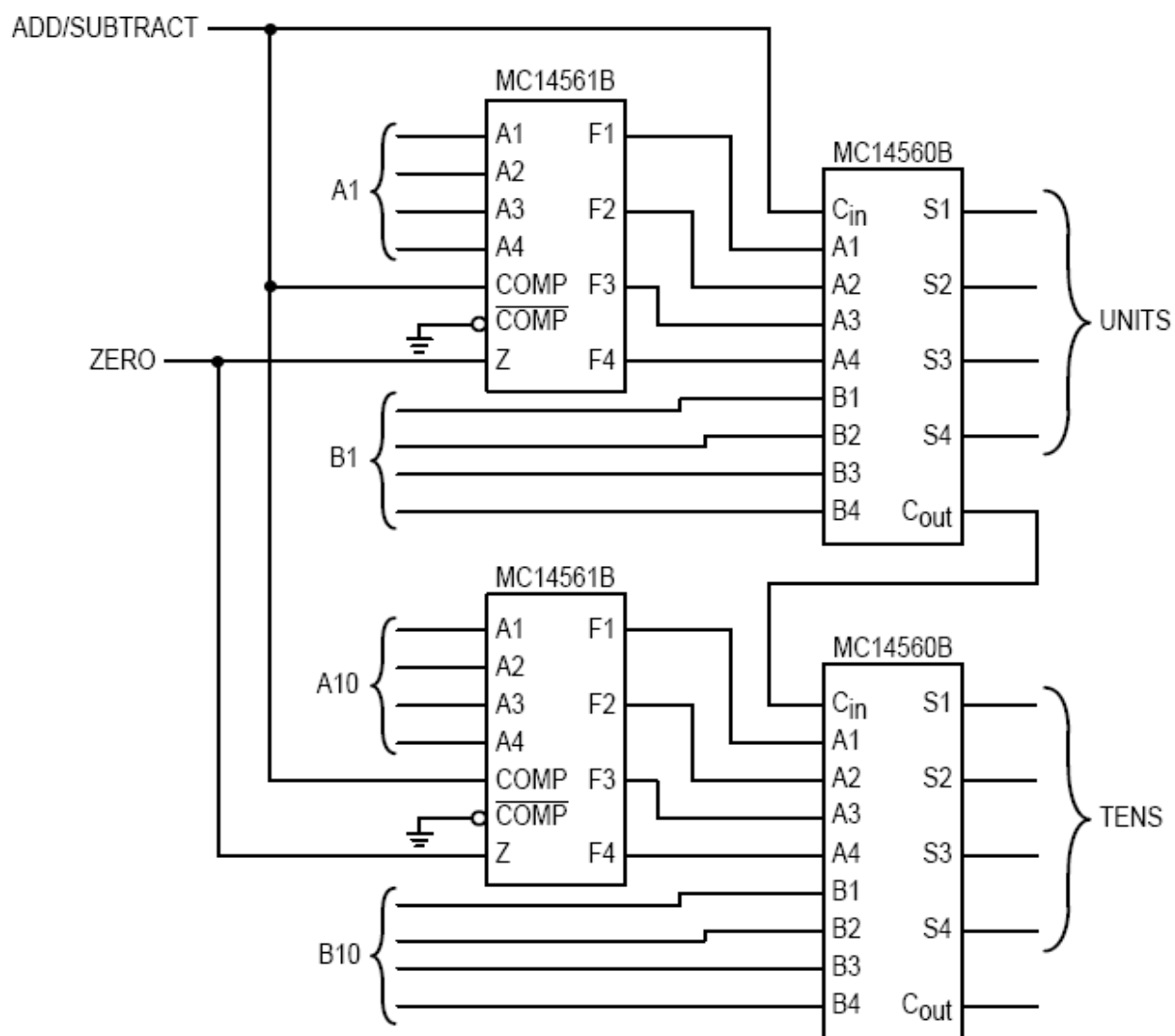
One MC14560B and MC14561B permit a BCD digit to be added to or subtracted from a second digit, such as in this typical configuration. A second MC14561B permits either digit to be added to or subtracted from the other, or either word to appear unmodified at the output.

TRUTH TABLE

Zero	Add/Subtract	Result
0	0	B plus A
0	1	B minus A
1	X	B

X = Don't Care

- 2.參閱實驗補充資料 IC Data Sheet，簡介 IC 74LS181 的特性及功能。



圖(四)：並列加減法器電路





## **十一、附上實驗進度紀錄(照片檔)**

## **十二、附上 FPGA 實驗儀器測試結果(照片檔)**

## **十三、實驗參考資料來源**

- [1].蕭如宣著作,“CPLD 邏輯電路設計與實習”,捷太出版社,2002.10.10.
- [2].M.MORRIS MANO,“Digital design”,second edition,東華書局出版,第三版,  
P.1-11~P.1-19,P.11-20~P.11-23,1995.
- [3].TTL 74LS83A Data Sheet  
<http://www.datasheetcatalog.org/datasheet/fairchild/DM74LS83A.pdf>
- [4].TTL 74LS86 Data Sheet  
[http://www.datasheetcatalog.org/datasheets/70/375722\\_DS.pdf](http://www.datasheetcatalog.org/datasheets/70/375722_DS.pdf)
- [5].CMOS MC14560B Data Sheet  
<http://noel.feld.cvut.cz/hw/motorola/books/dl131/pdf/mc14560brev3.pdf>
- [6].CMOS MC14561B Data Sheet  
<http://noel.feld.cvut.cz/hw/motorola/books/dl131/pdf/mc14561brev3.pdf>