

實驗單元(十)：數位邏輯電路設計－CPLD

◎實驗單元摘要

本學期增列 4 個數位電路單元，主要儀器設備是數位邏輯設計實驗器與個人電腦，使用軟體是 Maxplus2，實驗進行方式為電路設計、電路輸入、編譯處理、驗證模擬、CPLD 晶片規劃及燒錄等步驟，無需在麵包板上組裝元件與電路，可以快速驗證學習成果，期望能提升各位同學的數位邏輯設計能力。

系上有開設硬體描述語言與邏輯合成此課程，此課程是以 Verilog HDL 語法來描述數位邏輯電路，該課程為數位邏輯實驗進階課程，提供給各位同學參考。

◎學習目標

以 Maxplus2 電路圖形設計輸入方式，經由電路編譯、模擬、晶片的合成與配置、晶片燒錄與下載，來驗證數位邏輯設計，以提升數位電路設計能力。

◎實驗單元目錄

- 一、實驗儀器設備(P.02)
- 二、實驗預報(P.02)
- 三、圖形編輯的電路輸入方法(P.02)
- 四、電路圖的功能模式(P.16)
- 五、平面配置(Floorplan)與編譯(P.31)
- 六、晶片規劃(Programming)與電路測試(P.41)
- 七、實驗儀器(P.50)
- 八、實驗作業(P.51)
- 九、實驗參考資料來源(P.54)

◎實驗內容

一、實驗儀器設備

表(一)：實驗儀器設備

項次	儀器名稱	數量
1	個人電腦	1 部
2	數位邏輯設計實驗器	1 部

二、實驗預報

- 1.請簡單說明何謂 PLD、PAL、PLA、GAL、FPGA 及 CPLD?
- 2.簡單說明 Maxplus2 的設計流程。

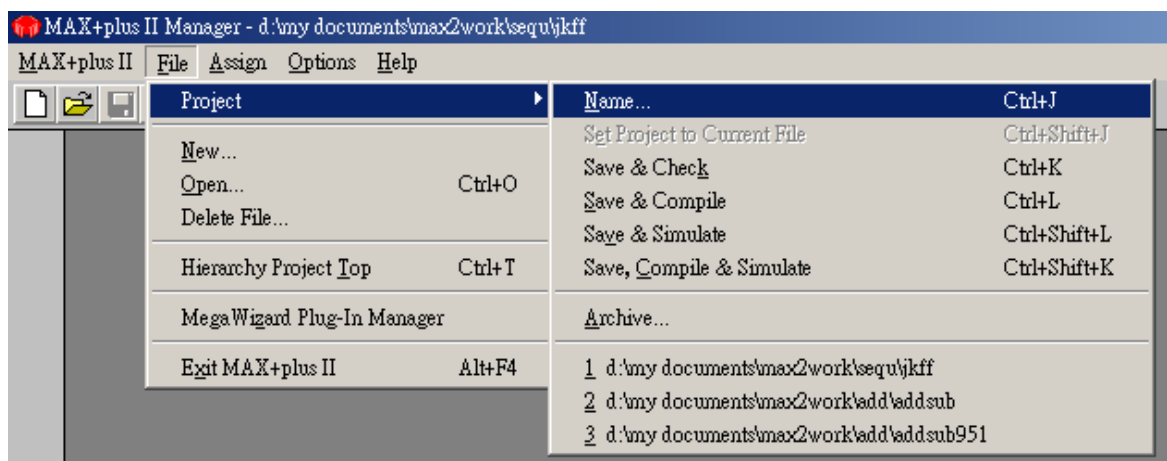
三、圖形編輯的電路輸入方法

以圖形編輯電是一種易學易懂的方法，它的典型操作順序是：

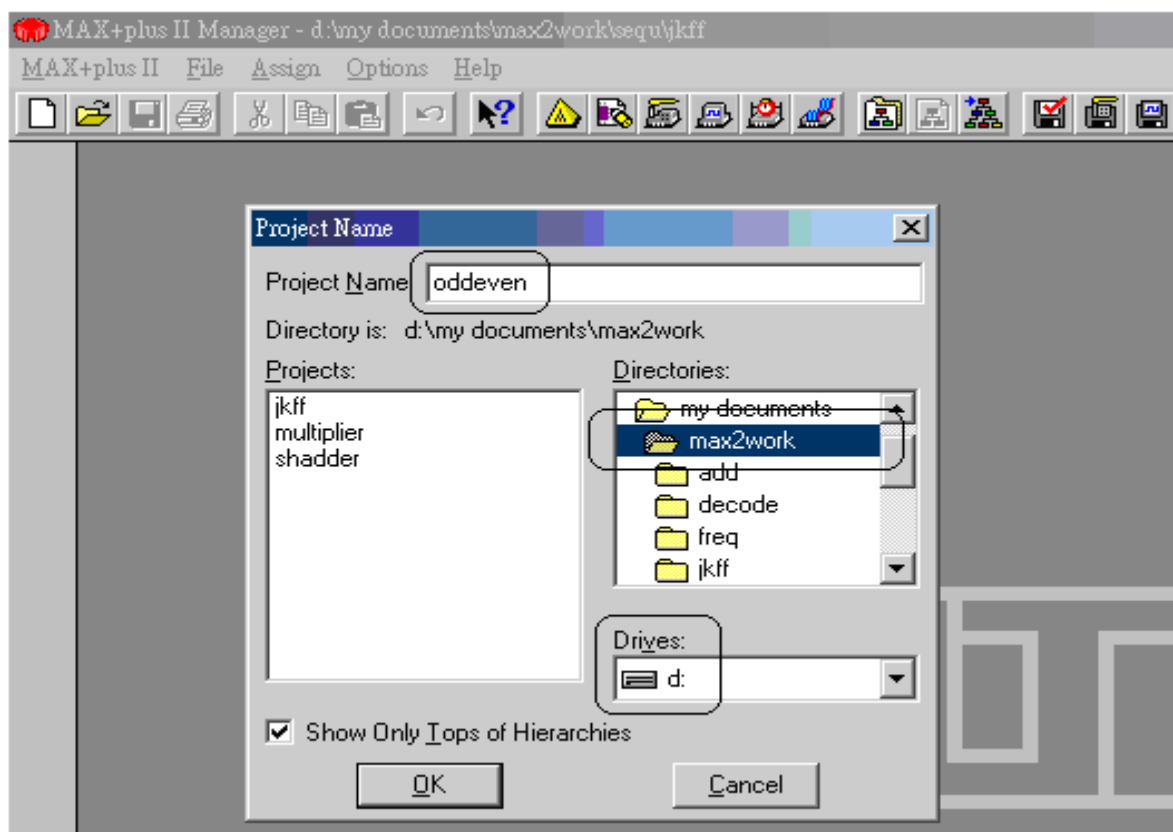
1. 指定專案名稱(Project name)；
2. 建立新檔名
3. 設定和顯示導引線(guide-line)
4. 輸入基本元件及巨集函數符號
5. 移動、刪除、復原與複製元件符號
6. 腳位連線
7. 輸入與輸出腳命名與連線命名
8. 儲存並檢查(save and check)基本錯誤
9. 建立一個內定符號(default symbol)
- 10.預備功能模擬的簡單編譯(compilation)(以後簡稱為功能編譯)
- 11.關閉檔案

■範例說明－以奇、偶同位元產生器為例子，圖示說明整個流程。

1.指定專案名稱



圖(3.1)：指定專案名稱(Project Name)



圖(3.2)：指定專案名稱及儲存路徑

- 首先，一次點選 File，再一次點選 Project，即可看到如圖(3.1)所示。
- 若再一次點選 Name，就可看到圖(3.2)。
- 在 Project Name 之後輸入 oddeven 或在專案名稱清單中選取(若專案名稱已存在的話)，並點選 OK。這樣就是完成指定專案名。

d.上述的操作流程，往後我們以 **File** → **Project** → **Name...**代表，點選順序為先點選 **File**，再點選 **Project**，最後點選 **Name**。

2.建立新檔名

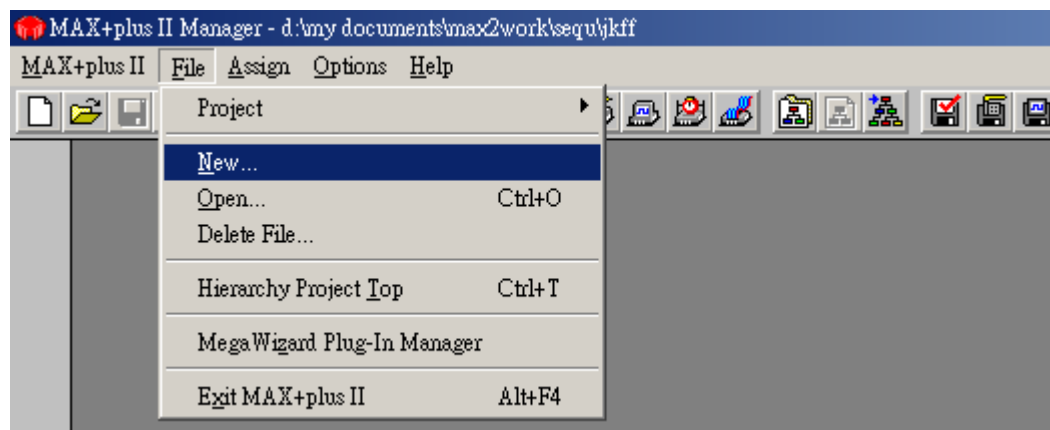
方式一：

a.File 下點選 **New**，如圖(3.3)。

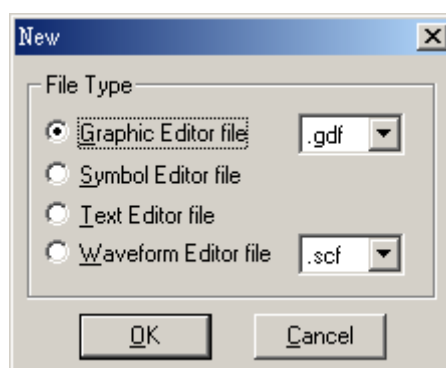
b.在 **File Type** 下點選 **Graphic Editor File** 及 **OK**，如圖(3.4)。

c.File 下點選 **Save As...**，如圖(3.5)。

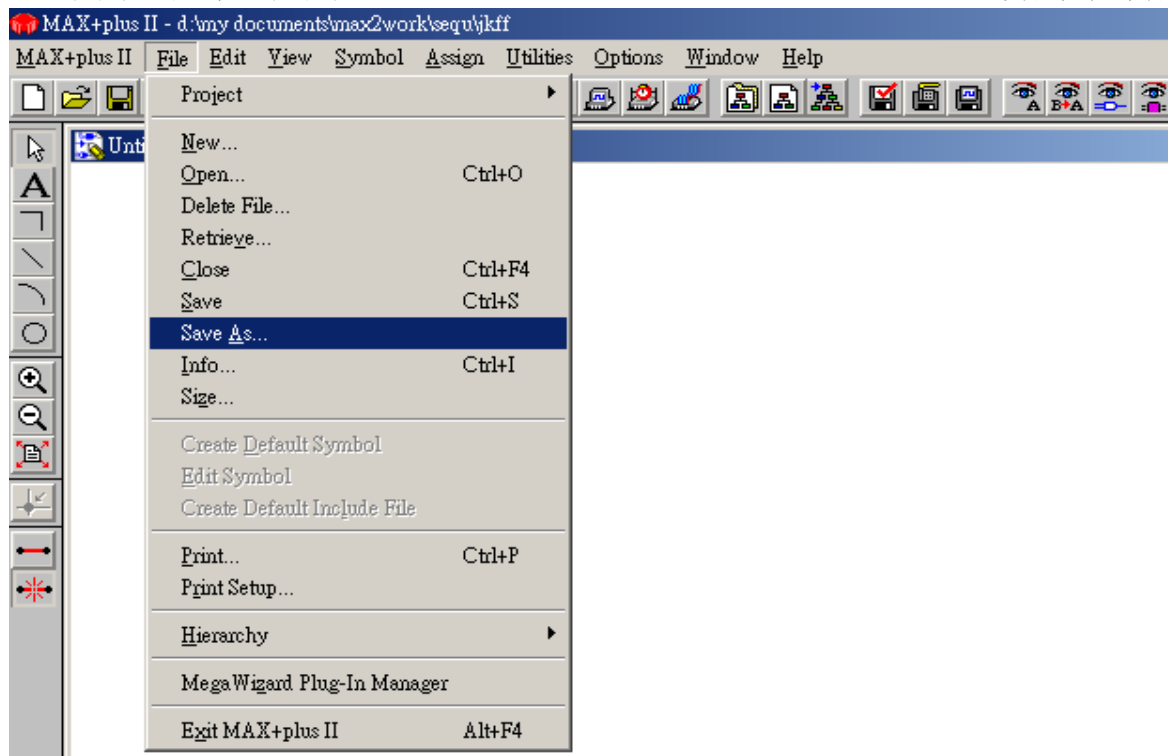
d.File Name 後填入名 **oddeven.gdf**，如圖(3.6)。



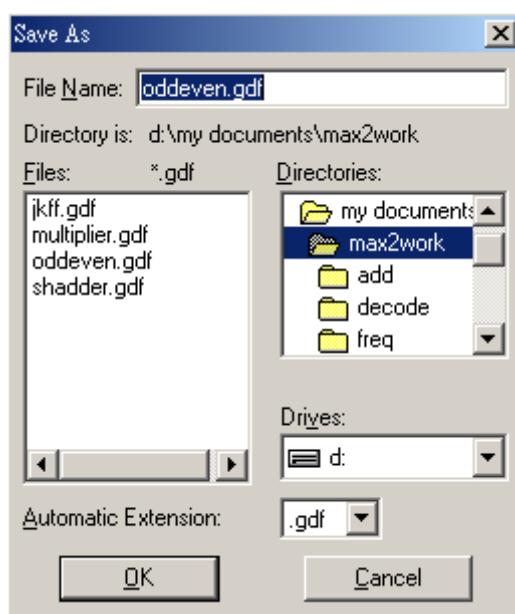
圖(3.3)：建立新檔名(1)，在 **File** 下點選 **New**



圖(3.4)：建立新檔名(2)，在 **File Type** 下點選 **Graphic Editor File** 及 **OK**



圖(3.5)：建立新檔名(3)，在 File 下點選 Save As...



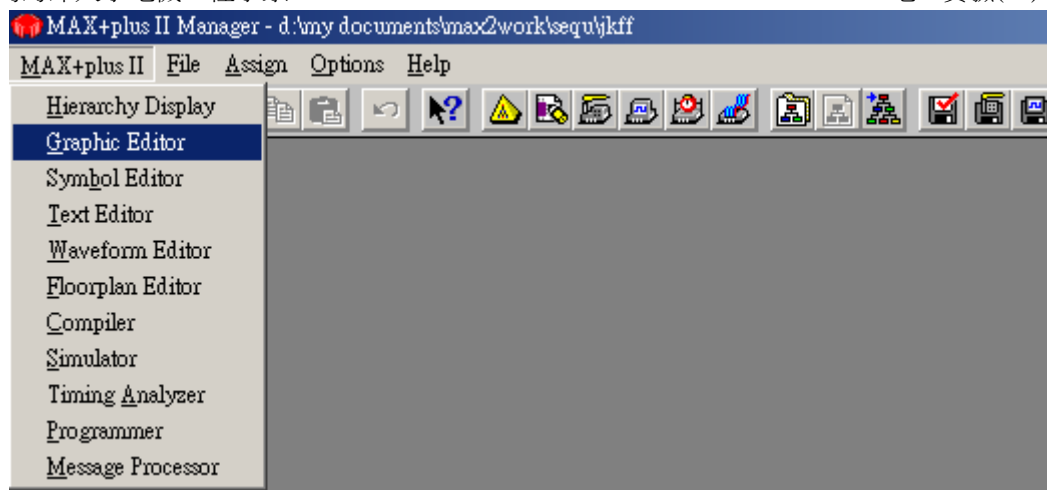
圖(3.6)：建立新檔名(4)，在 File Name 後填入名 oddeven.gdf

方式二：

a. MAXPLUS II → Graphic Editor，打開圖形編輯器，如圖(3.7)。

b. File → Save AS...，如圖(3.5)。

c. File Name 後填入檔名 oddeven.gdf，如圖(3.6)。



圖(3.7)：建立新檔名(5)，在 MAXPLUS II → Graphic Editor，打開圖形編輯器

3.設定和顯示導引線(guide-line)

a.如圖(3.8)所示，中間部分是工作區，是讓我們輸入電路圖的區域。它的上面有縱橫方向的導引線用來引導使用者畫線或擺放物件的參考。視窗的左邊放置一些畫線的控制工具及視窗放大縮小選鈕。工作區的正上面是一些圖示選鈕區。當你移動滑鼠將游標指向某一選鈕時，視窗的左下方就會出現該圖示選鈕的簡略功能說明。當然你可以先點選線上求助選鈕後，再點選要求助的對象就可獲得更多的資訊。

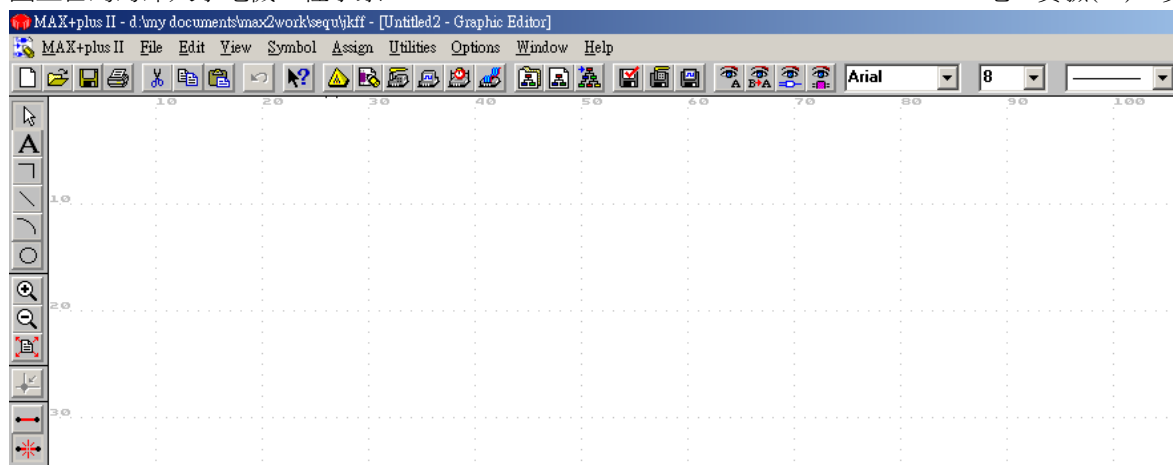
b.如圖(3.9)就是使用線上求助選鈕的情形。另外一種線上求助的方法是使用鍵盤的 F1 鍵。

c.圖(3.10)在 Graphic Editor 視窗下按 F1 鍵的情形。

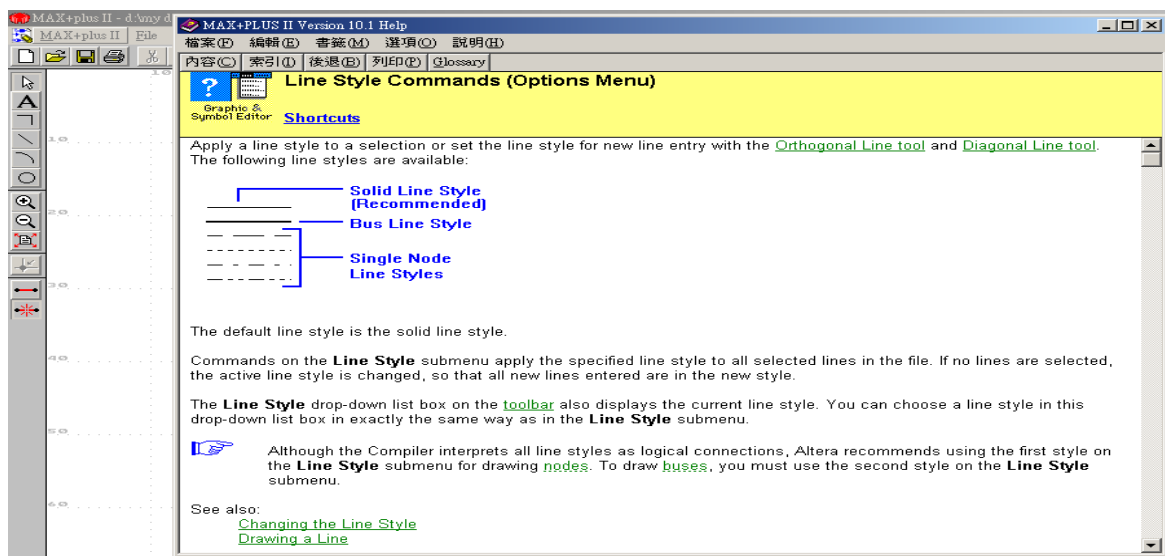
d.在 Options 之下點選 Show Guidelines 就可切換導引線的顯示已否。而導引線的 X 與 Y 間距亦可經由 Options→Guideline Spacing 設定改變，如圖(3.11)與圖(3.12)。

e.在 Options 之下點選 Color Palette...，會出現圖(3.13)讓您設定及預視導引線的顏色。

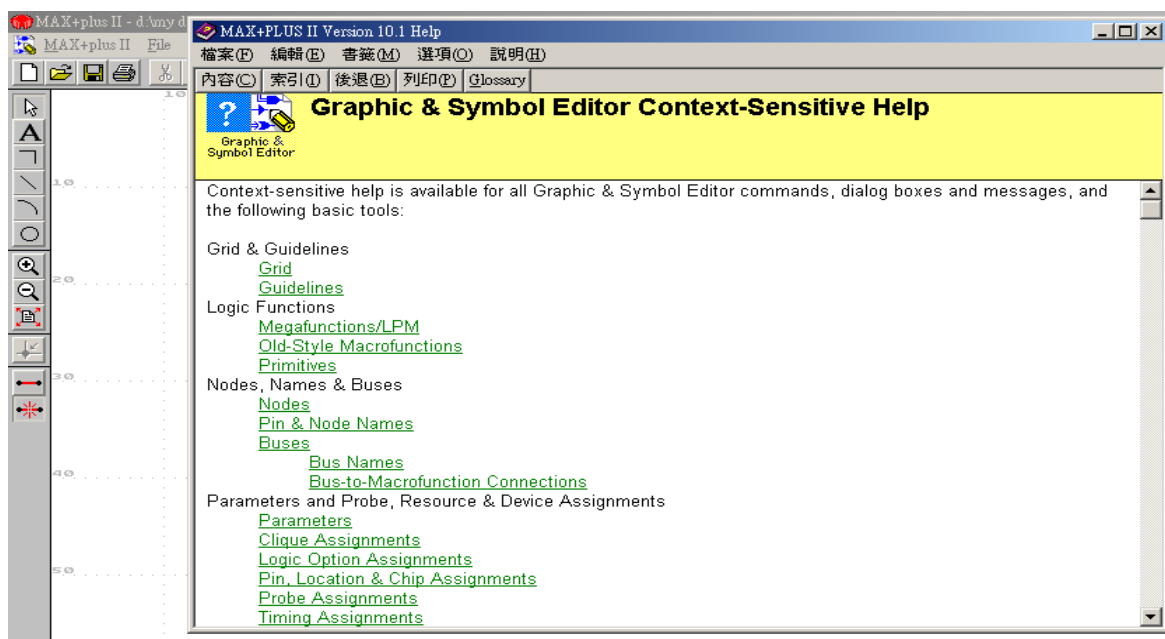
f.Options 之下尚有 Font、Text Size、Line Style 與 Rubberbanding 等等選項，可讓你改變字型、字的大小、線的形狀及橡皮線特性等功能。



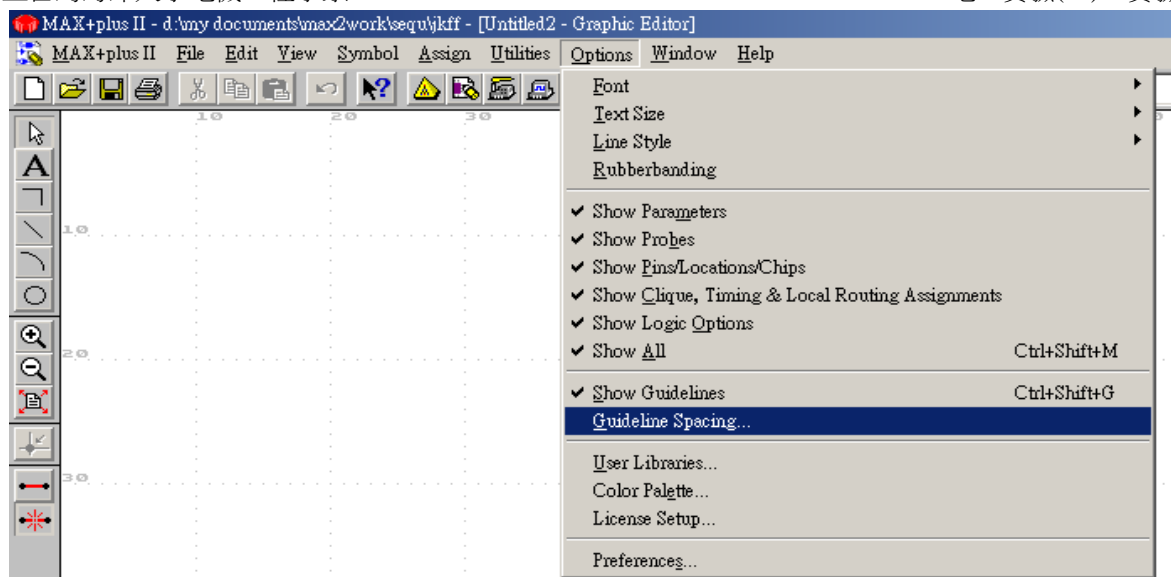
圖(3.8)：Graphic Editor 的版面說明



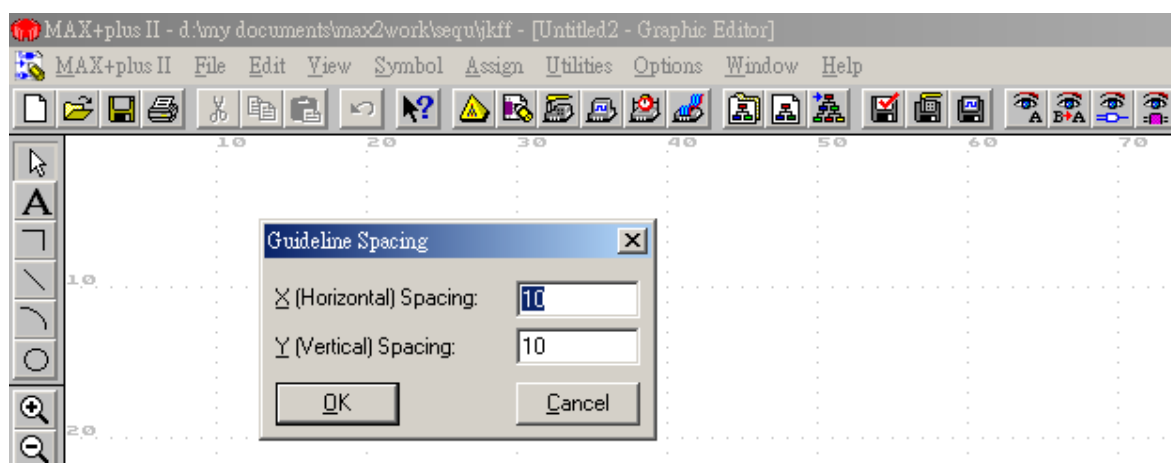
圖(3.9)：使用線上求助選鈕的情形



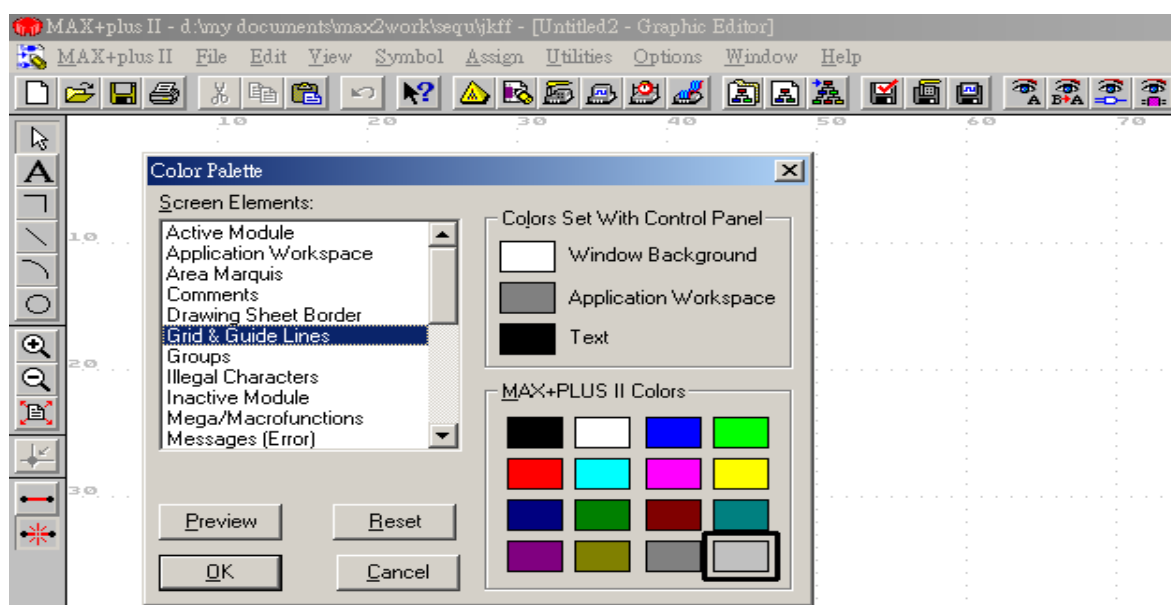
圖(3.10)：在 graphic Editor 視窗下按 F1 鍵的情形



圖(3.11)：設定導引線的 X 與 Y 間距



圖(3.12)：設定導引線的 X 與 Y 間距(續)



圖(3.13)：設定導引線的顏色

4.輸入基本元件及巨集函數符號

a.現有的元件庫

◆prim(Altera primitives)— Basic logic building blocks.

◆mf(Macrofunction)— 7400 family logic.

◆mega_lpm(LPMs)—

①.Library of parameterized Modules(LPMs)

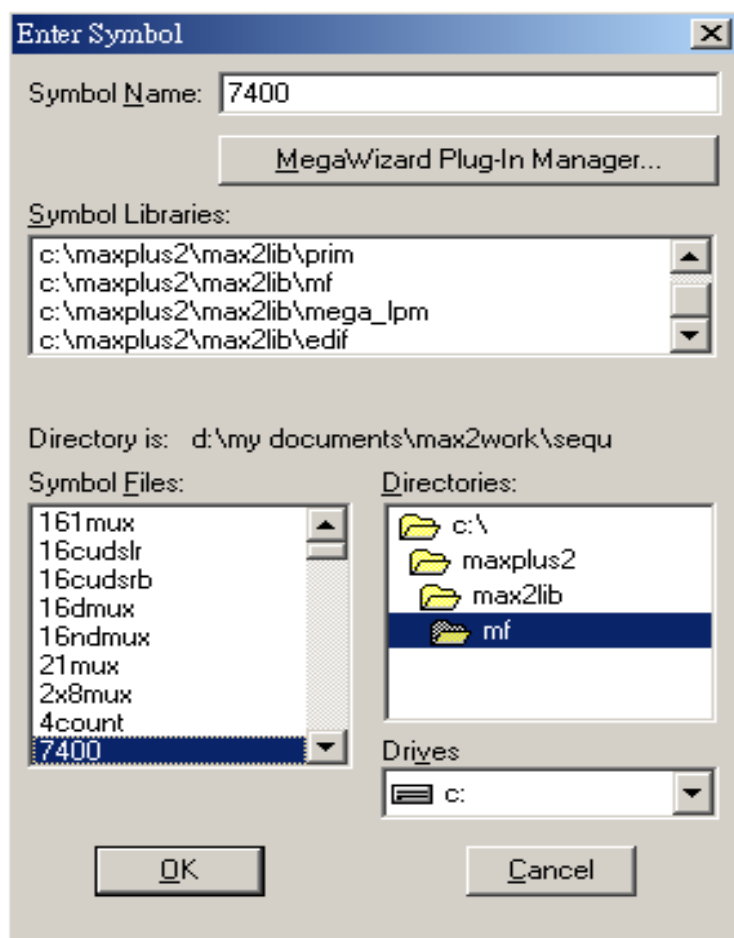
②.Megafunctions are high level function modules.

Busmux , ram elements , fifo,...,etc

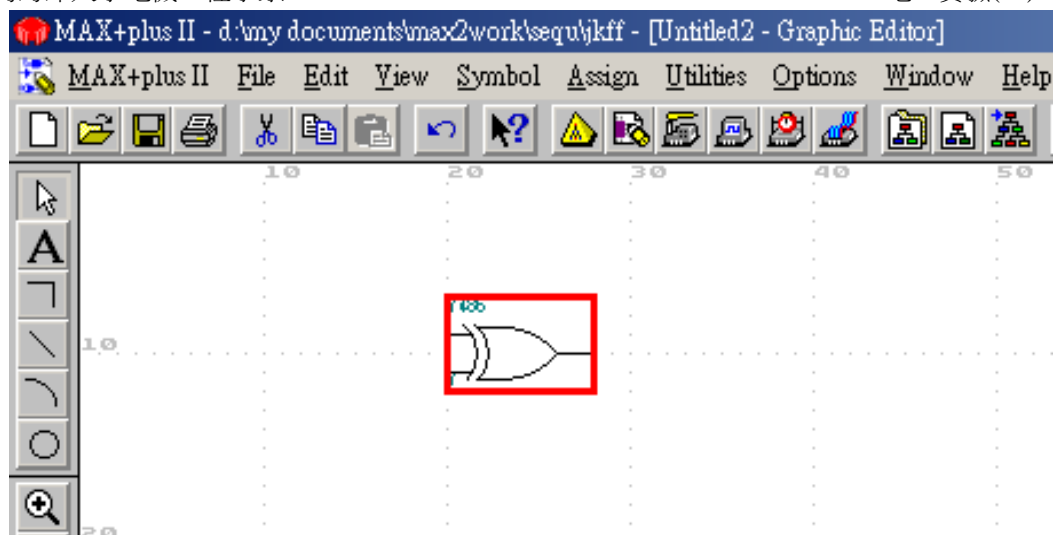
b.當你在 Graphic Editor 視窗下沒有元件的地方，做滑鼠的兩次左鍵點選就會有如圖(3.14)的視窗出現，讓您輸入基本元件名稱。

c.圖(3.15)顯示輸入基本元作—7486 的情形。

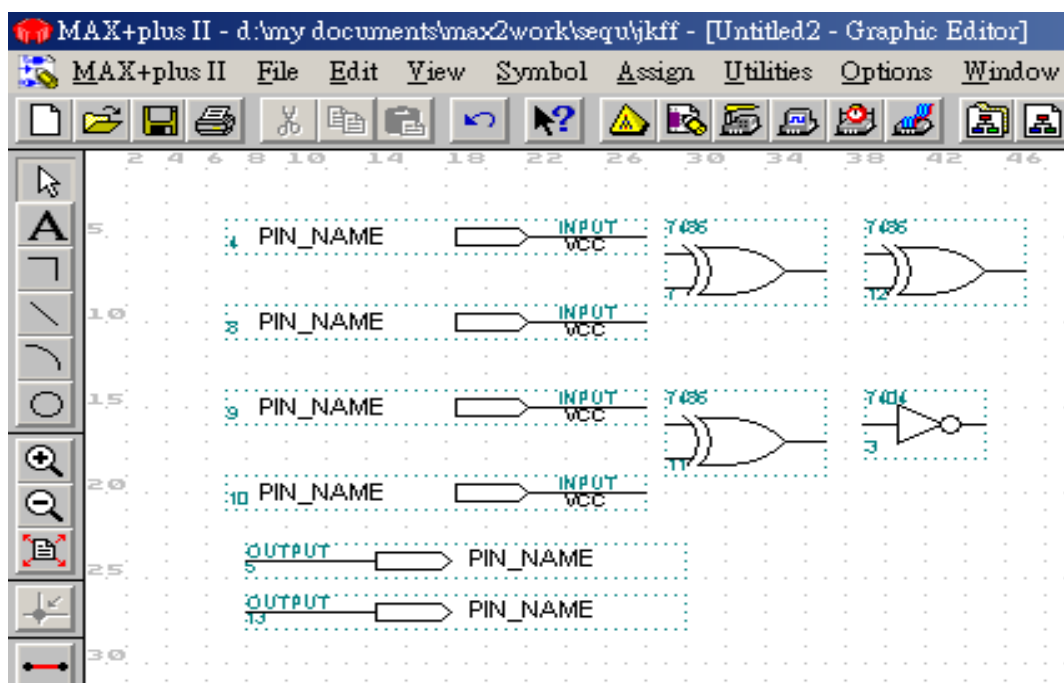
d.輸入 INPUT、VCC、與 OUTPUT 等元件，如圖(3.16)所列表。



圖(3.14)：輸入基本元件



圖(3.15)：輸入基本元件－7486



圖(3.16)：元件輸入完成

5.移動、刪除、復原與複製元件符號

a.移動：若欲移動元件，只要以滑鼠的左鍵點選元件(該元件被紅色框框住)

並拖曳至適當的位置就可以了。

b.刪除與復原：元件刪除請先點選元件後再按 Del 鍵(或以滑鼠左點選剪刀圖示)，就可刪除該元件。萬一有誤刪的情形，可以 Ctrl+Z 鍵恢復剛剛誤刪的元件。

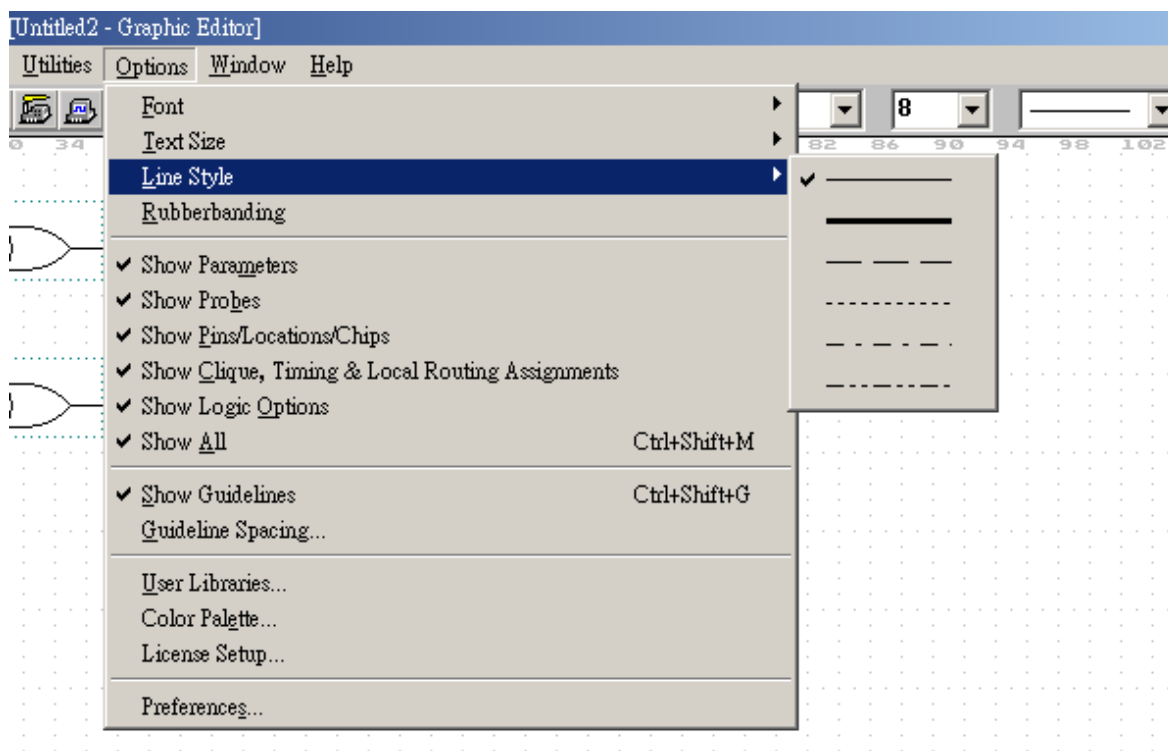
c.複製：複製元元亦是常常需要，它的程是先點選元件後一起按住 Alt 鍵與

Ctrl 鍵不放，並以滑鼠左鍵點選、拖曳元件至適當位置放開滑鼠，就可複製該元件。或是先點選元件後以 Windows 的 Ctrl+C 按鍵複製該元件，再移動滑鼠至預定擺放元件的地方點一下左鍵，再按 Ctrl+V 按鍵貼上所複製的元件。

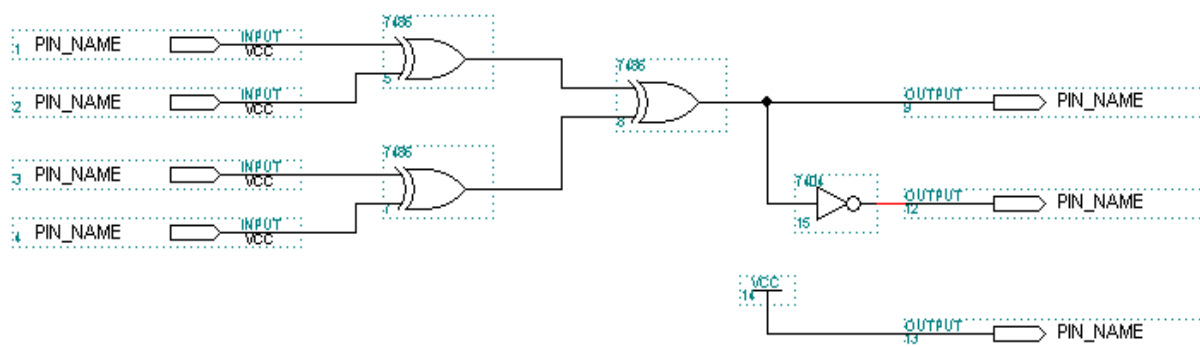
6. 腳位連線

a. 腳位連線需先在 Options→Line Style 下選取線條型式，如圖(3.17)。細線代表單一訊號線，粗線代表訊號排線。(請注意左上角畫直角線選鈕是否選取)移動滑鼠至連線起點(會出現十字形游標)按下滑鼠的左鍵，並拖曳至適當位置放開，就可畫出一線段。依此方法，一直畫線至連線終點便能完成腳位連線。

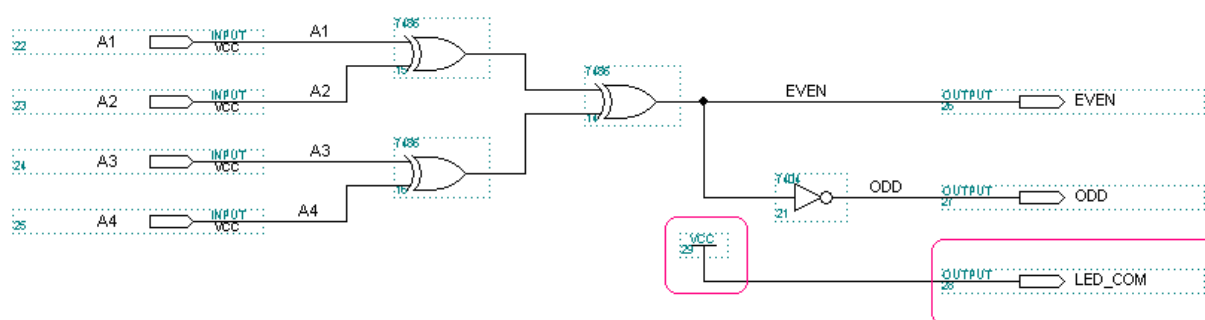
b. 圖(3.18)：連線的情形，圖(3.19)：連線的完成圖。



圖(3.17)：選取線條型式的選擇



圖(3.18)：腳位連線



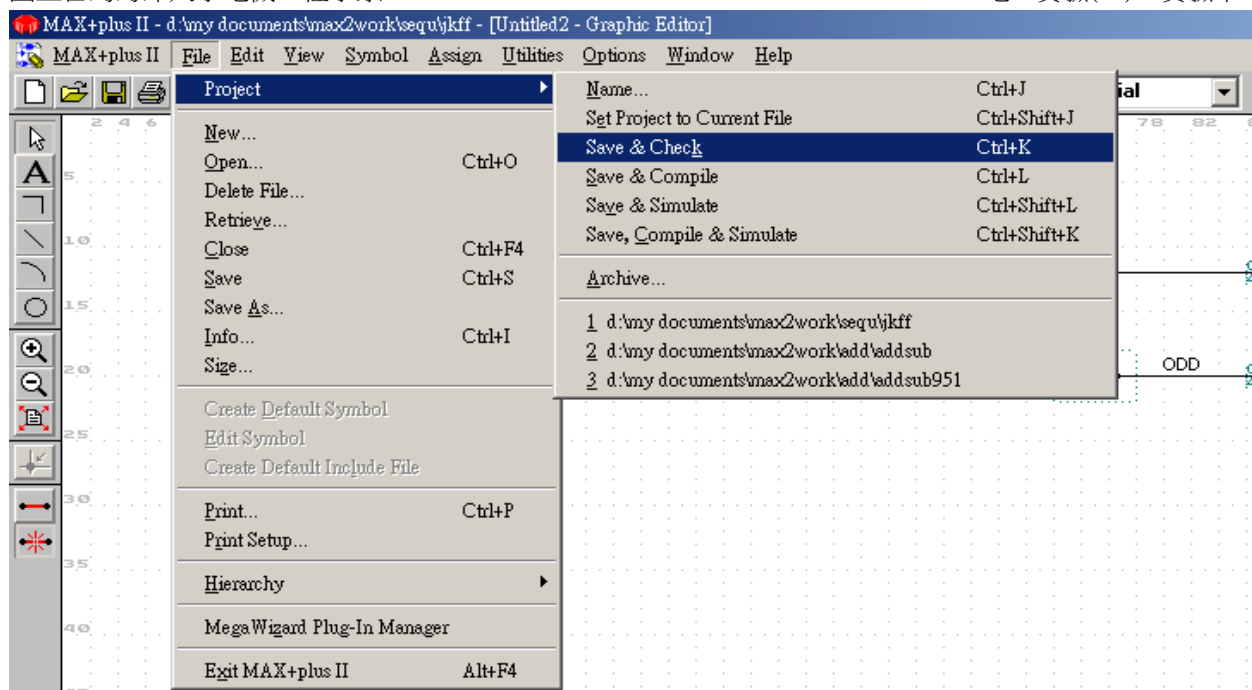
圖(3.19)：完成連線及輸入名稱

7.輸入與輸出腳命名與連線命名

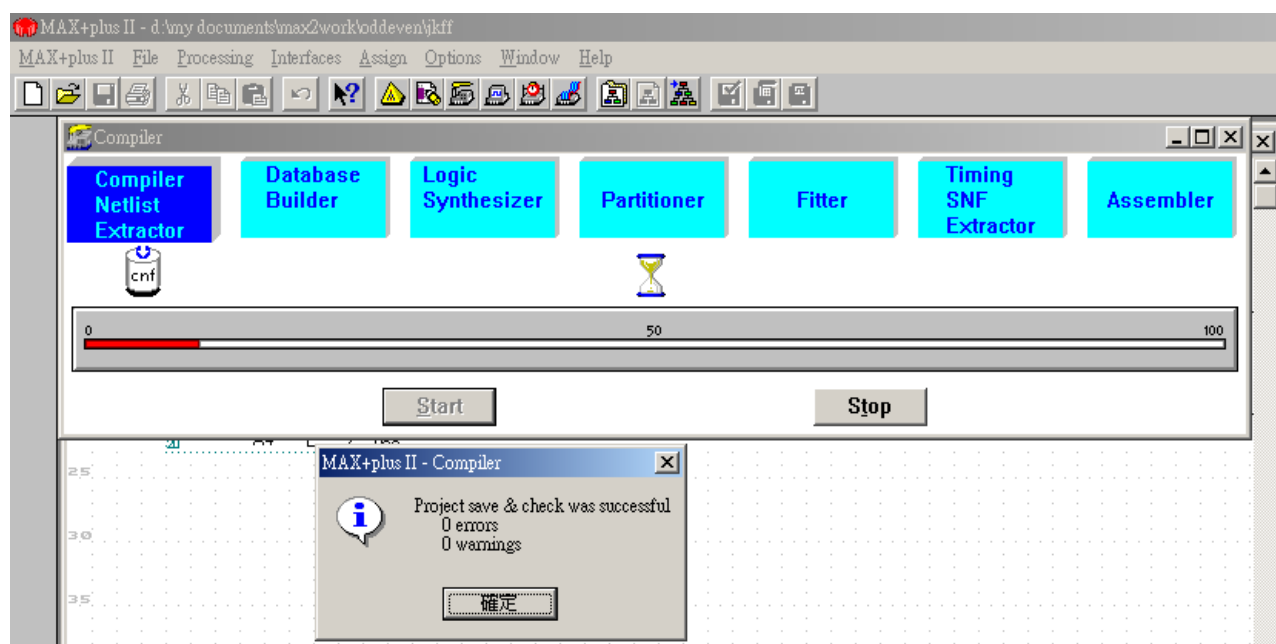
在圖(3.19)中，以滑鼠的左鍵點選 PIN_NAME 的地方就可更改輸入或輸出腳的名稱。至於連線(Netlist)的命名，可以滑鼠的左點選連線使其成為紅色並有一小黑方塊出現後，即可輸入其名稱。一旦連線的命名已經完成，若需修改可以滑鼠的左鍵點選該名稱(呈現紅色框包住)，再按下盤上的左移鍵就可再度更改之。其中 LED_COM 見表 (三) 之內容，其目的是實驗器面板 LED 必須接上電源使用，在畫電路圖時請務必畫出來。

8.檔案儲存並檢查(save and check)基本錯誤

完成上面的編輯步驟後，可以 File→Save & Check，請參考圖(3.20)。檢查後，可能會有錯誤的訊息產生。它告訴你電路圖的基本錯誤原因，你可依照它去更正錯誤的地方後，再做一次儲存並檢查基本錯誤，一直到沒有錯誤發生圖(3.21)才可進行下一步驟。順便一提，File→Save(或以 Ctrl+S 鍵)指令只能讓您儲存案，並無檢查基本錯誤的功能。



圖(3.20)：檔案儲存並檢查(save and check)基本錯誤

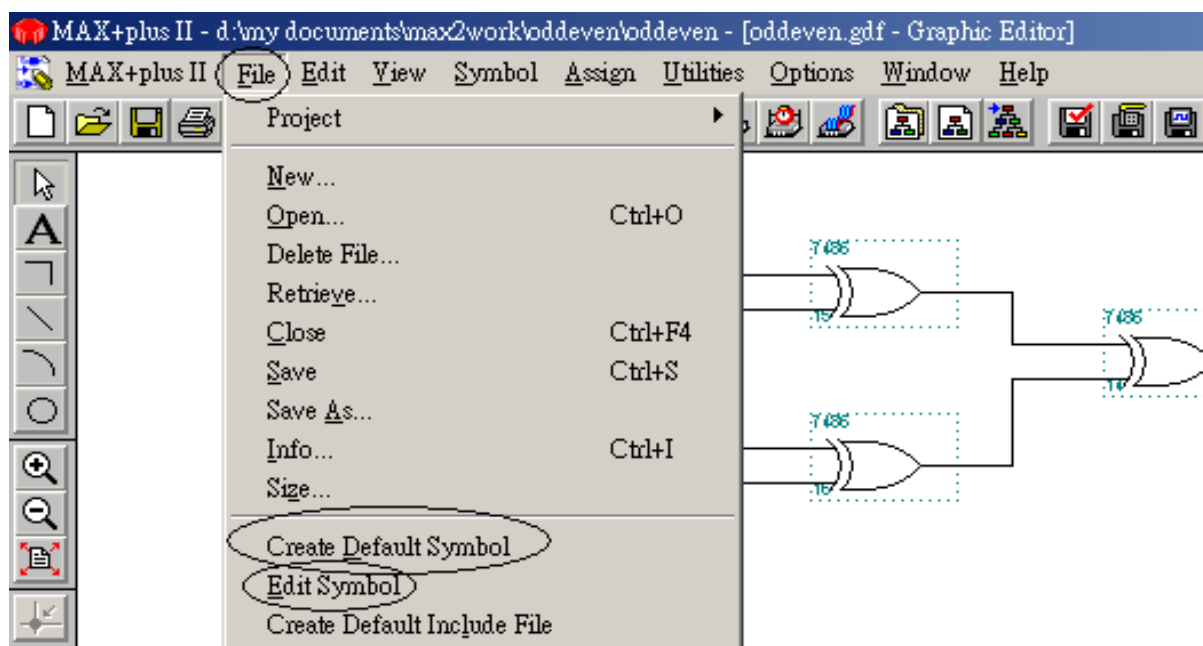


圖(3.21)：檔案儲存並檢查基本錯誤的完成

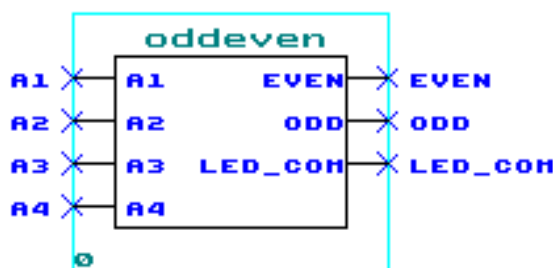
9.建立一個內定符號(default symbol)

- a.每當你完成一個新電路或每當你對舊電路的輸入或輸出腳有所變動時(腳位個數或其名稱有變動時)你都應該以 File→Create Default Symbol 指令重建最新的電路方塊圖符號(代表該電路圖的符號)，供上層電路編輯時叫用。
- b.圖(3.22)就是要產生一個電路的內定符號的操作。
- c.圖(3.23)就是產生的 oddeven.dgf 內定之符號，File→Edit Symbol 命令可以

進入符號編輯視窗進行符號的必要修編。



圖(3.22)：電路的內定符號的產生

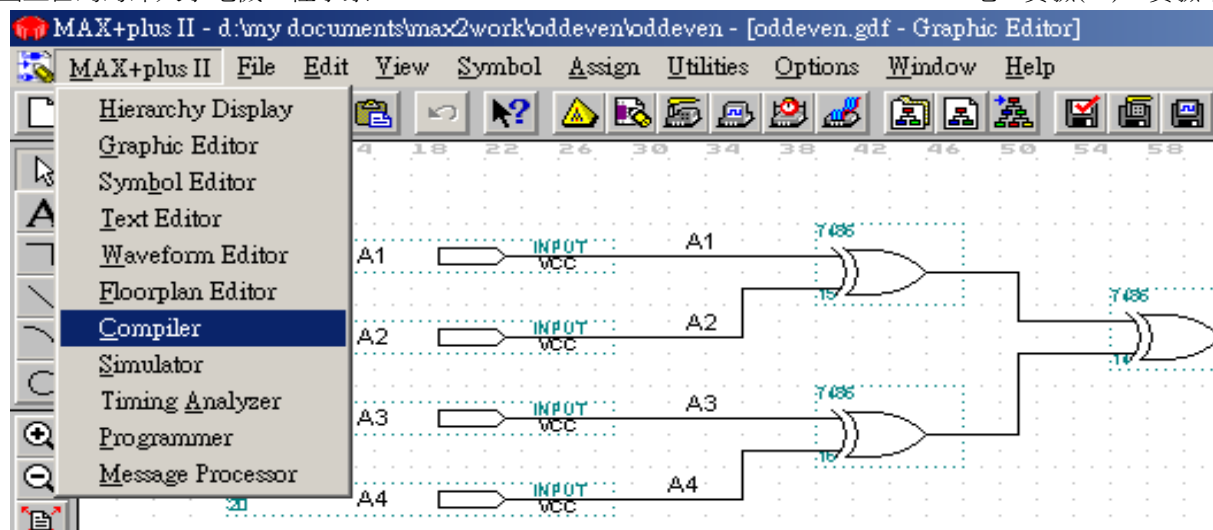


圖(3.23)：進入符號編輯視窗進行符號的必要修編圖

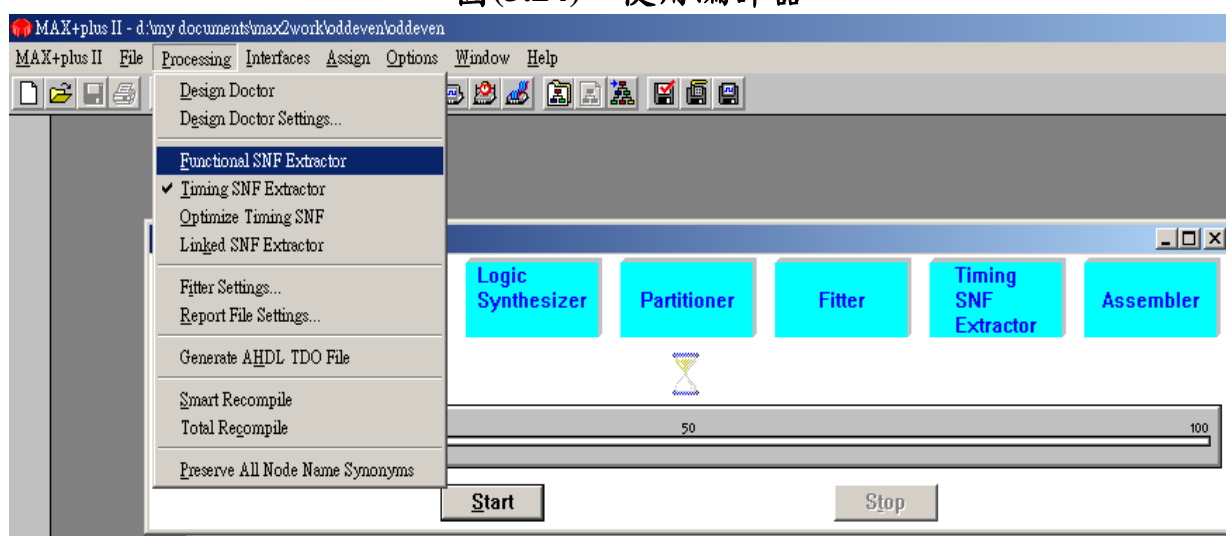
10.預備功能模擬的簡單編譯(compilation)(以後簡稱為功能編譯

下列為準備為功能模擬做簡單編譯，其步驟是：

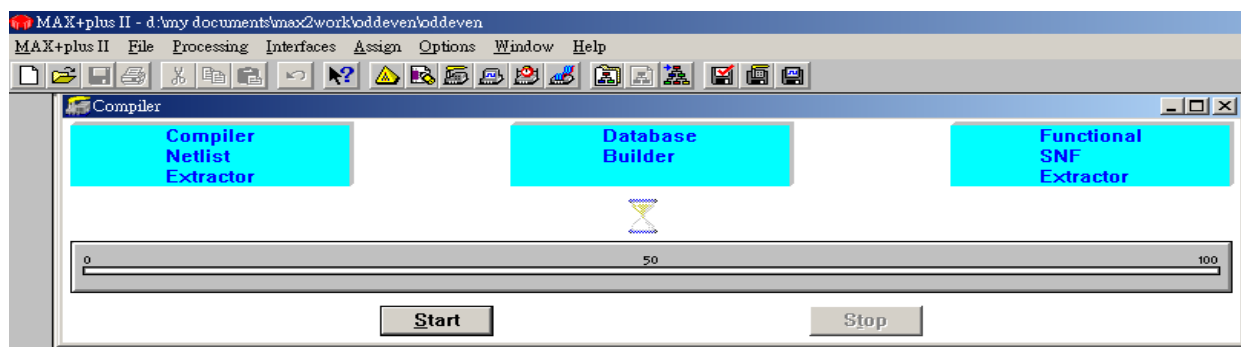
- a.以 Maxplus II → Compiler 指令叫出編譯器，如圖(3.24)所示。
- b.再以 Processing → Functional SNF Extractor 選定預備功能模擬的簡編譯，如圖(3.25)所示。
- c.按下 Start 鍵，以啟動預備功能模擬的簡單編譯，如圖(3.26)。編譯結果若有錯誤，請按訊息更正錯誤。若沒有錯誤，再一次地恭喜你已完成電路圖的圖形輸入，請你直接進入電路的功能模擬(Functional Simulation)。



圖(3.24)：使用編譯器



圖(3.25)：選定預備功能模擬的功能編譯



圖(3.26)：啟動(Start)預備功能模擬的功能編譯

11.關閉檔案

File → Close 指令讓你關閉目前編輯的檔案。

四、電路圖的功能模式(Functional Simulation)

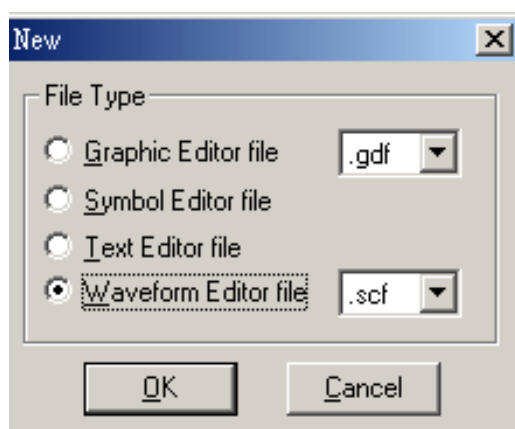
在前節啟動編譯器時見圖(3.26)，其中的 Functional SNF Extractor 功能模組已經為電路圖的功能模擬做好準備了。但電路的輸入訊號是怎樣的訊號以及準備觀看的內部節點或輸出腳又是那些等等這些問題，有待你進一步的定義與指定明白。一般來說，它可以是文字或圖形檔的形式為之。Altera 提供了這兩種方式，但以圖形方式較為學易懂。因此以圖形方式的電路功能模擬順序介紹如下：

1. 開啟新檔案
2. 輸入腳、觀測的內部節點及輸出腳的選取
3. 輸入腳的波形定義
4. 啟動功能模擬器進行功能模擬
5. 錯誤處理及檢視模擬結果
6. 關閉檔案

下面以模擬奇、偶同位元產生器電路為例，圖示說明整個流程。

1. 開啟新檔案

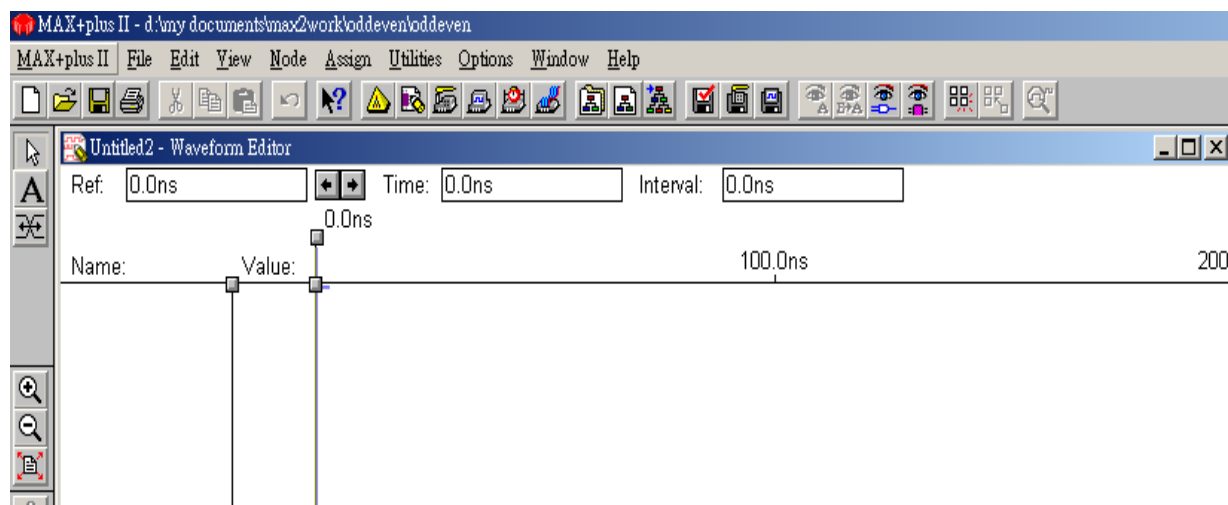
- a. 請以 File → New 指令開啟新當案視窗(New)，並點選 Waveform Editor File (請注意副檔名為 .SCF)，如圖(4.1)，以開啟波形編輯器(Waveform Editor)編輯波形新檔。



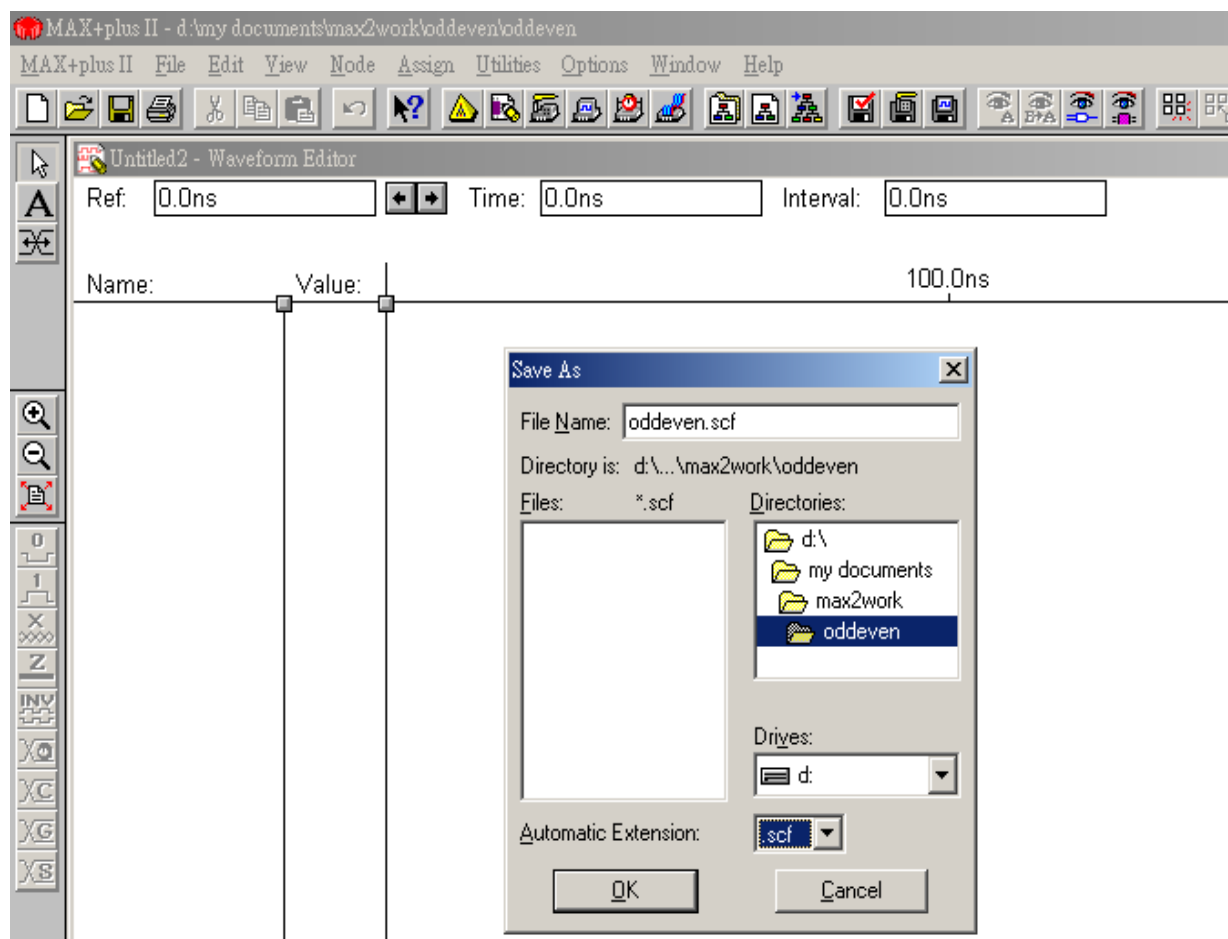
圖(4.1)：開啟波形編輯器

- b. 圖(4.2)是一個未命名的波形編輯案。此時可以 File→Save As... 指令，將其存檔成與專案名稱同名的 SCF 檔，請見圖(4.3)。

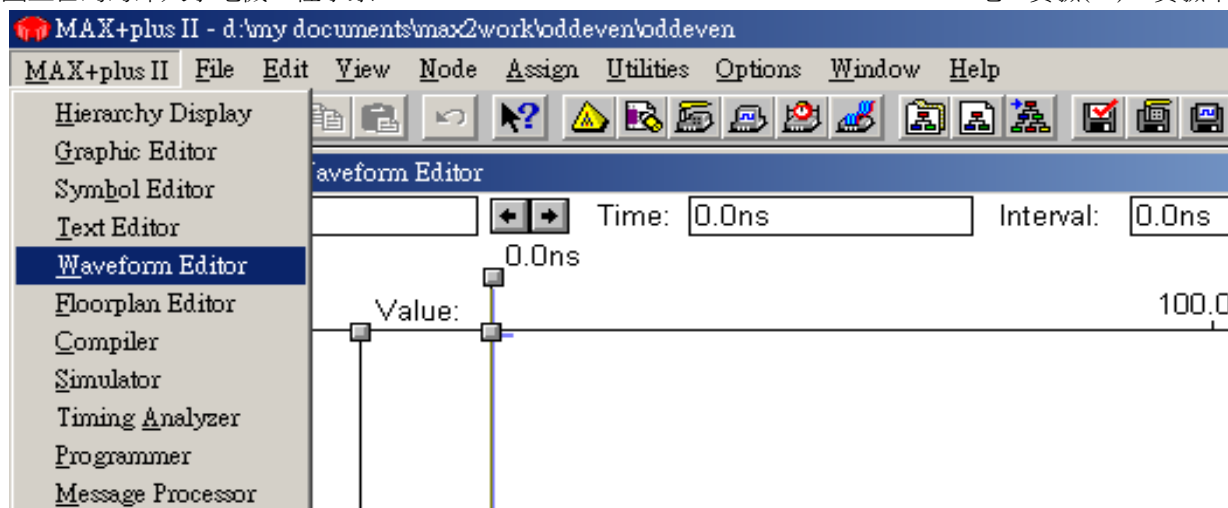
c.圖(4.4)是另一種開啟未命名波形編輯案的方法，它是以 MAXPLUS II → Waveform Editor 指令為之。



圖(4.2)：未命名的波形編輯案



圖(4.3)：以 File→Save As...命名的波形編輯案。



圖(4.4)：另一種開啟未命名波形編輯案的方法

2.輸入腳、觀測的內部節點及輸出腳的選取

a.一種比較方便的輸入腳、觀測的內部節點及輸出腳的選取，就是從 SNF 檔(上一節所產生的檔案)裡取得這些節點。圖(4.5)就是這種方法的進入情形。

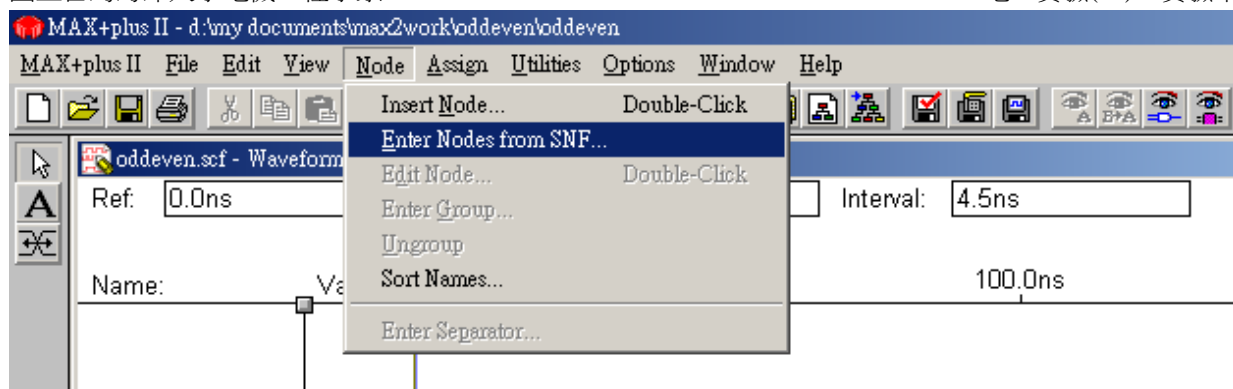
它在 Node 下點選 Enter Nodes from SNF... 即會出現圖(4.6)、圖(4.7)的節點選取視窗。請注意：File → Save As 命令一定要先執行過，Node→Enter Nodes from SNF 命令才會有用。

b.在圖(4.6)中 **List** 點選一下，它就會從 SNF 檔抓取符合你指定的點型態(Type)與名稱(圖中以 “*” 代替所有名稱)，並列示於「有效點與群」的小方塊內，供你選取。本例請你在「有效節點與群」的小方塊內，按下滑鼠的左鍵，以拖曳方式選取。這個舉動表示你準備選取 A4[I] A3[I]、A2[I]...等三個節點，如圖(4.7)中。此時，只要點選「選取鈕」(即 \Rightarrow)就有圖(4.8)的結果—全部點選。再按一次 OK 完成整個選取流程。

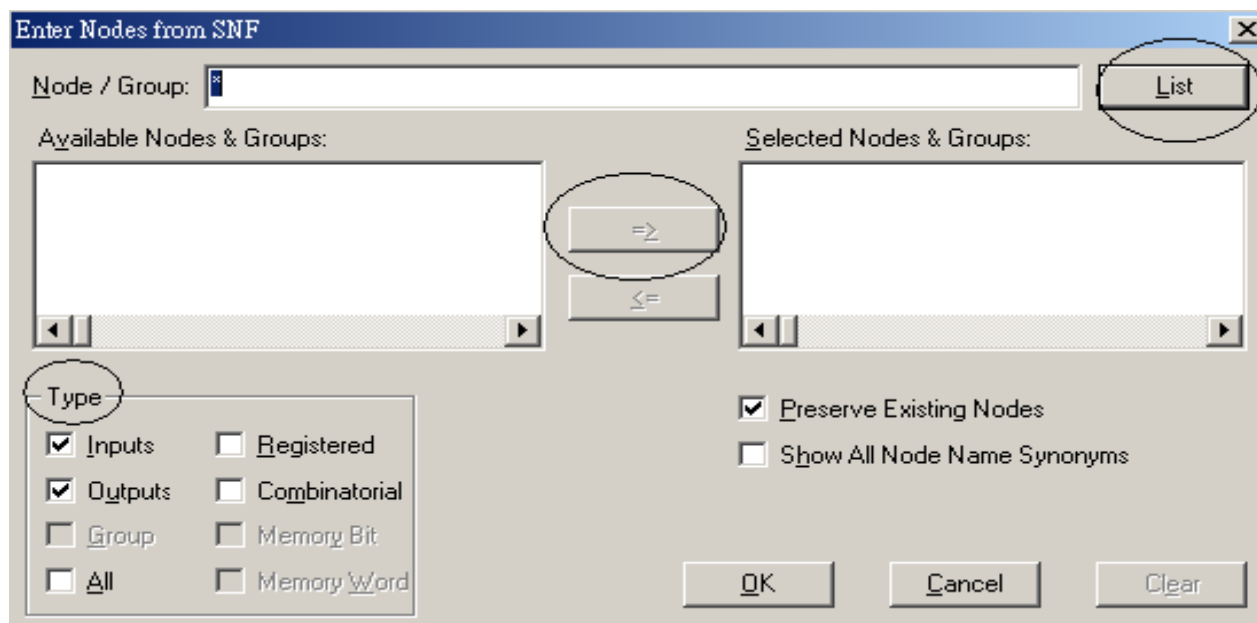
c.節點的类型：

- ①.[I]：表示輸入接腳。
- ②.[O]：表示輸出接腳。
- ③.[B]：表示內部節點。

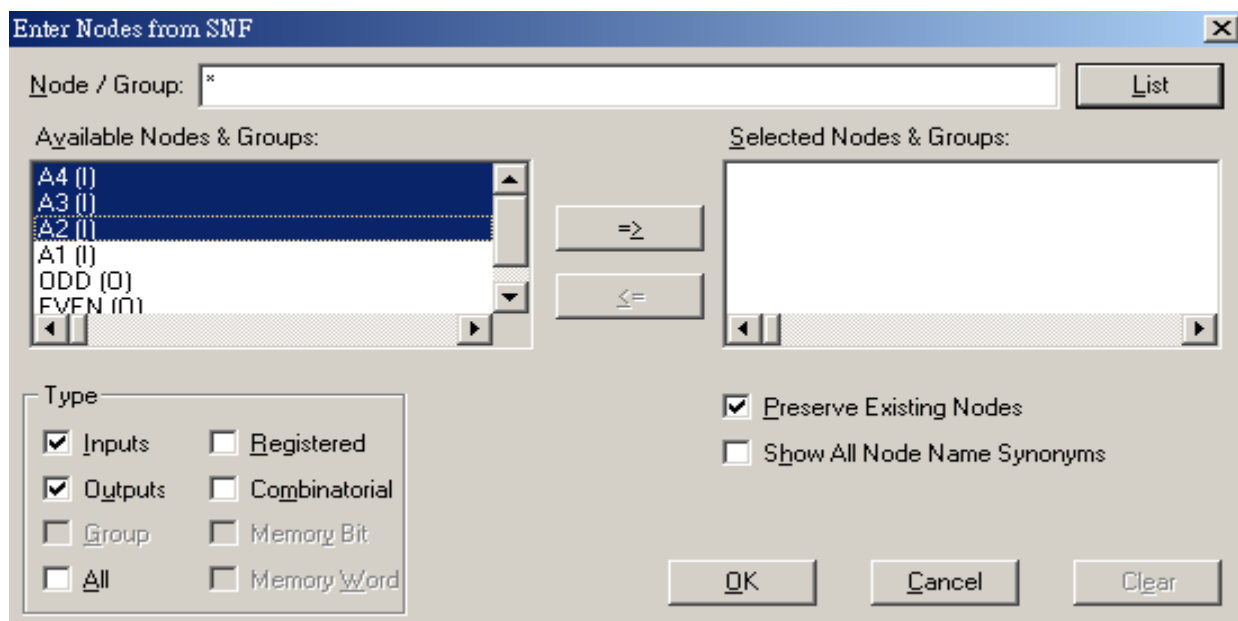
d.圖(4.9)是選取輸入腳、觀測的內部節點及輸出腳的結果。



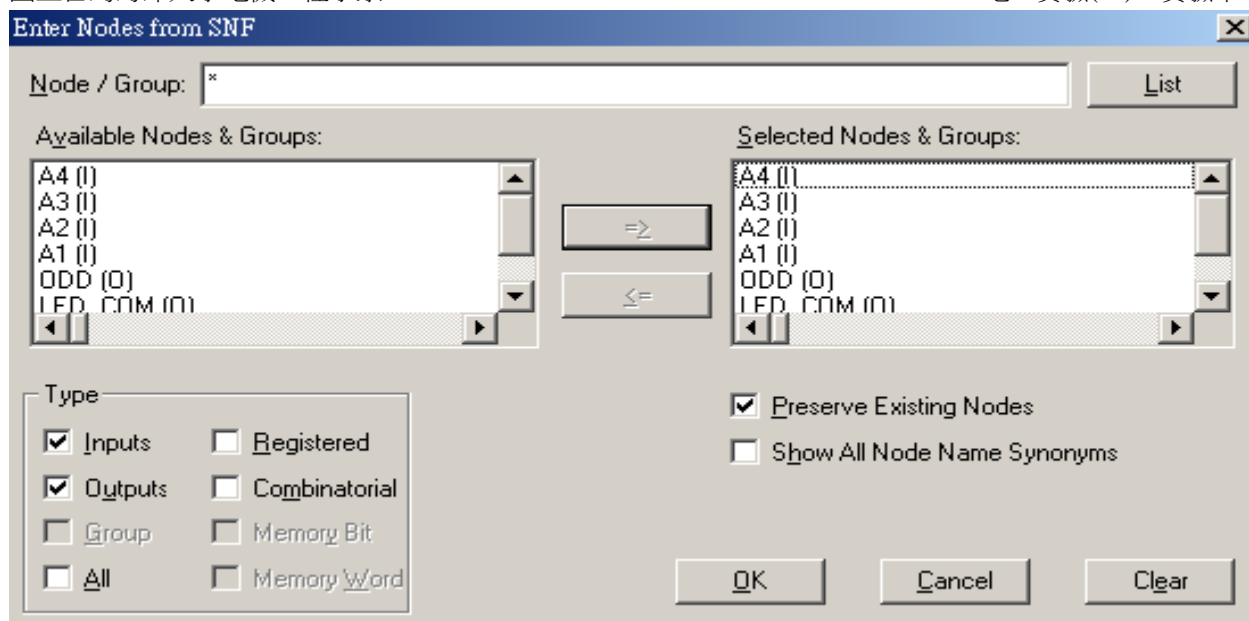
圖(4.5)：選取輸入腳、觀測的內部節點及輸出腳



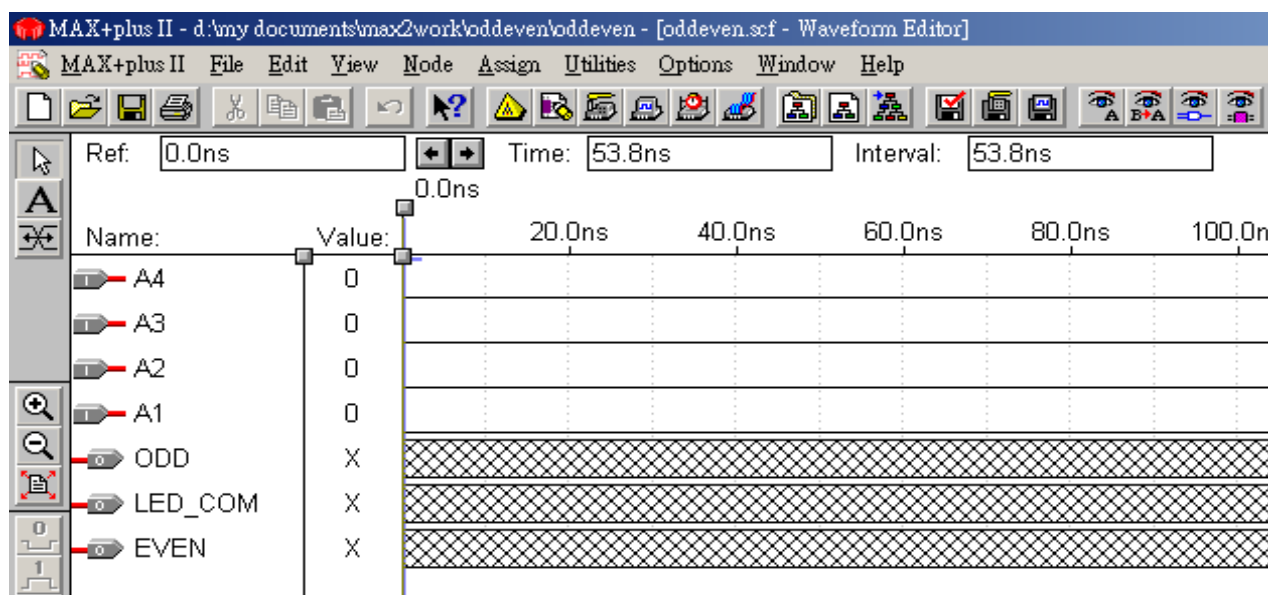
圖(4.6)：節點選取視窗



圖(4.7)：節點選取視窗(續)



圖(4.8)：完成節點選取視窗

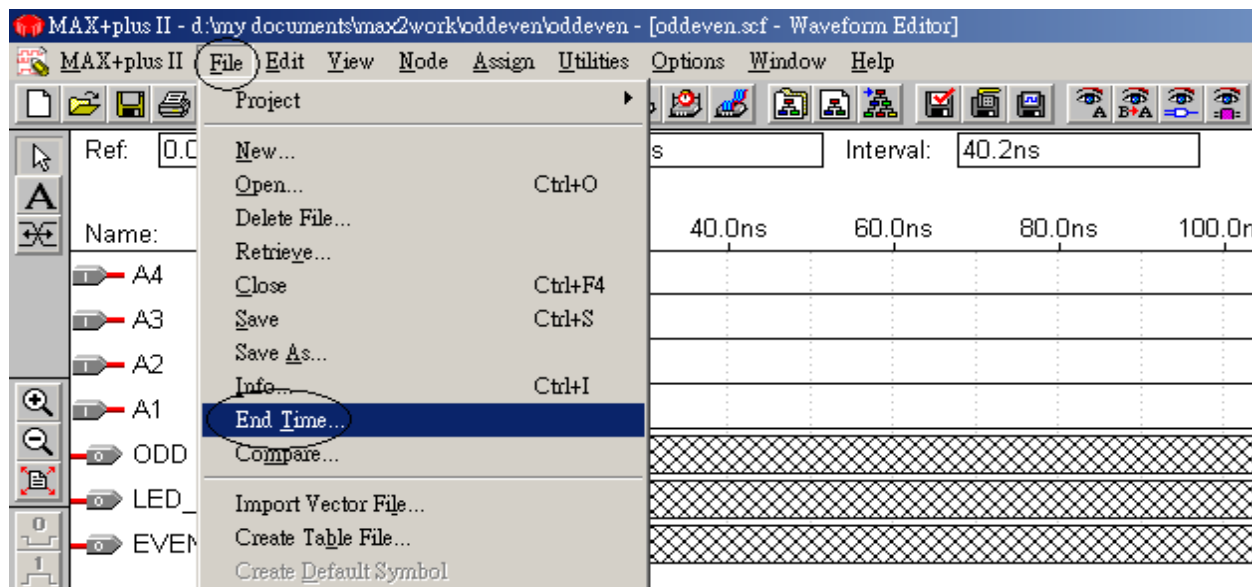


圖(4.9)：選取輸入腳、觀測的內部節點及輸出腳的結果

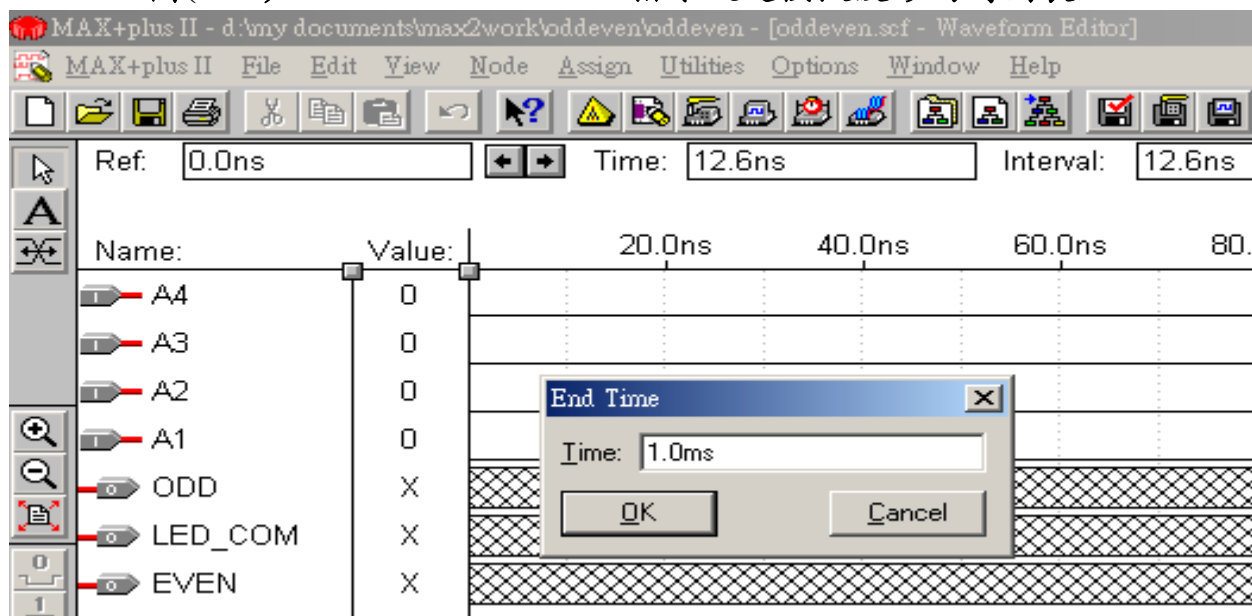
e.各欄位名稱：

①波形縮小鏡	②輸出腳符號	③參考時序	④尚未定義的訊息
⑤波形放大鏡	⑥腳位名稱	⑦時序欄	⑧將整個檔案放入視窗內
⑨改變顯示刻度	⑩游標所在之邏輯	⑪格距	⑫輸入腳符號
⑬格線	⑭參考游標		

f.圖(4.10)與(4.11)是以 File → End Time...指令設定模擬波形的時間長短。

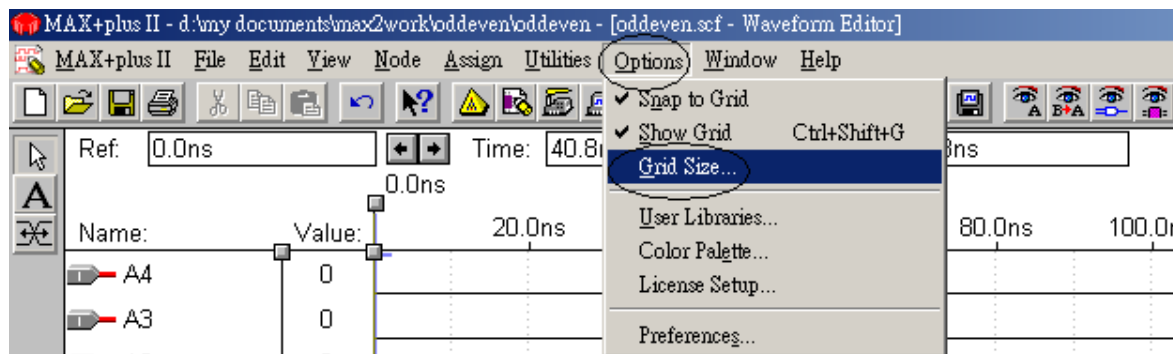


圖(4.10)：File → End Time...指令設定模擬波形的時間長短

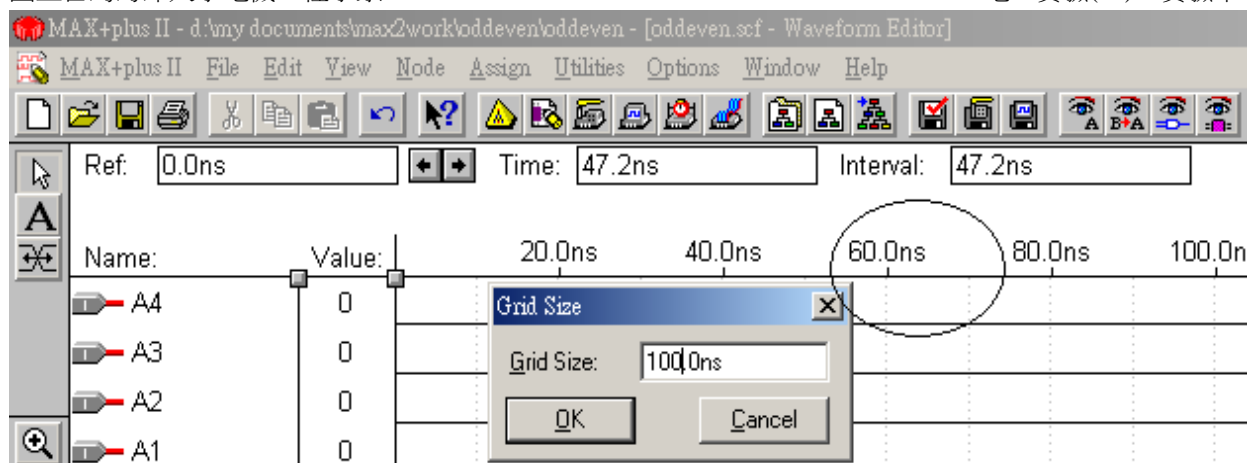


圖(4.11)：設定 End Time=1.0ms

g.圖(4.12)與(4.13)是以 Option → Grid Size ...指令設定格線間距的情況。



圖(4.12)：Option → Grid Size ...指令設定格線間距



圖(4.13)：設定 Grid Size = 100ns

3. 輸入腳的波形定義

a. 在波形顯示區內，經上述步驟後會有一些原始的波形資料。這些資料往往沒有什麼意義。因此，我們必須利用以下的一些工具來定義輸入腳的波形，以使往後的功能模擬。首先需選取波形資料編輯區塊，才能進行以下的操作，如圖(4.14)所示。

- ①. 復原(Undo)：即取消剛剛的操作。可以 Edit → Undo 指令或 Ctrl+Z 鍵完成。
- ②. 剪下(Cut)：；即剪下所選取的波形資料區塊成未知狀態。可以 Edit → Copy 指令或 Ctrl+X 鍵達成。
- ③. 拷貝(Copy)：即將所選取的波形資料區拷貝一份下來。可以 Edit → Copy 指令或 Ctrl+X 鍵達成。
- ④. 貼上(Paste)：即將所複製的波形資料貼出一次。可以 Edit → Past 指令或 Ctrl+V 鍵達成。
- ⑤. 刪除>Delete)：即將所選取的波形資料區塊刪除。可以 Edit → Past 指令或 Ctrl+V 鍵達成。
- ⑥. 重疊覆蓋(Overwrite)：即將所選取的波形資料區塊重疊復蓋波形資料。可以點選 Edit → Overwrite 指令達成。重疊覆蓋共有：邏輯“1”訊號、邏輯“0”訊號、未知訊號(X)、高阻抗訊號(Z)、反向訊號、時序(clock)訊號、計數值、群值及狀態名稱覆蓋等九種，請參考圖(4.15)及圖(4.16)。
- ⑦. 插入(Insert)：即將所選取的波形資區塊或地方插入波形資料。可以點選 Edit → Insert 指令達成。

⑧.與格線對齊(Align to Grid)：即將所選取的波形資料與格線對齊。可以 Edit → Align to Grid 指令或 Ctrl+Y 鍵達成。

⑨.重複複製(Repeat)：即將所複製的形資料重複複製。可以 Edit → Repeat... 指令達成。

⑩.橫向伸展或縮小(grow or Shrink)：即將所選取的波形資料區塊橫向伸展成較大區域或橫向小成小區域。可以 Edit → Grow or Shrin 指令達成。

b.至於選取波形資料編輯區塊，亦有三種型式：

①.一小段波形資區塊的選取：如圖(4.15)，點選游標選鈕(箭頭)，以滑鼠左鍵點選起點”1”，並拖曳至”2”放開，即可選取一段區域，並以滑鼠點選螢幕視窗左側的訊號型態，以建立邏輯準位。

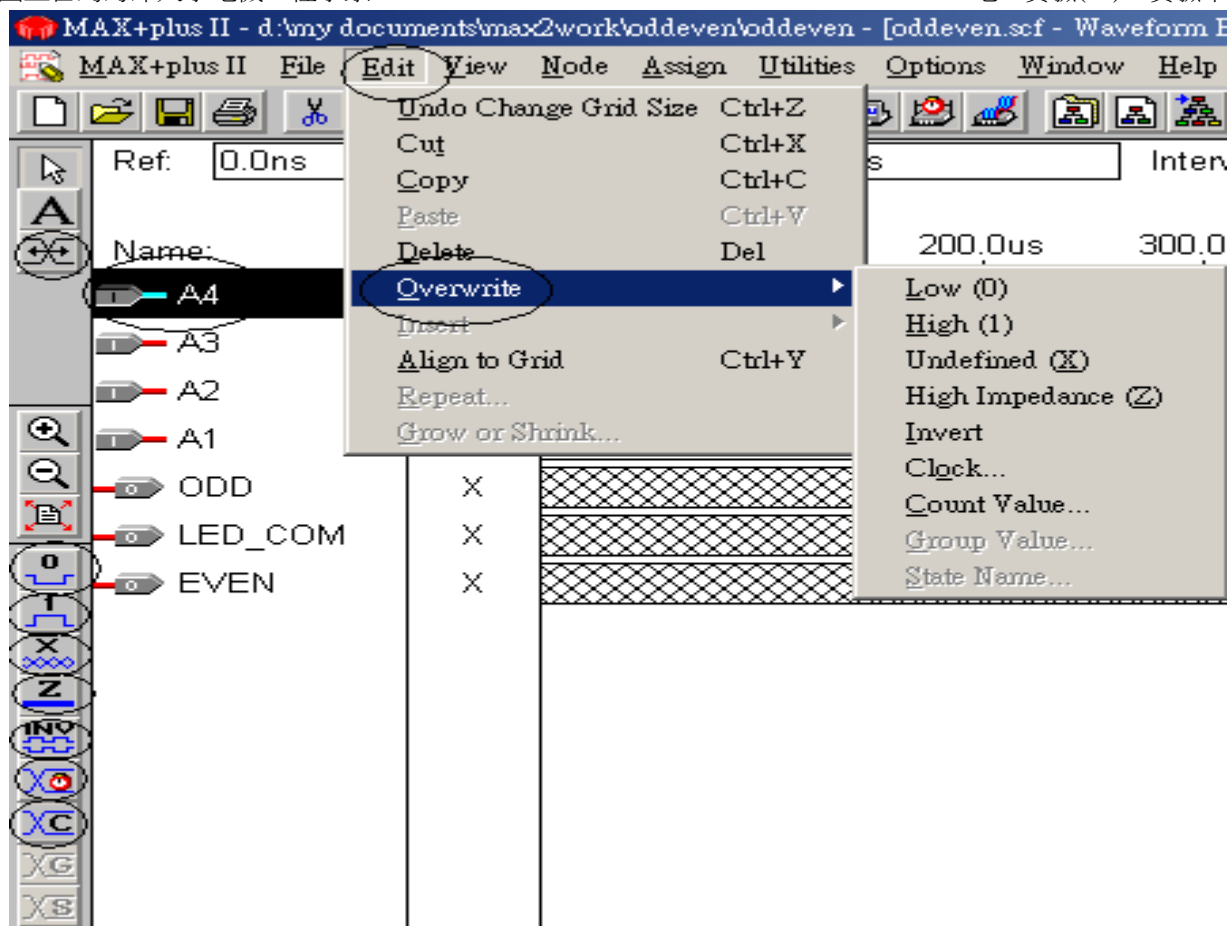
②.一個節點的資料區塊選取：如圖(4.16)，以滑鼠左點選起點「Value : 0」，的地方，即可完成(被選取部位呈反黑現象)，同樣以滑鼠點選螢幕視窗左側的訊號型態，以建立邏輯準位。

③.多個節點的資料區塊選取：如圖(4.17)，以滑鼠左點選起點，以滑鼠左點選起點「Value : 0」的地方，並拖曳至第四列，放開滑鼠，即可選取多個節點的資料區塊。

④.圖(4.18)與圖(4.19)則是選取節點的資料區塊後，選擇產生時脈訊號表單後，快速產生時脈波形的作法。為了實驗需求，四位元 16 種時序變化波形設定情形，應該如何選擇倍率？，其設定方式如圖(4.20)。

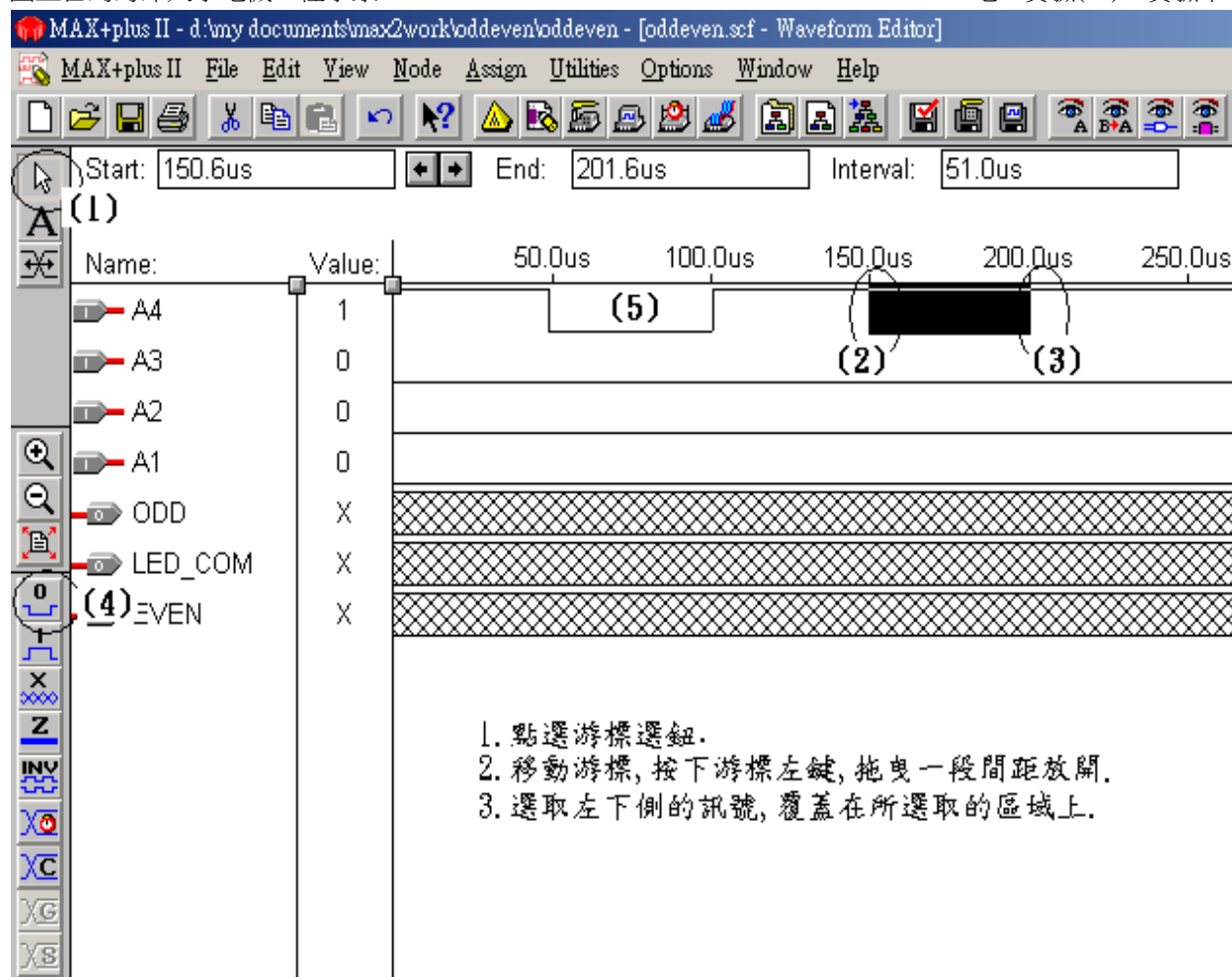
⑤.另一種波形編輯利器，就是波形編輯游標。圖(4.22)就是使用它編輯 A[4] 訊號的情形。

⑥.完成輸入波形建立如圖(4.21)，並以 File → Save As ... 儲存之。

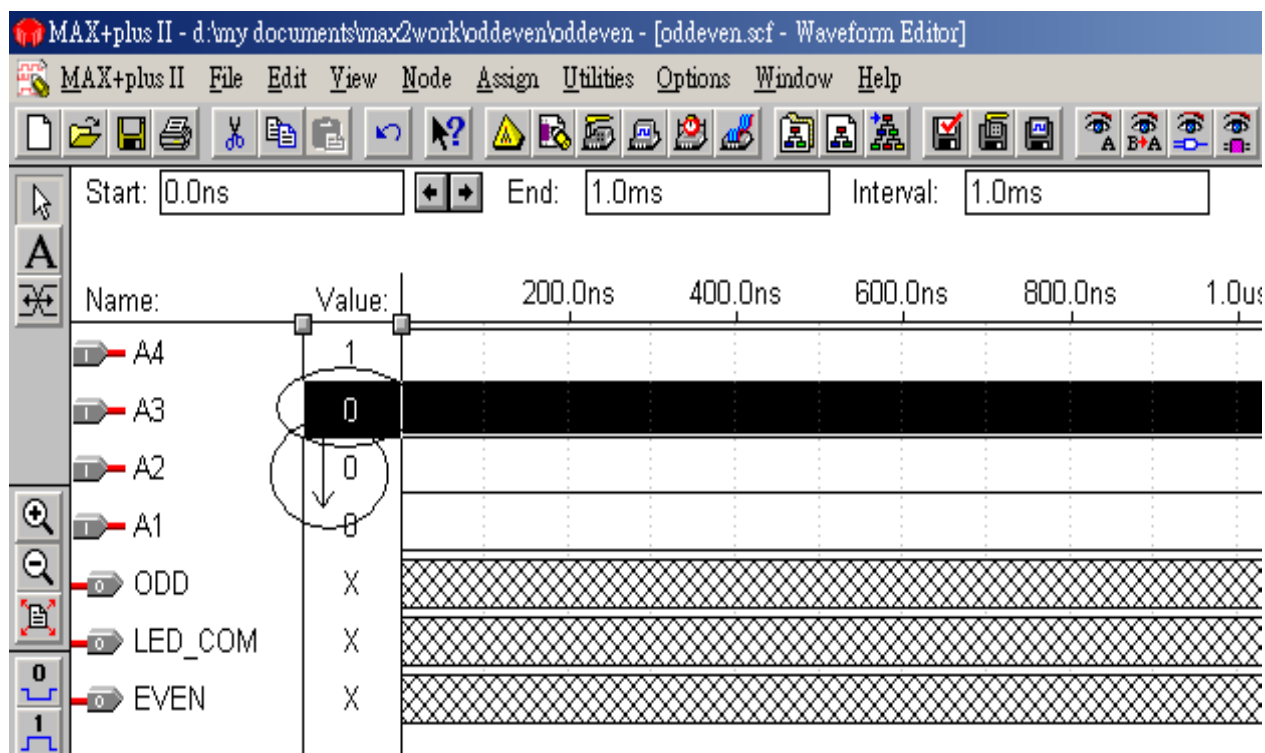


圖(4.14)：波形資料編輯指令及按鍵

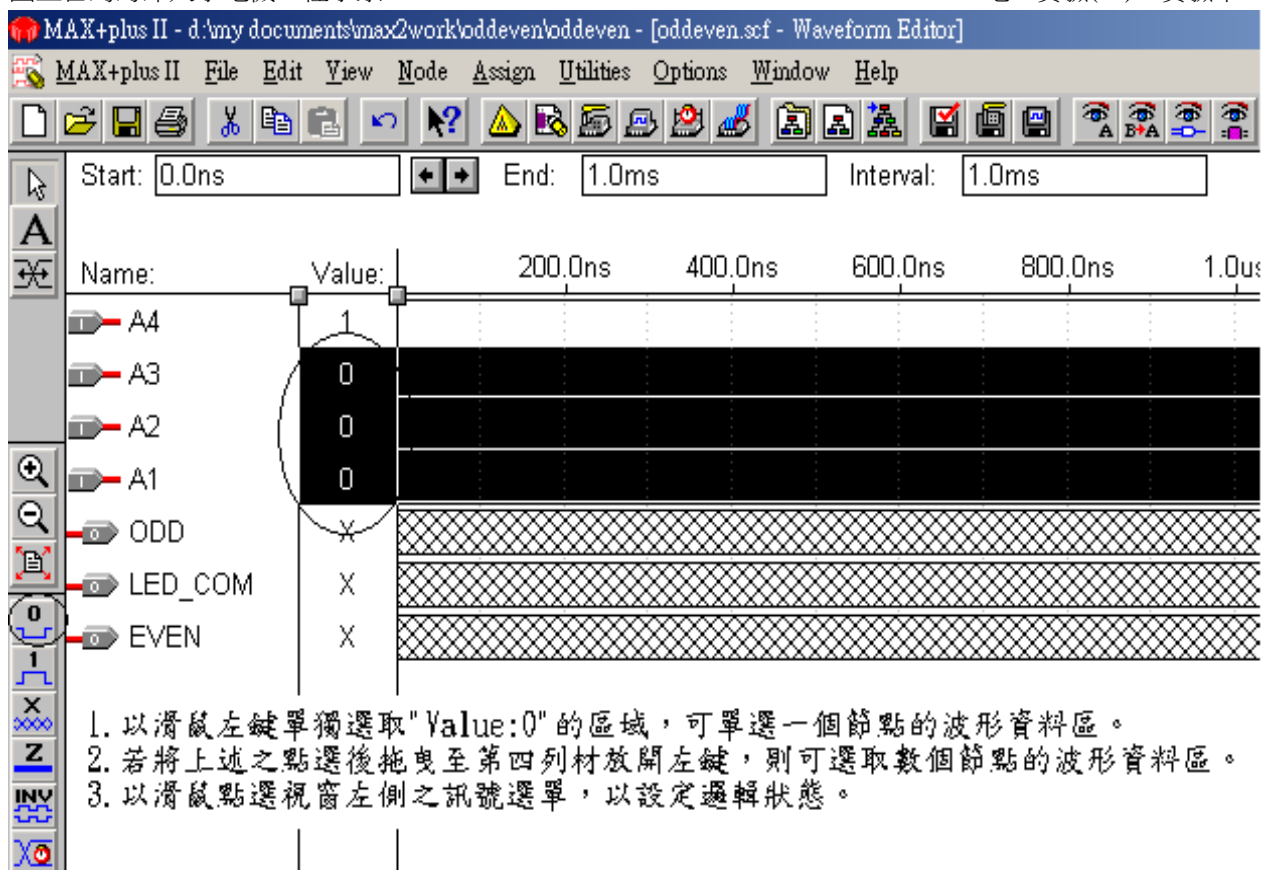
①	在選取區內產生邏輯 0	⑤	在選取區內抗訊號反向
②	在選取區內產生邏輯 1	⑥	在選取區內產生時脈訊號
③	在選取區內產生 don't care 訊號	⑦	在選取區內產生計數訊號
④	在選取區內產生高阻抗訊號	⑧	波形編輯游標



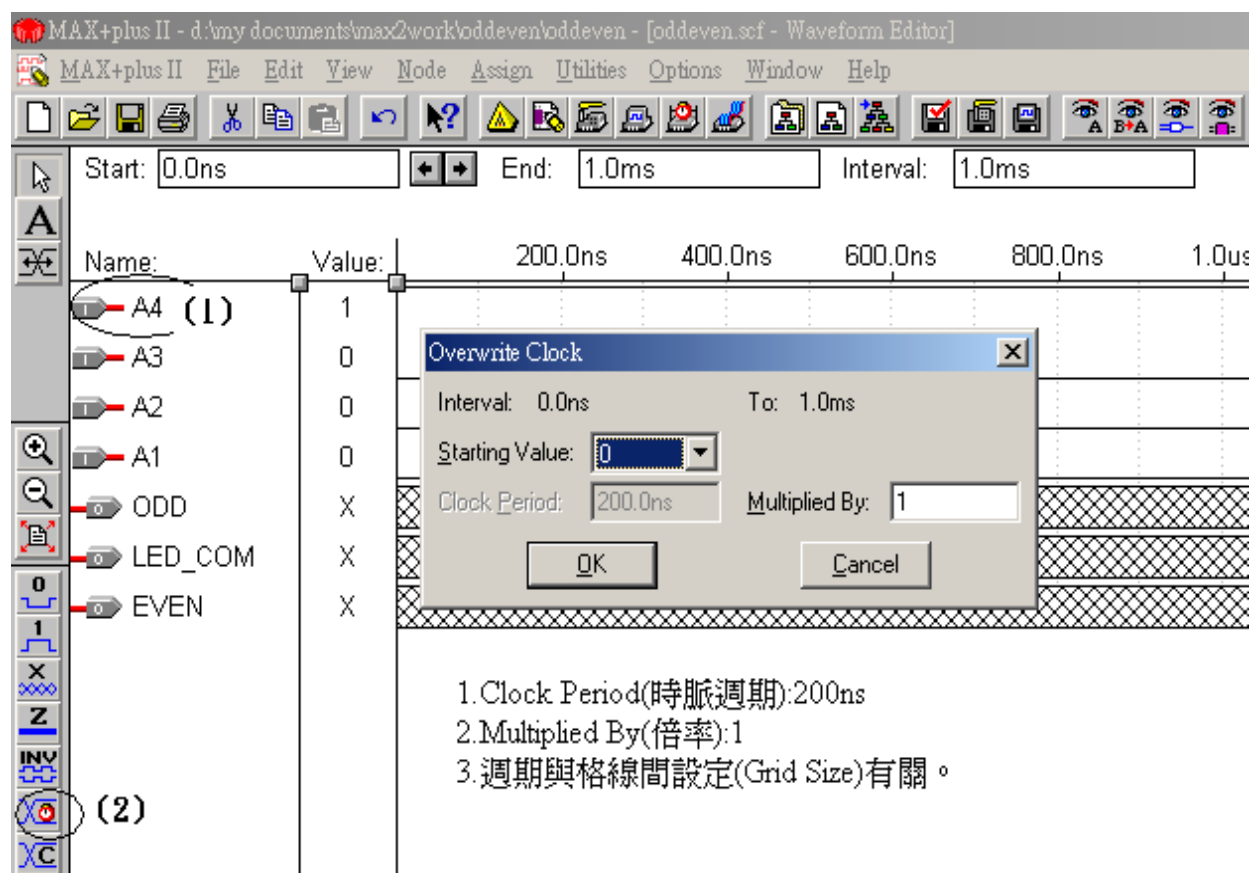
圖(4.15)：一小段波形資區塊的選取



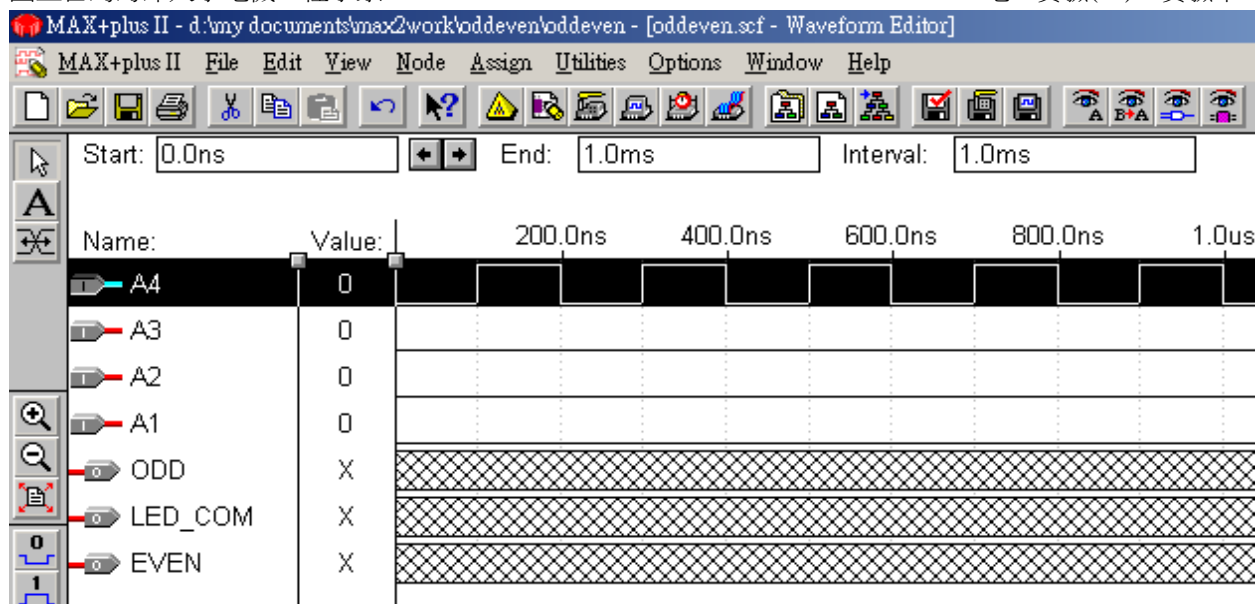
圖(4.16)：一個節點的資料區塊選取及多個節點的資料區塊選取



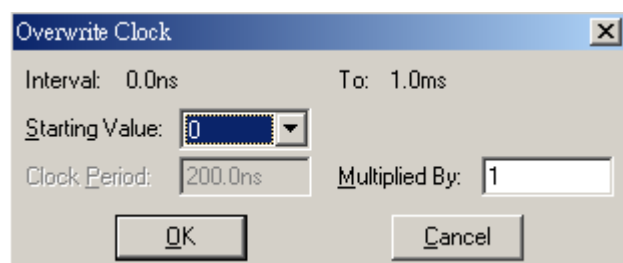
圖(4.17)：一個節點的資料區塊選取及多個節點的資料區塊選取(續)



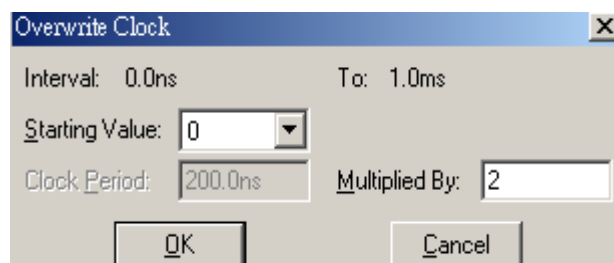
圖(4.18)：時脈波形的產生



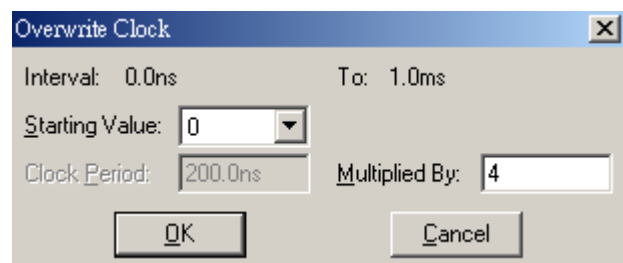
圖(4.19)：時脈波形的產生(續)



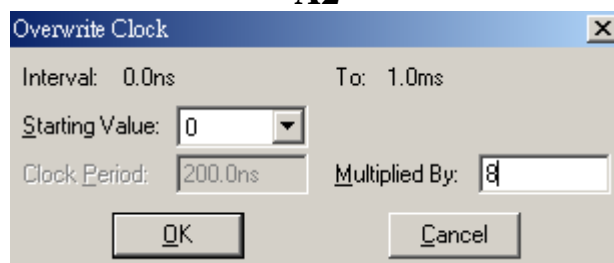
A1



A2

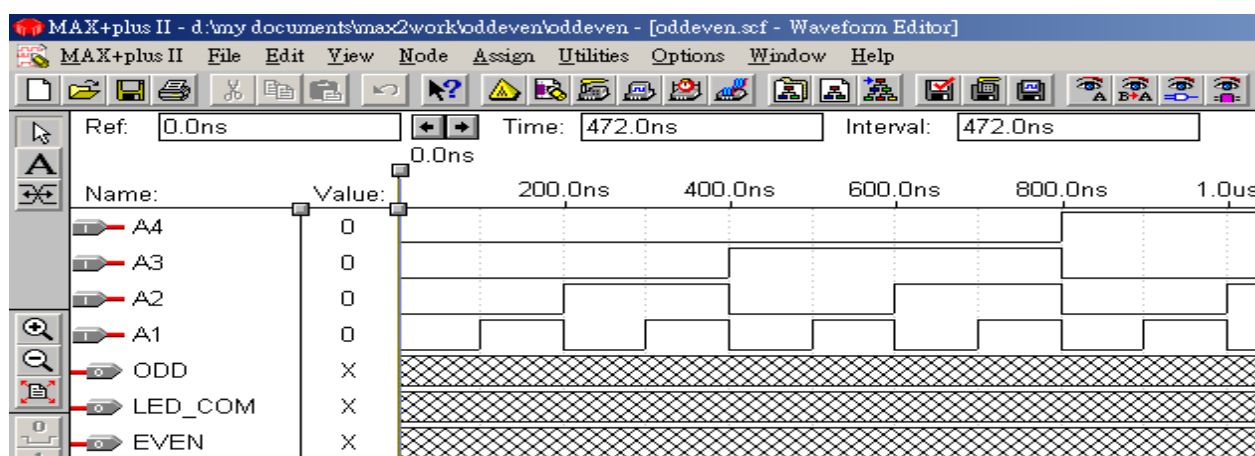


A3

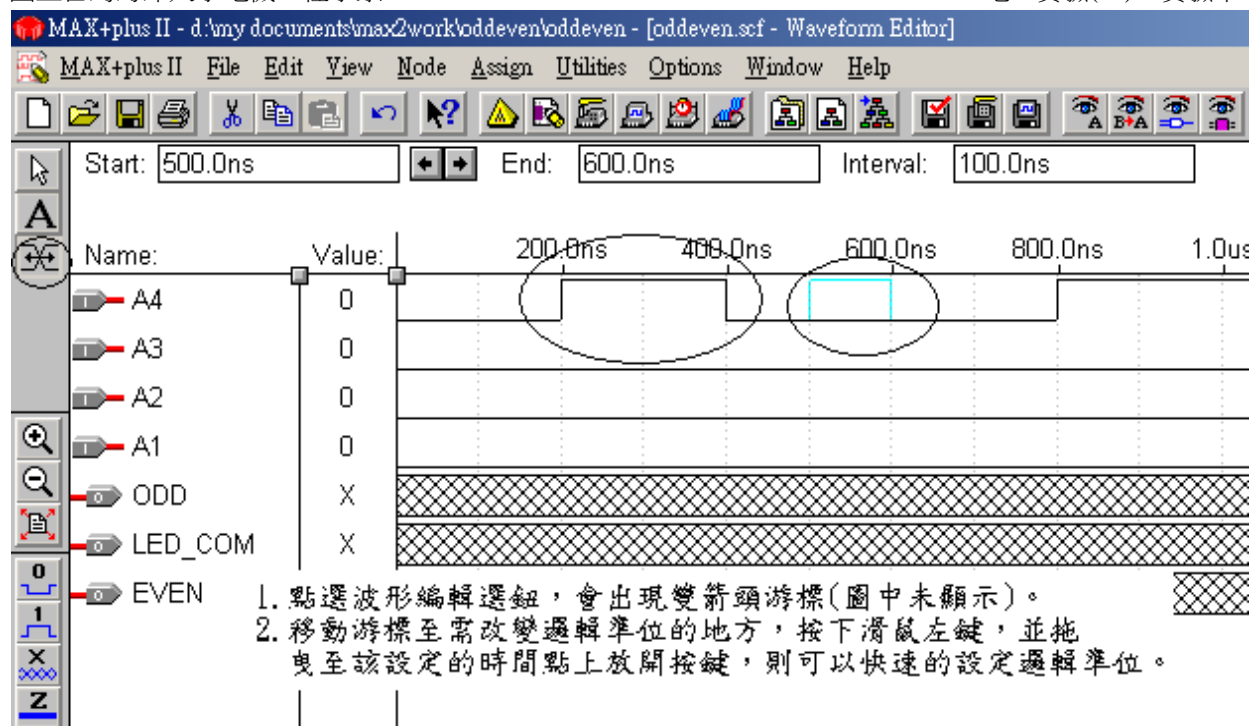


A4

圖(4.20)：時脈波形的產生(續)



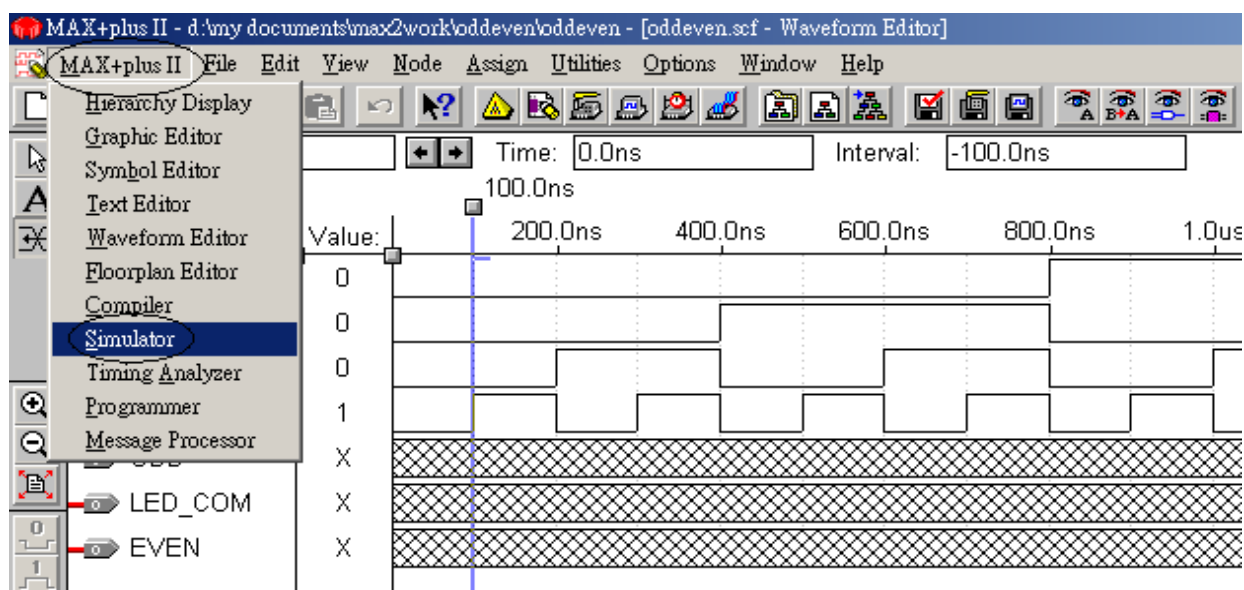
圖(4.21)：完成輸入波形



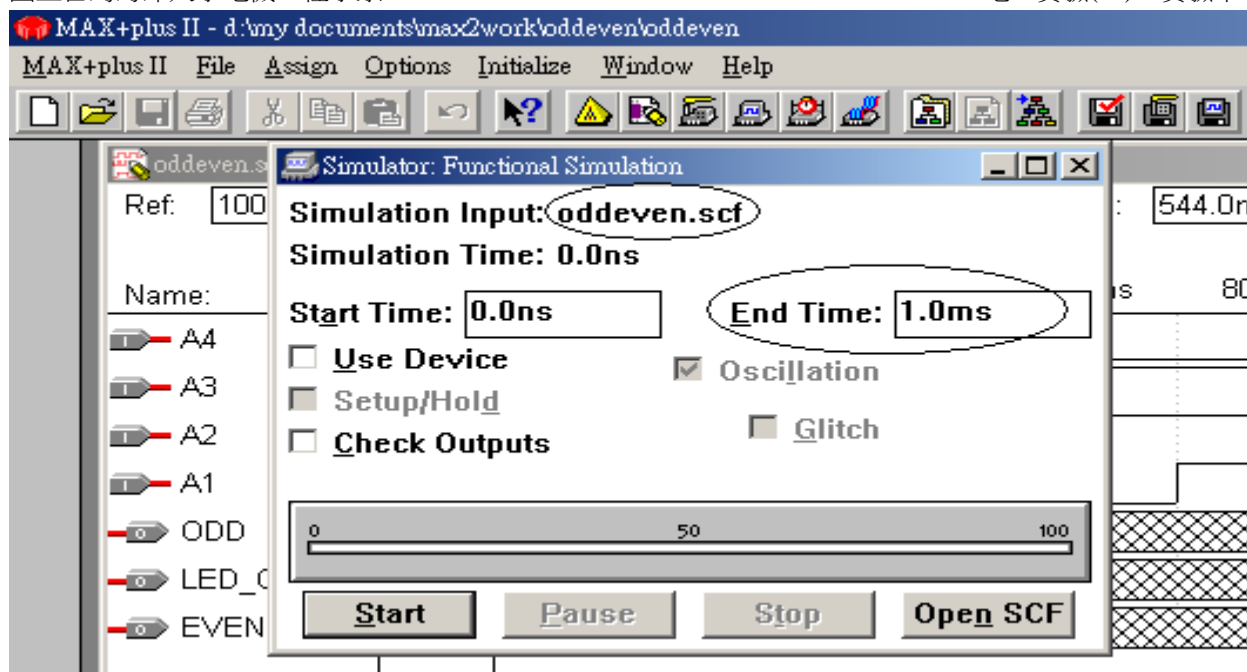
圖(4.22)：波形編輯游標編輯 A[4]之波形

4. 啟動功能模擬器進行功能模擬

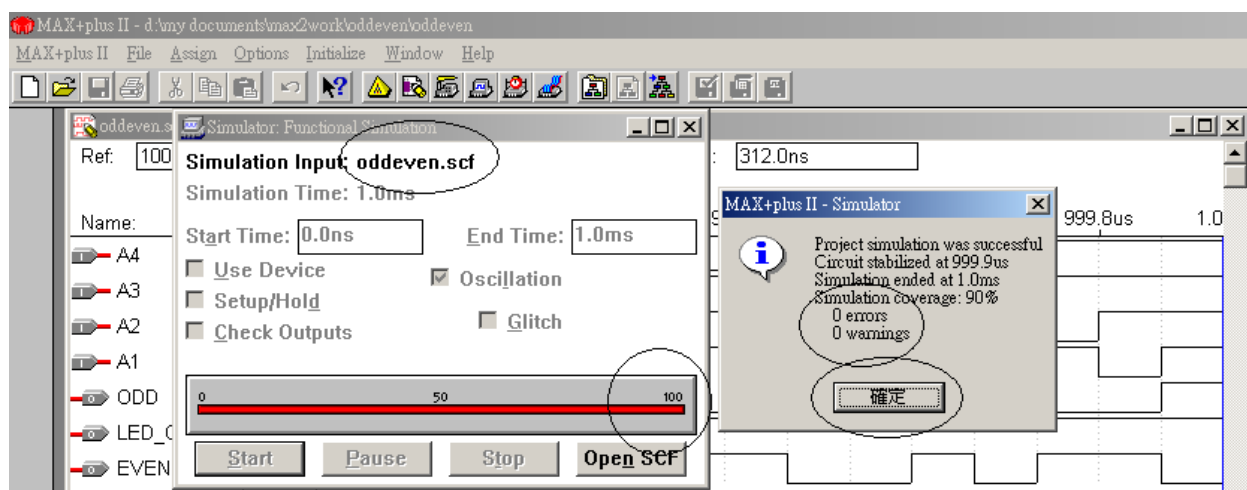
當你完成輸入模擬波形的定義之後，就可以 MAXPLUS II→Simulator，如圖(4.23)，叫出模擬器如圖(4.24)，此時，點選 Start 鍵就可啟動 Altera 功能模擬，如圖(4.25) (起動前請注意模擬輸入的檔名是否一致)，按下 **Open** **SCF**，則可顯示出模擬結果，如圖(4.26)。



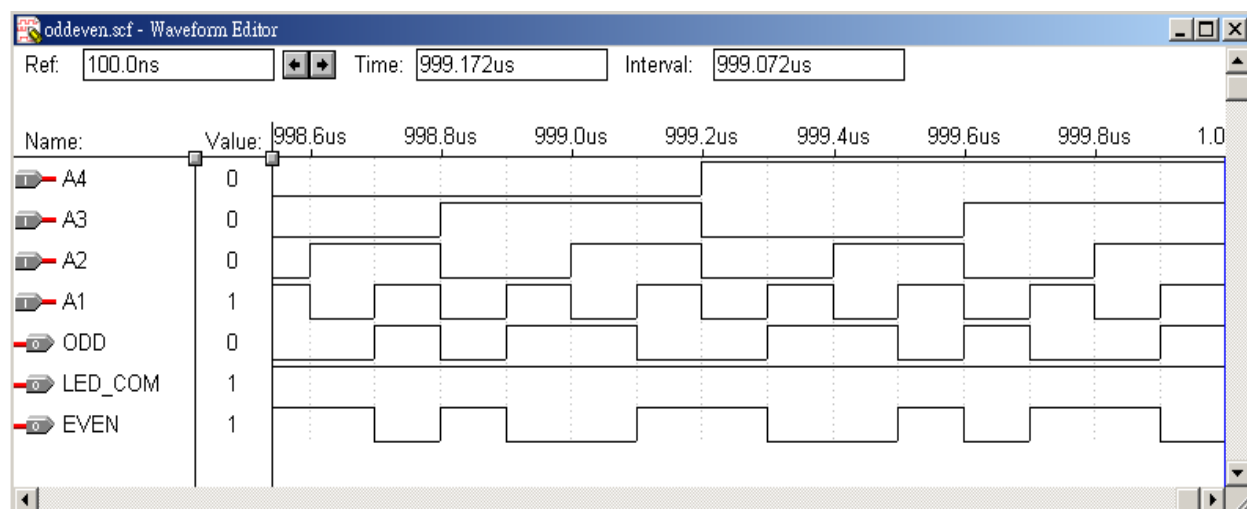
圖(4.23)：啟動功能模擬器



圖(4.24)：功能模擬視窗



圖(4.25)：功能模擬視窗(續)



圖(4.26)：功能模擬後的結果

5.錯誤處理及檢視模擬結果

模擬結果若有錯誤，請詳閱錯誤訊息，並依訊息更正錯誤。如果沒有錯誤，可選取波形編輯視窗檢視模擬後的輸出波形，如圖(4.26)，是否符合功能需求。如果未能符合功能需求，請你先關閉檔案再回至前面電路設計修改電路、編譯電路後，再回至本節做功能模擬，一直到符合功能需求為止。

6.關閉檔案

使用 **File→Close** 指令讓你關閉目前編輯的檔案。

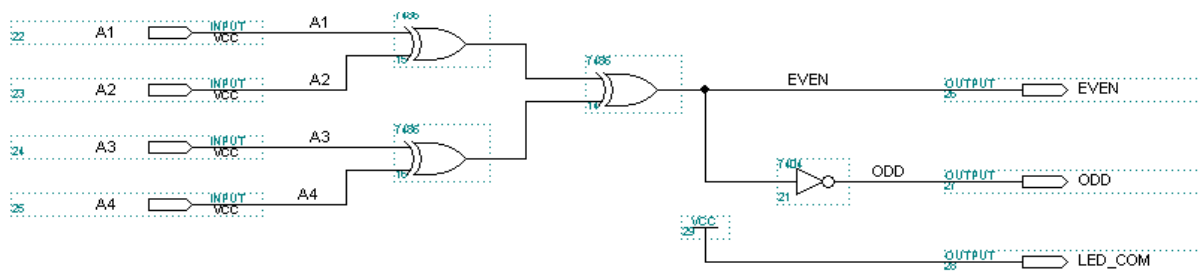
五、平面配置(Floorplan)與編譯(Compilation)

所謂平面配置是指將你的電路於入 CPLD 晶片的安排情形。這包括晶片指定、輸入腳位及輸出腳位的安排、電路的 LAB(logic array block)安排、等等...。不過這些動作都要在你的電路通過功能模擬之後，才會去做配置安排。對一個初學者而言，熟悉晶片指定、輸入腳位及輸出腳位的安排就應該足夠了。不管怎麼說，這些配置安排都是透過平面配置編輯器(Floorplan Editor)來完成。要使用平面配置編輯器只要以 MAX +PLUS II→Floorplan Editor 指令叫用即可。其流程如下：

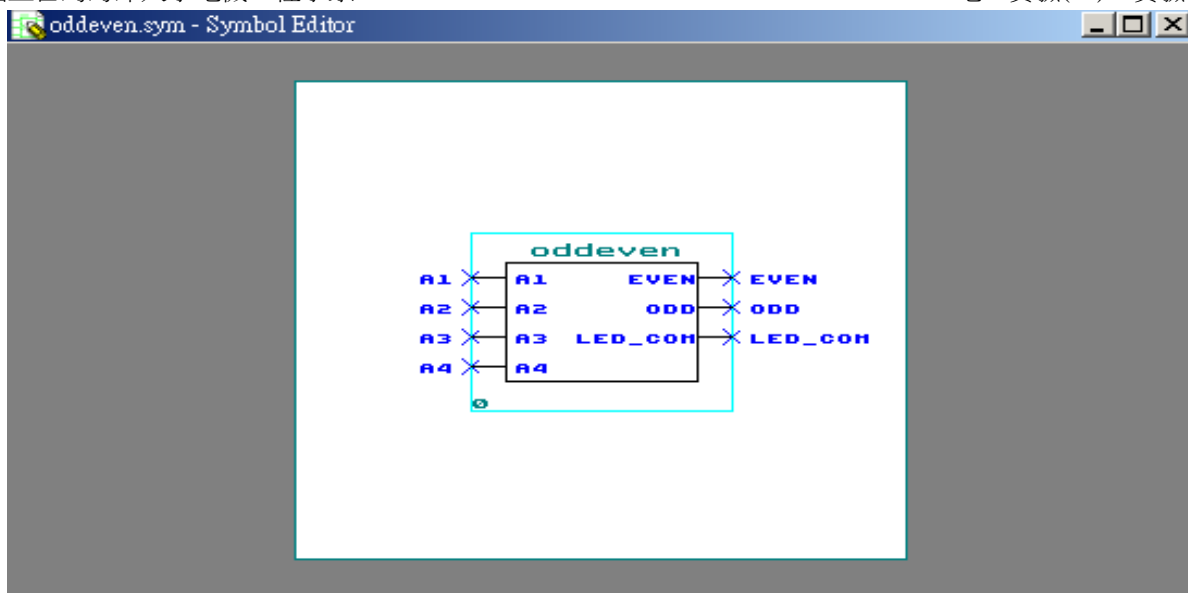
1. 設定編譯器的處理程序(Processing)
2. CPLD 晶片的選定與自由編譯
3. 平面配置
4. 平面配置後的設計編譯

下面以前電路 oddeven.gdf，如圖(5.1)，說明整個流程。

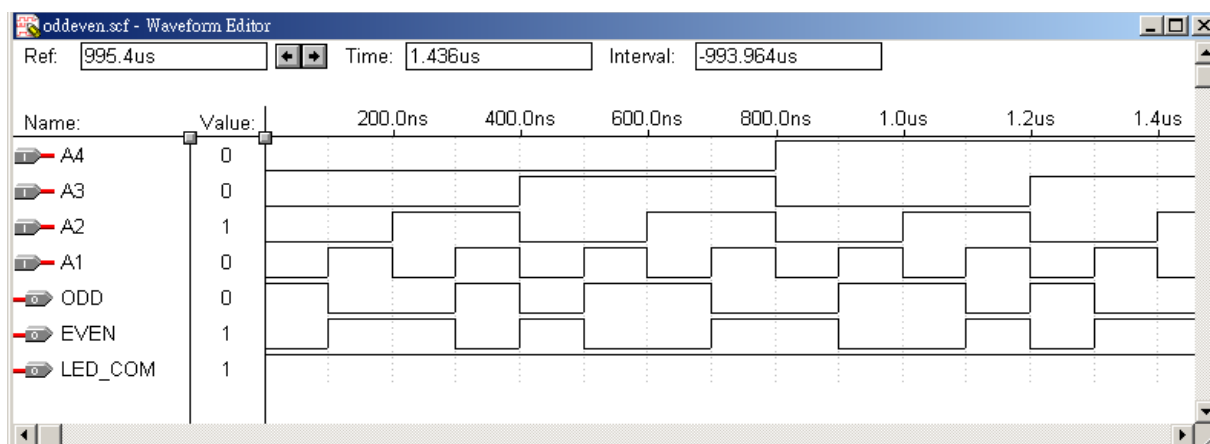
首先，請你先以圖形編輯器編輯 oddeven.gdf 電路圖，如圖(5.1)所示，並以功能模擬器完成功能模擬，如圖(5.2)所示。同時也產生內定電路符號，如圖(5.3)所示，供 mod16.gdf 使用。而圖(5.4)是配合電路的週邊被動電路(在力浦 LP-2900 實驗電路板上可直接下載組成資料測試)。



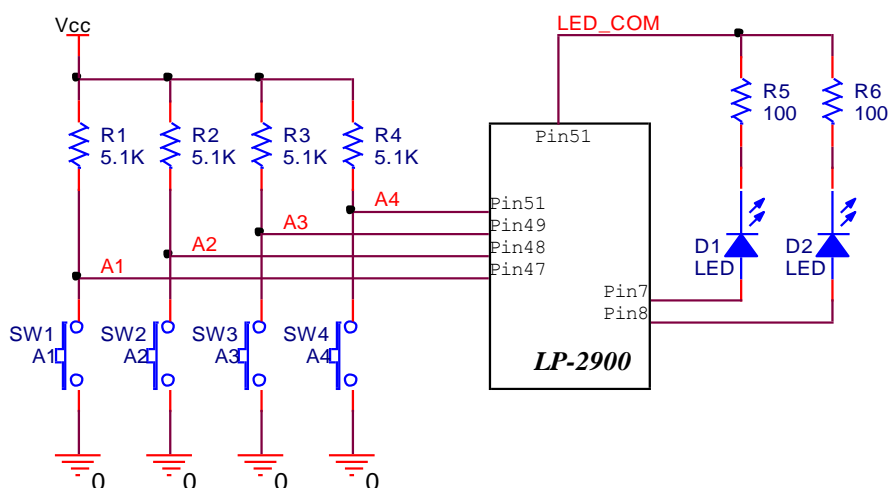
圖(5.1)：oddeven.gdf



圖(5.2)：oddeven.sym



圖(5.3)：oddeven.scf

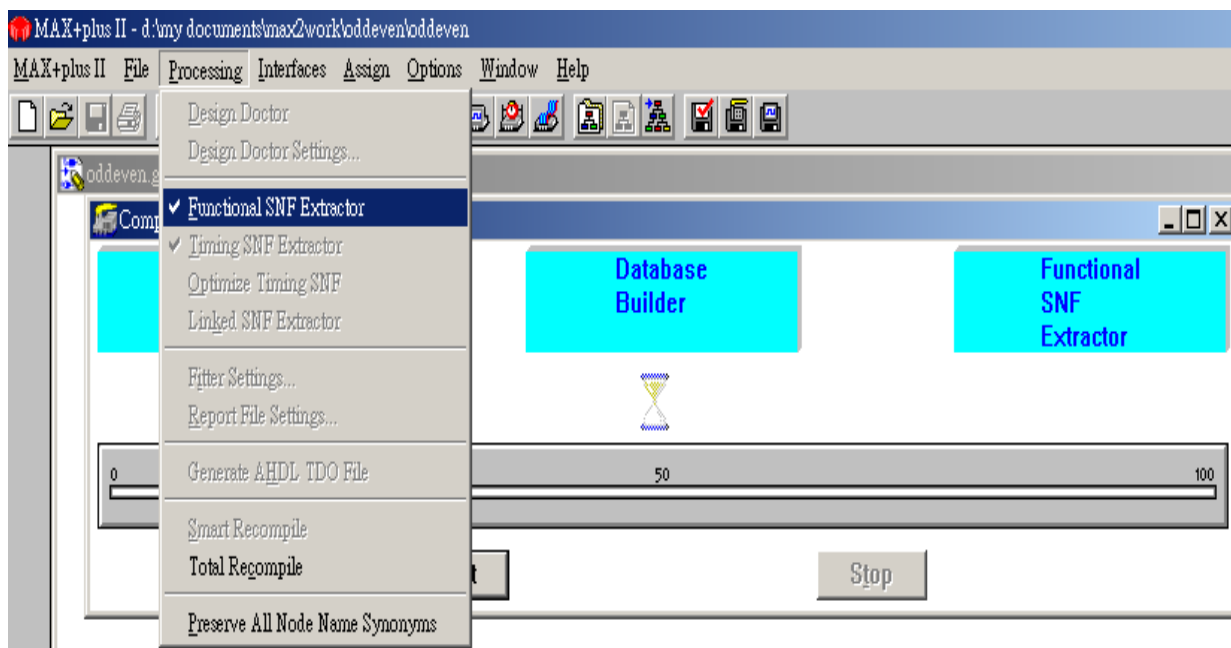


圖(5.4)：oddeven.gdf 週邊電路被動電路

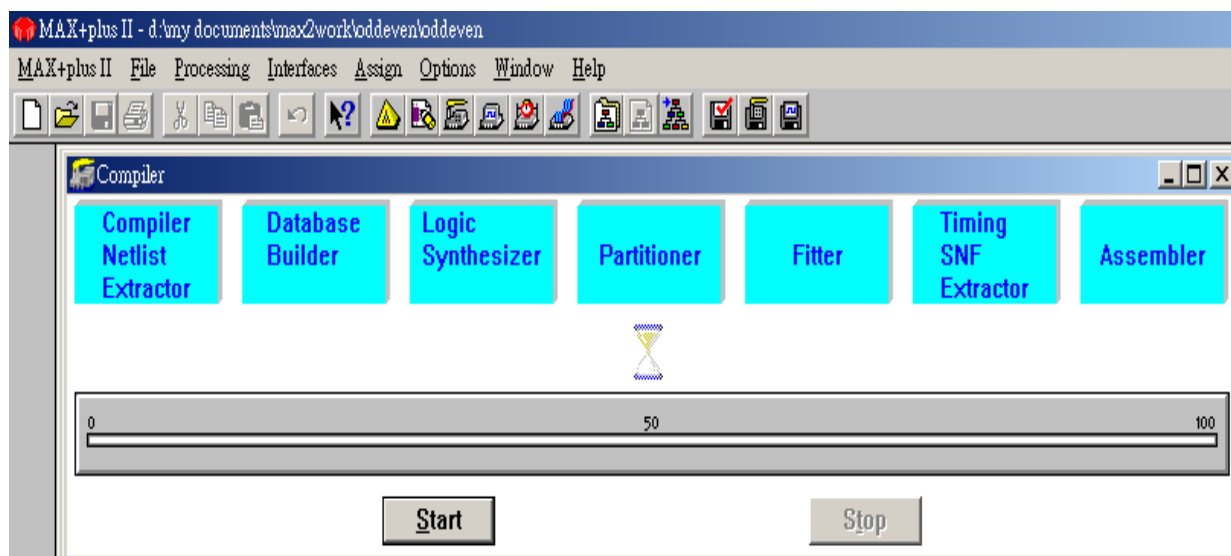
1. 編譯器處理程序(Processing)設定

當你叫用編譯器時若出現了圖(5.5)的畫面，請你在 Processing 裡 function SNF Extractor 點選一下(不選取)，使其成為圖(5.6)的情形。在這張圖裡有較

多的編譯功能模組(由左至右依序分別是：編譯的 CNF 建立模組、資料庫建立模組、電路合成模組、電路分割模組、電路的晶片安置模組、時序模擬的 SNF 建立模組與組譯模組)被選用。從這裡也可了解 Altera 編譯器中的處理程序(Processing)是可以設定以符合各種需求。在適當地方，我們會再為編譯器處理程序(Processing)的其他設定做詳細說明。



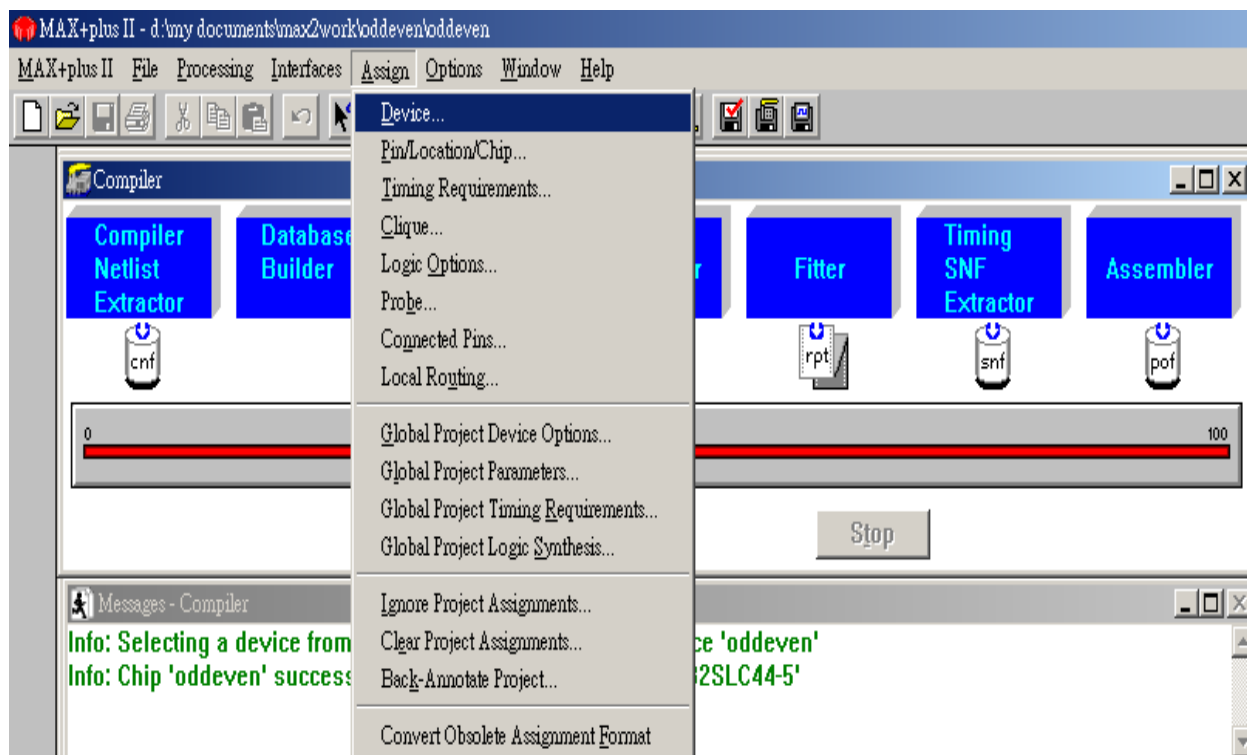
圖(5.5)：預備功能模擬的簡單編譯器視窗



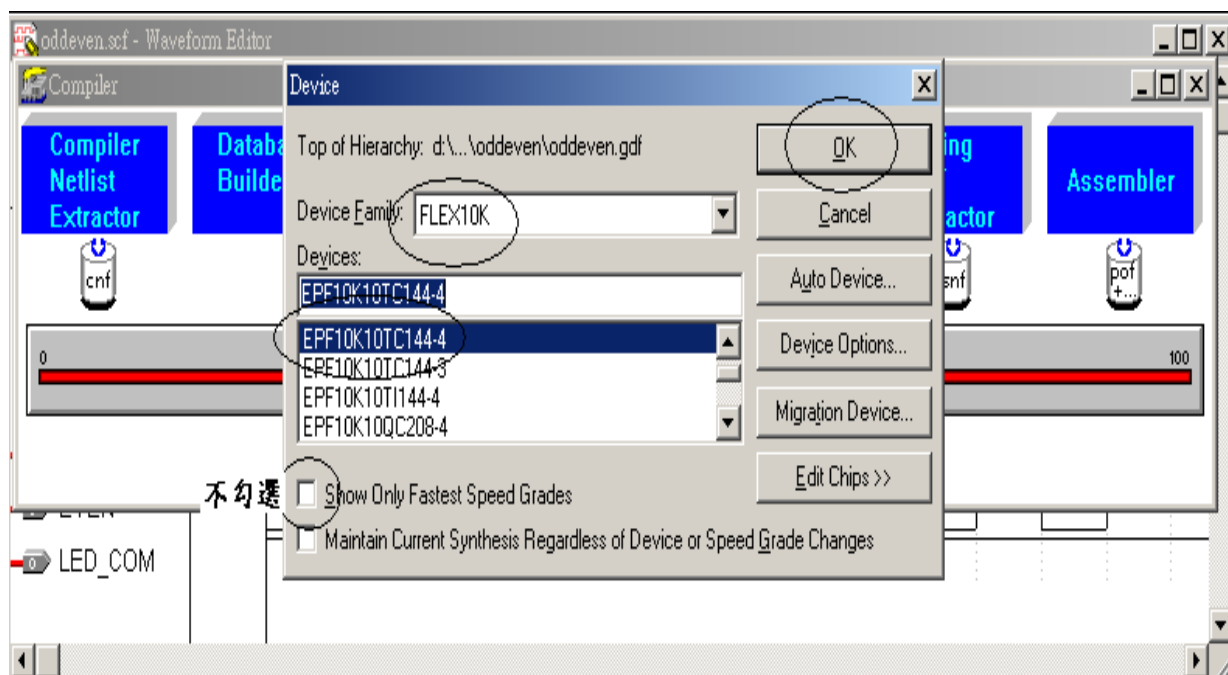
圖(5.6)：編譯器視窗

2.CPLD 晶片的選定與自由編譯

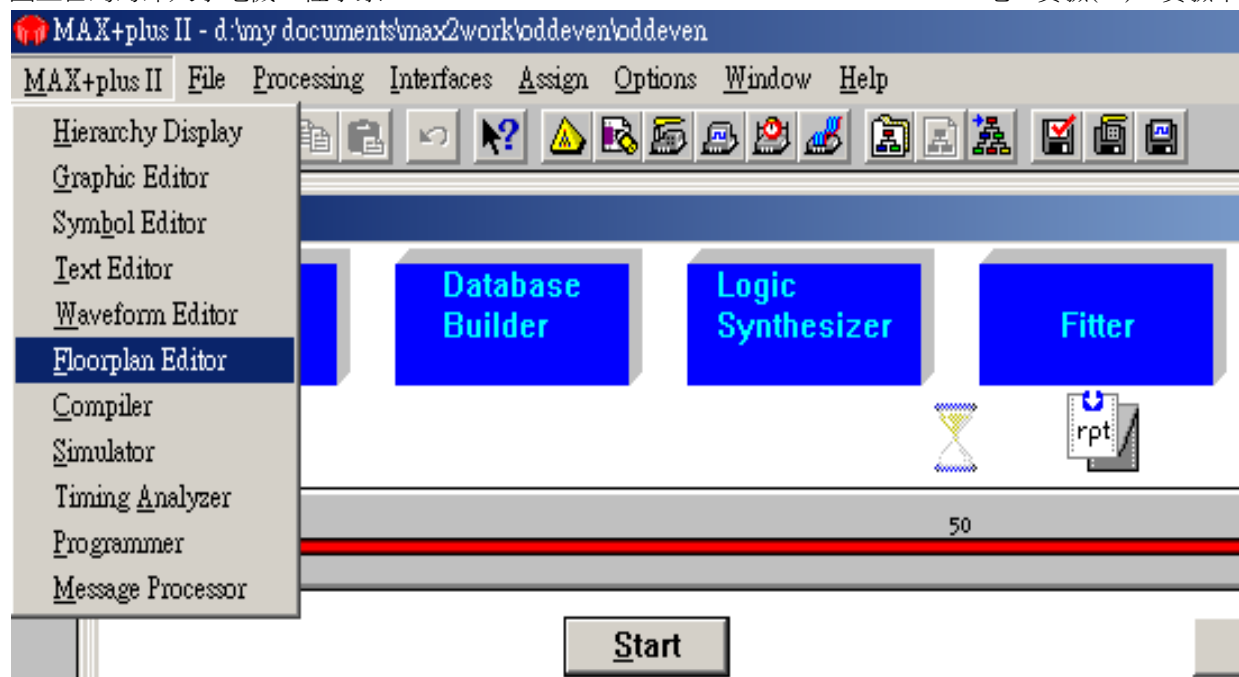
請按圖(5.7)與圖(5.8)的指示，選定 FLEX 10K 系列中 FPF 10K10TC144-4 晶片(JP AMYM 型 144 隻接腳的晶片)。選定晶片之後，就可以進行自由編譯。所謂自由編譯意指沒有太多限制的編譯(僅選定所欲安裝的晶片而已)。由於我們的練習電路相當的小，應可輕而易舉地通過各個編譯程序。



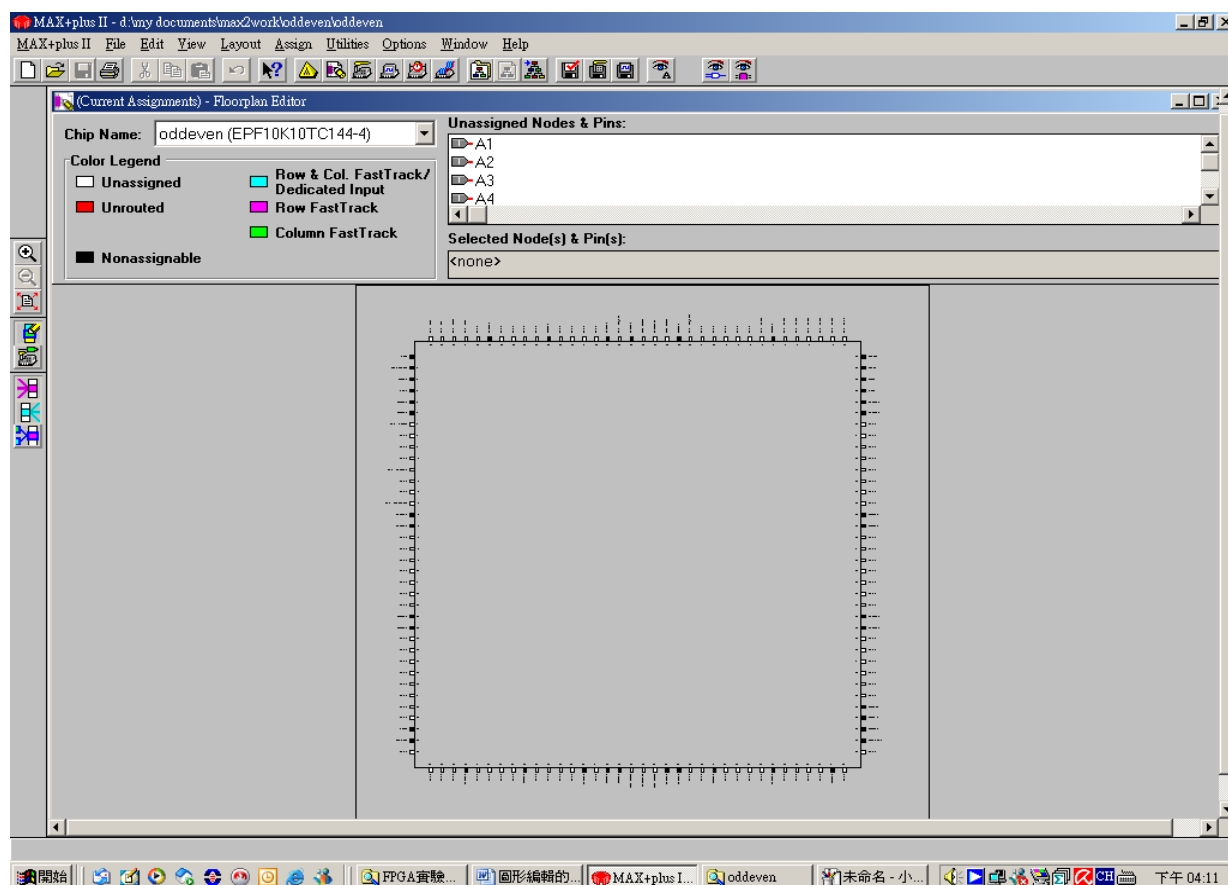
圖(5.7)：CPLD 晶片的選定



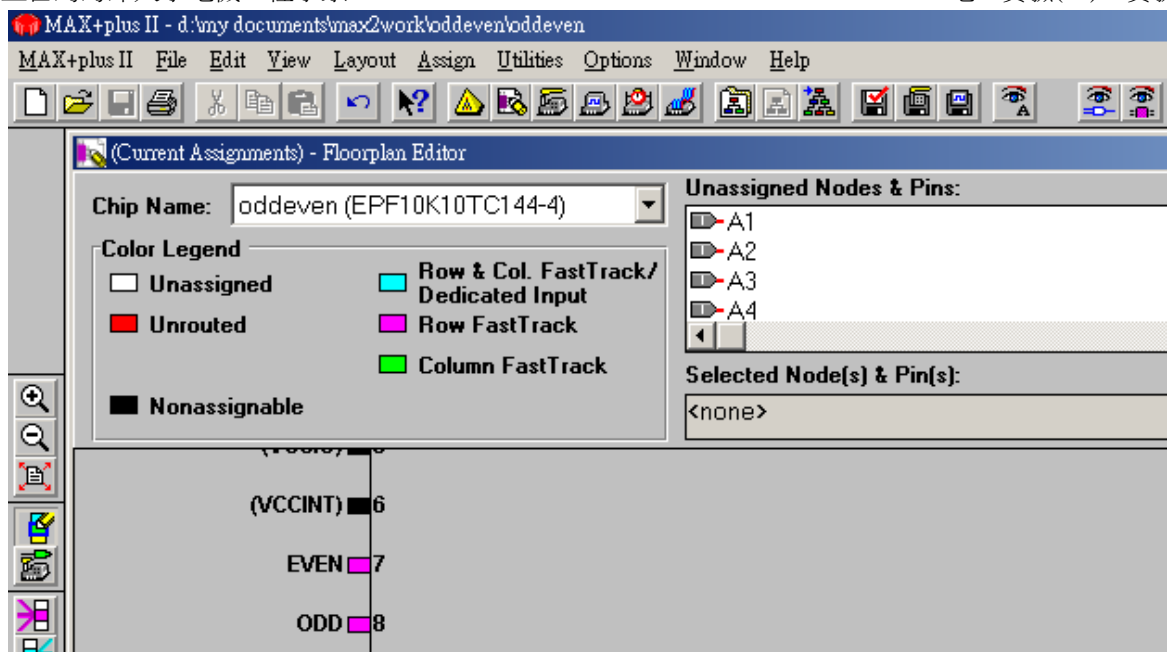
圖(5.8)：CPLD 晶片的選定(續)



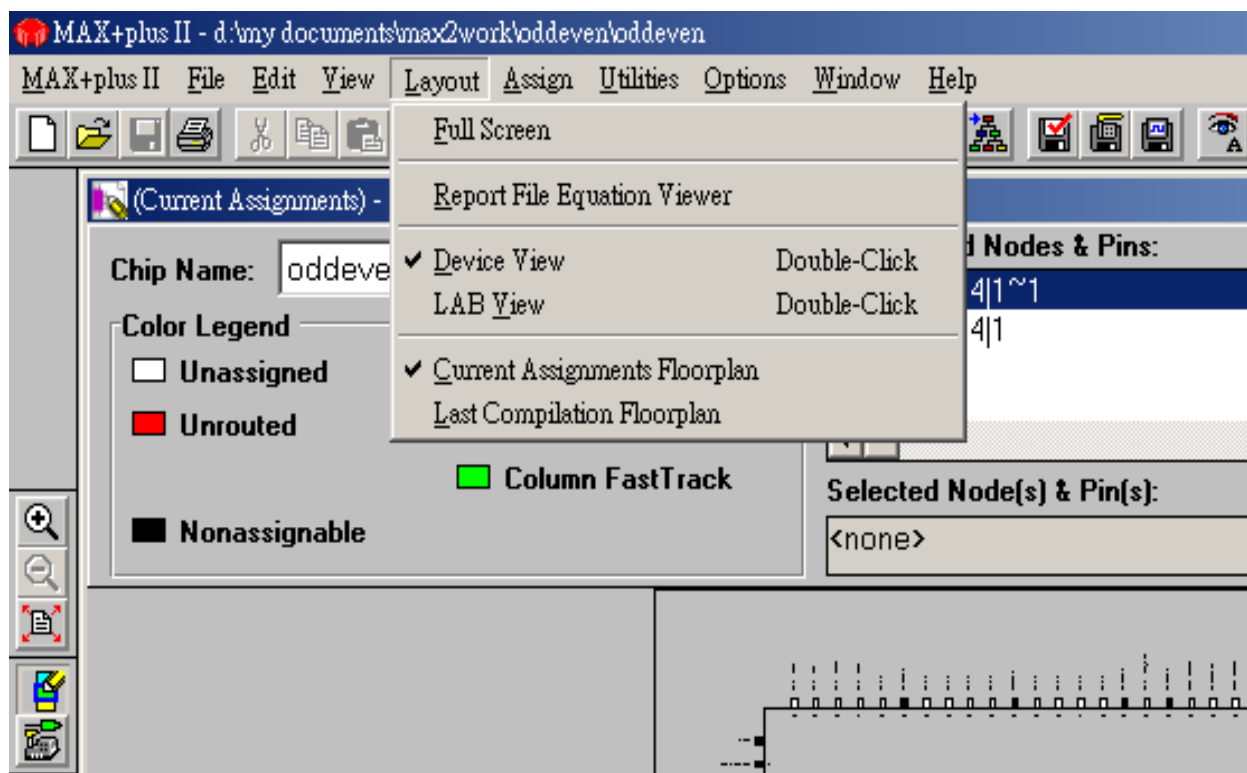
圖(5.9)：平面配置



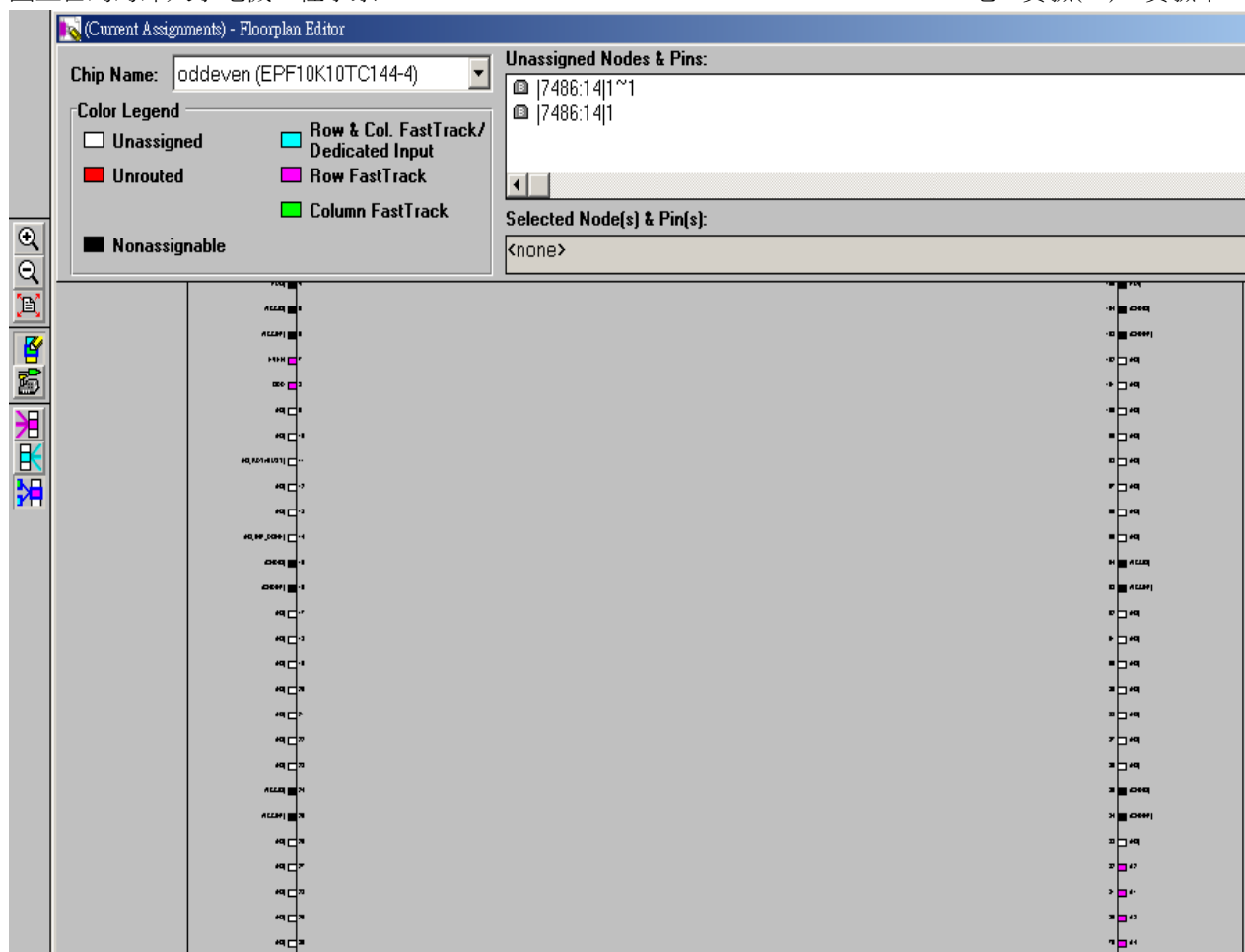
圖(5.10.1)：最新編譯結果的晶片上視圖



圖(5.10.2)：平面配置器－最新設定(Current Assignments)



圖(5.11)：Layout → Current Assignments



圖(5.12)：腳位指定完成

3.平面配置

圖(5.9)是平面配置選項，圖(5.10.1)是最新編譯結果，圖中的下半部是片上視圖(device view)。它還有另外一種視圖就是晶片透視圖(LAB view)，此視圖可你查詢電路安裝至晶片內部的概況及腳位的安排。你只要將滑鼠游標移至你要查詢的電路方塊，它就會自動地告訴你一些相關訊息供你參考。至於晶片上視圖，它只提供你腳位安排的訊息。這兩種視訊圖可透過在圖上(圖 5.10)滑鼠游標的地方次點選滑鼠左鍵，即可達到視圖切換功能。

如果你對腳位的安排不是很滿意(或是想更改時)，你都可以透過 Layout → Current Assignments 指令重新安排腳位，如圖(5.10.2)，圖(5.11)。一旦這個視窗出現，你可以利用滑鼠左鍵點選腳位(右上角的框框內)並拖曳至目的地(下方的視窗內的腳住立)放開來重新安排輸入及輸出腳位或從下方視窗內某腳位點選並拖曳至另一腳位放開，以改變腳位設定。如圖(5.12)所示，請將 A[1]—第 47 接腳、A[2]—第 48 接腳、A[3]—第 49 接腳、A[4]—第 51 接腳、

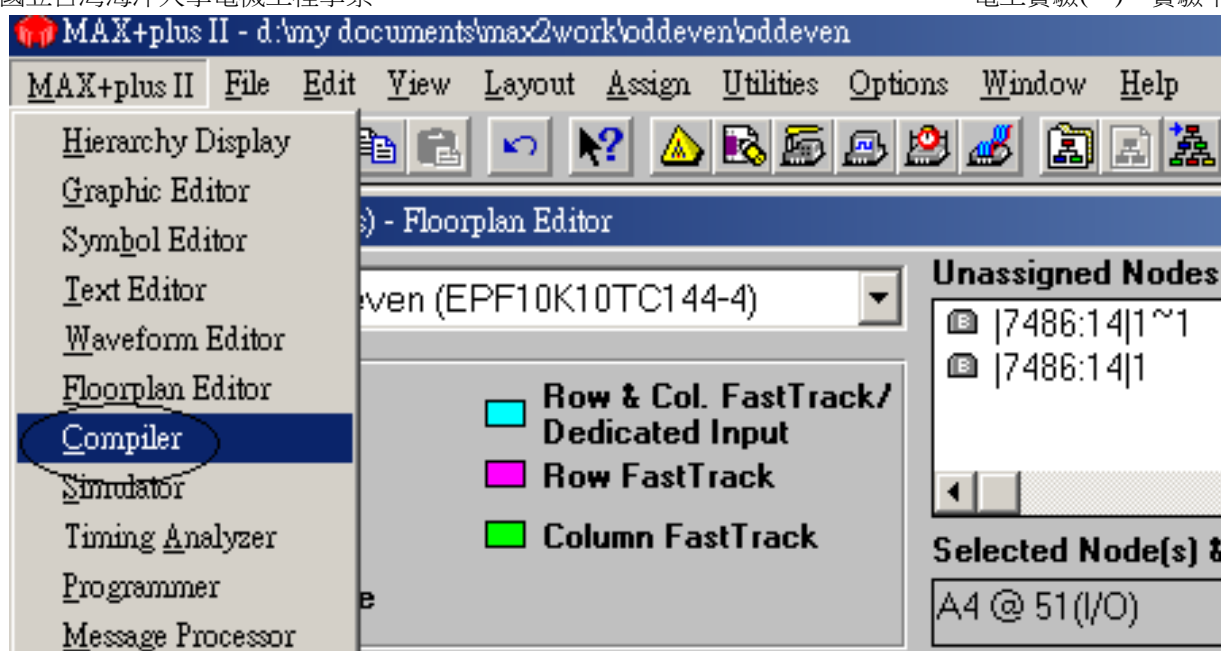
EVEN 安排至第 7 接腳、**ODD** 安排至第 8 接腳及將 **LED_COM** 輸出安排至第 141 接腳(也就是 LED 的共陽極)，茲將 EPF10K10TC144-4 晶片腳位設定列表如表(二)所示。

表(二)：EPF10K10TC144-4 晶片腳位設定

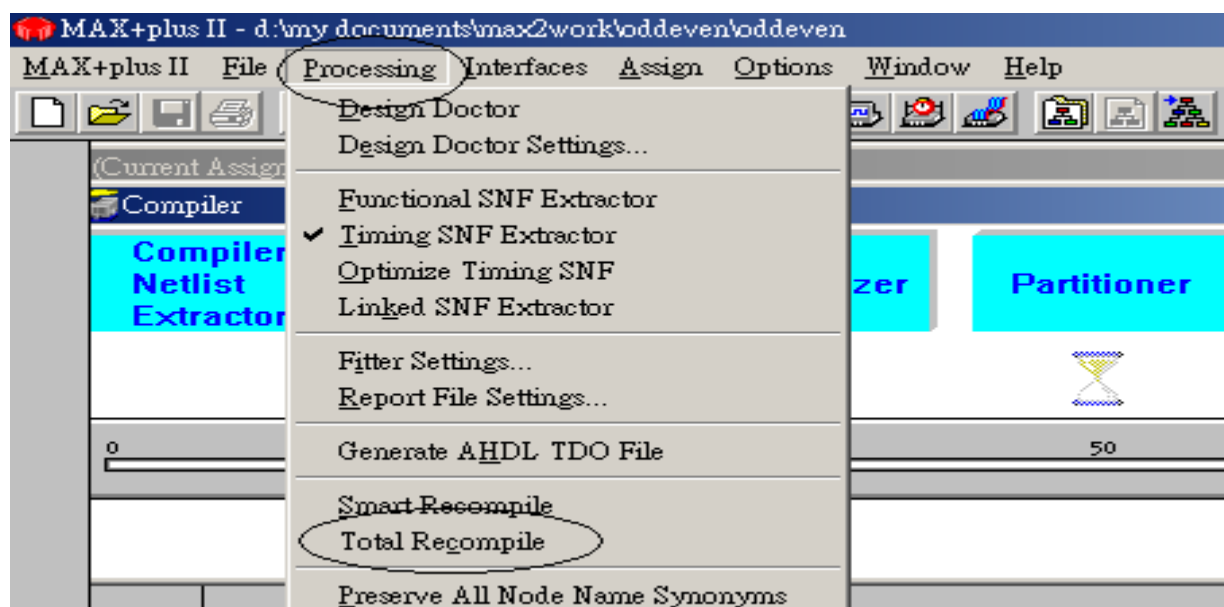
訊號線名稱	EPF10K10TC144-4 晶片腳位
A1	Pin47
A2	Pin48
A3	Pin49
A4	Pin51
EVEN	Pin7
ODD	Pin8
LED_COM	Pin141

4.平面配置後的設計編譯

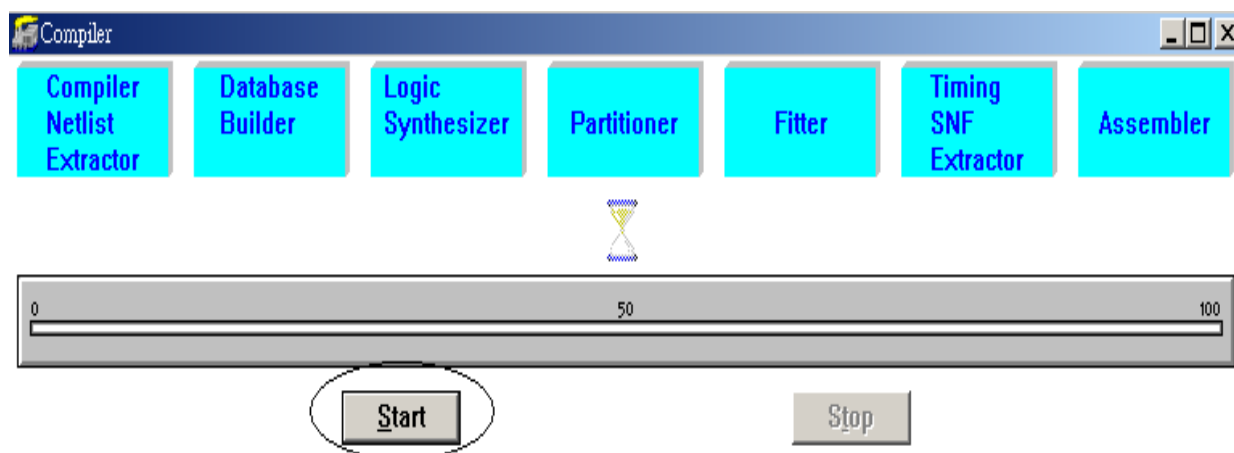
經平面配置器最新腳位設定後，請開啟編譯器視窗(如圖 5.13-1)。並點選 **Processing→Total Recompile** 後，(如圖 5.13-2)，啟動編譯，(如圖 5.13-3)。編譯後若沒有任何錯誤訊息，你得到一個 oddeven.sof 檔，(如圖 5.14)。在下一節，我們將要利用這個檔來規劃 EPF10K10TC144-4 CPLD 晶片。若編譯後有任何錯誤訊息，請你重回步驟 3(平面配置)修改腳位後再編譯，一直到沒有錯誤為止。



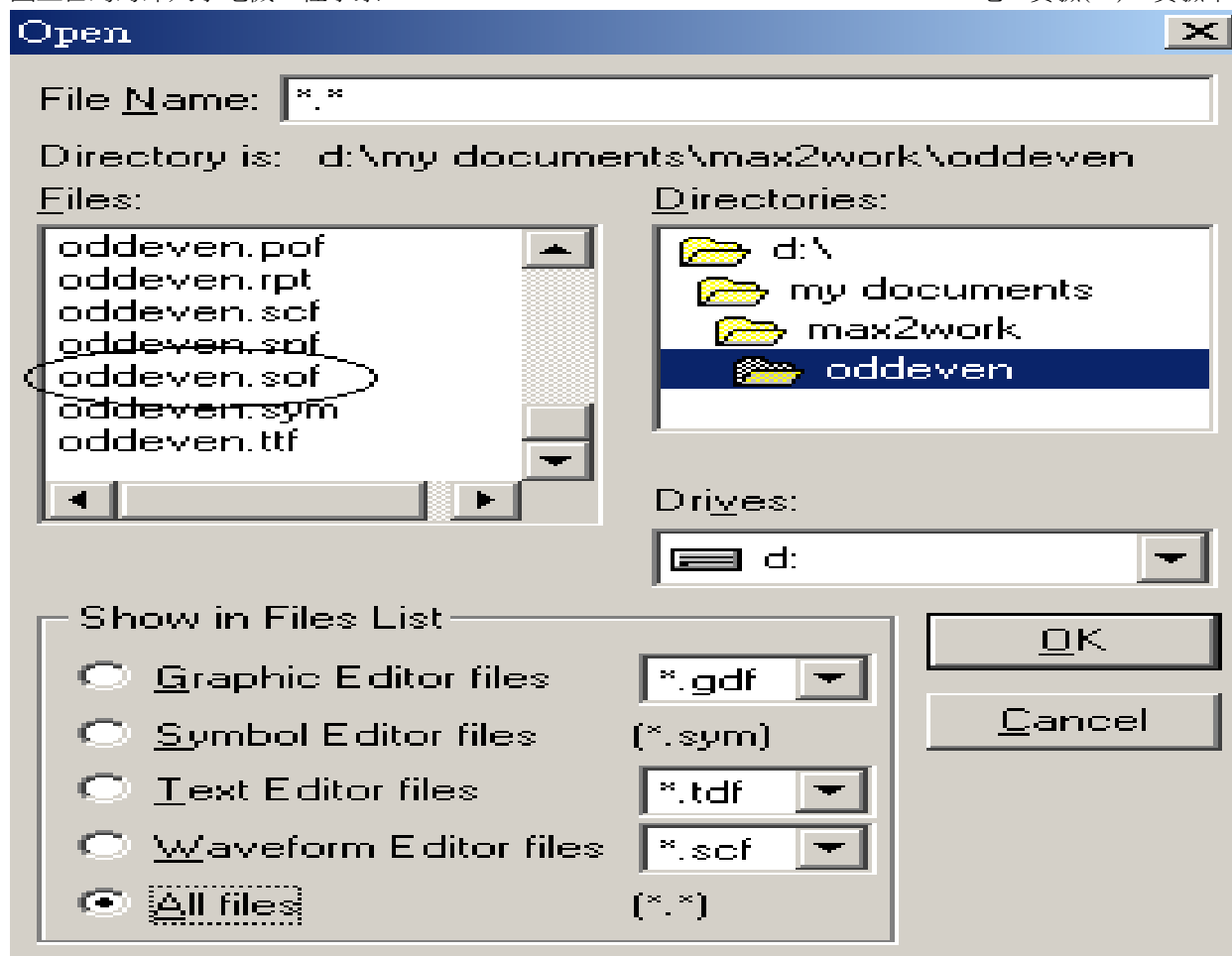
圖(5.13-1)：開啟編譯器視窗



圖(5.13-2)：Processing→Total Recompile



圖(5.13-3)：啟動編譯



圖(5.14)：得到一個 oddeven.sof 檔

六、晶片規劃(Programming)與電路測試

就 Altera 晶片的規劃而言，首先需先知道實驗室所使用之晶片其內部記憶體是那一類型：EPROM、EEPROM、FLASH、SRAM?不同型式的記憶體，會有不同的規劃方式，以 LP-2900 為例，我們要來規劃的晶片為 EPF10K10TC144-4CPLD，所以安裝晶片是選擇它。它是 SRAM 型 Altera 晶片，在電路組成資料時(configuration data)必須於系統啟動時載入晶片完成電路重組。也就是說 FLEX 10K 系列提供你以不同「重組電路資料」重組出不同電路的彈性。為了完成「系統啟動時載入」的功能，Altera 提供一種串列組成 EPROM (Altera's sereal configuration EPROM)為 FLEX 10K 系列晶片儲存組成資料，並能在系統啟動時載入電路組成資料完成電路重組。

教學實驗室提供 2 種數位邏輯電路模擬器，其中一種為 LP-2900 CPLD 邏輯設計實驗平台。此實驗器包含兩大主要硬體部份，茲分述於下：

1.CPLD 晶片板

這個模組裡，共有如下電路：

a.規劃電路：由晶片 EPF10K10TC144-4 一顆所構成，其功能是接受來自載入電路的組成電路資料以規劃 EPF10K10TC144-4，並驅動輸出入電路工作。

b.載入電路：其功能是傳送電路的「組成資料」至「規劃電路」，以便規劃目標晶片 EPF10K10TC144-4。其規劃方式有數種，這裡僅介紹下面三種方式：

①.使用個人電腦印表機並列埠接受「組成資料」，並轉送至「規劃電路」。需執行 Maxplus II 的 Programmer(燒錄程式)配合送出「組成資料」。

②.由 EPROM 上取出「組成資料」，並轉送至「規劃電路」，其中電路板 AU3-IC 座上需有一個 2764EPROM。

③.如前①.由個人電腦上執行 MAXPLUS II 的 Programmer 配合送出「組成資料」，需使用 Byteblaster 連接線的下載方式。Byteblaster 連接線的一端接至個人電腦印表機並列埠，另一端接至 LP-2900 實驗器上的 Byteblaster 插座上。

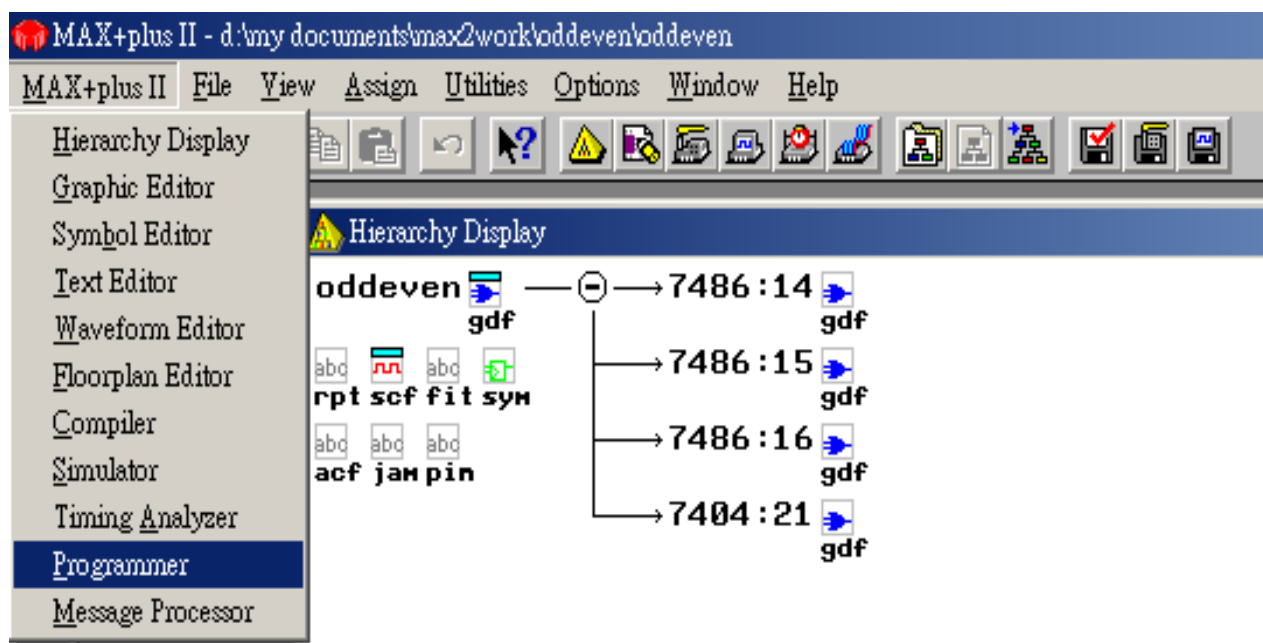
2.I/O 原件實驗板

這個模組裡配備有一些輸入的按鍵或選擇開關以及輸出的顯示電路(LED、點矩陣 LED 與液晶顯示器)。實驗板上還備有 A/D 轉換器、D/A 轉換器及 8051 單晶片。

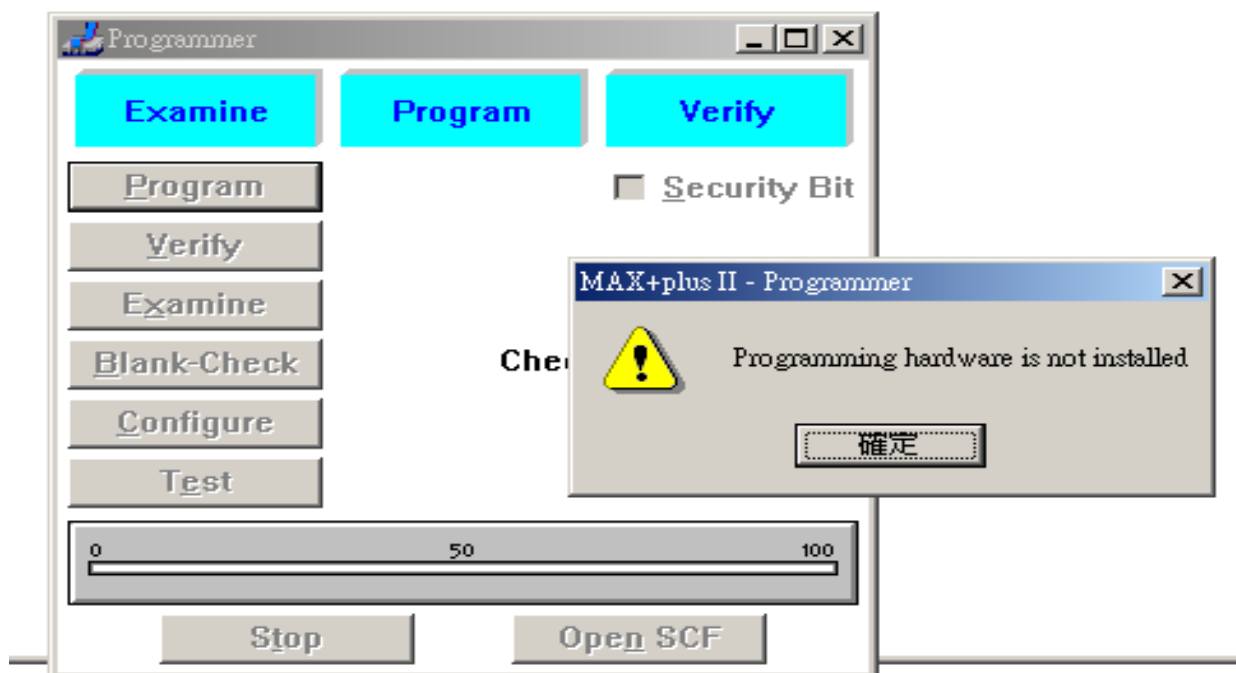
數位邏輯實驗器 LP-2900 CPLD，規劃 FLEX 10K10 晶片有下列二種途徑：

a.使用印表機並列埠下載：

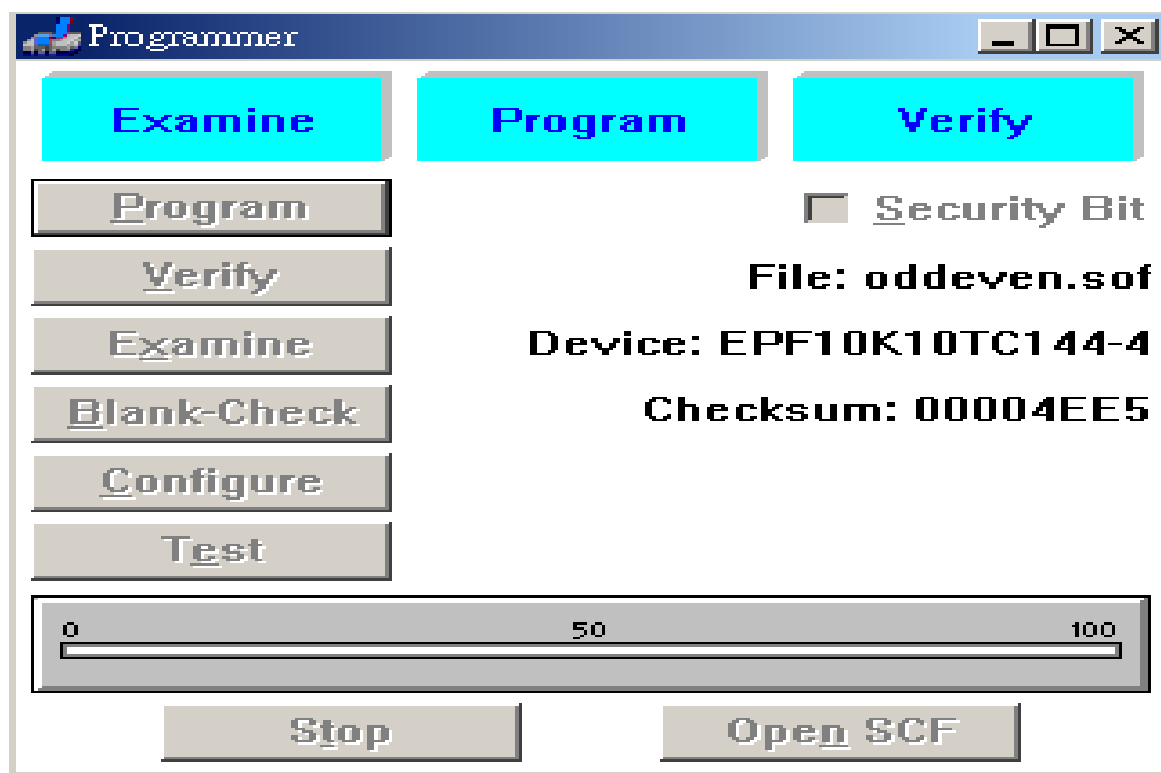
- ①.個人電腦印表機並列埠與 LP-2900 實驗台之並列埠相連接。
- ②.將實驗板上的電源插上(左上角 LED D1 會亮)後，按一下 RESET 鍵(右邊中間位置)。
- ③.在 MAXPLUS II 之下，以 Maxplus II→Programmer 啟動燒錄視窗，如圖(6.1)。由於「硬體設定」尚未完成，所以出現“Pro-gramming hardware is not installed.”(規劃硬體尚未安裝)訊息，如圖(6.2)。請按「確定」鍵，如圖(6.3)。



圖(6.1)：Maxplus II→Programmer



圖(6.2)：Maxplus II→Programmer 啟動燒錄視窗

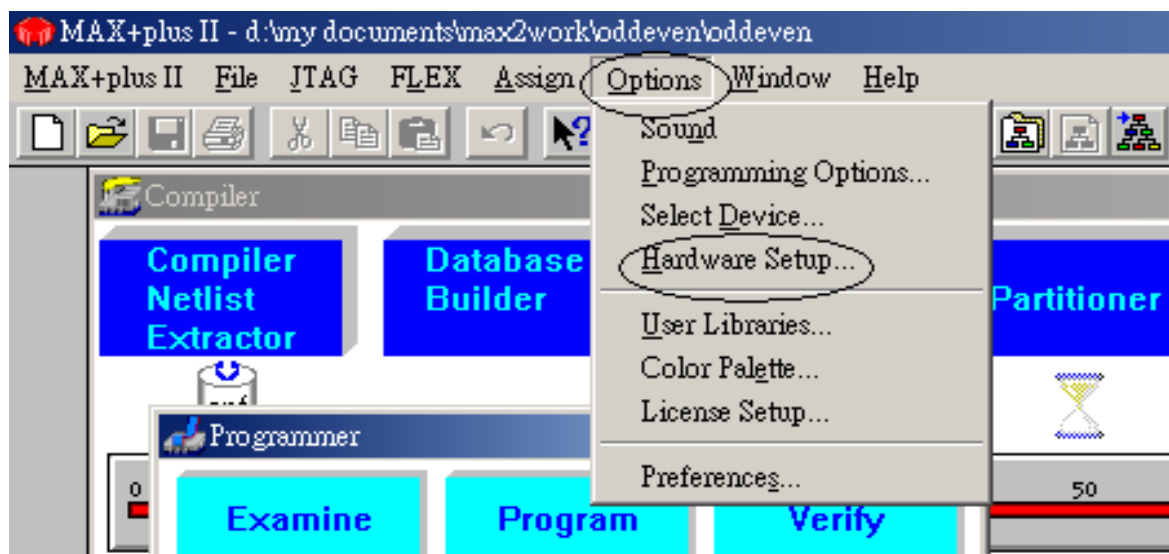


圖(6.3)：Maxplus II→Programmer 啟動燒錄視窗 O.K.

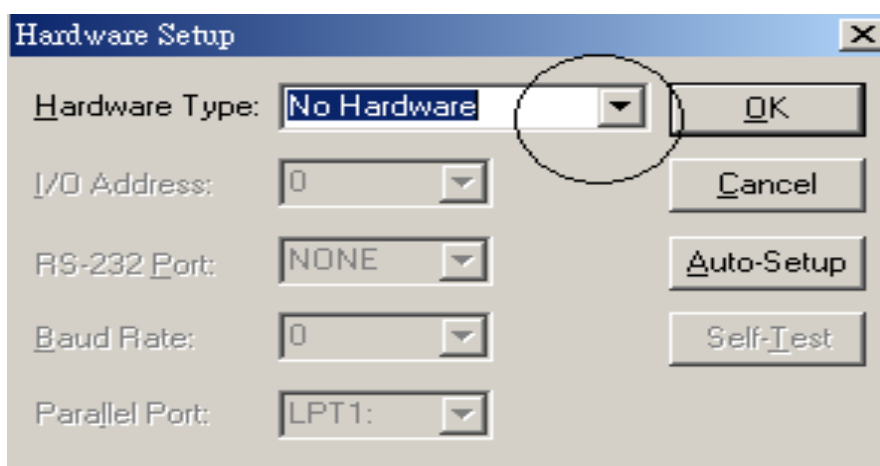
④.以 Option→Hardware Setup 叫出硬體設定視窗，如圖(6.4)。進入「硬體設定」視窗之後，請按“Hardware Type”框框旁的選取紐，並選取

“ByteBlaster”，如圖(6.5)～圖(6.7)所示。一旦硬體設定完成之後，除非下載方式改變否則無需每次重新設定。電腦要灌 ByteBlaster 驅動程式，其程序

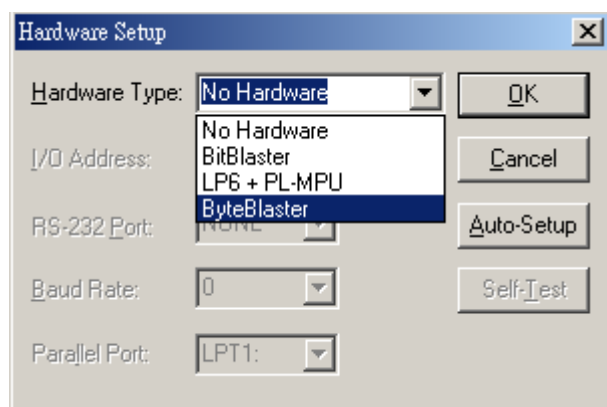
可參閱附件。其中所出現的 ByteBlaster 會因不同 Maxplus II 版本，會有「ByteBlaster」、「ByteBlaster II」等，實驗器在操作上不會發生問題的。



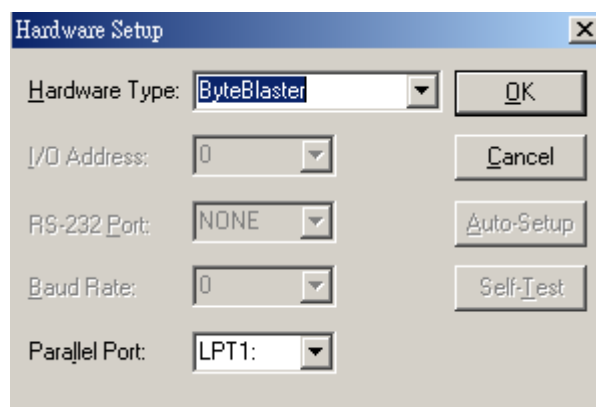
圖(6.4)：硬體設定視窗之啟動



圖(6.5)：硬體設定視窗之設定



圖(6.6)：硬體設定視窗之設定(續)



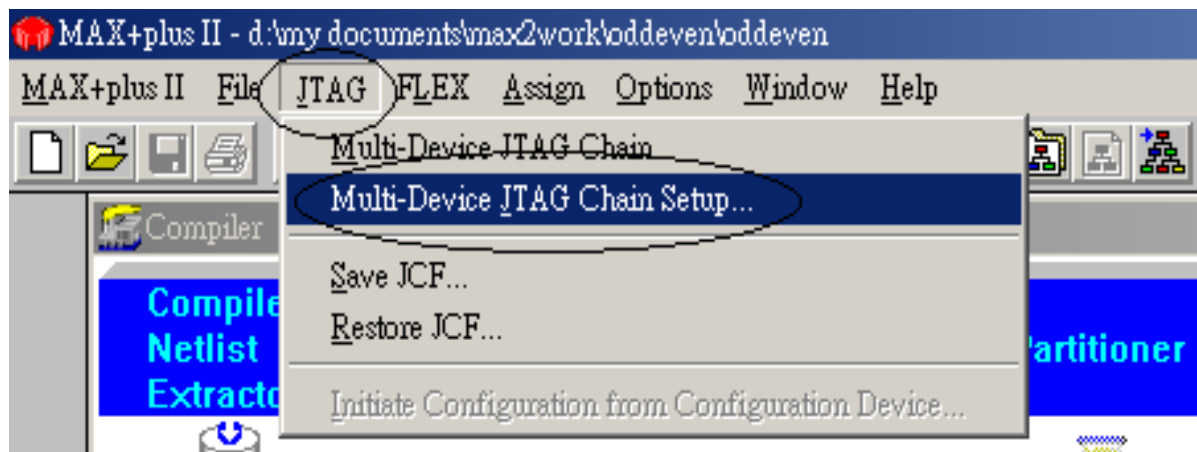
圖(6.7)：硬體設定視窗之設定(續)

⑤.以 JTAG → Multi-Device JTAG Chain Setup 指令啟動多晶片 JTAG 鏈接設定視窗(圖 6.8)。進入「多晶片 JTAG 鏈接設定」視窗之後，請按“Device

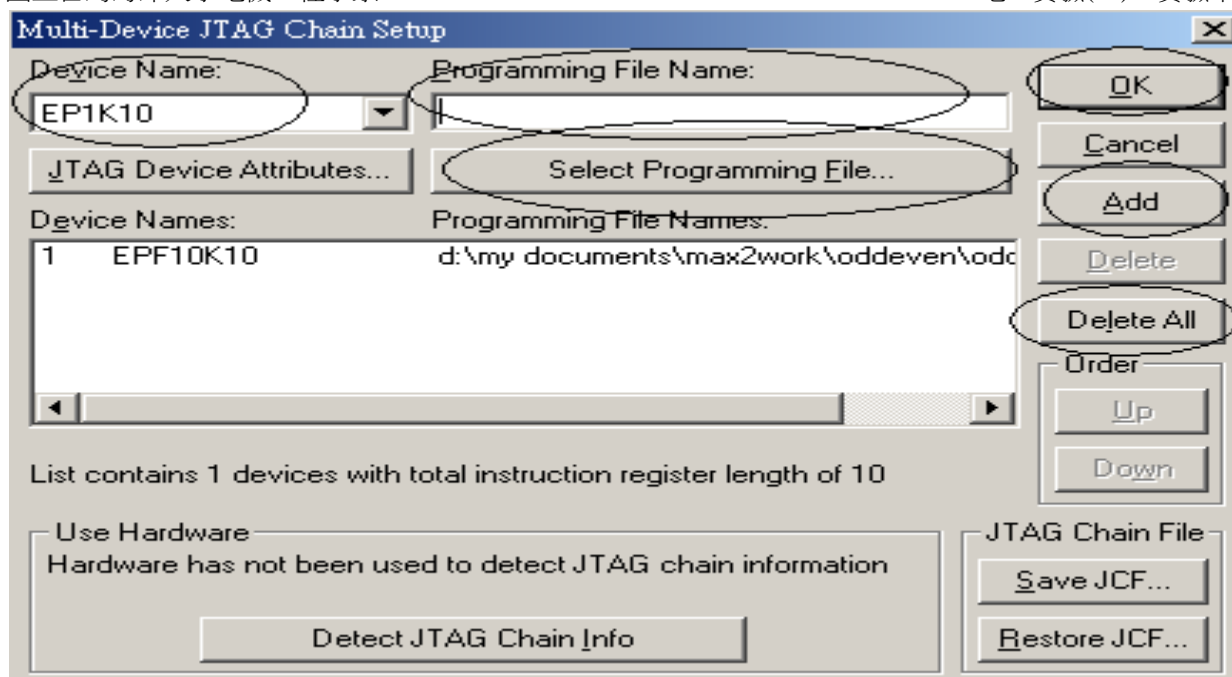
Name”框框旁的選取紐，並選取“EPF10K10”，如圖(6.9)。然後按“Select Programmin File(選取規劃檔)”選鈕，並選取“oddeven.sof”檔，如圖(6.10)所示。並按下“Add”鍵，如圖(6.11-1)、圖(6.11-2)後，按下“OK”鍵，離開「多晶片鏈接設定」視窗。若出現圖(6.13)，這表示我們關閉了“multi-Device JTAG Chain(多晶片 JTAG 鏈接)”模式，以請按“Yes”鍵。

⑥.回至「燒錄程式」視窗，按下 Configure 鍵(圖 6.14)就可進行「下載規劃」。

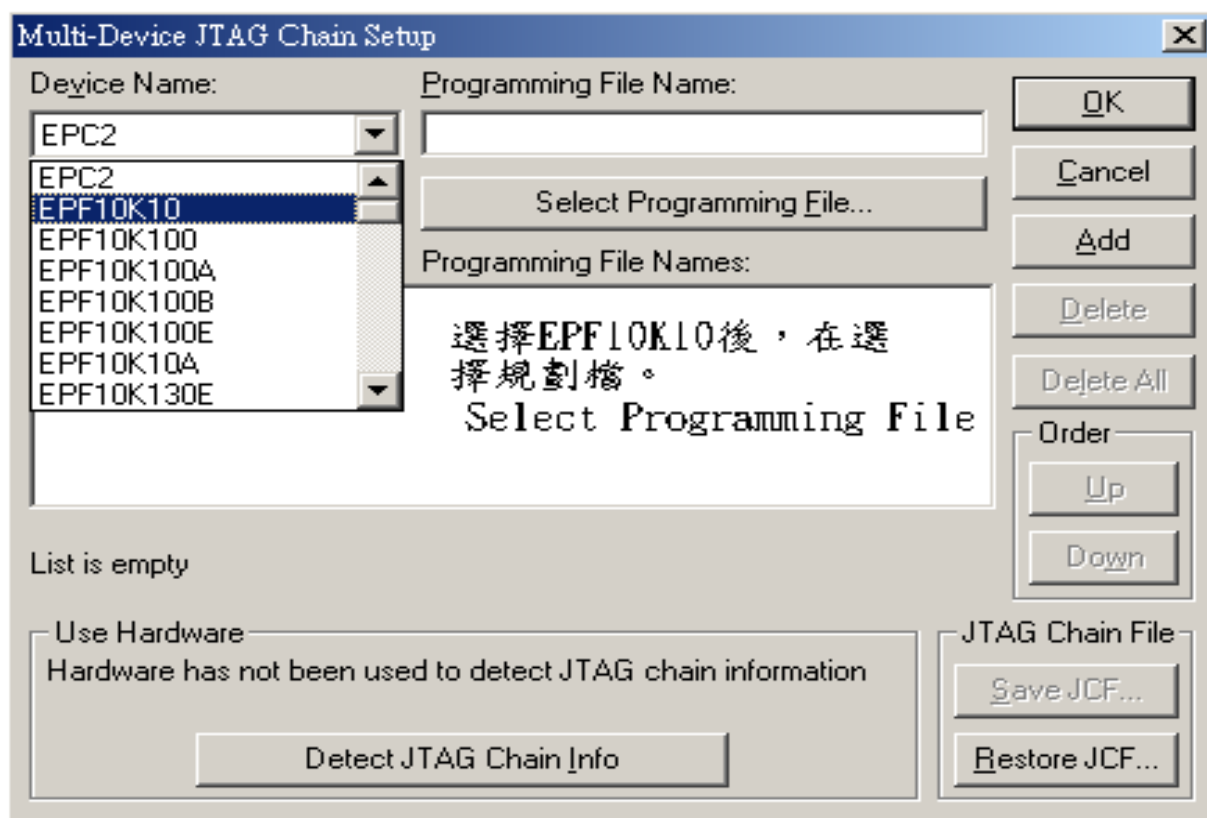
⑦.一旦規劃完成(CPLD-EPF10K10 晶片模組上的 OK 燈會亮，否則 ERROR 燈會亮)，請選擇 LP-2900 CPLD 邏輯電路實驗平台左下方之開關，「SW17」、「SW18」、「SW19」、「SW20」等開關，觀測「IO7」、「IO8」燈號變化，是否符合邏輯設計。



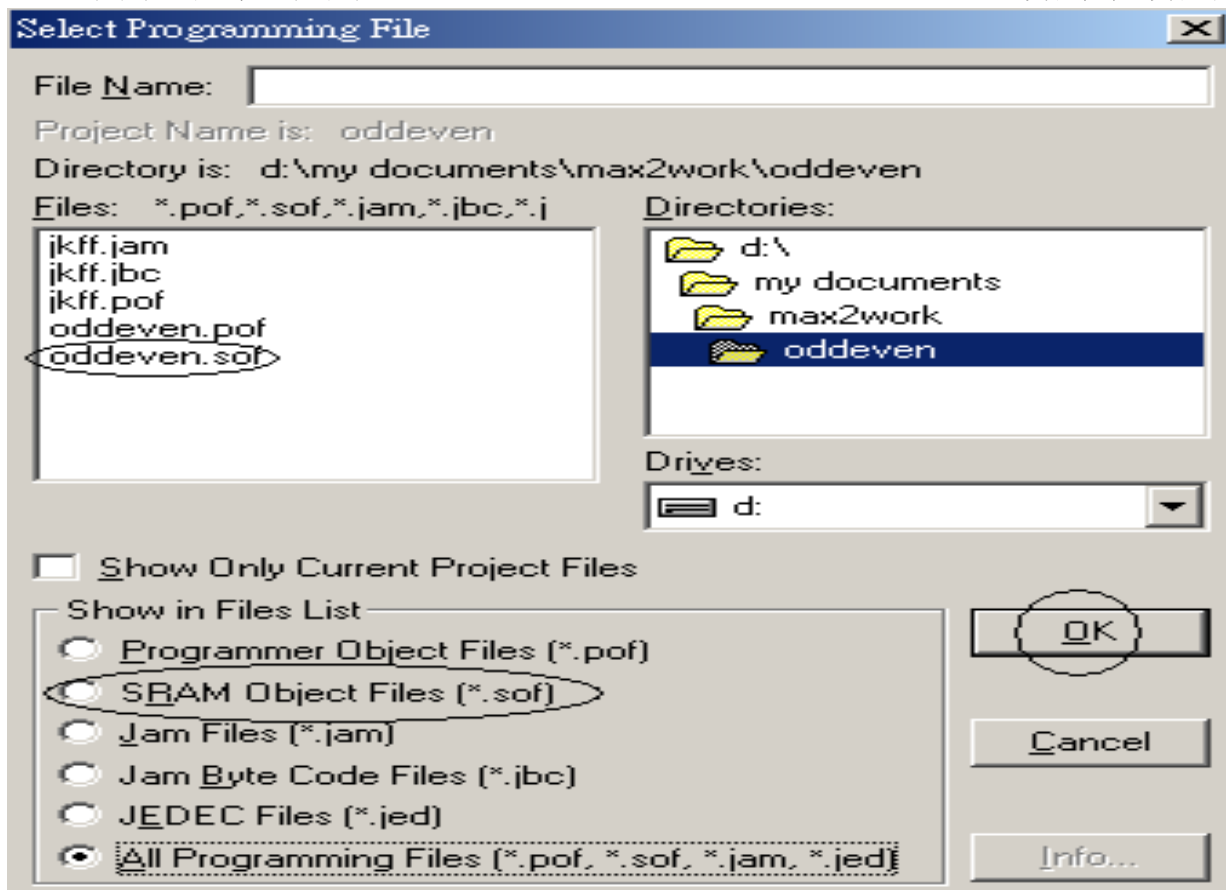
圖(6.8)：啟動多晶片 JTAG 鏈接設定視窗



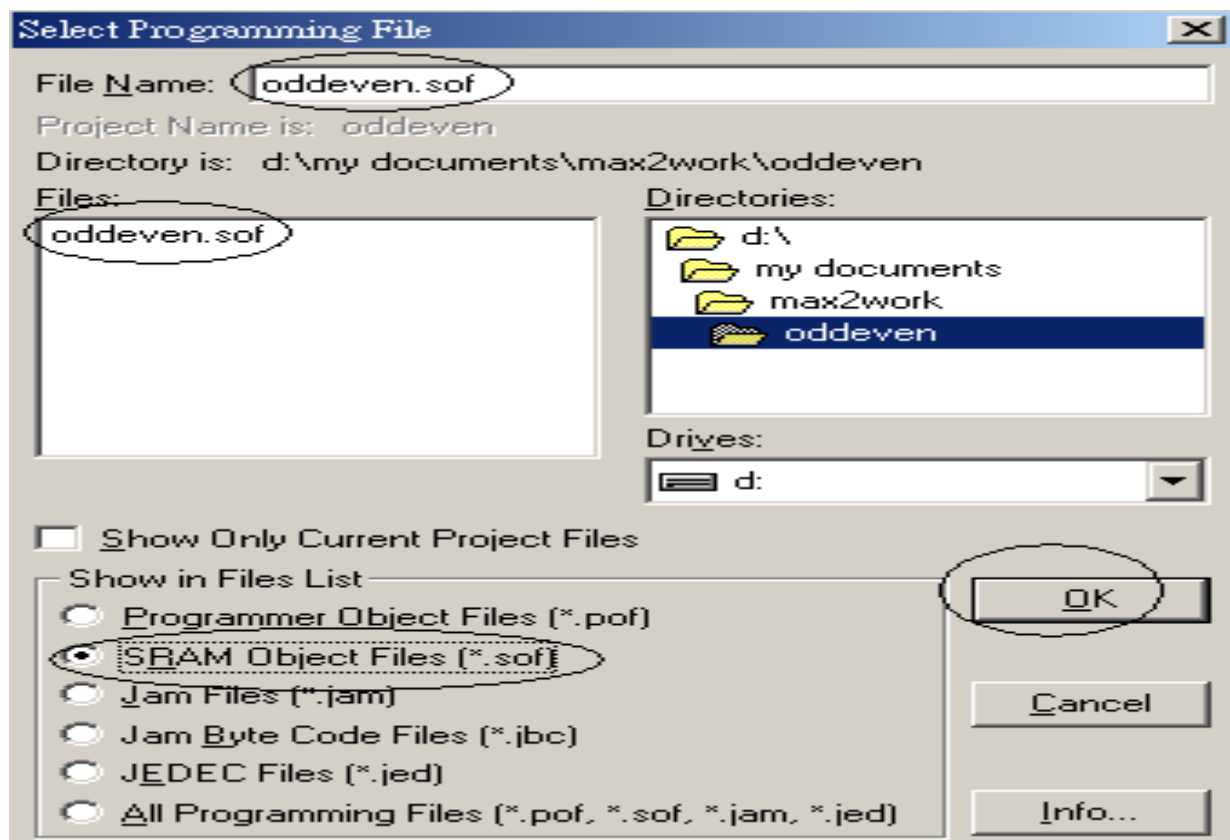
圖(6.9)：多晶片 JTAG 鏈接設定



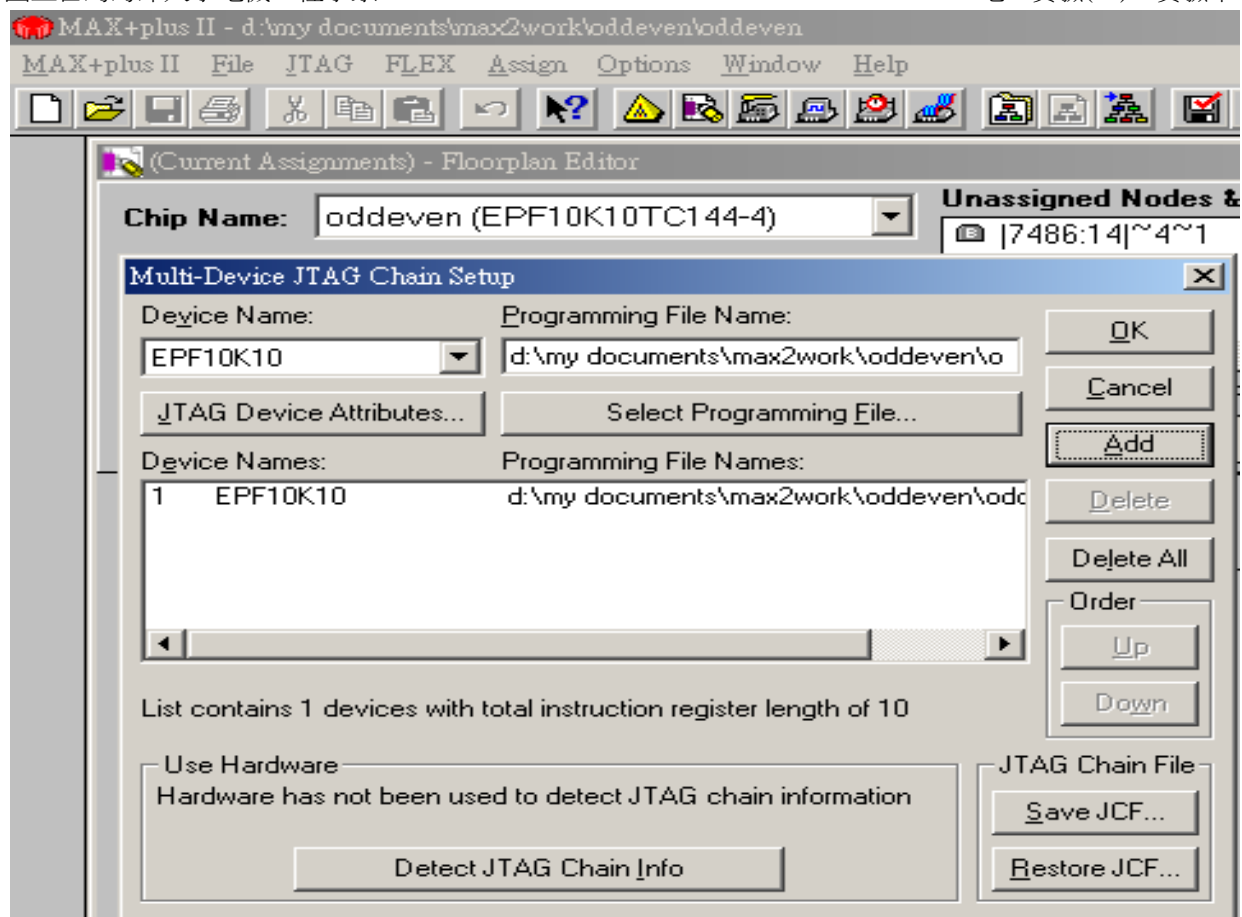
圖(6.10)：多晶片 JTAG 鏈接設定(續)



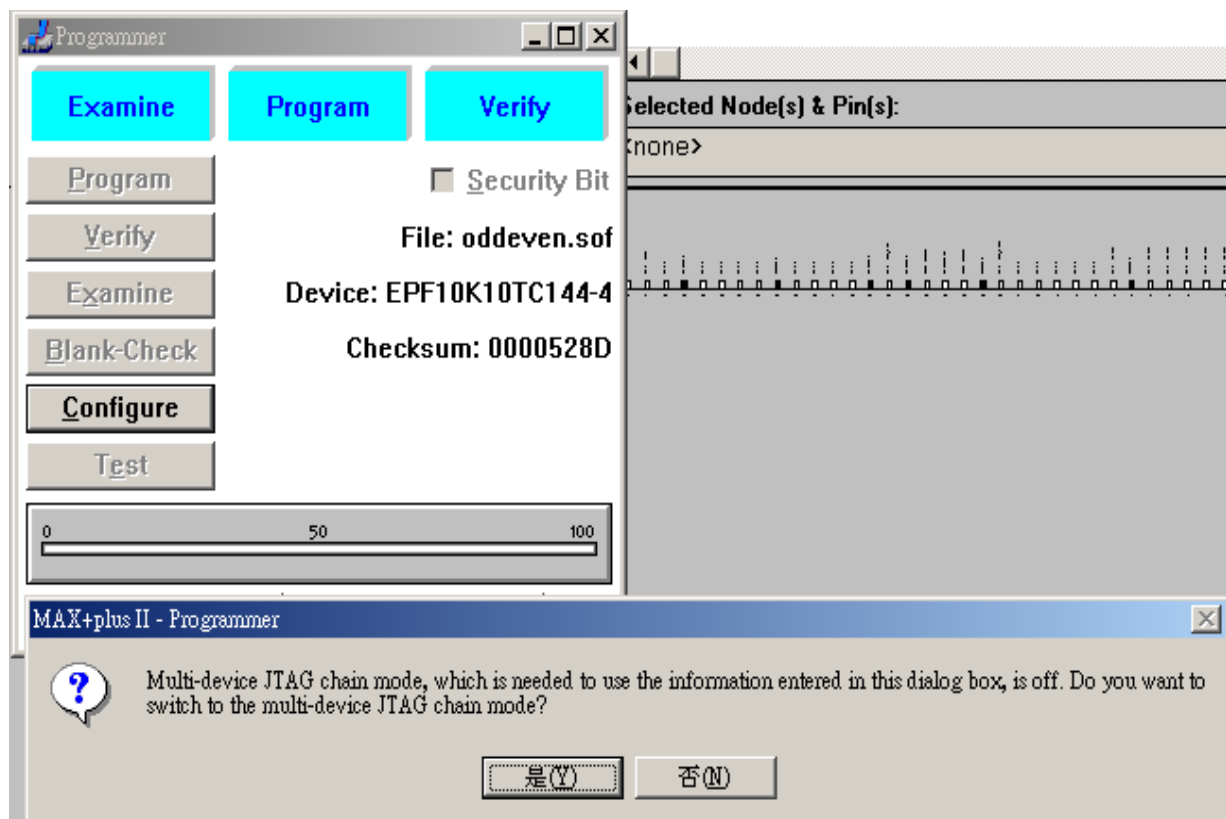
圖(6.11-1)：多晶片 JTAG 鍵接設定(續)



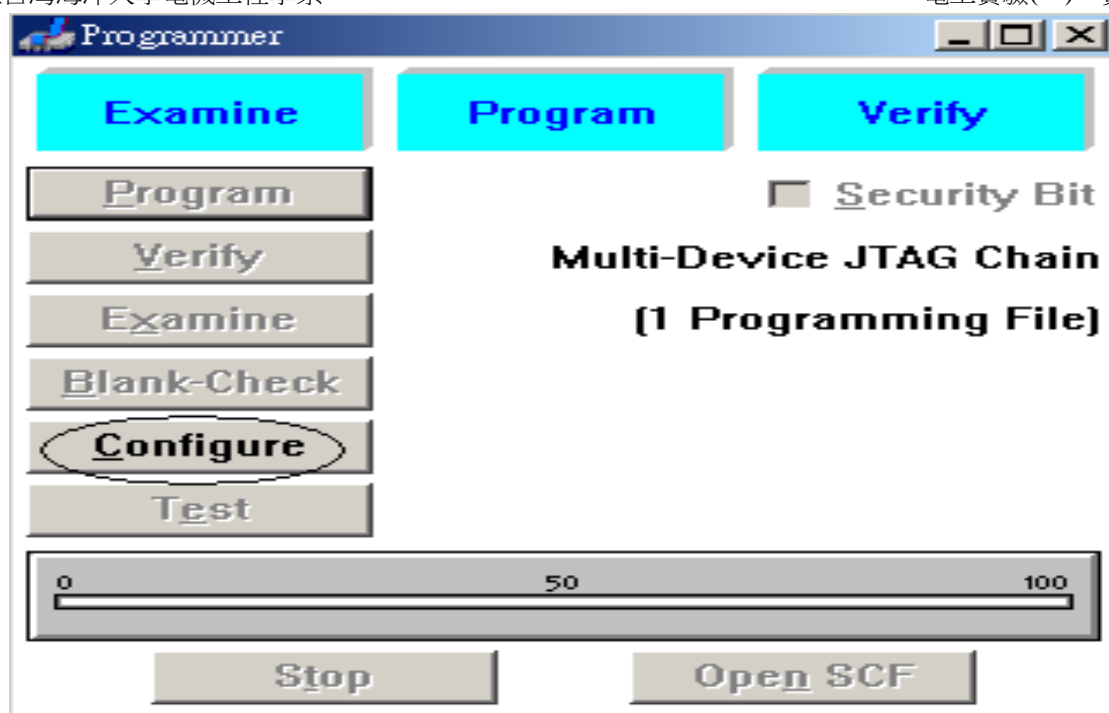
圖(6.11-2)：多晶片 JTAG 鍵接設定(續)



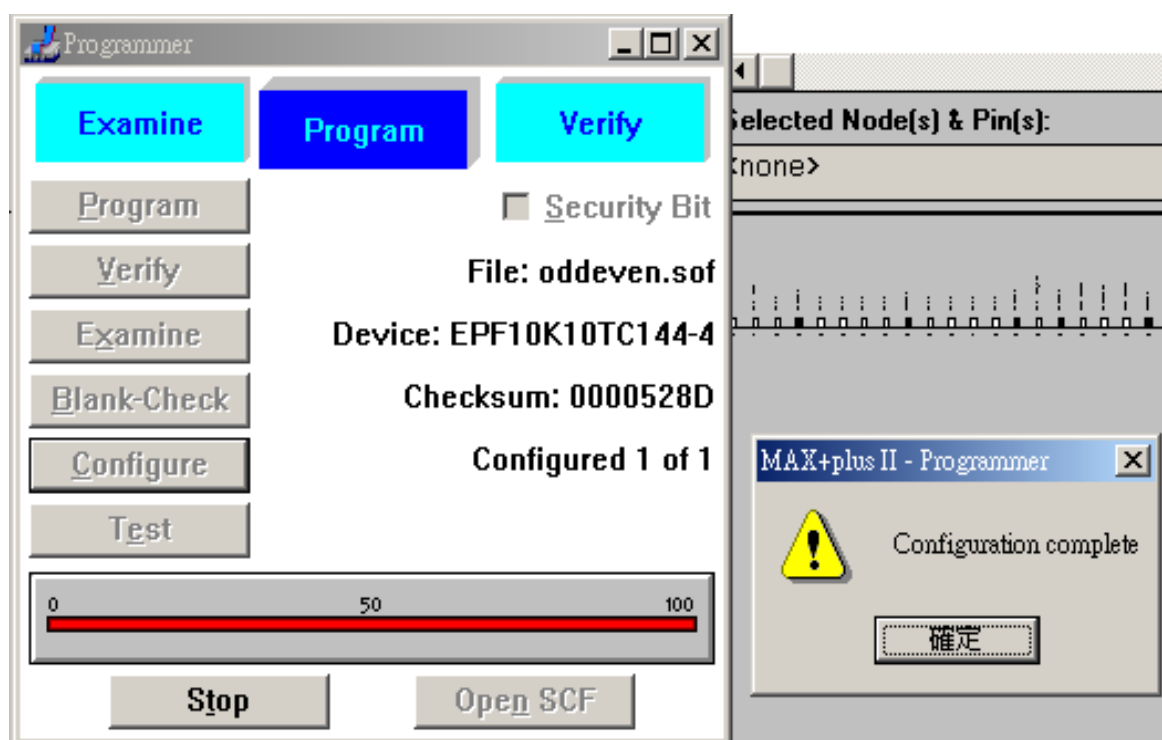
圖(6.12)：多晶片 JTAG 鏈接設定(續)



圖(6.13)：多晶片 JTAG 鏈接設定(續)



圖(6.14)：多晶片 JTAG 鏈接設定(續)



圖(6.15)：多晶片 JTAG 鏈接設定(續)

七、實驗儀器

實驗所使用的儀器設備為力浦科技所製作的 LP-2900 CPLD 邏輯設計實驗平台，下列表格(三)及表格(四)為儀器的輸入及數出腳位配置。

表(三)：LP-2900 輸入與輸出腳位配置

輸入按鍵	腳位	輸入開關	腳位	輸出 LED	腳位
SW1	47	SW17	78	L1	7
SW2	48	SW18	79	L2	8
SW3	49	SW19	80	L3	9
SW4	51	SW20	81	L4	10
SW5	59	SW21	82	L5	11
SW6	60	SW22	83	L6	12
SW7	62	SW23	86	L7	13
SW8	63	SW24	87	L8	14
SW9	64	PS1	54	L9	17
SW10	65	PS2	56	L10	18
SW11	67	PS3	124	L11	19
SW12	68	PS4	126	L12	20
SW13	69			LED_COM	141
SW14	70				
SW15	72				
SW16	73				

※說明：L1～L12 為 LED 的陽極輸入端，Hi 啟動。

※說明：LED_COM 為 L1～L12 的陰極共點端，Hi 啟動。

表(四)：LP-2900(第一版本)輸入與輸出腳位配置

輸出 LED	腳位	CLOCK	腳位	KEY	腳位	七段顯示器	腳位
L13	7	L27	23	DE1	33	A	23
L14	8	L28	26	DE2	36	B	26
L15	9	L29	27	DE3	37	C	27
L16	10	L30	28	PK1	42	D	28
L17	11	L31	29	PK2	43	E	29
L18	12	L32	30	PK3	44	F	30
L19	13	L33	31			G	31
L20	14	L34	32			DP	32
L21	17	DE1	33			74138	
L22	18	DE2	36			DE1	33
L23	19	DE3	37			DE2	36
L24	20	振盪器				DE3	37
L25	21	OSC	55				
L26	22	UP	121				
Dice_COM	142	DOWN	125				

※說明：L13～L26 為 LED 的陽極輸入端，Hi 啟動。

※說明：Dice_COM 為 L13～L26 的陰極共點端，Hi 啟動。

八、實驗作業

■實習項目(一)：設計實例(參閱電工實驗(一)組合邏輯開)

1.題目：設計一個具有四個輸入 A4A3A2A1 和一個輸出 F1 的組合電路。

a.假設 A3=0 且 A4=1 時，則輸出 F1 必須等於 1。

b.假設 A2 或 A1 任一等於 1 且 A3=1 時，則輸出 F1 亦須等於 1。

c.其他情形輸出 F1=0。

2. 求出上述設計要求的真值表。

表(1-1)：設計實例真值表

輸 入				輸 出
A4	A3	A2	A1	F1
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

3. 使用卡諾圖(需畫出)化簡輸出函數，推導、並寫出此函數。

4. 使用 NAND(74LS00、74LS10)以最少的 IC 數，來繪製邏輯電路圖。

5. 使用 Maxplus2 模擬軟體，模擬依所設計的邏輯電路圖，應合乎實驗要求。

6.完成使用 **Maxplus2 軟體模擬電路**，完成驗證模擬，並完成下列相關圖檔。

a.附上實驗電路圖，參閱本單元 P.12，圖(3.19)。

b.請附上電路的內定符號，參閱本單元 P.14，圖(3.23)。

c.請附上功能模擬結果，參閱本單元 P.29，圖(4.26)。

◎下列是參考 LP-2900 CPLD 邏輯設計實驗平台及 Altera Cyclone VE 的晶片板使用手冊。

7.使用 Quartus 軟體，參閱 LP-2900(第二版)使用手冊，請完成實驗腳位配置表格內容，見下列表格(1-2)，使用 Altera Cyclone VE 的晶片，型號為 5CEFA2F23C8，附上 Layout 腳位配置圖，參閱單元(一)教材(P.22)。

a.請附上編譯合成後結果，參閱單元(一)教材(P.23)。

b.完成檔案燒錄結果，參閱單元(一)教材(P.25)。

◎有關 LED 顯示，請參閱 Altera Cyclone VE 的晶片板使用手冊(P.26)。

◎有關輸入開關，請參閱 Altera Cyclone VE 的晶片板使用手冊(P.33)。

表格(1-2)：實驗結果－數位邏輯實驗器輸入/輸出設定

輸入	A4	A3	A2	A1	輸出	F1	LED_COM
代號	SW1	SW2	SW3	SW4		L2	LED_COM
腳位	AA15	AA14	AB18	AA18		D3	N20

8.撰寫實驗結論與心得

9.實驗綜合評論

a.實驗測試說明、實驗補充資料及老師上課原理說明，是否有需要改善之處。

- b.實驗模擬項目內容，是否有助於個人對實驗電路測試內容的了解。**
- c.實驗測量結果，是否合乎實驗目標及個人的是否清楚瞭解其電路特性。**
- d.就實驗內容的安排，是否合乎相關課程內容。**
- e.就個人實驗進度安排及最後結果，自己的評等是幾分。**
- f.在實驗項目中，最容易的項目有那些，最艱難的項目包含那些項目，並回憶一下，您在此實驗中學到了那些知識與常識。**

九、實驗參考書籍來源

- 1.蕭如宣著作,“CPLD 邏輯電路設計與實習”,捷太出版社，2002.10.10.**
- 2.參閱實驗教材補充資料(電子檔)。**