



LAB - 09

陳培殷老師
國立成功大學 資訊工程系

YOUTUBE

HDL Part 7 上(影片 9:32)

HDL Part 7 下(影片 9:47)

Lab I -- Moore machine (1/2)

■ **Moore machine:** 輸出由當前的 state 決定

■ **Mealy machine:** 輸出由當前的 state 和 input 訊號決定

■ 完成一個 Moore machine

□ 其 I/O 與 state 變化如右表

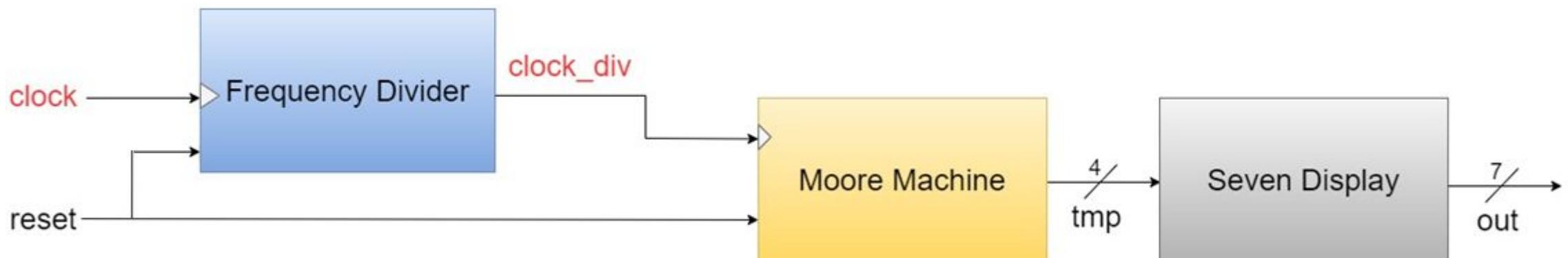
□ 變動頻率為 1Hz

□ Reset 為 0 時, State 初始化為 S0 (非同步)

目前狀態 (current-state)	下一個狀態 (next-state)		七段顯示 器輸出 (output)
	In=0	In=1	
S0	S1	S2	0
S1	S2	S3	1
S2	S3	S4	2
S3	S4	S5	3
S4	S5	S6	4
S5	S6	S0	5
S6	S0	S1	6

Lab I -- Moore machine (2/2)

- 請將輸出的數值顯示於七段顯示器
- 系統架構圖請參考下方
 - Input: **clock**(MAX10_CLK1_50)、**reset**(SW0)、**In**(SW1)
 - Output: **out**(7 bits, HEX06~HEX00)
- 請畫出 Finite State Machine 並說明其運作過程



Lab - Hint(1/2)

- **Frequency Divider (sequential circuit)**
 - 將clock頻率從50MHz降為1Hz
- **Moore machine (sequential circuit)**
- **Seven Display (combinational circuit)**
 - 將output數值轉為七段顯示器控制訊號

Lab – Hint(2/2)

■ 1Hz除頻器範例：

- 每0.5秒改變一次訊號(div_clk)

```
1 `define TimeExpire 32'd25000000
2
3 module clk_div(clk,rst,div_clk);
4   input clk,rst;
5   output div_clk;
6
7   reg div_clk;
8   reg [31:0]count;
9
10  always@ (posedge clk)
11    begin
12      if(!rst) 低位準同步reset
13        begin
14          count <= 32'd0;
15          div_clk <= 1'b0;
16        end
17      else
18        begin
19          if(count == `TimeExpire)
20            begin
21              count <= 32'd0;
22              div_clk <= ~div_clk;
23            end
24          else
25            begin
26              count <= count + 32'd1;
27            end
28        end
29    end
30
31 endmodule
```

Notice

- 請勿命名中文或數字開頭的資料夾
- Device family 請確認與 FPGA Chip 符合 (**10M50DAF484C7G**)
- Top module name & Project name **需要一致**
- 在組合電路中, case、if...else...若**沒有寫滿**, 合成後會產生latch

Appendix – Seven-segment display

