

## Verilog Information

### Verilog Basic Logic Structural Level

#### 語法

```
1 // NOT gate (反相器)
2 not not1(out, in); // 單輸入，輸出為輸入的反相
3
4 // AND gate (與閘)
5 and and1(out, in1, in2); // 兩個輸入，輸出為 in1 AND in2
6
7 // OR gate (或閘)
8 or or1(out, in1, in2); // 兩個輸入，輸出為 in1 OR in2
9
10 // NAND gate (與非閘)
11 nand nand1(out, in1, in2); // 兩個輸入，輸出為 in1 NAND in2
12
13 // NOR gate (或非閘)
14 nor nor1(out, in1, in2); // 兩個輸入，輸出為 in1 NOR in2
15
16 // XOR gate (異或閘)
17 xor xor1(out, in1, in2); // 兩個輸入，輸出為 in1 XOR in2
```

#### 實作

```
1 module my_circuit(
2     input a, b,
3     output y1, y2, y3, y4, y5, y6
4 );
5
6     // 例化各種邏輯閘
7     not not1(y1, a);
8     and and1(y2, a, b);
9     or or1(y3, a, b);
10    nand nand1(y4, a, b);
11    nor nor1(y5, a, b);
12    xor xor1(y6, a, b);
13
14 endmodule
```

### Verilog Data Flow Level

#### 語法

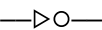
```
1 // NOT gate (反相器) - 單輸入
2 assign out = ~a; // out = NOT a
3
4 // AND gate (與閘) - 兩輸入
5 assign out = a & b; // out = a AND b
6
7 // OR gate (或閘) - 兩輸入
8 assign out = a | b; // out = a OR b
9
10 // NAND gate (與非閘) - 兩輸入
11 assign out = ~(a & b); // out = NOT(a AND b)
12
13 // NOR gate (或非閘) - 兩輸入
14 assign out = ~(a | b); // out = NOT(a OR b)
15
16 // XOR gate (異或閘) - 兩輸入
17 assign out = a ^ b; // out = a XOR b
18
19 // XNOR gate (同或閘) - 兩輸入
20 assign out = ~(a ^ b); // out = NOT(a XOR b) 或 assign out = a ^~ b;
```

實作

```
1  module logic_gates_example(  
2      input a, b, c, d,  
3      output not_out,  
4      output and_out,  
5      output or_out,  
6      output nand_out,  
7      output nor_out,  
8      output xor_out,  
9      output xnor_out,  
10     output multi_and_out,  
11     output multi_or_out,  
12     output multi_xor_out  
13 );  
14  
15     // 基本邏輯閘  
16     assign not_out = ~a;  
17     assign and_out = a & b;  
18     assign or_out = a | b;  
19     assign nand_out = ~(a & b);  
20     assign nor_out = ~(a | b);  
21     assign xor_out = a ^ b;  
22     assign xnor_out = ~(a ^ b);  
23  
24     // 多輸入邏輯閘  
25     assign multi_and_out = a & b & c & d;  
26     assign multi_or_out = a | b | c | d;  
27     assign multi_xor_out = a ^ b ^ c ^ d;  
28  
29 endmodule
```

基本邏輯閘


1. NOT (反相器)

- 符號: 
- 布林表達式:  $Y = \overline{A}$  或  $Y = \neg A$
- 真值表:

A	Y
0	1
1	0

- 功能: 輸入取反


2. AND (與閘)

- 符號: 
- 布林表達式:  $Y = A \cdot B$  或  $Y = A \wedge B$
- 真值表 (2輸入):

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

- 功能: 所有輸入為1時輸出為1

3. OR (或閘)

- 符號: 
- 布林表達式:  $Y = A + B$  或  $Y = A \vee B$

- 真值表 (2輸入):

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

- 功能: 任一輸入為1時輸出為1

#### 4. NAND (與非閘)

- 符號:  $\text{---}\&\bigcirc\text{---}$
- 布林表達式:  $Y = \overline{A \cdot B}$  或  $Y = \neg(A \wedge B)$
- 真值表 (2輸入):

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

- 功能: AND的輸出取反

#### 5. NOR (或非閘)

- 符號:  $\text{---}\geq 1\bigcirc\text{---}$
- 布林表達式:  $Y = \overline{A + B}$  或  $Y = \neg(A \vee B)$
- 真值表 (2輸入):

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

- 功能: OR的輸出取反

#### 6. XOR (異或閘)

- 符號:  $\text{---}=1\text{---}$
- 布林表達式:  $Y = A \oplus B = \overline{A}B + A\overline{B}$
- 真值表 (2輸入):

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

- 功能: 輸入不同時輸出為1

## 7. XNOR (同或閘/異或非閘)

- 符號:  $\text{---} \equiv 1 \bigcirc \text{---}$
- 布林表達式:  $Y = \overline{A \oplus B} = A \odot B = \overline{A} \overline{B} + AB$
- 真值表 (2輸入):

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

- 功能: 輸入相同時輸出為1

## 8. BUFFER (緩衝器)

- 符號:  $\text{---} \triangleright \text{---}$
- 布林表達式:  $Y = A$
- 真值表:

A	Y
0	0
1	1

- 功能: 信號放大/驅動能力增強

## 三態邏輯閘

### 9. Tri-state Buffer (三態緩衝器)

- 符號:  $\text{---} \triangleright \text{---}$  帶使能端
- 布林表達式: 
$$Y = \begin{cases} A & \text{if } EN = 1 \\ Z & \text{if } EN = 0 \end{cases}$$
- 真值表:

EN	A	Y
0	0	Z
0	1	Z
1	0	0
1	1	1

- 功能: 使能時輸出輸入信號，否則高阻抗

### 10. Tri-state Inverter (三態反相器)

- 符號:  $\text{---} \triangleright \bigcirc \text{---}$  帶使能端
- 布林表達式: 
$$Y = \begin{cases} \overline{A} & \text{if } EN = 1 \\ Z & \text{if } EN = 0 \end{cases}$$

## 傳輸門

### 11. Transmission Gate (傳輸門)

- 符號: 兩個MOSFET並聯

- 功能: 雙向信號傳輸，控制信號決定是否導通
- 特點: 可傳輸模擬信號和數字信號

複合邏輯閘

12. AND-OR-INVERT (AOI)

- 布林表達式:  $Y = \overline{AB + CD}$
- 功能: AND-OR結構後接反相器

13. OR-AND-INVERT (OAI)

- 布林表達式:  $Y = \overline{(A + B)(C + D)}$
- 功能: OR-AND結構後接反相器

特殊邏輯閘

14. Majority Gate (多數決閘)

- 布林表達式 (3輸入):  $Y = AB + BC + AC$
- 功能: 當多數輸入為1時輸出為1

15. Multiplexer (MUX, 多工器)

- 符號: —MUX—
- 功能: 根據選擇信號從多個輸入中選擇一個輸出

16. Demultiplexer (DEMUX, 解多工器)

- 功能: 根據選擇信號將單個輸入導向多個輸出之一

注意事項

1. 多輸入閘: AND, OR, NAND, NOR 閘可有多個輸入 ( >2 )
2. 符號標準: 不同國家/標準可能有不同符號表示法
3. 實際實現: CMOS技術中，NAND和NOR比AND和OR更高效
4. 萬用閘: NAND和NOR可單獨實現任何布林函數，稱為萬用閘

這些邏輯閘是數位電路設計的基本構件，可用於構建從簡單組合電路到複雜處理器的各種系統。