

ICCAD 2023 CAD Contest

Problem D: Fixed-Outline Floorplanning with Rectilinear Soft Blocks

至達科技 (Maxeda Technology Inc.)

0 Revision History

2023/02/18: First version

2023/03/28: 修正測試範例輸出內容缺少所有可變形模組數量的資訊，增加的文字以黃底標示

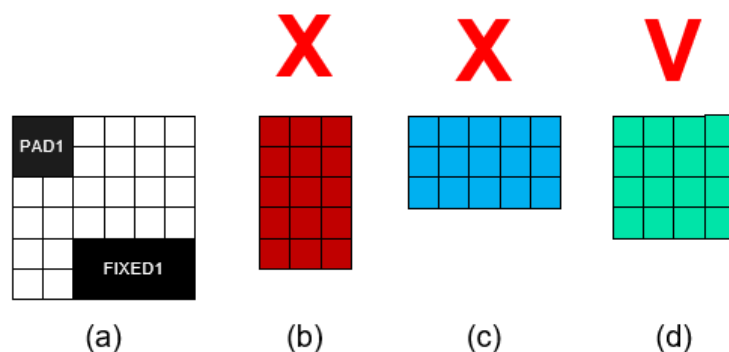
1 Introduction

隨著技術的不斷進步，晶片設計的複雜性與電晶體的數目都在不斷增加。為了因應晶片設計的複雜性與電晶體的數目的增加，階層式 (hierarchical) 設計和矽智產 (IP) 模組已經被廣泛使用。平面規劃 (floorplanning) 在這些設計方法中扮演著非常關鍵的角色。它不僅能在早期階段提供反饋，幫助評估系統架構，還能估計晶片面積以及預測由佈線引起的延遲和擁塞。因此，平面規劃一直是超大型積體電路設計中不可或缺的環節，甚至變得更加重要 [3--6]。

除了極小化晶片面積之外，積體電路平面規劃也常處理一些其他重要問題，例如處理固定輪廓 (fixed-outline) 限制及可變形模組 (soft module) 等。解決這些問題需要採用最佳化方法與技術，以最大程度地提高設計效率與設計質量 [1, 2, 6]。

由於晶片尺寸在設計初期已被確定，產生了固定輪廓限制，因此僅考慮最小化面積的平面規劃方法在現代的積體電路設計中並不完全適用。透過考慮固定輪廓的平面規劃方法，可以在晶片輪廓內適當地擺置模組，才能實現最大化晶片輪廓內的空間利用率及最小化連線長度等目標。因此，在現代的積體電路設計中，固定輪廓的平面規劃方法是不可或缺的。

此外，固定輪廓的平面規劃須有處理可變形模組的能力（決定模組外形 [shape] 及位置），以避免無法將所有模組合法地放置在固定輪廓內。可變形模組與固定外形模組（hard module，寬度和高度固定）不同，其可以在不違反最小模組面積限制的情況下更改其寬度和高度，甚至可以是具有多邊形（polygon）外形的模組。如圖一(a) 所示，晶片輪廓內的黑色格子被不可移動的模組所佔據，無法擺置其他模組。如果平面規劃無法有效處理可變形模組，對於一個面積等於 15 單位的可變形模組，只能決定其外形為最小矩形（rectangle）形狀（寬度 X 高度為 3X5 [如圖一(b) 所示] 或是 5X3 [如圖一(c) 所示]），則無法合法放置此模組於晶片輪廓中。如果平面規劃可以有效處理可變形模組，決定其外形為一個面積等於 16 單位的矩形形狀（寬度 X 高度為 4X4 [如圖一(d) 所示]），則此模組可合法放置在晶片輪廓中；相似地，一個面積等於或大於 17 單位的可變形模組無法以矩形形狀合法放置在晶片輪廓中，如果平面規劃有能力對可變形模組產生具有多邊形的外形，則可以將面積等於或大於 17 單位的可變形模組以多邊形形狀合法放置在晶片輪廓中。因此，固定輪廓的平面規劃必須具備處理可變形模組的能力，以滿足現代積體電路設計的需求。



圖一：(a) 晶片輪廓及不可移動的模組（以黑色標示）；(b) 可變形模組的寬高被決定為 3X5，無法合法放置在晶片輪廓中；(c) 可變形模組的寬高被決定為 5X3，無法合法放置在晶片輪廓中；(d) 可變形模組的寬高被決定為 4x4，可合法放置在晶片輪廓中。

2 Problem Statement

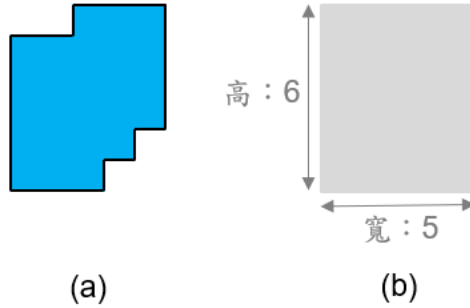
給定晶片輪廓的寬度與高度（晶片輪廓的左下角座標訂為原點 (0,0)），一群可變形的模組及其需求的最小面積，一群固定外形且為矩形的模組及其

寬度、高度與左下角座標，以及模組之間（包含可變形及固定外形的模組）的連線數量（皆為兩接點連線 [two-pin net]），參賽者須實做一個固定輪廓的平面配置器，以半周長導線總長（total half-perimeter wirelength, total HPWL）為最佳化目標，在符合所有模組外形及位置的限制下，決定所有可變形模組的外形以及位置。

2.1 模組的外形及位置限制

模組的外形限制有以下四點：

1. 外形須為簡單直角多邊形（simple rectilinear polygon）。
 - 甲、邊與矩形座標系統的軸平行，且轉角（corner）為直角。
 - 乙、所有邊都不相交（intersect-free）。
 - 丙、多邊形包圍的區域只有一個，且區域中間沒有孔洞（hole-free）。
2. 最小面積（minimum area）限制：每個可變形模組都有其最小面積限制，模組外形所包圍的面積要大於此限制。
3. 外形須符合高寬比例（aspect ratio）限制，**限制範圍為 0.5--2**：一個可變形模組的高寬比例為可完全包覆此模組的最小矩形之高寬比例，一個矩形的高寬比例計算方式為其高度除以寬度。如圖二所示，圖二(a) 為一個已被決定外形的模組，圖二(b) 為可完全包覆圖二(a) 模組的最小矩形，圖二(a) 模組的高寬比例即為圖二(b) 矩形的高度除以寬度，值為 1.2。
4. 外形須符合矩形比例（rectangle ratio）限制，**限制範圍為 80%--100%**：一個可變形模組的矩形比例計算方式為此模組外形所包圍的區域面積除以可完全包覆此模組的最小矩形面積。如圖二所示，圖二(a) 模組的矩形比例為圖二(a) 藍色區塊的面積除以圖二(b) 灰色區塊的面積，值為 83.3%。



圖二：(a) 已被決定外形的模組；(b) 可完全包覆圖二(a) 模組的最小矩形。模組的高寬比例為 1.2，矩形比例為 83.3%。

此外，模組的位置限制有以下三點：

1. 所有模組外形所包圍的區域須完全落在晶片輪廓內。
2. 模組（包含可變形及固定外形的模組）不允許重疊。
3. 模組外形的轉角座標須為零（0）或正整數（positive integer）。

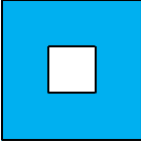
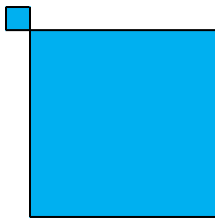
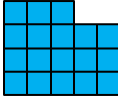

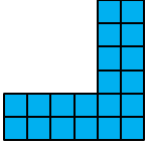
2.2 合法與不合法的模組外形

對於一個可變形模組的最小面積限制為 20 單位，高寬比例限制為 0.5 至 2，矩形比例限制為 80% 至 100%，下表列出 5 種合法的模組外形（合法的模組外形不限於這 5 種，包圍的區域標示格線以利計算面積）。

模組外形					
模組面積	20	30	20	25	27
高寬比例	0.8 (= 4/5)	0.83 (= 5/6)	1.5 (= 6/4)	1.2 (= 6/5)	0.83 (= 5/6)
矩形比例	100% (= 20/20)	100% (= 30/30)	83.3% (= 20/24)	83.3% (= 25/30)	90% (= 27/30)

表一：5 種合法的模組外形（合法的模組外形不限於這 5 種，包圍的區域標示格線以利計算面積）。

下表列出 5 種不合法的模組外形及原因（不合法的模組外形不限於這 5 種，部分模組外形包圍的區域標示格線以利計算面積）。

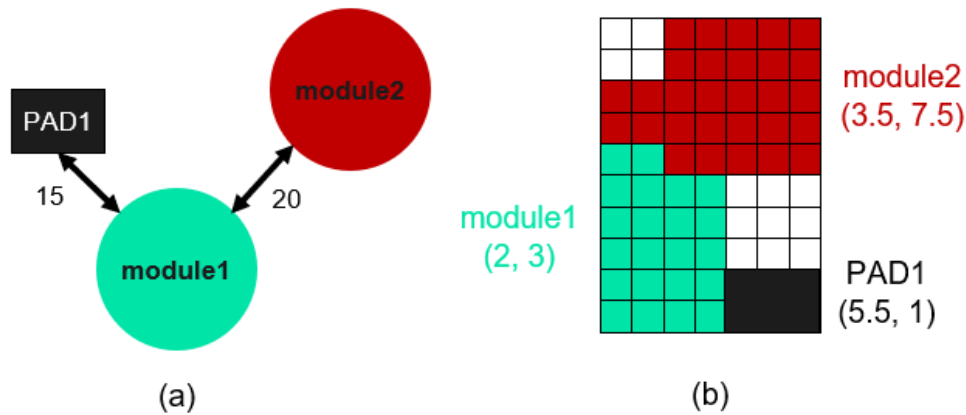
模組外形					
不合法原因	多邊形包圍的區域中間有孔洞	多邊形包圍的區域超過一個	可變形模組的面積(18)不足最小面積限制(20)	高寬比例(10/2=5)違法限制(0.5--2)	矩形比例(20/36=55.6%)違反限制(80%--100%)

表二：5 種不合法的模組外形及原因（不合法的模組外形不限於這 5 種，部分模組外形包圍的區域標示格線以利計算面積）。

2.3 半周長導線總長的計算方式

一組平面規劃的半周長導線總長為加總兩兩模組的曼哈頓距離（Manhattan distance）乘以兩模組之間的連線數量。兩個模組的曼哈頓距離為分別完全包覆兩模組之最小矩形的中心至中心距離。

如圖三所示，兩個可變形模組（module1 及 module2，分別以綠色與紅色標示）與一個固定外形模組（PAD1，以黑色標示），圖三(a) 表示模組之間的連線數量，module1 與 module2 之間的連線數量為 20，module1 與 PAD1 之間的連線數量為 15。圖三(b) 表示所有模組的外形與位置，包覆 module1、module2 與 PAD1 之最小矩形的中心座標分別為 (2, 3)、(3.5, 7.5) 與 (5.5, 1)。module1 與 module2 間的半周長導線長為 120（6[曼哈頓距離] 乘以 20[連線數量]），module1 與 PAD1 間的半周長導線長為 82.5（5.5[曼哈頓距離] 乘以 15[連線數量]），因此這個平面規劃的半周長導線總長為 202.5。



圖三：平面規劃的半周長導線總長計算。(a) 模組之間的連線數量，module1 與 module2 之間的連線數量為 20，module1 與 PAD1 之間的連線數量為 15；(b) 所有模組的外形與位置，包覆 module1、module2 與 PAD1 之最小矩形的中心座標分別為 (2, 3)、(3.5, 7.5) 與 (5.5, 1)。module1 與 module2 間的半周長導線長為 120 (6 [曼哈頓距離] 乘以 20 [連線數量])，module1 與 PAD1 間的半周長導線長為 82.5 (5.5 [曼哈頓距離] 乘以 15 [連線數量])。此平面規劃的半周長導線總長為 202.5。

3 Input Format

每個測試資料包含一個輸入檔案，內容描述

- 晶片輪廓(矩形)的寬度與高度，輪廓的左下角座標訂為原點(0, 0)
- 所有可變形模組的數量、名稱及其需求的最小面積
- 所有固定外形模組(均為矩形)的數量、名稱、寬度、高度與左下角座標
- 有連線關係的模組對數量及模組之間(包含可變形及固定外形)的連線數量，均為兩接點連線

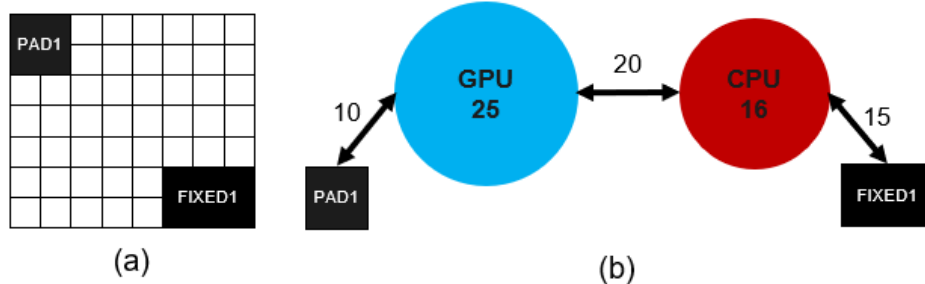
晶片輪廓的寬度和高度、模組需求的最小面積、固定外形模組的寬度、高度與左下角座標、連線數量等等，均為零或正整數。完整格式如下，粗體字為固定關鍵字，斜體字根據每個測試檔案內容變動：

```
CHIP chip_width chip_height
SOFTMODULE number_of_soft_modules
soft_module_name1 minimum_area
soft_module_name2 minimum_area
...
FIXEDMODULE number_of_fixed_modules
```

```

fixed_module_name1 x_coord y_coord module_width module_height
fixed_module_name2 x_coord y_coord module_width module_height
...
CONNECTION number_of_connections
module_name1 module_name2 number_of_2_pin_nets
module_name1 module_name2 number_of_2_pin_nets
...

```



圖四：測試範例。(a) 晶片輪廓及固定外形模組的大小與位置；(b) 可變形模組及其需求的最小面積，以及模組之間的連線數量。

圖四為一個測試範例，其對應的輸入內容如下：

```

CHIP 8 7
SOFTMODULE 2
GPU 25
CPU 16
FIXEDMODULE 2
PAD1 0 5 2 2
FIXED1 5 0 3 2
CONNECTION 3
GPU CPU 20
GPU PAD1 10
CPU FIXED1 15

```

4 Output Format

每個測試資料包含一個輸出檔案，內容描述

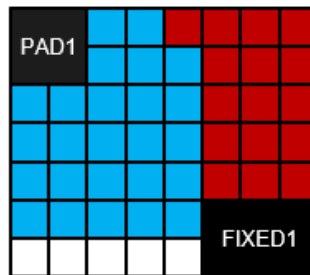
- 半周長導線總長（精確度到小數點後一位）
- 所有可變形模組數量及被決定的外形與位置資訊，使用模組的外形轉角座標表示，並按照順時針順序（clockwise order）以點列表（point list）格式描述。轉角座標均為零（0）或正整數。

完整格式如下，粗體字為固定關鍵字，斜體字根據每個測試檔案內容變動：

```

HPWL wirelength
SOFTMODULE number_of_soft_modules
soft_module_name1 number_of_corners
x_coord_of_1st_corner y_coord_of_1st_corner
x_coord_of_2nd_corner y_coord_of_2nd_corner
x_coord_of_3rd_corner y_coord_of_3rd_corner
...
x_coord_of_last_corner y_coord_of_last_corner
soft_module_name2 number_of_corners
x_coord_of_1st_corner y_coord_of_1st_corner
x_coord_of_2nd_corner y_coord_of_2nd_corner
x_coord_of_3rd_corner y_coord_of_3rd_corner
...
x_coord_of_last_corner y_coord_of_last_corner
...

```



圖五：使用圖四做為測試範例所產生的一個平面規劃結果。

圖五是使用圖四做為測試範例所產生的一個平面規劃結果，其對應的輸出內容如下：

```

HPWL 175
SOFTMODULE 2
GPU 8
0 1
0 5
2 5
2 7
4 7
4 6
5 6

```


5 1
CPU 6
4 7
8 7
8 2
5 2
5 6
4 6

5 Usage Format

執行檔請取名為報名隊伍編號（如 cadd0000），並且需要添加以下命令
行參數：

[執行檔檔名][輸入檔案檔名][輸出檔案檔名]

以下為範例

./cadd0000 case01-input.txt case01-output.txt

6 Platform

語言：C or C++

作業系統：Linux

語言與作業系統版本等細節遵循大會公布內容

7 Testcases

提供 6 組開放測試資料（alpha test 及 beta test 前分別釋出 3 組）及
4 組隱藏測試資料。

8 Evaluation

1. 依照各組參賽者的總分由高至低排序。
2. 各組參賽者的總分為每個測試資料獨立計分的得分加總。
3. 每個測試資料使用所有參賽者產生且合法的平面規劃結果，取其中最短的半周長導線總長，依照方程式（1）計算各組參賽者的得分，得分計算至小數以下第 3 位。

$$\text{得分} = \left(\frac{\text{最短的半周長導線總長}}{\text{此參賽者的半周長導線總長}} \right)^2 \quad (1)$$

4. 參賽者產生的平面規劃過程及結果須符合下列三點。若不符合，則此平面規劃結果不予計分也不納入參賽者產生且合法的平面規劃使用：
- 甲、每個測試資料的程式執行時間（包含讀寫檔案過程）必須在 30 分鐘內完成。
 - 乙、每個測試資料的結果必須符合「2.1 模組的外形及位置限制」所描述的限制。
 - 丙、每個測試資料的結果必須符合「4. Output Format」所描述的檔案格式。

9 Reference

- [1] S. N. Adya and I. L. Markov, "Fixed-outline floorplanning: enabling hierarchical design," IEEE Trans. on Very Large Scale Integration Systems, 11(6), pp. 1120–1135, December 2003
- [2] A. B. Kahng, "Classical floorplanning harmful?" in Proc. ACM Int. Symp. on Physical Design, pp. 207–213, April 2000.
- [3] R. H. J. M. Otten, "Automatic floorplan design," in Proc. ACM/IEEE Design Automation Conf., pp. 261–267, June 1982
- [4] S. M Sait and H. Youssef, *VLSI Physical Design Automation: Theory and Practice*, World Scientific, Singapore, 1999.
- [5] N. Sherwani, *Algorithms for VLSI Physical Design Automation*, Third Edition, Kluwer Academic, Boston, 1999.
- [6] L.-T. Wang, K.-T. Cheng, and Y.-W. Chang, *Electronic Design Automation: Synthesis, Verification, and Testing*, Elsevier/Morgan Kaufmann, 2009.