

Интерфейсы.

Это домашнее задание на два очка. Необходимо описать на языке Verilog и прошить ПЛИС:

1. Первый модуль – шестнадцатеричный двухразрядный счетчик. Он передает значение счетчика (8 бит, по 4 на каждый разряд) через интерфейс SPI, т.е. он master SPI.
2. Второй модуль – slave SPI, получает данные от первого модуля. Так же он выводит полученное значение на два разряда 7seg индикатора. На оставшиеся два разряда выводятся нули.
3. Необходимо написать top модуль, в котором происходит подключение описанных выше двух модулей.
4. В качестве результатов положите в репозиторий исходный код проекта.

Рекомендации: Вам потребуется три синхросигнала – первый для счетчика в первом модуле, второй для интерфейса SPI (удобнее всего, если он будет хотя бы в 16 раз быстрее, чем синхросигнал счетчика, чтобы передача пакета данных происходила быстрее, чем смена значения счетчика), третий – синхросигнал высокой частоты для переключения между анодами 7seg интерфейса, его подберите сами экспериментально.

Так же рекомендую отдельно написать модуль вывода данных на интерфейс 7seg.