

تحويل تا ساعت ۲۳:۵۵ روز یکشنبه مورخ ۱۶ اردیبهشت ۱۴۰۳ از طریق سامانه‌ی دروس

- ارسال تمرینات به صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid\_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
- زمان تحويل هر سری از تمرینات مشخص بوده و امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
- بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.

چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS-2024 مطرح نمایید.

[h.malakouty@aut.ac.ir](mailto:h.malakouty@aut.ac.ir)

ملکوتی

موفق و پیروز باشید

تحويل تا ساعت ۲۳:۵۵ روز یک‌شنبه مورخ ۱۶ اردیبهشت ۱۴۰۳ از طریق سامانه‌ی دروس

### پرسش ۱

- موارد زیر را پاسخ دهید.
  - مراحل اصلی چرخه‌ی طراحی برای یک تراشه برنامه‌پذیر را نام ببرید.
  - مراحل مختلف سنتز را نام ببرید.
  - خروجی هر مرحله سنتز چیست و شامل چه مواردی می‌باشد؟
  - عملگر & چیست و تفاوت آن با array aggregation چیست؟
  - تفاوت سیگنال و متغیر در VHDL چیست؟
  - کاربرد Generic در VHDL چیست؟
- نحوه استفاده از محیط درستی‌سنجی را بررسی نمایید.
  - درستی‌سنجی بعد از سنتز و قبل از سنتز چیست، مزایا و معایب هر یک را توضیح دهید.

### پرسش ۲

بسته‌ای (package) را تعریف کنید که در آن دو تابع با نام یکسان نوشته شده باشند. یکی از این دو تابع برداری از نوع std\_logic\_vector را یک بیت به سمت چپ انتقال می‌دهد و دیگری همین کار را برای یک عدد صحیح انجام می‌دهد. اعلان و بدنه بسته را به‌طور کامل بنویسید.

### پرسش ۳

کار مدار زیر را توضیح دهید و برای نمونه خاص از ورودی (به صورت زیر)، شکل موج خروجی را رسم کنید.  
نمونه ورودی DATA در ابتدا مقدار "۱۱۰۰" را دارد و سپس در زمان t1 به مقدار "۰۱۱۱" تغییر می‌کند.  
اگر TEMP یک متغیر باشد، نتیجه چه تفاوتی خواهد داشت؟ هر دو حالت را شبیه‌سازی و نتایج را با پاسخ خود مقایسه کنید.

entity XRG is

port (DATA: in bit\_vector (3 downto 0);

ODD: out bit);

end XRG;

--

architecture BEHAV of XRG is

تحويل تا ساعت ۲۳:۵۵ روز یکشنبه مورخ ۱۶ اردیبهشت ۱۴۰۳ از طریق سامانه‌ی دروس

```
signal TEMP: bit := '0';
```

```
PR: process (DATA, TEMP)
```

```
begin
```

```
TEMP <= '0';
```

```
for I in DATA'low to DATA'high loop
```

```
TEMP <= TEMP xor DATA(I);
```

```
end loop;
```

```
end process;
```

```
ODD <= TEMP;
```

```
end BEHAV;
```

#### پرسش ۴

با استفاده از سه فرایند مداری را توصیف کنید که با هر لبه بالارونده ساعت، دو ورودی یک بیتی A و B را بگیرد و در صورتی که هر یک از شرایط زیر برقرار بود، مقدار یک را در خروجی ظاهر کند و در غیر این صورت، مقدار صفر در خروجی ظاهر شود:

در دو چرخه متوالی از ساعت، دو مقدار یکسان در A دریافت شود.

از آخرین باری که شرط قبل برقرار شده است، ورودی B برابر با یک باشد.

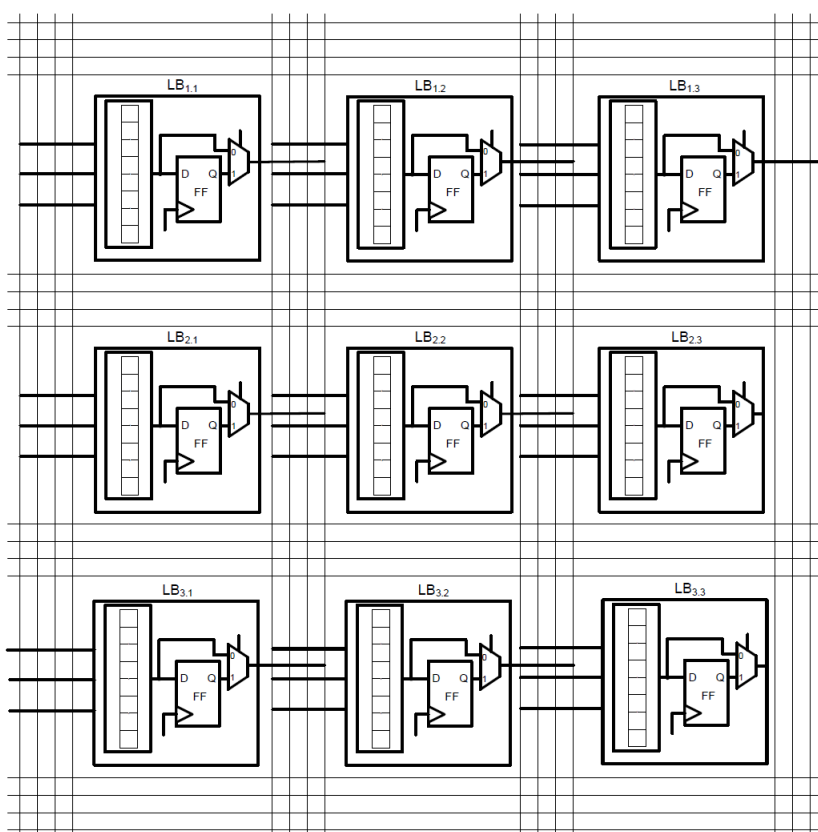
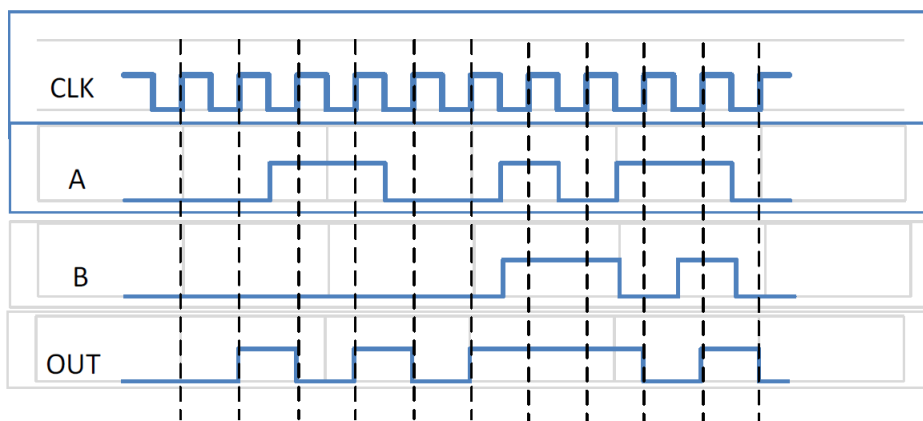
الف) نمودار حالت این مدار را رسم کنید.

ب) توصیف آن را به زبان VHDL بنویسید

ج) نمودار شماتیک مدار را رسم کنید.

ج) با فرض آنکه معماری تراشه FPGA موردنظر به شکل زیر باشد، مدار را برای این FPGA سنتز، نگاشت فناوری، جایابی و مسیریابی کنید.

تحويل تا ساعت ۲۳:۵۵ روز یکشنبه مورخ ۱۶ اردیبهشت ۱۴۰۳ از طریق سامانه‌ی دروس



تحويل تا ساعت ۲۳:۵۵ روز یکشنبه مورخ ۱۶ اردیبهشت ۱۴۰۳ از طریق سامانه‌ی دروس

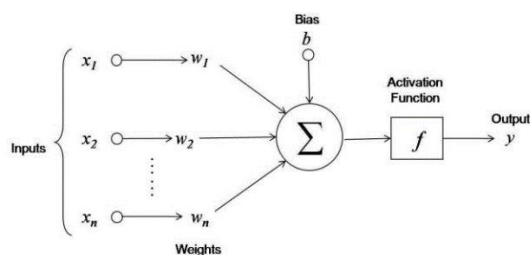
### پرسش ۵

در سال‌های اخیر بحث هوش مصنوعی<sup>۱</sup> و شبکه‌های عصبی عمیق<sup>۲</sup> بسیار پرکاربرد شده‌اند. پردازنده‌های کنونی برای انجام محاسبات مرتبط با این شبکه‌ها دچار مشکلات فراوانی هستند.

- این مشکلات را با تحقیق در خصوص روش اجرا در پردازنده‌های معمول بررسی نمایید و توضیح دهید.
- با توجه به معماری FPGA، چگونه استفاده از آن‌ها می‌تواند بخشی از این مشکلات را کاهش دهد؟
- مزایا و معایب استفاده از FPGA برای محاسبات مربوط به شبکه‌های یادگیری عمیق چیست؟

### پرسش ۶

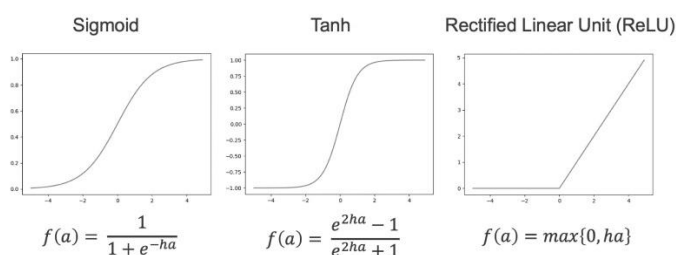
یک نورون پایه<sup>۳</sup> در یک شبکه عصبی عمیق به صورت زیر می‌باشد:



برای این نورون پایه فرضی با سه ورودی خروجی به صورت زیر خواهد بود:

$$o = f(x_1 * w_1 + x_2 * w_2 + x_3 * w_3 + b)$$

به f تابع فعال‌سازی<sup>۴</sup> گفته می‌شود که به عنوان مثال می‌تواند از میان توابع زیر انتخاب شود:



جهت سادگی می‌توانید از تابع ReLU برای تابع فعال‌سازی استفاده کنید.

<sup>1</sup> - Artificial Intelligence

<sup>2</sup> - Deep Neural Networks

<sup>3</sup> - Basic Neuron

<sup>4</sup> - Activation Function

تحويل تا ساعت ۲۳:۵۵ روز یکشنبه مورخ ۱۶ اردیبهشت ۱۴۰۳ از طریق سامانه‌ی دروس

- این نورون پایه را پیاده‌سازی کرده و با انتخاب مقادیر دلخواه برای  $w$  و  $b$  در محیط درستی‌سنجی خروجی را بررسی نمایید.
- میزان منابع مصرفی را گزارش کنید و بررسی نمایید که با تغییر ورودی‌های نورون به ۱۶ عدد چه تغییری در آن‌ها بوجود می‌آید؟
- یک شبکه عصبی ساده دارای ۷۶۸ ورودی، دو لایه میانی ۳۲ عددی و یک لایه خروجی ۱۰ عددی برای تشخیص اعداد دست‌نوشته می‌باشد. فرض کنید مقادیر منابع مورد نیاز به صورت خطی با مثال پیاده‌سازی شده توسط شما باشد.
- در این حالت میزان منابع مورد نیاز چقدر خواهد بود؟
- برای پیاده‌سازی در یک FPGA با میزان منابع کمتر چه راهی را پیشنهاد می‌نمایید؟

تحويل تا ساعت ۲۳:۵۵ روز یکشنبه مورخ ۱۶ اردیبهشت ۱۴۰۳ از طریق سامانه‌ی دروس

#### پرسش ۷

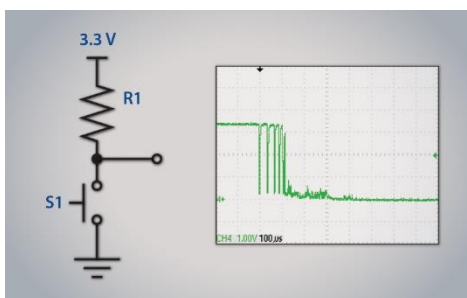
برای پیاده‌سازی یک پروتکل نیاز به تبدیل یک ورودی موازی به سریال و ارسال آن مطابق شکل زیر می‌باشد.



در این سیستم Ref CLK برابر با ۲۵ مگاهرتز و حداکثر سرعت مجاز دیتا در خروجی سیستم برابر با ۱۱۵۲۰۰ هرتز می‌باشد. پس از قرار گرفتن ۳۲ بیت ورودی، با ۱ شدن Load، سیستم مقادیر را ذخیره کرده و پس از صفر شدن آن شروع به ارسال داده‌ها در خروجی می‌نماید. در ارسال به صورت سریال ابتدا بیت کم‌ارزش و به دنبال آن بیت‌های با ارزش بیشتر ارسال می‌شوند.

- این بلوک را پیاده‌سازی کرده و در محیط درستی سنجی عملکرد آن را بررسی نمایید.

یک کلید مکانیکی فشاری به صورت زیر اتصال را برقرار می‌نماید :



- با توجه به این عملکرد آیا می‌توان برای ورودی Load از یک کلید مکانیکی فشاری ساده استفاده کرد که با فشردن آن عملکرد بلاک شروع شود ؟
- در این صورت چه مشکلی ممکن است ایجاد گردد ؟ برای حل آن چه روشی را پیشنهاد می‌نمایید ؟ ( سخت‌افزار و نرم‌افزار)

#### پرسش ۸ (اختیاری)

- مشکل کلید مکانیکی را با استفاده از یک کد VHDL حل نمایید.