

تحويل تا ساعت ۲۳:۵۵ روز سه‌شنبه مورخ ۲۹ اسفند ۱۴۰۲ از طریق سامانه‌ی دروس

- ارسال تمرینات به‌صورت الکترونیکی و از طریق [سامانه دروس](#) خواهد بود. فایل ارسالی شما فایل zip با نام sid_hs.zip است که sid شماره دانشجویی و hs شماره سری تمرین است. پرسش‌هایی که پاسخ آن‌ها ماهیت تشریحی و تحلیلی دارد را به صورت تایپ‌شده یا دستی نوشته و به صورت یک فایل PDF ذخیره نمایید.
- زمان تحويل هر سری از تمرینات مشخص بوده و امکان تغییر آن وجود ندارد. در حل تمرینات، می‌توانید با یکدیگر همفکری و بحث نمایند ولی هر شخص می‌بایست در نهایت پاسخ و استدلال خود را به صورت انفرادی بنویسد و در صورت شباهت پاسخ، تمامی افراد نمره تمرین را از دست خواهند داد.
- بازای هر روز ارسال زودهنگام تمرین‌ها ۵ درصد نمره اضافی تا سقف ۲۰ درصد (در صورتی که نمره خام تمرین بالاتر از ۷۵ درصد شود) در نظر گرفته خواهد شد. بازای هر روز دیرکرد در ارسال تمرین ۱۵ درصد جریمه اعمال خواهد شد. ارسال دیرهنگام فقط تا ۲ روز پس از زمان مقرر شده امکان‌پذیر است و پس از آن نمره تمرین صفر در نظر گرفته خواهد شد.

چنانچه ابهامی در زمینه تمرینات دارید، می‌توانید اشکالات خود را از طریق پست الکترونیکی زیر با موضوع PDS-2024 مطرح نمایید.

h.malakouty@aut.ac.ir

ملکوتی

موفق و پیروز باشید

تحويل تا ساعت ۲۳:۵۵ روز سه‌شنبه مورخ ۲۹ اسفند ۱۴۰۲ از طریق سامانه‌ی دروس

پرسش ۱

۱. از کاربردهای صنعتی تراشه‌های FPGA چهار مورد نام ببرید. دلیل استفاده از این تراشه‌ها برای کاربرد مورد نظر را بیان کنید.

پرسش ۲

فرض کنید قصد داریم یک الگوریتم پردازشی را با کمک FPGA به صورت سریعتر اجرا نماییم. الگوریتم ما دارای دو قسمت موازی‌پذیر و اجرای ترتیبی است که قسمت ترتیبی قبل از قسمت موازی‌پذیر و جهت ارسال داده‌های ورودی به بافر ورودی آن انجام می‌پذیرد. در صورتی که این الگوریتم روی یک سیستم تک‌پردازنده اجرا شود، قسمت موازی‌پذیر در ۴۸۰ سیکل و قسمت ترتیبی در ۸۰ سیکل انجام می‌شود.

۱. مشخص کنید زمان اجرا در حالتی که با کمک FPGA بتوان قسمت موازی را ۴۰ برابر سریعتر انجام داد چقدر خواهد بود؟

۲. آیا راهی برای اجرای کل الگوریتم (قسمت موازی و قسمت بارگذاری داده‌ها در بافر ورودی قسمت موازی) در کمتر از ۸۰ سیکل وجود دارد؟ در این خصوص نظرات خود را بیان نمایید.

پرسش ۳

پاسخ پرسش زیر را در یک الی دو جمله بیان کنید.

۱. تراشه‌های PAL, PLA را به طور کلی از نظر معماری، سرعت، پیچیدگی و قابلیت پیاده‌سازی توابع مقایسه نمایید.

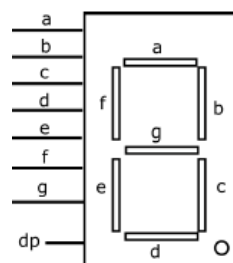
تحويل تا ساعت ۲۳:۵۵ روز سه‌شنبه مورخ ۲۹ اسفند ۱۴۰۲ از طریق سامانه‌ی درس

پرسش ۴

۱. با استفاده از نرم‌افزار ویوادو و زبان VHDL یک مبدل کد BCD به خروجی هفت قسمتی^۱ را در سطح گیت و به صورت ساختاری طراحی نمایید. به ازای مقادیر بیش از ۹، مقدار ۹ از عدد کم شده و باقیمانده به همراه روشن شدن نقطه ممیز (پایین-راست سون سگمنت) نمایش داده می‌شود. این نقطه با ورودی dp کنترل می‌شود. ورودی‌های هفت قسمتی به ترتیب از ارزش پایین^۲ a تا g هستند. نوع هفت قسمتی کاتد مشترک^۳ فرض شود. گزارش ایجاد شده توسط نرم‌افزار به همراه دیاگرام شماتیک سطح گیت ایجاد شده را در گزارش ذکر نمایید.

جدول ۱- کد BCD به خروجی

A	B	C	D	a	b	c	d	e	f	g
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1



شکل ۱- ورودی‌های سون
سگمنت

۲. در صورتی که هفت قسمتی به صورت آند مشترک انتخاب شود چه تغییری در پیاده‌سازی نیاز می‌باشد.

پرسش ۵

۱. با بررسی دیتاشیت تراشه‌های سری ۷ شرکت زایلینکس^۴، تعداد ورودی و خروجی LUT مورد استفاده را مشخص نمایید و با استفاده از این LUT ها یک جمع‌کننده ۳ بیتی با دو ورودی A و B را طراحی و مدار آن را رسم کنید (از هیچ گیتی استفاده نکنید).

۲. در صورت استفاده از LUT سری Spartan-3E پیاده‌سازی به چه صورت خواهد بود؟^۵

۳. چگونه تغییر تعداد ورودی LUT بر میزان استفاده از منابع تراشه و استفاده بهینه از آن‌ها تاثیر می‌گذارد؟

^۱ Seven segment

^۲ Least significant

^۳ در صورتی که تفاوت آند مشترک و کاتد مشترک را نمی‌دانید، درباره آن تحقیق کنید.

^۴ مشخصات تراشه‌ها در کتاب درسی و در وبگاه شرکت زایلینکس آمده است. منظور از تراشه‌های سری ۷، تراشه‌هایی از قبیل اسپارتان ۷، ورتکس ۷، کینتکس ۷ و ... است.

^۵ تعداد ورودی‌های LUT های این تراشه را از اینترنت جستجو کنید.

تحويل تا ساعت ۲۳:۵۵ روز سه‌شنبه مورخ ۲۹ اسفند ۱۴۰۲ از طریق سامانه‌ی دروس

پرسش ۶

مداری که دنباله‌ای از داده‌های دودویی را به صورت متوالی دریافت و آن را به صورت موازی خارج می‌کند، مبدل متوالی به موازی نامیده می‌شود. با استفاده از هشت فلیپ‌فلاپ، یک مبدل متوالی به موازی هشت بیتی طراحی کنید و مدار شماتیک و توصیف ساختاری آن را ارائه دهید. سپس با کمک پارامتر generic، توصیف این مبدل را برای تعداد بیت کلی تعمیم دهید. همین مدار کلی را بدون پارامتر و بدون استفاده از constant توصیف کنید. فرض کنید توصیف فلیپ‌فلاپ در کتابخانه work موجود است و نام entity و architecture آن به ترتیب FLIP و FArch است. (اگر به پودمان^۶ دیگری هم مورد نیاز است، مشابه فلیپ‌فلاپ نام آنها را ذکر کنید.) در این صورت، یک بار configuration specification را در کد ساختاری خود جای دهید و یک بار configuration declaration آن را به صورت مجزا بنویسید.

^۶ Module