

Proposta de TP (20,0)

Grupo: máximo de 3 pessoas (sem exceção)

Data de Entrega e Apresentação: 30/11/2018 (código-fonte e roteiro para execução)

Disciplina: OACII – CSI509 - 2018/2

Trabalho Prático – Implementação de uma versão reduzida do MIPS em Verilog

Objetivo: Desenvolver uma versão reduzida do MIPS Monociclo em Verilog para executar o seguinte sub-conjunto de instruções dessa arquitetura: add, sub, and, or, xor, beq, lw, sw, j.

- 1) O Banco de registradores deverá possuir 16 registradores com capacidade de 16 bits cada;
- 2) A memória de instruções deverá ser capaz de armazenar até 512 instruções;
- 3) A memória de dados deverá ser capaz de armazenar 1KBytes de dados;
- 4) Especifique o NOVO formato das instruções segundo a arquitetura do MIPS com as adequações necessárias dada a quantidade reduzida de instruções, de registradores, etc.
- 5) Implemente cada módulo (ULA, Banco de Registradores, Memória de Dados, etc) separadamente como foi feito nas aulas para ter a sua garantia correto funcionamento.
- 6) Junte os módulos num programa Principal (testbench) para conectar tudo e executar um exemplo de código com pelos menos 1 exemplo de cada instrução do conjunto de instruções;

Processo de Entrega:

Submissão no Moodle do relatório com as decisões de projeto do grupo, o código fonte e as instruções para execução do programa no Compilador Web.

