

## 实验一 Quartus II 软件的基本操作、译码器

### 一、实验目的

1. 熟悉译码器的工作原理。
2. 熟悉 Quartus II 软件的基本操作，了解各种设计方法（原理图设计、文本设计、波形设计）。

### 二、实验背景

#### 1. Quartus II 软件的基本操作：异或门

异或门是一种用途广泛的门电路。典型应用是作为加法器的单元电路。

#### 2. 3-8 译码器（3 to 8 Demultiplexer），也叫 3-8 解码器

● 用途：用一组二进制代码来产生各种独立的输出信号，这种输出信号可以用来执行不同的工作。显示器中的像素点受到译码器的输出控制。

● 逻辑框图：用逻辑符号（Symbol）来解释该电路输入与输出信号之间的逻辑关系，既省事又直观。如下图所示。

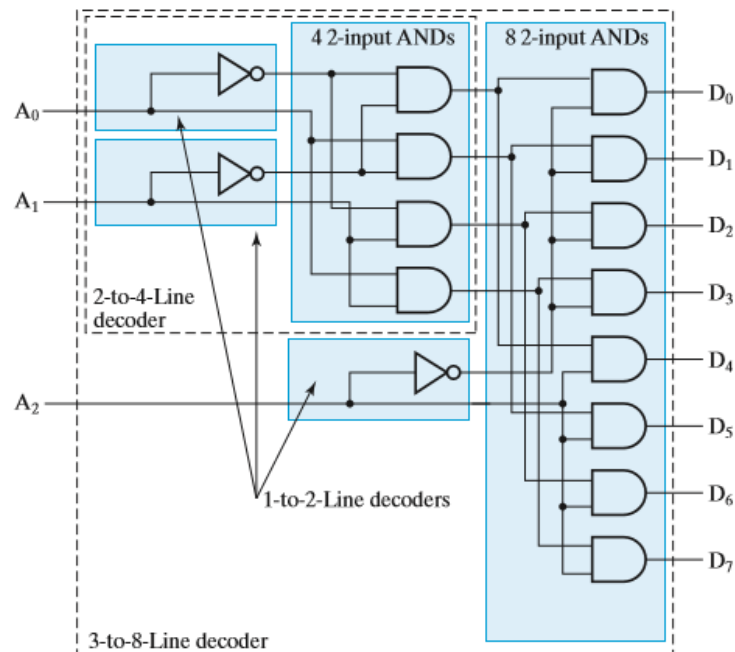


图 1 3-8 译码器内部结构图

#### 3. 指令译码器

通过指令系统表我们可以设计一个由指令码映射到指令信号的译码器。其中指令码为 8 位二进制码，译码器的输出端为指令操作。

指令译码器如下图所示：

表 1 指令系统表

汇编符号	功能	编码
MOV R1, R2	$(R2) \rightarrow R1$	1111 R1 R2
MOV M, R2	$(R2) \rightarrow (C)$	1111 11 R2
MOV R1, M	$((C)) \rightarrow R1$	1111 R1 11
ADD R1, R2	$(R1) + (R2) \rightarrow R1$	1001 R1 R2
SUB R1, R2	$(R1) - (R2) \rightarrow R1$	0110 R1 R2
OR R1, R2	$(R1) \vee (R2) \rightarrow R1$	1011 R1 R2
NOT R1	$\neg (R1) \rightarrow R1$	0101 R1 XX
RSR R1	$(R1)$ 循环右移一位 $\rightarrow R1$	1010 R1 00
RSL R1	$(R1)$ 循环左移一位 $\rightarrow R1$	1010 R1 11
JMP add	$add \rightarrow PC$	0011 00 00, address
JZ add	结果为 0 时 $add \rightarrow PC$	0011 00 01, address
JC add	结果有进位时 $add \rightarrow PC$	0011 00 10, address
IN R1	(开关 7-0) $\rightarrow R1$	0010 R1 XX
OUT R1	$(R1) \rightarrow$ 发光二极管 7-0	0100 R1 XX
NOP	$(PC) + 1 \rightarrow PC$	0111 00 00
HALT	停机	1000 00 00

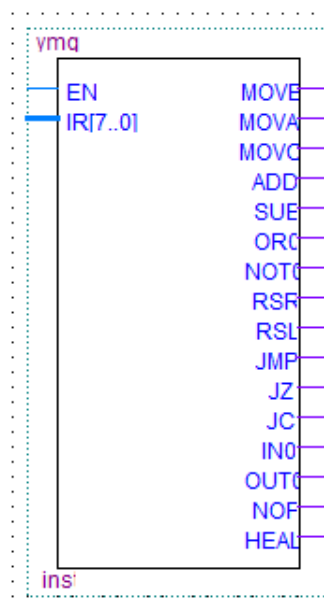


图 2 指令译码器封装图

### 三、实验内容

使用原理图和（/或）VHDL 语言两种方式，完成以下内容，并验证其功能的正确性。

1. 用逻辑图和 VHDL 语言设计一个异或门。
2. 用逻辑图和 VHDL 语言设计一个 3-8 译码器。
3. 用 VHDL 语言设计模型机指令译码器。

#### 四、实验要求

1. 进实验室前，请写一份预习报告，如有疑问，可在学习通平台相互讨论。
2. 预习报告内容有：
  - 1) 异或门的逻辑图和 VHDL 程序；
  - 2) 3-8 译码器的逻辑图和 VHDL 程序；
  - 3) 模型机指令译码器的 VHDL 程序。
3. 在图形编辑区采用逻辑图或在文本编辑区采用 VHDL 语言设计逻辑电路，再利用波形编辑区进行仿真验证，以此验证电路的正确性。
4. 最后在 Tool 下用 netlist viewer 查看 RTL viewer，以对比 VHDL 实现与原理图实现间的差异。
5. 实验结束前，由指导老师检查了仿真波形后方可离开。
6. 最后撰写实验报告，提交至学习通平台，做得好的同学将在学习通平台分享设计。

#### 五、思考题

1. 在日常在活中，我们哪些场所会用到译码器？
2. 总结 VHDL 语言描述译码器电路的方法和常用语句。
3. 比较原理图方式和 VHDL 方式设计组合逻辑电路的方法、步骤和优缺点。