

特長

双方向 I²C 通信
 オープン・ドレイン・インターフェース
 ホット・スワップ・アプリケーションに最適
 30 mA の電流シンク能力
 1,000 kHz 動作
 3.0 V~5.5 V の電源レベル/ロジック・レベル
 RoHS 準拠の 8 ピン SOIC パッケージを採用
 高温動作: 125°C
 安全性規制の認定

UL 認識済み

2500 V rms、1 分間の UL 1577 規格に準拠
 CSA Component Acceptance Notice #5A に準拠

VDE 適合性認定済み

DIN V VDE V 0884-10 (VDE V 0884-10): 2006-12
 V_{IORM} = 560 V peak

アプリケーション

絶縁型 I²C、SMBus、または PMBus インターフェース
 マルチレベル I²C インターフェース

電源

ネットワーキング

パワー・オーバ・イーサネット

概要

ADuM1250/ADuM1251¹ は、ホット・スワップ可能なデジタル・アイソレータを内蔵する I²C[®] インターフェース互換の非ラッチ型双方向通信チャンネルです。単独のフォトカプラと組み合わせて使用するためには I²C 信号を送信信号と受信信号に分離する必要がありますが、このデバイスを使うとこの分離が不要になります。

ADuM1250 は双方向 2 チャンネルを提供するため、このデバイス 1 個で絶縁型 I²C インターフェース全体が実現可能です。ADuM1251 は、双方向クロックを必要としないアプリケーション向けに双方向 1 チャンネルと単方向 1 チャンネルを提供します。

機能ブロック図

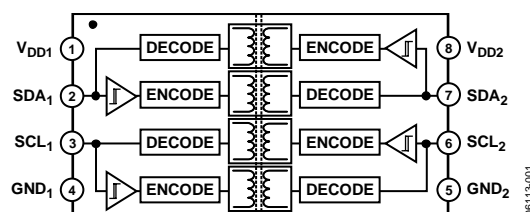


図 1. ADuM1250

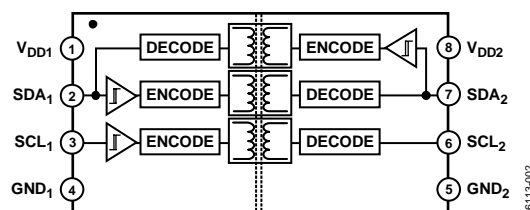


図 2. ADuM1251

ADuM1250 と ADuM1251 は、動作中のバスに電源を加えていないカードを接続してもデータにグリッチを生じさせないホット・スワップ回路を内蔵しています。

これらのアイソレータは、アナログ・デバイセズの iCoupler[®] チップ・スケール・トランス技術を採用しています。この iCoupler はフォトカプラより優れた機能、性能、サイズ、消費電力の利点を持つ磁気アイソレーション技術です。ADuM1250/ADuM1251 を使うと、iCoupler チャンネルは半導体回路に集積することができるため、小型な絶縁型 I²C インターフェース全体を実現することができます。

¹ 米国特許 5,952,849; 6,873,065; 7,075,329 で保護されています。その他の特許は申請中です。

目次

特長	1	絶対最大定格	7
アプリケーション	1	ESD の注意	7
機能ブロック図	1	ピン配置およびピン機能説明	8
概要	1	テスト条件	9
改訂履歴	2	アプリケーション情報	10
仕様	3	機能説明	10
電気的特性	3	起動	10
パッケージ特性	5	代表的なアプリケーション図	11
適用規格	5	磁界耐性	11
絶縁および安全性関連の仕様	5	外形寸法	12
DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性	6	オーダー・ガイド	12
推奨動作条件	6		

改訂履歴

12/09—Rev. A to Rev. B

Changes to Features Section	1
Changes to Operating Temperature (T_A) Parameter, Table 7	6
Changes to Ambient Operating Temperature (T_A) Parameter, Table 8	7
Changes to Ordering Guide	12

6/07—Rev. 0 to Rev. A

Updated VDE Certification Throughout	1
Changes to Features and Note 1	1
Changes to Table 4 and Table 5	5
Changes to Table 6	6
Updated Outline Dimensions	12
Changes to Ordering Guide	12

10/06—Revision 0: Initial Version

仕様

電気的特性

DC 仕様¹

すべての最小/最大仕様は推奨動作範囲に適用。特に指定のない限り、すべてのtyp仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 5\text{ V}$ で規定します。

表 1.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
ADuM1250						
Input Supply Current, Side 1, 5 V	I_{DD1}		2.8	5.0	mA	$V_{DD1} = 5\text{ V}$
Input Supply Current, Side 2, 5 V	I_{DD2}		2.7	5.0	mA	$V_{DD2} = 5\text{ V}$
Input Supply Current, Side 1, 3.3 V	I_{DD1}		1.9	3.0	mA	$V_{DD1} = 3.3\text{ V}$
Input Supply Current, Side 2, 3.3 V	I_{DD2}		1.7	3.0	mA	$V_{DD2} = 3.3\text{ V}$
ADuM1251						
Input Supply Current, Side 1, 5 V	I_{DD1}		2.8	6.0	mA	$V_{DD1} = 5\text{ V}$
Input Supply Current, Side 2, 5 V	I_{DD2}		2.5	4.7	mA	$V_{DD2} = 5\text{ V}$
Input Supply Current, Side 1, 3.3 V	I_{DD1}		1.8	3.0	mA	$V_{DD1} = 3.3\text{ V}$
Input Supply Current, Side 2, 3.3 V	I_{DD2}		1.6	2.8	mA	$V_{DD2} = 3.3\text{ V}$
LEAKAGE CURRENTS	I_{SDA1} , I_{SDA2} , I_{SCL1} , I_{SCL2}		0.01	10	μA	$V_{SDA1} = V_{DD1}$, $V_{SDA2} = V_{DD2}$, $V_{SCL1} = V_{DD1}$, $V_{SCL2} = V_{DD2}$
SIDE 1 LOGIC LEVELS						
Logic Input Threshold ²	V_{SDA1T} , V_{SCL1T}	500		700	mV	$I_{SDA1} = I_{SCL1} = 3.0\text{ mA}$
Logic Low Output Voltages	V_{SDA1OL} , V_{SCL1OL}	600		900	mV	
		600		850	mV	
Input/Output Logic Low Level Difference ³	ΔV_{SDA1} , ΔV_{SCL1}	50			mV	$I_{SDA1} = I_{SCL1} = 0.5\text{ mA}$
SIDE 2 LOGIC LEVELS						
Logic Low Input Voltage	V_{SDA2IL} , V_{SCL2IL}	0.7 V_{DD2}		0.3 V_{DD2}	V	$I_{SDA2} = I_{SCL2} = 30\text{ mA}$
Logic High Input Voltage	V_{SDA2IH} , V_{SCL2IH}				V	
Logic Low Output Voltage	V_{SDA2OL} , V_{SCL2OL}			400	mV	

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² $V_{IL} < 0.5\text{ V}$ 、 $V_{IH} > 0.7\text{ V}$ 。

³ $\Delta V_{S1} = V_{S1OL} - V_{S1T}$ 。これは、与えられたデバイス内での出力ロジック・ロー・レベルと入力ロジック・スレッショールドとの最小差。これにより、このデバイスが接続されているバスをラッチアップさせないことが保証されます。

AC 仕様¹

すべての最小/最大仕様は推奨動作範囲に適用。特に指定のない限り、すべてのtyp仕様は、 $T_A = 25^\circ\text{C}$ 、 $V_{DD1} = 5\text{ V}$ 、 $V_{DD2} = 5\text{ V}$ で規定します。図5.を参照してください。

表 2.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
MAXIMUM FREQUENCY		1000			kHz	
OUTPUT FALL TIME						
5 V Operation						$4.5\text{ V} \leq V_{DD1}$, $V_{DD2} \leq 5.5\text{ V}$, $C_{L1} = 40\text{ pF}$, $R1 = 1.6\text{ k}\Omega$, $C_{L2} = 400\text{ pF}$, $R2 = 180\text{ }\Omega$
Side 1 Output (0.9 V_{DD1} to 0.9 V)	t_{f1}	13	26	120	ns	
Side 2 Output (0.9 V_{DD2} to 0.1 V_{DD2})	t_{f2}	32	52	120	ns	
3 V OPERATION						$3.0\text{ V} \leq V_{DD1}$, $V_{DD2} \leq 3.6\text{ V}$, $C_{L1} = 40\text{ pF}$, $R1 = 1.0\text{ k}\Omega$, $C_{L2} = 400\text{ pF}$, $R2 = 120\text{ }\Omega$
Side 1 Output (0.9 V_{DD1} to 0.9 V)	t_{f1}	13	32	120	ns	
Side 2 Output (0.9 V_{DD2} to 0.1 V_{DD2})	t_{f2}	32	61	120	ns	
PROPAGATION DELAY						
5 V Operation						$4.5 \leq V_{DD1}$, $V_{DD2} \leq 5.5\text{ V}$, $C_{L1} = C_{L2} = 0\text{ pF}$, $R1 = 1.6\text{ k}\Omega$, $R2 = 180\text{ }\Omega$
Side 1-to-Side 2, Rising Edge ²	t_{PLH12}		95	130	ns	
Side 1-to-Side 2, Falling Edge ³	t_{PHL12}		162	275	ns	
Side 2-to-Side 1, Rising Edge ⁴	t_{PLH21}		31	70	ns	
Side 2-to-Side 1, Falling Edge ⁵	t_{PHL21}		85	155	ns	
3 V Operation						$3.0\text{ V} \leq V_{DD1}$, $V_{DD2} \leq 3.6\text{ V}$, $C_{L1} = C_{L2} = 0\text{ pF}$, $R1 = 1.0\text{ k}\Omega$, $R2 = 120\text{ }\Omega$
Side 1-to-Side 2, Rising Edge ²	t_{PLH12}		82	125	ns	
Side 1-to-Side 2, Falling Edge ³	t_{PHL12}		196	340	ns	
Side 2-to-Side 1, Rising Edge ⁴	t_{PLH21}		32	75	ns	
Side 2-to-Side 1, Falling Edge ⁵	t_{PHL21}		110	210	ns	
PULSE WIDTH DISTORTION						
5 V Operation						$4.5\text{ V} \leq V_{DD1}$, $V_{DD2} \leq 5.5\text{ V}$, $C_{L1} = C_{L2} = 0\text{ pF}$, $R1 = 1.6\text{ k}\Omega$, $R2 = 180\text{ }\Omega$
Side 1-to-Side 2, $ t_{PLH12} - t_{PHL12} $	PWD_{12}		67	145	ns	
Side 2-to-Side 1, $ t_{PLH21} - t_{PHL21} $	PWD_{21}		54	85	ns	
3 V Operation						$3.0\text{ V} \leq V_{DD1}$, $V_{DD2} \leq 3.6\text{ V}$, $C_{L1} = C_{L2} = 0\text{ pF}$, $R1 = 1.0\text{ k}\Omega$, $R2 = 120\text{ }\Omega$
Side 1-to-Side 2, $ t_{PLH12} - t_{PHL12} $	PWD_{12}		114	215	ns	
Side 2-to-Side 1, $ t_{PLH21} - t_{PHL21} $	PWD_{21}		77	135	ns	
COMMON-MODE TRANSIENT IMMUNITY ⁶	$ CM_H $, $ CM_L $	25	35		kV/ μs	

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² t_{PLH12} 伝搬遅延は、サイド1入力ロジック・スレッシュヨールドから 0.7 V_{DD2} の出力値までで測定。

³ t_{PHL12} 伝搬遅延は、サイド1入力ロジック・スレッシュヨールドから 0.4 V の出力値までで測定。

⁴ t_{PLH21} 伝搬遅延は、サイド2入力ロジック・スレッシュヨールドから 0.7 V_{DD1} の出力値までで測定。

⁵ t_{PHL21} 伝搬遅延は、サイド2入力ロジック・スレッシュヨールドから 0.9 V の出力値までで測定。

⁶ CM_H は、 $V_O > 0.8 V_{DD2}$ を維持している間に維持できるコモン・モード電圧の最大スルーレートです。 CM_L は $V_O < 0.8\text{ V}$ を維持している間に維持できるコモン・モード電圧の最大スルーレートです。コモン・モード電圧スルーレートは、コモン・モード電圧の立ち上がりとしち下りの両エッジに適用されます。過渡電圧振幅は、コモン・モードの平衡が失われる範囲を表します。

パッケージ特性

表 3.

Parameter	Symbol	Min	Typ	Max	Unit	Test Conditions
Resistance (Input to Output) ¹	R _{I-O}		10 ¹²		Ω	f = 1 MHz
Capacitance (Input to Output) ¹	C _{I-O}		1.0		pF	
Input Capacitance	C _I		4.0		pF	
IC Junction-to-Case Thermal Resistance, Side 1	θ _{JCI}		46		°C/W	Thermocouple located at center of package underside
IC Junction-to-Case Thermal Resistance, Side 2	θ _{JCO}		41		°C/W	

¹ デバイスは 2 端子デバイスと見なします。すなわち、ピン 1～ピン 4 を相互に接続し、ピン 5～ピン 8 を相互に接続します。

適用規格

ADuM1250/ADuM1251 は、表 4 に記載する組織の認定を取得しています。

表 4.

UL	CSA	VDE
Recognized under 1577 Component Recognition Program ¹	Approved under CSA Component Acceptance Notice #5A	Certified according to DIN V VDE V 0884-10
Single/basic 2500 V rms isolation voltage	Reinforced insulation per CSA 60950-1-03 and IEC 60950-1, 125 V rms (177 V peak) maximum working voltage Basic insulation per CSA 60950-1-03 and IEC 60950-1, 400 V rms (566 V peak) maximum working voltage	(VDE V 0884-10):2006-12 ² Reinforced insulation, 560 V peak
File E214100	File 205078	File 2471900-4880-0001

¹ UL1577 に従い、絶縁テスト電圧 3,000 V rms 以上を 1 秒間加えて各 ADuM125x を確認テストします(リーク電流検出規定値 = 5μA)。

² DIN V VDE V 0884-10 に従い、各 ADuM125x に 1,050 V_{peak} 以上の絶縁テスト電圧を 1 秒間加えることによりテストして保証されています(部分放電の検出規定値 = 5 pC)。(*)マーク付のブランドは、DIN V VDE V 0884-10 認定製品を表します。

絶縁および安全性関連の仕様

表 5.

Parameter	Symbol	Value	Unit	Conditions
Rated Dielectric Insulation Voltage		2500	V rms	1 minute duration
Minimum External Air Gap (Clearance)	L(I01)	4.90 min	mm	Measured from input terminals to output terminals, shortest distance through air
Minimum External Tracking (Creepage)	L(I02)	4.01 min	mm	Measured from input terminals to output terminals, shortest distance path along body
Minimum Internal Gap (Internal Clearance)		0.017 min	mm	Insulation distance through insulation
Tracking Resistance (Comparative Tracking Index)	CTI	>175	V	DIN IEC 112/VDE 0303 Part 1
Isolation Group		IIIa		Material Group (DIN VDE 0110, 1/89, Table 1)
Maximum Working Voltage Compatible with 50 Years Service Life	V _{IORM}	565	V peak	Continuous peak voltage across the isolation barrier

DIN V VDE V 0884-10 (VDE V 0884-10)絶縁特性

このアイソレータは、安全性制限値データ以内でのアイソレーション強化に対してのみ有効です。安全性データの維持は、保護回路を使って確実にする必要があります。パッケージ表面の(*)マークは、560 V_{peak} 動作電圧に対して DIN V VDE V 0884-10 認定済みであることを表示します。

表 6.

Description	Conditions	Symbol	Characteristic	Unit
Installation Classification per DIN VDE 0110 For Rated Mains Voltage ≤ 150 V rms For Rated Mains Voltage ≤ 300 V rms For Rated Mains Voltage ≤ 400 V rms			I to IV I to III I to II	
Climatic Classification			40/105/21	
Pollution Degree per DIN VDE 0110, Table 1			2	
Maximum Working Insulation Voltage		V _{IORM}	560	V peak
Input-to-Output Test Voltage, Method B1	V _{IORM} × 1.875 = V _{PR} , 100% production test, t _m = 1 sec, partial discharge < 5 pC	V _{PR}	1050	V peak
Input-to-Output Test Voltage, Method A	V _{IORM} × 1.6 = V _{PR} , t _m = 60 sec, partial discharge < 5 pC	V _{PR}		
After Environmental Tests Subgroup 1			896	V peak
After Input and/or Safety Test Subgroup 2 and Subgroup 3	V _{IORM} × 1.2 = V _{PR} , t _m = 60 sec, partial discharge < 5 pC		672	V peak
Highest Allowable Overvoltage	Transient overvoltage, t _{TR} = 10 seconds	V _{TR}	4000	V peak
Safety-Limiting Values	Maximum value allowed in the event of a failure (see Figure 3)			
Case Temperature		T _S	150	°C
V _{DD1} + V _{DD2} Current		I _{TMAX}	212	mA
Insulation Resistance at T _S	V _{IO} = 500 V	R _S	>10 ⁹	Ω

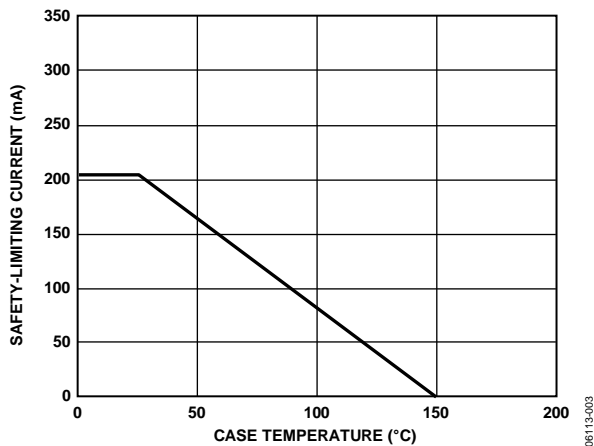


図 3.温度ディレーティング・カーブ
DIN V VDE V 0884-10 による安全な規定値の
ケース温度に対する依存性

推奨動作条件

表 7.

Parameter	Rating
Operating Temperature (T _A)	
A Grade	−40°C to +105°C
S Grade	−40°C to +125°C
Supply Voltages (V _{DD1} , V _{DD2}) ¹	3.0 V to 5.5 V
Input/Output Signal Voltage (V _{SDA1} , V _{SCL1} , V _{SDA2} , V _{SCL2})	5.5 V
Capacitive Load	
Side 1 (C _{L1})	40 pF
Side 2 (C _{L2})	400 pF
Static Output Loading	
Side 1 (I _{SDA1} , I _{SCL1})	0.5 mA to 3 mA
Side 2 (I _{SDA2} , I _{SCL2})	0.5 mA to 30 mA

¹すべての電圧はそれぞれのグラウンドを基準とします。外部磁界耐性のデータについては、アプリケーション情報のセクションを参照してください。

絶対最大定格

特に指定のない限り、周囲温度は 25°C です。

表 8.

Parameter	Rating
Storage Temperature (T_{ST})	-55°C to +150°C
Ambient Operating Temperature (T_A)	
A Grade	-40°C to +105°C
S Grade	-40°C to +125°C
Supply Voltages (V_{DD1}, V_{DD2}) ¹	-0.5 V to +7.0 V
Input/Output Voltage,	
Side 1 (V_{SDA1}, V_{SCL1}) ¹	-0.5 V to $V_{DD1} + 0.5$ V
Side 2 (V_{SDA2}, V_{SCL2}) ¹	-0.5 V to $V_{DD2} + 0.5$ V
Average Output Current per Pin ²	
Side 1 (I_{O1})	±18 mA
Side 2 (I_{O2})	±100 mA
Common-Mode Transients ³	-100 kV/μs to +100 kV/μs

¹ すべての電圧はそれぞれのグラウンドを基準とします。

² 種々の温度に対する最大定格電流値については図 3 を参照してください。

³ 絶縁障壁にまたがるコモン・モード過渡電圧を表します。絶対最大定格を超えるコモン・モード過渡電圧を加えると、ラッチアップまたは恒久的損傷が生ずることがあります。

上記の絶対最大定格を超えるストレスを加えるとデバイスに恒久的な損傷を与えることがあります。この規定はストレス定格の規定のみを目的とするものであり、この仕様の動作のセクションに記載する規定値以上でのデバイス動作を定めたものではありません。デバイスを長時間絶対最大定格状態に置くとデバイスの信頼性に影響を与えます。

ESD の注意



ESD（静電放電）の影響を受けやすいデバイスです。電荷を帯びたデバイスや回路ボードは、検知されないまま放電することがあります。本製品は当社独自の特許技術である ESD 保護回路を内蔵してはいますが、デバイスが高エネルギーの静電放電を被った場合、損傷を生じる可能性があります。したがって、性能劣化や機能低下を防止するため、ESD に対する適切な予防措置を講じることをお勧めします。

ピン配置およびピン機能説明

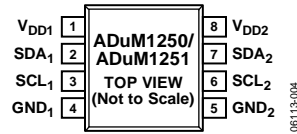


図 4.ADuM1250/ADuM1251 のピン配置

表 9.ADuM1250 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	電源電圧、3.0～5.5 V。
2	SDA ₁	データ入力/出力、サイド 1。
3	SCL ₁	クロック入力/出力、サイド 1。
4	GND ₁	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
5	GND ₂	グラウンド 2。アイソレータ・サイド 2 の絶縁グラウンド基準。
6	SCL ₂	クロック入力/出力、サイド 2。
7	SDA ₂	データ入力/出力、サイド 2。
8	V _{DD2}	電源電圧、3.0～5.5 V。

表 10.ADuM1251 のピン機能説明

ピン番号	記号	説明
1	V _{DD1}	電源電圧、3.0～5.5 V。
2	SDA ₁	データ入力/出力、サイド 1。
3	SCL ₁	クロック入力、サイド 1。
4	GND ₁	グラウンド 1。アイソレータ・サイド 1 のグラウンド基準。
5	GND ₂	グラウンド 2。アイソレータ・サイド 2 の絶縁グラウンド基準。
6	SCL ₂	クロック出力、サイド 2。
7	SDA ₂	データ入力/出力、サイド 2。
8	V _{DD2}	電源電圧、3.0～5.5 V。

テスト条件

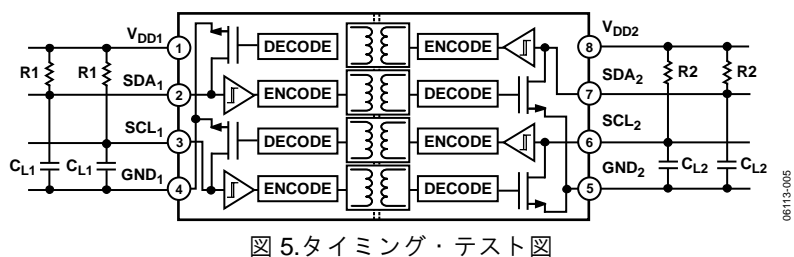


図 5. タイミング・テスト

アプリケーション情報

機能説明

ADuM1250/ADuM1251 は、両側にある双方向 I²C 信号にインターフェースします。I²C インターフェースは、デバイス内部で 2 つの単方向チャンネルに分割されます。各々の単方向チャンネルは専用の iCoupler アイソレーション・チャンネルを使って互いに反対向きの通信を行います。一方のチャンネル(図 6 に示す各チャンネル対の下側のチャンネル)がサイド 1 の I²C ピンの電圧状態を検出して、その状態を対応するサイド 2 の I²C ピンへ送信します。

サイド 1 とサイド 2 の両 I²C ピンは、3.0~5.5 V の範囲で動作する I²C バスにインターフェースするようにデザインされています。いずれかの側にロー・レベルが入力されると、反対側ピンを十分ロー・レベルにプルダウンして、バス上にある他の I²C デバイスのロジック・ロー・スレッショルド条件を満たすようにします。I²C バスの競合の回避は、SDA₁ または SCL₁ での入力ロー・スレッショルドを同ピンでの出力ロー信号より少なくとも 50 mV 低く維持することにより保証されます。これにより、サイド 1 での出力ロジック・ローがサイド 2 へ戻ってしまうのが防止されて、I²C バスがプルダウンされません。

サイド 2 のロジック・レベル/スレッショルドは標準の I²C 値であるため、サイド 2 側ピンでバスに接続されている複数の ADuM1250/ADuM1251 デバイスは、互いに交信でき、さらに他のデバイスとも交信できるため、I²C との互換性を維持することができます。I²C 互換性と I²C 準拠は区別されます。I²C 互換性とは、部品のロジック・レベルは必ずしも I²C 仕様の条件を満たす必要はないが、部品は I²C 準拠デバイスと交信できることを意味します。I²C 準拠とは、部品のロジック・レベルが I²C 仕様の条件を満たすことを意味します。

ただし、サイド 1 ピンの出力レベル/入力スレッショルドが変更されているため、ADuM1250/ADuM1251 のこちら側は I²C 規格に準拠するデバイスとのみ交信することができます。言い換えると、ADuM1250/ADuM1251 のサイド 2 は I²C に準拠していますが、サイド 1 は I²C と互換性を維持しているだけです。

出力ロジックのロー・レベルは、V_{DD1} 電圧と V_{DD2} 電圧からは独立しています。サイド 1 の入力ロジックのロー・スレッショルドも、V_{DD1} から独立しています。ただし、サイド 2 の入力ロジックのロー・スレッショルドは、I²C の条件を満たす 0.3 V_{DD2} となるようにデザインされています。サイド 1 ピンとサイド 2 ピンはオープン・コレクタ出力であり、そのハイ・レベルはそれぞれの電源電圧に接続されたプルアップ抵抗を使って設定されています。

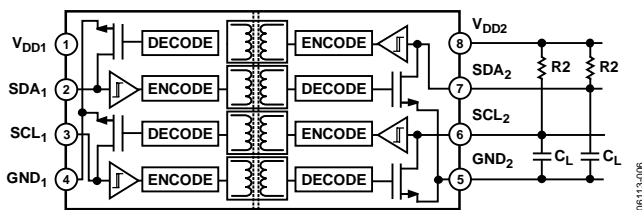


図 6. ADuM1250 のブロック図

起動

V_{DD1} 電源と V_{DD2} 電源は、信号チャンネルが一定の条件を満たすまで動作しないようにする低電圧ロックアウト機能を持っています。この機能により、パワーアップ/パワーダウン時に偶発的に入力ロジック・ロー信号が I²C バスをプルダウンしてしまうのを防止します。

信号チャンネルをイネーブルすめために必要な 2 つの条件は次の通りです。

- 両電源が 2.5 V 以上である
- 両電源が 2.0 V の内部起動スレッショルドを超えてから少なくとも 40 μs 経過する

両電源が両条件を満たすまで、ADuM1250/ADuM1251 の出力がハイ・レベルにプルアップされて、バスを乱さないようにします。図 7 と図 8 に、高速および低速のスルー・レートの入力電源に対する電源条件を示します。

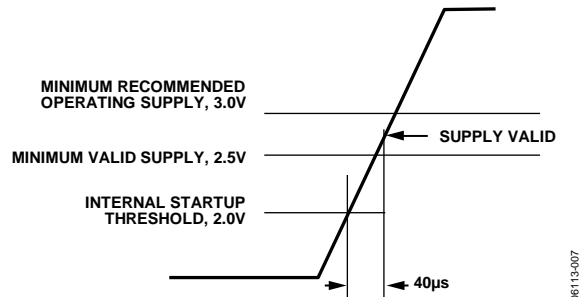


図 7. 起動条件、電源スルーレート > 12.5 V/ms

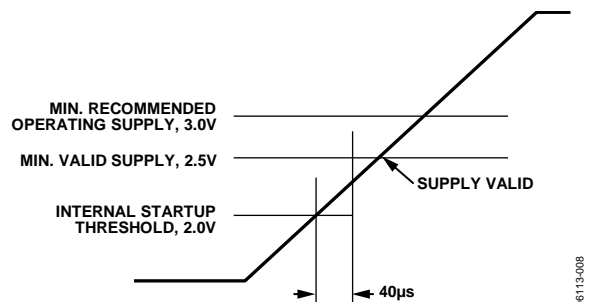
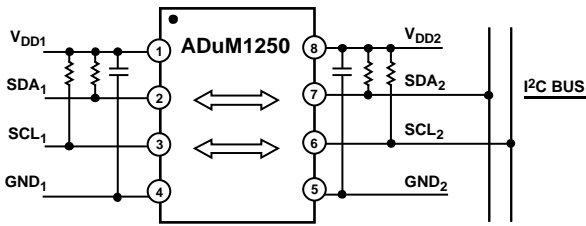


図 8. 起動条件、電源スルーレート < 12.5 V/ms

代表的なアプリケーション図

図 9. ADuM1250 を使用した代表的な絶縁型 I²C インターフェース

磁界耐性

ADuM125x は、外部磁界に対して極めて強い耐性を持っています。ADuM125x の磁界耐性の限界は、トランスの受信側コイルに発生する誘導電圧が十分大きくなって、デコーダをセットまたはリセットさせる誤動作が発生することで決まります。この状態が発生する条件を以下の解析により求めます。ADuM125x の 3 V 動作は最も感度の高い動作モードであるため、この条件を調べます。

トランス出力でのパルスは 1.0 V 以上の振幅を持っています。デコーダは約 0.5 V の検出スレッシュホールドを持つので、誘導電圧に対しては 0.5 V の余裕を持っています。受信側コイルへの誘導電圧は次式で与えられます。

$$V = (-d\beta/dt) \sum \Pi r_n^2; n=1, 2, \dots, N$$

ここで

β = 磁束密度 (Gauss)

N = 受信側コイルの巻数

r_n = 受信側コイルの n 回目の半径 (cm)

ADuM1250 受信側コイルの形状が与えられ、かつ誘導電圧がデコーダにおける 0.5 V 余裕の最大 50% であるという条件が与えられると、最大許容磁界は図 10 のように計算されます。

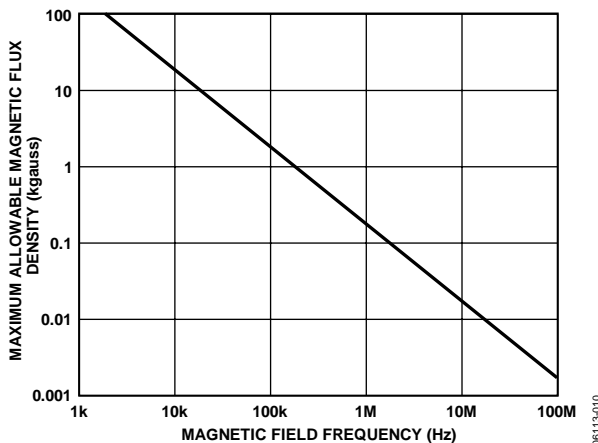


図 10. 最大許容外部磁束密度

たとえば、磁界周波数 = 1 MHz で、最大許容磁界 = 0.2 k gauss の場合、受信側コイルでの誘導電圧は 0.25 V になります。これは検出スレッシュホールドの約 50% であるため、出力変化の誤動作はありません。同様に、仮にこのような条件が送信パルス内に存在しても (最悪ケースの極性であっても)、受信パルスが 1.0 V 以上から 0.75 V へ減少されるため、デコーダの検出スレッシュホールド 0.5 V に対してなお余裕を持っています。

前述の磁束密度値は、ADuM125x トランスから与えられた距離だけ離れた特定の電流値に対応します。図 11 に、周波数の関数としての許容電流値を与えられた距離に対して示します。図 11 から読み取れるように、ADuM125x の耐性は極めて高く、影響を受けるのは、高周波でかつ部品に非常に近い極めて大きな電流の場合に限られます。1 MHz の例では、デバイス動作に影響を与えるためには、0.5 kA の電流を ADuM125x から 5 mm の距離まで近づける必要があります。

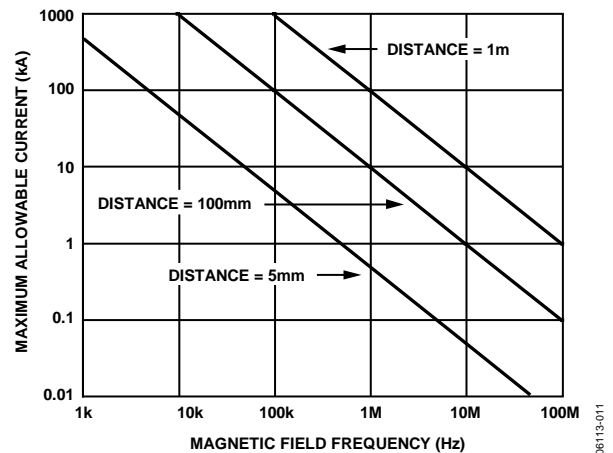
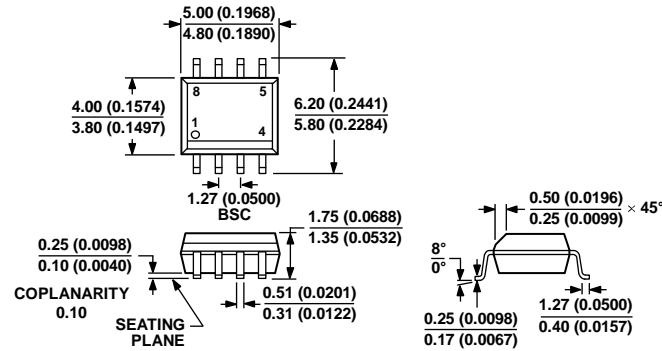


図 11. さまざまな電流値と ADuM125x までの距離に対する最大許容電流

強い磁界と高周波が組合わさると、プリント回路ボードのパターンで形成されるループに十分大きな誤差電圧が誘導されて、後段回路のスレッシュホールドがトリガーされてしまうことに注意が必要です。パターンのレイアウトでは、このようなことが発生しないように注意する必要があります。

外形寸法



COMPLIANT TO JEDEC STANDARDS MS-012-AA
CONTROLLING DIMENSIONS ARE IN MILLIMETERS; INCH DIMENSIONS
(IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR
REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

012407-A

図 12.8 ピン標準スモール・アウトライン・パッケージ[SOIC_N]

ナロー・ボディ

(R-8)

寸法: mm (インチ)

オーダー・ガイド

Model	Number of Inputs, V _{DD1} Side	Number of Inputs, V _{DD2} Side	Maximum Data Rate (Mbps)	Maximum Propagation Delay (ns)	Temperature Range	Package Description	Package Option
ADuM1250ARZ ¹	2	2	1	150	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM1250ARZ-RL7 ¹	2	2	1	150	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM1250SRZ ¹	2	2	1	150	-40°C to +125°C	8-Lead SOIC_N	R-8
ADuM1250SRZ-RL7 ¹	2	2	1	150	-40°C to +125°C	8-Lead SOIC_N	R-8
ADuM1251ARZ ¹	2	1	1	150	-40°C to +105°C	8-Lead SOIC_N	R-8
ADuM1251ARZ-RL7 ¹	2	1	1	150	-40°C to +105°C	8-Lead SOIC_N	R-8

¹Z = RoHS 準拠製品。